



(12) 发明专利

(10) 授权公告号 CN 101496168 B

(45) 授权公告日 2011.06.01

(21) 申请号 200780027812.3

H05K 3/34(2006.01)

(22) 申请日 2007.07.23

(56) 对比文件

(30) 优先权数据

11/496, 111 2006.07.31 US

US 6330967 B1, 2001.12.18, 说明书第 5 栏第 64 行至第 6 栏第 15 行、附图 6.

(85) PCT 申请进入国家阶段日

2009.01.22

US 6787918 B1, 2004.09.07, 说明书第 3 栏第 42 行至第 4 栏第 61 行、附图 3-5.

(86) PCT 申请的申请数据

PCT/CN2007/002228 2007.07.23

US 5795818 A, 1998.08.18, 全文.

JP 特开 2004-87922 A, 2004.03.18, 全文.

CN 1511347 A, 2004.07.07, 全文.

(87) PCT 申请的公布数据

W02008/017232 EN 2008.02.14

审查员 潘军

(73) 专利权人 智识投资基金 27 有限责任公司

地址 美国内华达州

(72) 发明人 郭志华 谭伊晴

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 23/498(2006.01)

H01L 23/31(2006.01)

H01L 21/56(2006.01)

H01L 21/60(2006.01)

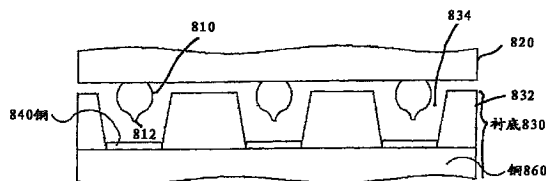
权利要求书 2 页 说明书 6 页 附图 17 页

(54) 发明名称

用于半导体倒装芯片封装的衬底和过程

(57) 摘要

一种用于倒装芯片封装的半导体封装结构包括衬底 (830) 和芯片 (820)。衬底 (830) 至少包括图案化电路层 (860) 和绝缘层 (832)。图案化电路层包括多个隆起垫 (840), 绝缘层包括多个蚀孔 (834)。隆起 (810) 被布置在芯片的活性表面上, 该隆起可通过柱形隆起而获得。蚀孔填充有焊膏 (870), 芯片的隆起穿入填充有焊料的蚀孔。



1. 一种半导体电子封装,包括:
电路芯片,具有活性表面;
多个焊料隆起,被布置在所述活性表面上;
焊膏;和
衬底,包括:
第一图案化导电电路层,包括多个焊料隆起垫;
第一绝缘层,其覆盖所述第一图案化导电电路层,并限定暴露焊料隆起垫的多个孔,其中所述孔的内壁是导电的;
其中:
所述焊膏被放置在所述孔内;
所述电路芯片被定位为其活性表面邻近第一绝缘层中的孔,使得每个焊料隆起经过相应的孔基本对准相应焊料隆起垫;
每个焊料隆起穿入在相应的孔内的焊膏,并电连接到相应的焊料隆起垫;和
所述焊膏填充在每个焊料隆起和相应孔的导电内壁之间的空间中,从而增大所述焊膏和所述内壁之间的接触面积。
2. 根据权利要求1所述的封装,其中,所述焊料隆起包括柱形隆起。
3. 根据权利要求2所述的封装,其中,每个焊料隆起的直径被定位为基本平行于衬底的方向,其中每个相应的孔在基本平行于焊料隆起直径的方向上具有直径,并且其中孔的直径是焊料隆起直径的至少两倍。
4. 根据权利要求3所述的封装,其中,所述电路芯片通过粘合剂结合到衬底。
5. 根据权利要求1所述的封装,其中,所述衬底还包括:
多个附加图案化导电电路层;和
多个附加绝缘层;
其中,所述附加图案化导电电路层和附加绝缘层以交替顺序被分层;
其中:
每个附加图案化导电电路层的至少一部分经由导体电连接到邻近附加图案化导电电路层的一部分,所述导体被至少局部布置为经过居间的附加绝缘层;和
第一图案化导电电路层被布置在多个附加图案化导电电路层和多个附加绝缘层的顶部。
6. 根据权利要求1所述的封装,其中,所述绝缘层包括双马来酰亚胺三嗪树脂(BT)、或阻燃剂FR-4或FR-5。
7. 根据权利要求1所述的封装,其中,所述第一图案化导电电路层、所述焊料隆起垫以及所述导电内壁包括铜、金、镍或它们的组合。
8. 一种制造倒装芯片封装的方法,包括:
形成第一图案化导电电路层,其包括多个焊料隆起垫;
形成第一绝缘层,其覆盖第一图案化导电电路层,并具有暴露焊料隆起垫的多个孔,其中每个孔被定位为容纳电路芯片的多个焊料隆起中对应一个的至少一部分,并且其中每个孔包括导电内壁;
用导电的焊膏填充所述孔;

通过使焊料隆起穿入相应孔内的焊膏并且电连接至相应焊料隆起垫,将电路芯片上的焊料隆起结合至第一图案化导电电路层 ;和

熔化焊膏以使所述焊膏塌陷并填充在每个焊料隆起和相应孔的导电内壁之间的空间中,从而增大所述焊膏和所述内壁之间的接触面积。

9. 根据权利要求 8 所述的方法,还包括 :

形成多个附加图案化导电电路层 ;和

形成多个附加绝缘层 ;

其中,所述附加图案化导电电路层和附加绝缘层以交替顺序被分层 ;

其中,每个附加图案化导电电路层的至少一部分经由导体电连接到邻近附加图案化导电电路层的一部分,所述导体被至少局部布置为经过居间的附加绝缘层 ;和

其中,第一图案化导电电路层被布置在多个附加图案化导电电路层和多个附加绝缘层的顶部。

10. 根据权利要求 8 所述的方法,其中每个孔在基本平行于焊料隆起直径的方向上具有直径,并且其中孔的直径是焊料隆起直径的至少两倍。

11. 根据权利要求 8 所述的方法,还包括在所述第一绝缘层上形成粘合层,其中所述粘合层根据在所述第一绝缘层上的孔被图案化以暴露所述焊料隆起垫。

用于半导体倒装芯片封装的衬底和过程

[0001] 发明背景

[0002] 本发明涉及用于半导体倒装芯片封装的衬底,和制造具有该衬底的倒装芯片器件的过程。

[0003] 倒装芯片技术是芯片级封装的最常用封装技术之一。由于倒装芯片技术可使用区域阵列来布置隆起垫并经过隆起连接到载体,所以它可以减小封装面积并缩短信号的传输路径。传统类型的衬底隆起垫设计可分为 SMD(阻焊层限定)型和 NSMD(非阻焊层限定)型。这两种类型的隆起垫设计各有优缺点。因此,采用这种方式还是那种方式没有一定之规。

[0004] 图 1 和 2 是作为现有技术示例的 NSMD 型倒装芯片封装的横截面视图。如图 1 和 2 所示,多个隆起 110 在芯片 120 的活性表面上形成。芯片 120 将要附着于衬底 130,并由隆起 110、经过隆起垫 140 电连接到衬底 130。大体上,衬底 130 由一个或多个交替堆叠的图案化导电(例如铜)箔层和绝缘层组成,同时在绝缘层中具有与图案化导电层互连的蚀孔(未示出)。衬底 130 的表面涂有阻焊层 150,仅暴露隆起垫 140,用于连接到芯片 120 的隆起。

[0005] 如图 2 所示,在常规方法中,采用回流焊工艺来加热隆起 110。经加热的隆起 110 将熔化,并与隆起垫 140 形成良好的结合。举例说,对于 Pd-Tin 隆起的情况,该隆起 110 会在 183°C 溶化,在此情形下,该隆起将被加热到 200°C 以上以获得良好的沾锡效果,从而与隆起垫形成良好的结合。然后,使用底充材料(未示出)填充芯片 120 和衬底 130 之间的空间,如图 2 所示。这是为了保护隆起 110 不因芯片 120 和衬底 130 的热膨胀差异导致的热应力而“疲劳崩塌”。

[0006] 当芯片 120 或衬底 130 上有缺陷或对准问题时,这样的隆起-隆起垫连接方法存在几个问题。典型的缺陷包括:隆起 110 和隆起垫 140 之间左偏移或右偏移的位置偏移,如图 3 所示;衬底 130 对芯片 120 共面性之间的高度偏移(elevation offset),如图 4 所示,或隆起 110 之间的高度偏移,如图 5 所示;由隆起 110 阵列的分布对隆起垫 140 在衬底 130 上的分布之间未对准造成的位置偏移,如图 6 和图 7 所示。下面详细描述在通过常规过程制造的倒装芯片中的上述缺陷。

[0007] 如在图 3 中看到,假如在将芯片 120 放置在隆起垫上时隆起 110 和隆起垫 140 未对准,就将位置偏移问题,其中隆起 110 的一部分不能够触及隆起垫 140,或者隆起 110 虽能够触及隆起垫 140,但接触面积小得不能使隆起 110 和隆起垫 140 之间具有良好接触。在这种情形下,隆起 110 和隆起垫 140 之间将形成具有低电导的坏焊点,或者隆起 110 和隆起垫 140 之间完全没有电接触。在这两种情形下,隆起 110 据说都因回流焊工艺中的热应力而破裂。

[0008] 类似地,假如芯片 120 和衬底 130 之间有共面问题,隆起 110 和隆起垫 140 之间将有高度偏移,如图 4 所示。在这种情形下,由于衬底 130 中的缺陷 132,一个或多个隆起 110 不能够触及隆起垫 140,或者隆起 110 能够触及隆起垫 140,但接触面积小得不能使隆起 110 和隆起垫 140 之间具有良好接触。在这种情形下,隆起 110 和隆起垫 140 之间将形成具有低

电导的坏焊点,或隆起 110 和隆起垫 140 之间完全没有电接触。在这两种情形下,隆起 110 据说都因回流焊工艺中的热应力而破裂。

[0009] 高度偏移问题也可以由隆起 110 尺寸的非一致性引起。如图 5 所示,一个或多个隆起 112 小得使它们不能够触及隆起垫 140,或者隆起 112 能够触及隆起垫 140,但接触面积小得不能使隆起 112 和隆起垫 140 之间具有良好接触。在这种情形下,隆起 112 和隆起垫 140 之间将形成具有低电导的坏焊点,或隆起 112 和隆起垫 140 之间完全没有电接触。在这两种情形下,隆起 112 据说都因回流焊工艺中的热应力而破裂。

[0010] 位置偏移也可以由隆起 110 的阵列分布对隆起垫 140 在衬底 130 上的分布之间的未对准引起,如图 6(示出了未对准的隆起 113 横跨隆起垫 142 和阻焊层部分 152) 和图 7(示出了隆起 114 横跨未对准的隆起垫 142 和阻焊层部分 152) 所示。在这些情形下,仅有一部分隆起 110 可以对准隆起垫 140,其他隆起 110 不能够触及隆起垫 140,或者隆起 110 能够触及隆起垫 140,但接触面积小得不能使隆起 110 和隆起垫 140 之间具有良好接触。在这种情形下,隆起 110 和隆起垫 140 之间将形成具有低电导的坏焊点,或隆起 110 和隆起垫 140 之间完全没有电接触。在这两种情形下,隆起 110 据说都因回流焊工艺中的热应力而破裂。

[0011] 图 14、15 和 16 是现有技术倒装芯片(第 6975035 号美国专利)的简化横截面侧视图,其图示了附着于衬底的芯片,其中隆起用不同的装配方法基本插入衬底的凹陷。图 14 中的隆起 110 直接结合到衬底的金属垫,而图 15 中的隆起 110 在插入凹陷之前涂有导电膏 170 并在导电膏和垫之间形成互连。在图 16 中,导电膏 170 被布置在垫上,而不是隆起上,并在隆起 110 和导电膏 170 之间形成互连。如图 14 所示的封装结构没有解决如图 4 描绘的潜在高度偏移问题。图 15 和 16 图示的装配方法解决了由不一致的隆起高度和衬底缺陷引起的非共面性问题,但如在图 3 中看到的位置偏移的潜在风险仍然存在。对图 15,导电膏 170 不能遍及垫的暴露区。对图 16,仅部分隆起表面接触导电膏 170。在这两种情形下,导电面积都小,这样焊点的可靠性就低。而且,在图 16 中,当隆起 110 插入凹陷时,导电膏 170 会分散到衬底 130 表面上。

发明概要

[0012] 本发明旨在提供一种用于倒装芯片封装的衬底,和一种制造该倒装芯片器件的过程,该倒装芯片的结构对芯片与衬底共面偏移、位置偏移和芯片上隆起与衬底上蚀孔(隆起垫)的对准精度具有很大公差。所制造的倒装芯片封装在隆起和隆起垫之间具有增大的接触面积,这样就增加了焊点可靠性,因此增加了封装的产量和可靠性。

[0013] 为了达到上述及其他目标,本发明提供了用于倒装芯片封装的半导体封装结构,其包括交替堆叠的至少多个图案化电路层和绝缘衬底,该图案化电路层可以是铜或其他导电材料,该绝缘衬底可以是聚酰亚胺或其他绝缘材料。图案化电路层彼此电连接,其中图案化电路层之一位于衬底表面上。图案化电路层包括多个隆起垫。覆盖图案化电路层的衬底被蚀刻,以形成向芯片暴露隆起垫的孔。在另一个实施方案中,衬底的蚀孔侧壁可以电镀有铜或其他导电材料,以帮助增大芯片和隆起垫之间的接触面积,如下文所述。

[0014] 根据本发明的一个说明性实施方案,蚀孔填充有焊膏。芯片镶嵌_[1]有隆起柱,或用其他技术被隆起。通过使芯片上的隆起穿入填充有焊膏的蚀孔而形成倒装芯片封装。因

此,在回流焊工艺之后,隆起和隆起垫之间的接触面积不局限于隆起垫的上表面,而是也包括蚀孔的内表面。隆起和隆起垫之间的基础面积也包括蚀孔的侧表面。由于隆起和隆起垫之间的接触面积增大,焊点可靠性可以得到改善,封装的产量和可靠性也可以得到改善。

[0015] 附图简述

[0016] 本发明的说明性实施方案将以实施例的方式并参考附图描述,其中:

[0017] 图 1 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装具有隆起芯片和衬底,该衬底具有准备形成电连接的隆起垫;

[0018] 图 2 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该芯片的隆起电连接到衬底的隆起垫;

[0019] 图 3 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装存在因芯片上隆起和衬底上隆起垫之间未对准而引起的位置偏移问题;

[0020] 图 4 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装存在因缺陷衬底而引起的高度偏移问题;

[0021] 图 5 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装存在因芯片上隆起的不一致球尺寸而引起的高度偏移问题;

[0022] 图 6 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装存在因芯片上不一致的隆起分布而引起的位置偏移问题;

[0023] 图 7 是根据现有技术一个示例的、NSMD 形式的倒装芯片封装的横截面视图,该封装存在因衬底上不一致的隆起分布而引起的位置偏移问题;

[0024] 图 8 是根据本发明一个说明性实施方案的倒装芯片封装的横截面视图;

[0025] 图 9 是根据本发明另一个实施方案的倒装芯片封装的横截面视图,其中蚀孔的侧壁镀有电连接到隆起垫的铜;

[0026] 图 10 是根据本发明另一个实施方案的倒装芯片封装的横截面视图,其中蚀孔填充有焊膏;

[0027] 图 11 是根据本发明另一个实施方案的倒装芯片封装的横截面视图,其中隆起芯片穿入衬底的填充有焊膏的蚀孔;

[0028] 图 12 是根据本发明另一个实施方案的倒装芯片封装的横截面视图,其中隆起芯片在回流焊工艺之后穿入衬底的填充有焊膏的蚀孔,该回流焊工艺使焊膏塌陷以在芯片的隆起和隆起垫之间形成电连接;和

[0029] 图 13 是根据本发明另一个实施方案的倒装芯片封装的横截面视图,其中隆起芯片在回流焊工艺之后穿入衬底的填充有焊膏的蚀孔,该回流焊工艺使焊膏塌陷以在芯片的隆起和隆起垫之间形成电连接,在此,芯片上的隆起和衬底上的隆起垫呈现出多种形式的非一致性;

[0030] 图 14 是根据现有技术一个示例的倒装芯片封装的横截面视图,其附着于芯片的隆起基本插入衬底的凹陷;

[0031] 图 15 是根据现有技术一个示例的倒装芯片封装的横截面视图,其附着于芯片的隆起使用另一种装配方法基本插入衬底的凹陷;

[0032] 图 16 是根据现有技术一个示例的倒装芯片封装的横截面视图,其附着于芯片的隆起使用另一种装配方法基本插入衬底的凹陷;和

[0033] 图 17 是本发明另一个实施方案的倒装芯片封装的横截面视图。

[0034] 说明性实施方案详述

[0035] 将参考附图详述多种实施方案,其中在所有这几个视图中相同的数字代表相同的部分和组件。对多种实施方案的参考并不限制所附权利要求的范围。而且,本说明书中阐释的任何实施例均非意在限制,而是仅对所附权利要求阐释许多可能的实施方案中的一部分。

[0036] 本申请公开了一种新方式,以在隆起芯片和衬底的图案化电路层之间形成电连接。如将针对本发明说明性实施方案讨论的,可以通过使用本发明中讨论的简单过程来减轻倒装芯片中的大部分制造问题。

[0037] 图 8 是根据本发明一个说明性实施方案所公开的倒装芯片衬底的横截面视图,该衬底例如采用铜来形成图案化电路层。如图 8 所示,衬底 830 由在图案化导电电路层 860 顶部的绝缘核 832 层形成。交替堆叠的附加绝缘层和导电电路层可被包括在衬底 830 中。衬底表面上的顶部绝缘层 832 包括多个蚀孔 834。可以通过图案化和化学蚀刻,或例如冲压、机械钻孔或激光钻孔等的任何其他孔形成技术来形成蚀孔。在蚀孔底部有隆起垫 840,蚀孔 834 的侧壁 846 也可以覆有导电层 844(例如铜),如图 9 所示,通过任何本领域公知的金属堆积或涂覆技术,例如用光致抗蚀剂掩盖衬底之后电镀,或将种子金属层化学镀/沉积到孔内壁之后电镀。例如,镀通孔“PTH”技术中的多种公知工艺可用于将侧壁 846 镀上导电层 844_[.2]。蚀孔 834 暴露出隆起垫 840 以与芯片 820 进行电连接。

[0038] 在将芯片连接到衬底时,首先,蚀孔 834 填充有焊膏 870,如图 10 所示。在本发明的该说明性实施方案中,芯片 820 在其活性表面上柱形隆起(stud bumped),如图 10 所示。即,每个隆起 810 在尖端具有小突起 812。

[0039] 注意到,在该说明性实施方案中,蚀孔 834 具有足够的容积来容纳足够的焊膏 870 以确保在整个可接受缺陷的范围内,焊料隆起 810 和焊料隆起垫 840 之间有适当的电连接。所述缺陷例如,由未对准或分布不一致造成的位置偏移,或由缺乏芯片和衬底的共面性造成的高度偏移。例如,该说明性实施方案中,蚀孔 834 的深度与隆起垫 840 的宽度近似相等。而现有技术中蚀孔的深度与隆起的高度相当。可采用其他合适的深度。或者,蚀孔 840 的深度可根据待附着于衬底 830 的隆起 810 的预期尺寸而设计。例如,可采用在约 0.5 倍至约 1.5 倍于隆起 810 的直径之间的深度。作为又一个实施例,可采用约 0.7 倍至约 1.2 倍于隆起 810 的直径之间的深度。从又一个透视图看,该说明性实施方案中的孔 834 具有足够的深度,以允许焊膏在回流焊工艺中塌陷之后浸没隆起 810 的很大一部分(例如隆起高度的一半)。

[0040] 下一步,通过让芯片 820 的柱形隆起 810 穿入填充蚀孔 834 的焊膏 870 来形成芯片 820 和衬底 830 之间的初始(例如预回流焊)接触,如图 11 所示。

[0041] 继而,在附着于衬底 830 的芯片 820 上执行回流焊工艺以融化焊膏 870,从而焊膏 870 塌陷(如在图 11 和 12 之间,焊膏 870 表面 872 形状的变化所显示的)以填充蚀孔,图 12。这样,由于经由焊膏 870 增加了得到充足接触面积的确定性,因此比现有技术更好地确保了每个隆起 810 和每个隆起垫 840 之间的电连接。因此,焊点可靠性得到改善,结果是减小了隆起 810 和隆起垫 840 之间的接触电阻。此外,可以减轻由未对准或分布不一致造成的位置偏移问题,和由芯片和衬底共面性或隆起共面性造成的高度偏移问题。

[0042] 绝缘层 832 可以用任何适合倒装芯片封装的绝缘材料制成。例如,可以使用聚酰亚胺。其他材料,例如高温绝缘材料,也可以被应用以形成衬底。例子包括双马来酰亚胺-三嗪树脂 (BT)、(阻燃剂)FR-4 和 FR-5。导电层 860、隆起垫 840 和导电内壁 844 可以由用于倒装芯片封装的任何适合导电材料制成。例如,可以使用铜、金、镍或它们的组合。

[0043] 图 13 中示出了所公开衬底结构和芯片结构的上面提及的优点,图 13 是示出了芯片和衬底的横截面视图,该芯片和衬底存在位置偏移、高度偏移、由柱形隆起尺寸不一致造成的高度偏移、由隆起 810 和隆起垫 840 分布的未对准造成的位置偏移。不同于蚀孔仅略大于隆起的现有技术,本发明提供了蚀孔 834 的充足的设计富余。例如,蚀孔 834 的宽度大约是柱形隆起 810 直径的二倍,以使所有隆起 810 都可以穿入蚀孔 834,同时为了横向对准变化留出了足够公差。也可以采用其他相对尺寸。例如,蚀孔 834 的宽度可以是柱形隆起 810 直径的大约 1.5 倍至大约 2.5 倍。在图 16(第 6975035 号美国专利)中,在回流焊工艺之后,仅隆起的尖端与导电膏互连。与现有技术不同的是,填充蚀孔 834 的焊膏 870 在回流焊工艺之后塌陷,并形成与隆起 810 和隆起垫 840 的良好接触。而且,本发明中的柱形隆起意在形成有细长的引线,以使隆起的细长部分完全浸入焊膏,而不是如现有技术所示的仅部分接触焊膏。

[0044] 由于在该说明性实施方案中柱形隆起尺寸与蚀孔尺寸的比值小于现有技术,所以当隆起穿入焊膏时,不会将焊膏从蚀孔分散到衬底表面上。

[0045] 在如图 14、15 和 16 所示的现有技术中,粘成分 180 或导电膏 170 用作芯片附着于衬底的高度控制器。在一个示例中,附着高度是预先确定的,并由倒装芯片焊接器控制。该插入方法是不精确的,因为没有机械反馈,这样机器就不能调节插入高度以补偿衬底的非一致性。在另一个示例中,将隆起 110 插入蚀孔,直到芯片表面接触衬底表面。在又一个示例中,蚀孔的深度将不如提及的深,以使当将柱形隆起 110 插入蚀孔时,它们的尖端能触及导电垫。后两个实施方案的插入方法比第一个更精确。在这两种方法中,当衬底表面接触芯片表面,或柱形隆起的尖端接触焊垫时,机器可以检测应力。

[0046] 加之,底充材料(未示出)被填充在芯片和衬底之间,以防止隆起因芯片和衬底的热膨胀系数的差异导致的热应力而疲劳塌陷。

[0047] 在如图 17 所示本发明的另一个实施方案中,粘合层 1780 被包括在芯片和衬底 1730 之间,以进一步补偿衬底 1730 的不规则性,并充当芯片附着于衬底 1730 的高度控制器。所添加的粘合层 1780 也将充当芯片和衬底 1730 之间的互连剂,以使芯片既通过粘合层 1780,又通过在焊膏 1770 和柱形隆起 1710 之间形成的结合而胶合在衬底 1730 上。注意到,可以应用其他类型的粘合技术,以提供额外的强度将芯片胶合在符合本实施方案的衬底上。注意到,在芯片和衬底之间具有额外粘合材料层的情形下,不必在芯片和衬底之间进行底充。

[0048] 这样,在本发明的说明性实施方案中,本发明的倒装芯片封装的衬底增大了隆起和隆起垫之间接触面积,从而改善了焊点可靠性和产品产量,并增加了可靠性。此外,由于隆起穿入填充有在回流焊期间塌陷的焊膏的蚀孔,对准精度的公差得到了改善。隆起和隆起垫之间接触面积增大了,并且由共面误差或位置误差对焊点造成的不利影响减小了。因此,有效地解决了隆起和隆起垫之间的不良接触以及关联的大接触电阻的问题。因此,产量和品质也得到了改善。

[0049] 本发明的另一个优点是,因为提高了隆起和隆起垫之间对准精度的公差,更容易将芯片上的隆起对准衬底上的蚀孔(隆起垫)。原因是,因施加到芯片所需的压力更小,以类似于通过引用纳入此处的第 6,573,610 号美国专利所述的方法,受压芯片极可能会落入蚀孔。为了进一步减小对准问题,小振动,例如超声振动,可以被应用于所附着的芯片,以使振动的芯片具有能量以在衬底表面上移动,但当芯片已穿入蚀孔时,它将没有足够的能量脱离蚀孔。这样就提高了获得附着于与其对准衬底的芯片的可能性。

[0050] 上述多种实施方案仅以说明的方式提供,而不应被解释为限制所附权利要求。本领域技术人员将容易认识到,可以做出多种修改和改变,而不遵循这里示出和描述的示例性实施方案,也不脱离所附权利要求的真实精神和范围。

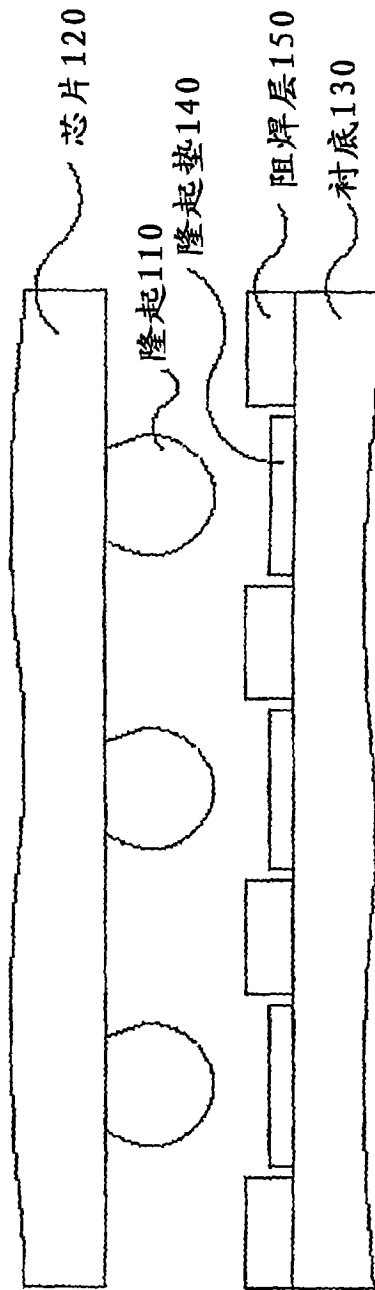


图 1

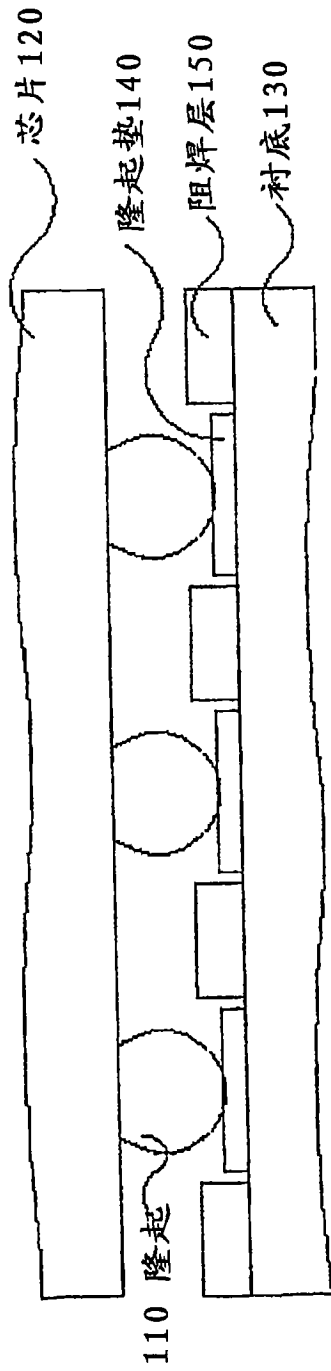


图 2

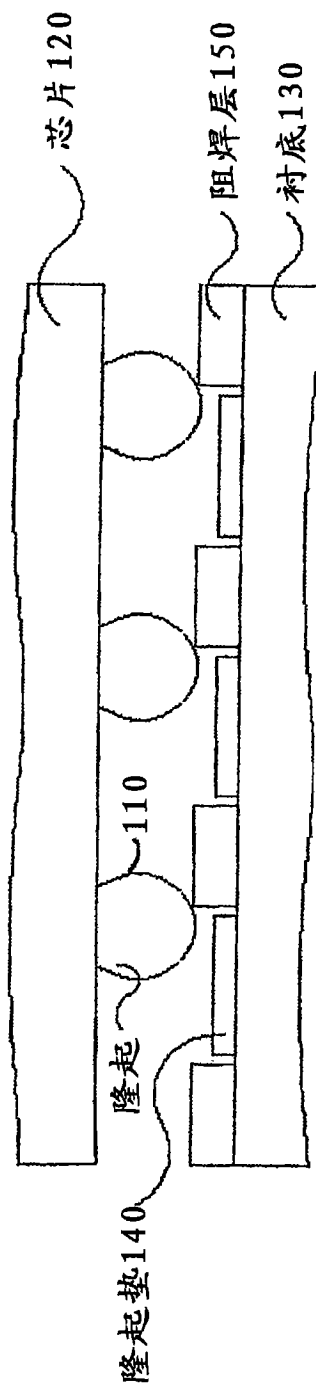


图 3

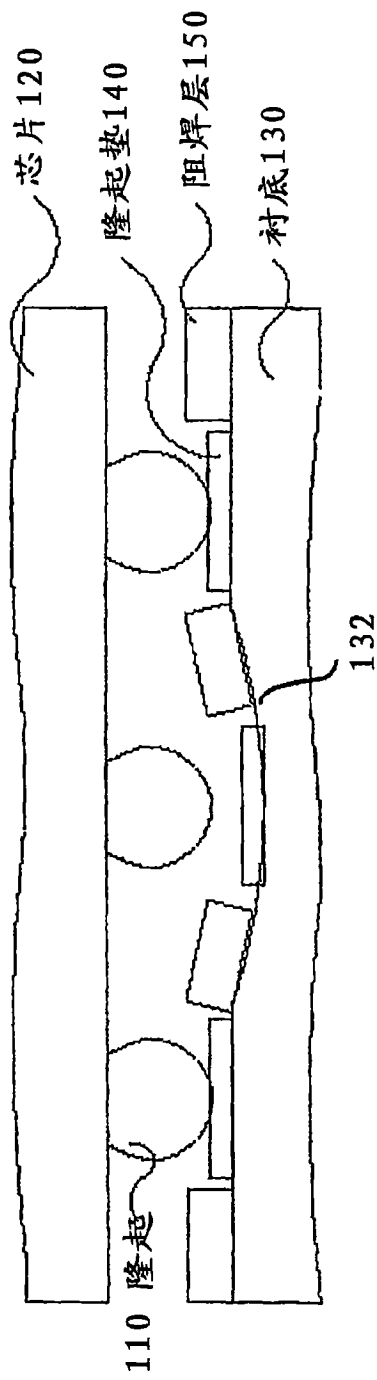


图 4

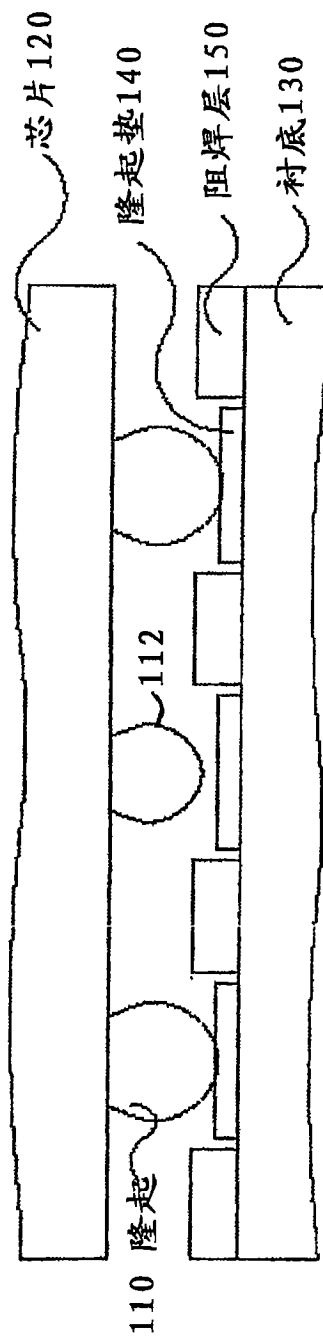


图 5

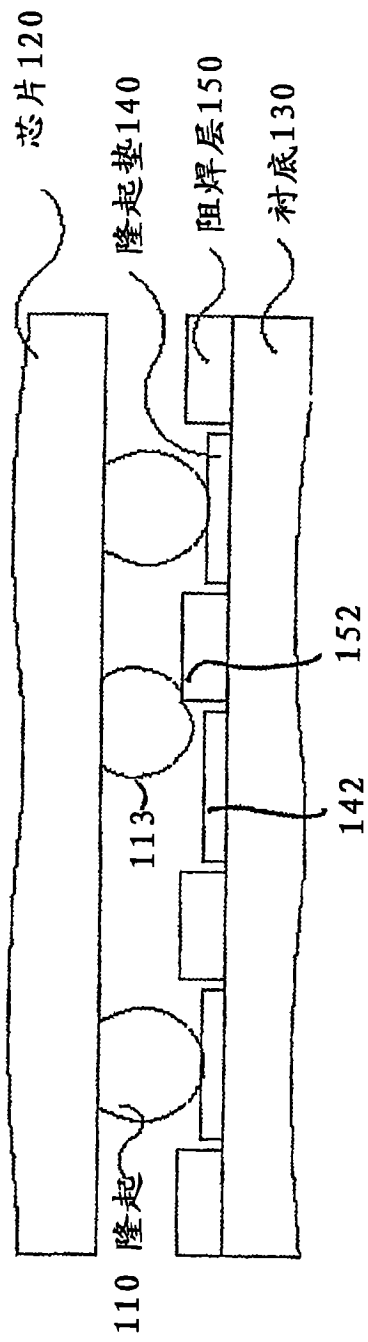


图 6

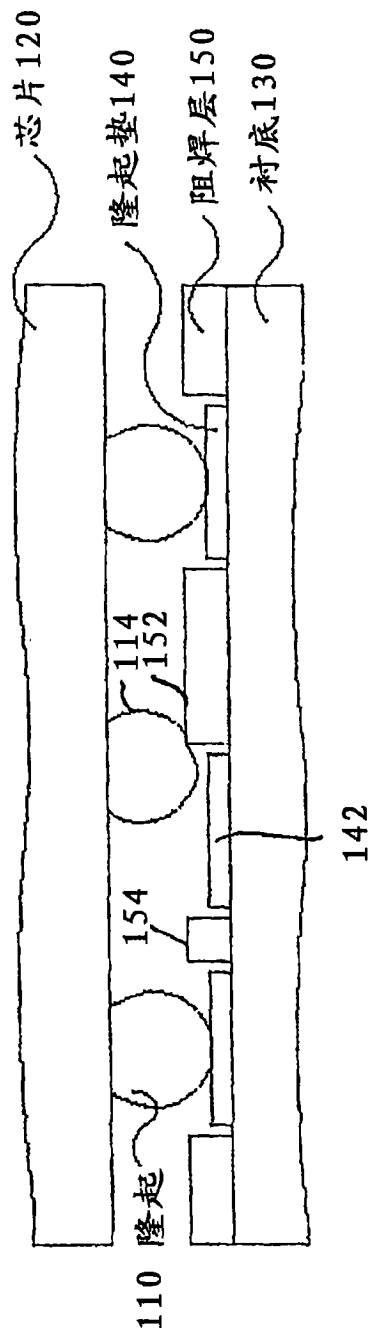


图 7

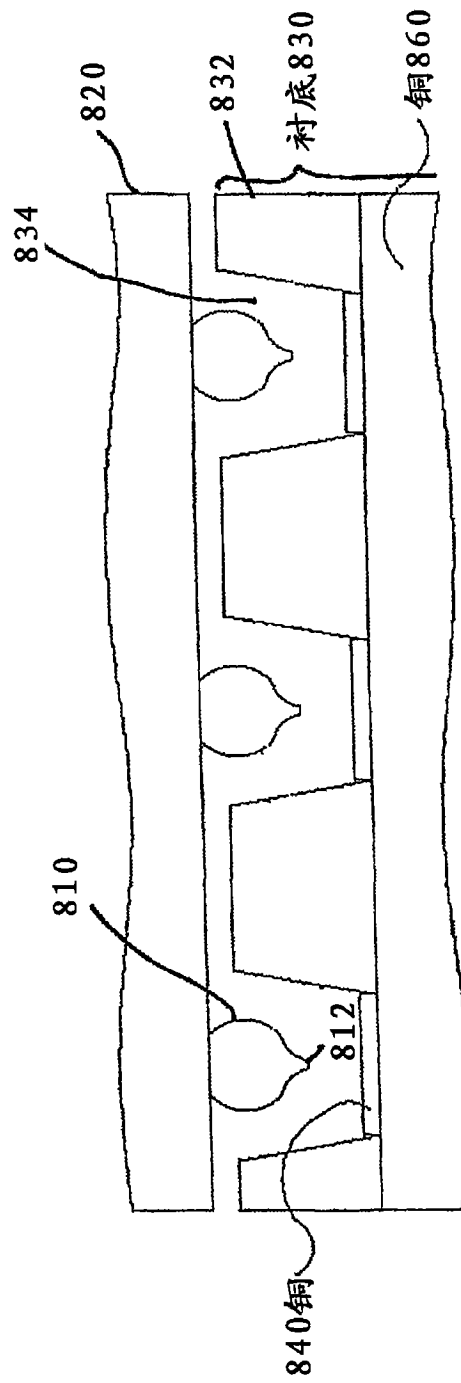


图 8

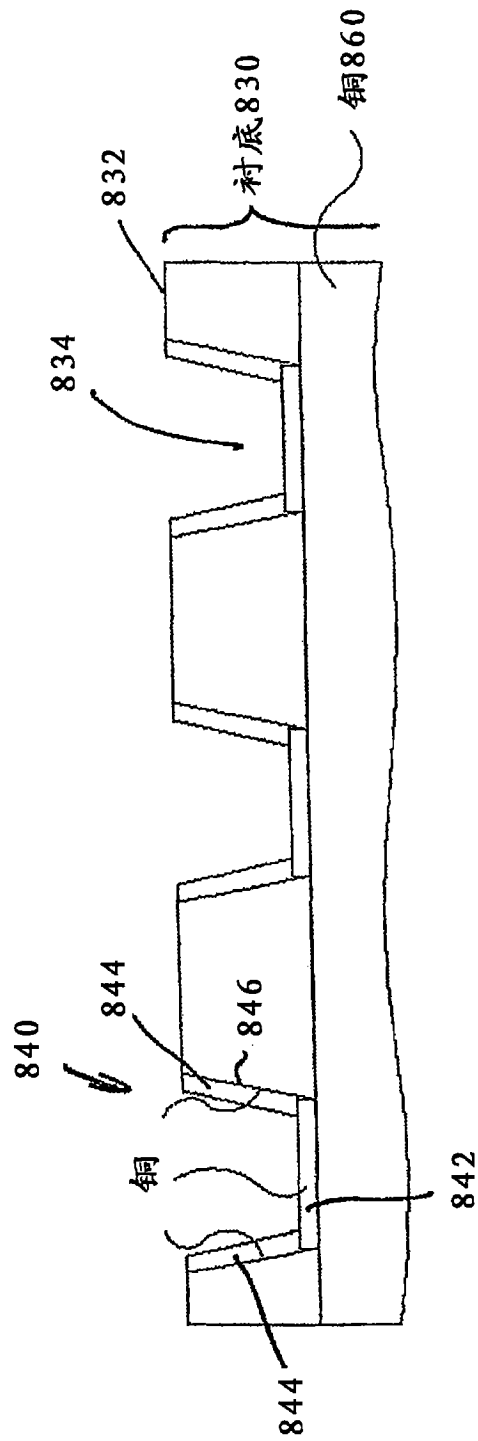


图 9

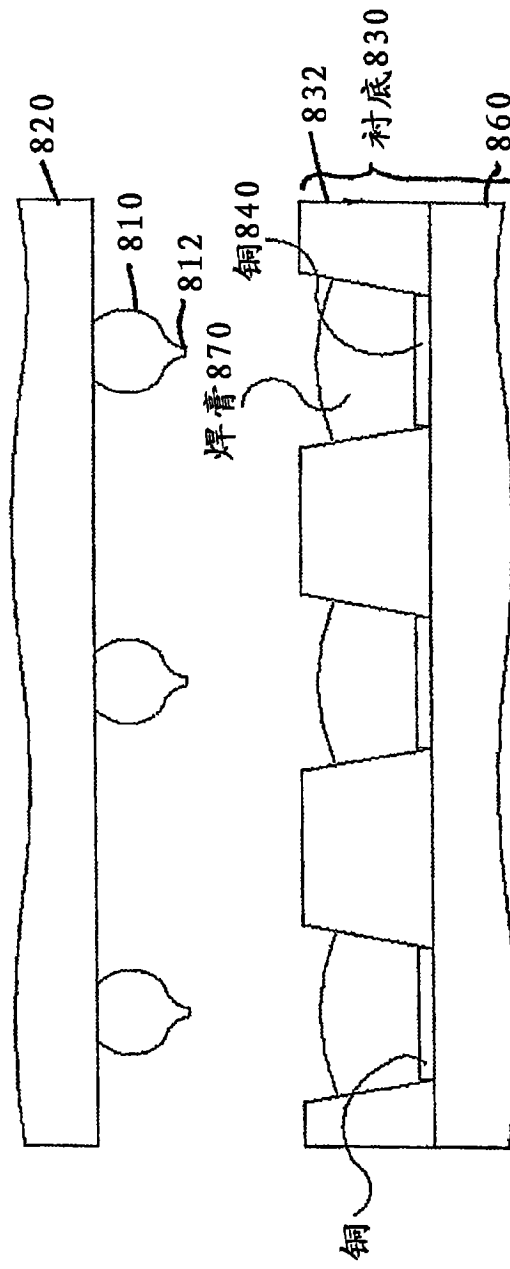


图 10

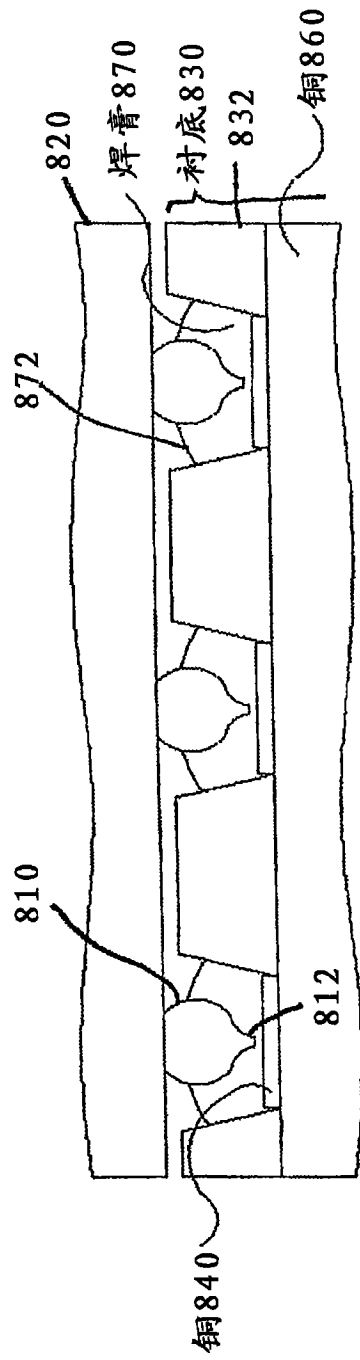


图 11

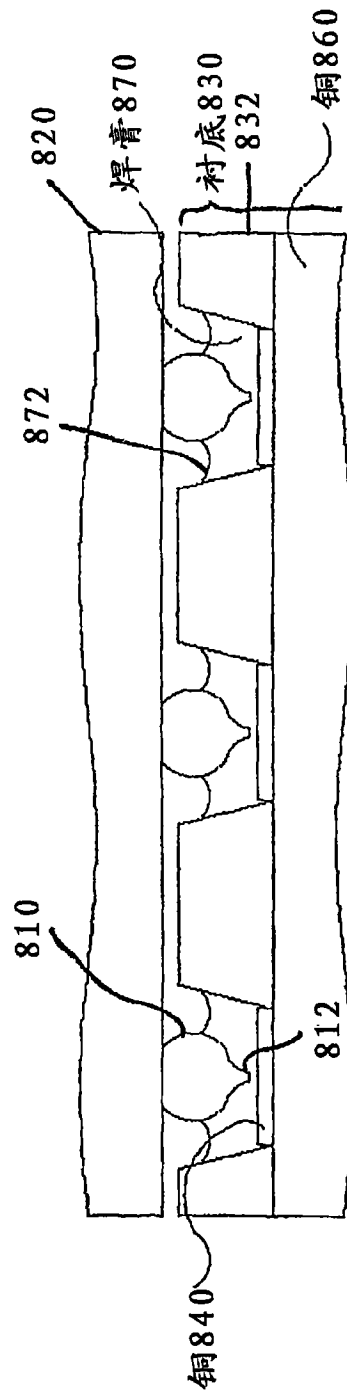


图 12

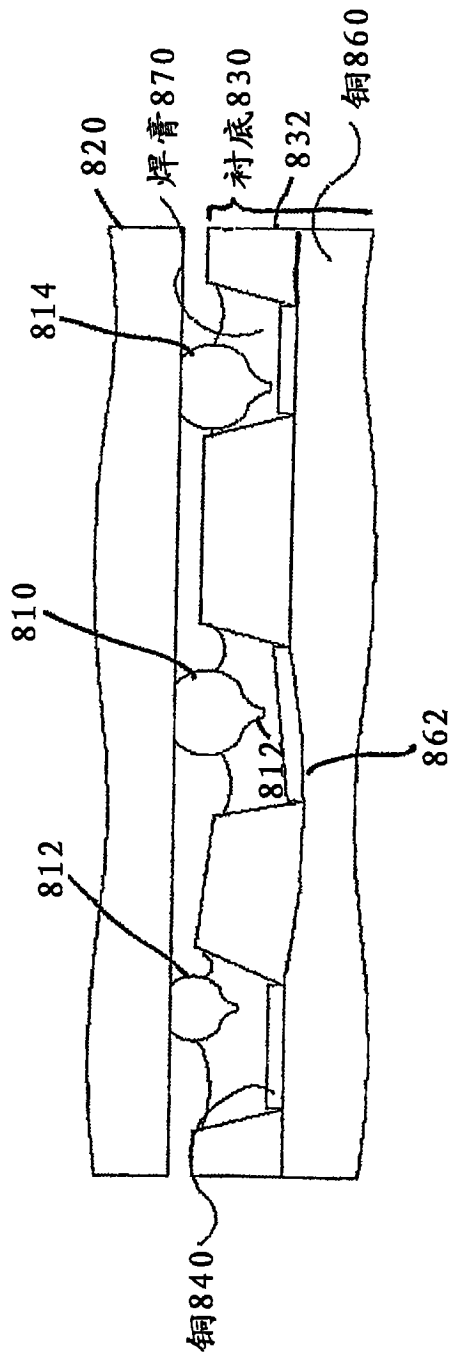
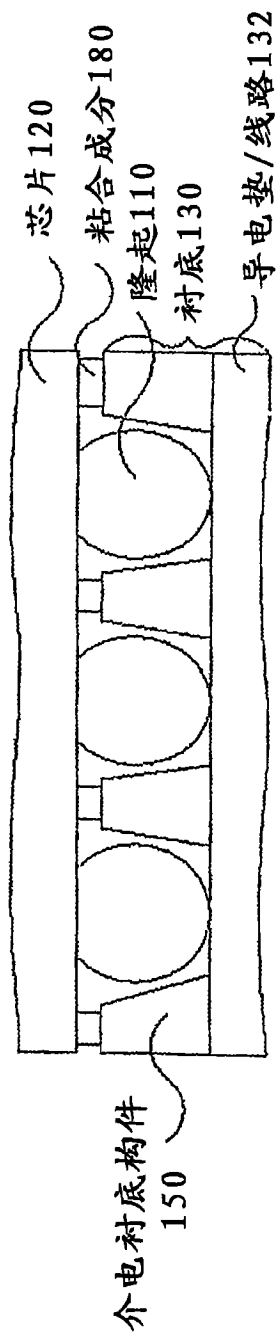
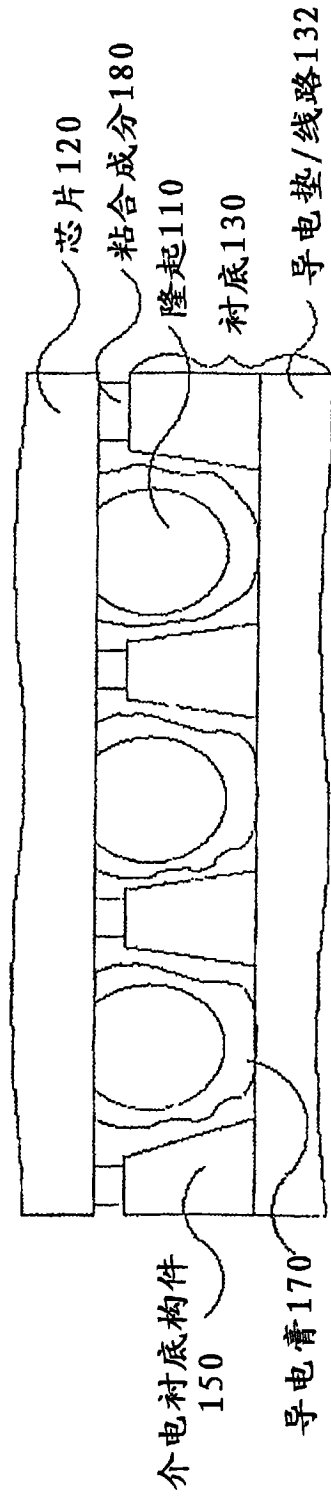


图 13



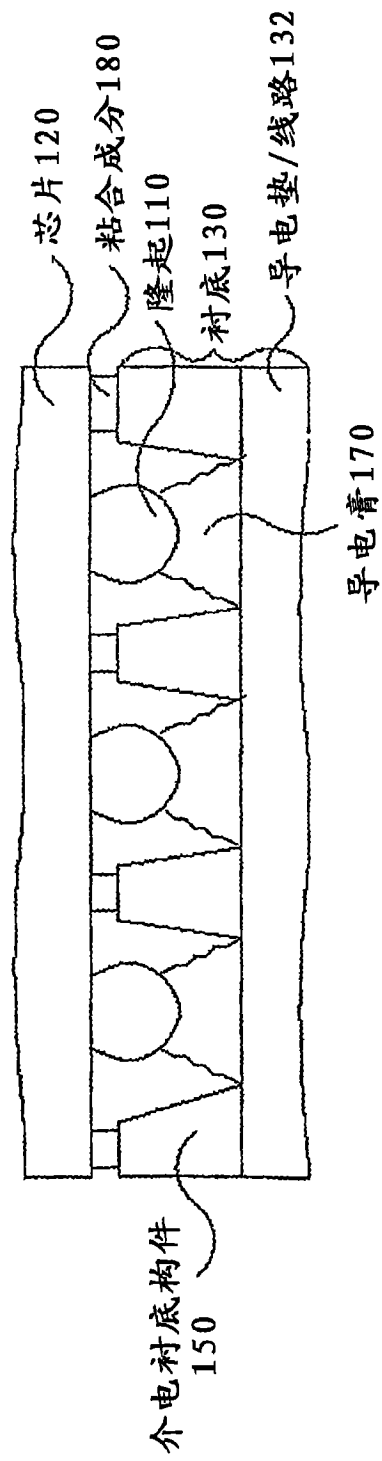
现有技术

图 14



现有技术

图 15



现有技术

图 16

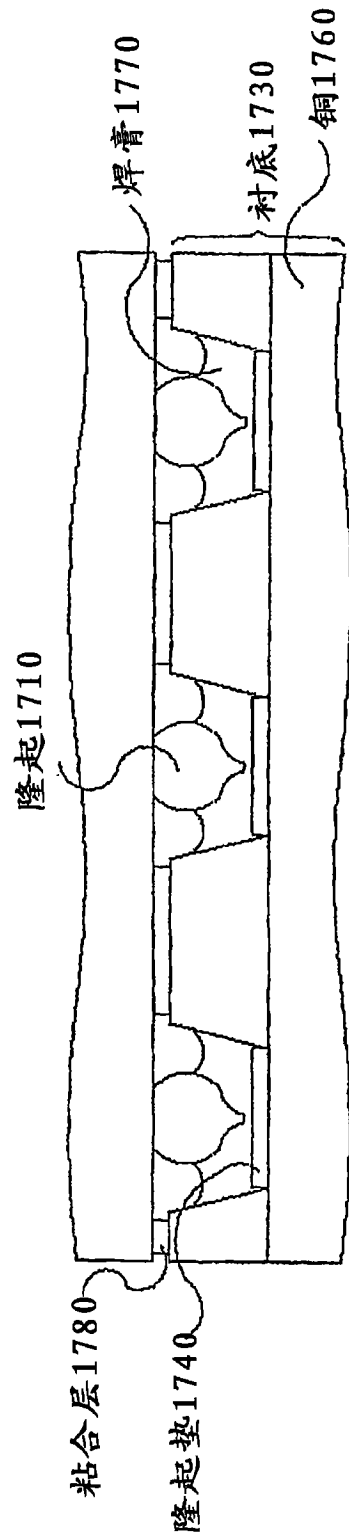


图 17