

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7532933号  
(P7532933)

(45)発行日 令和6年8月14日(2024.8.14)

(24)登録日 令和6年8月5日(2024.8.5)

(51)国際特許分類

F I

H 0 1 L 21/52 (2006.01)

H 0 1 L 21/52 A

H 0 1 L 21/52 C

請求項の数 18 (全19頁)

|                                                                                                                                                                                 |                               |          |                        |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------|----------|------------------------|
| (21)出願番号                                                                                                                                                                        | 特願2020-102878(P2020-102878)   | (73)特許権者 | 000005234              |
| (22)出願日                                                                                                                                                                         | 令和2年6月15日(2020.6.15)          |          | 富士電機株式会社               |
| (65)公開番号                                                                                                                                                                        | 特開2021-197447(P2021-197447 A) |          | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
| (43)公開日                                                                                                                                                                         | 令和3年12月27日(2021.12.27)        | (74)代理人  | 100105854              |
| 審査請求日                                                                                                                                                                           | 令和5年5月15日(2023.5.15)          |          | 弁理士 廣瀬 一               |
| (出願人による申告)平成30年度、国立研究開発法人科学技術振興機構、「戦略的イノベーション創造プログラム / S I P第2期 / 脱炭素社会実現のためのエネルギーシステム / 高パワー密度、高温動作可能なW B Gチップ搭載パワーモジュール / ユニバーサル対応コア・パワーモジュールの開発」委託研究、産業技術力強化法第17条の適用を受ける特許出願 |                               | (74)代理人  | 100103850              |
|                                                                                                                                                                                 |                               |          | 弁理士 田中 秀▲てつ▼           |
|                                                                                                                                                                                 |                               | (72)発明者  | 堀 元人                   |
|                                                                                                                                                                                 |                               |          | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
|                                                                                                                                                                                 |                               |          | 富士電機株式会社内              |
|                                                                                                                                                                                 |                               | (72)発明者  | 池田 良成                  |
|                                                                                                                                                                                 |                               |          | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
|                                                                                                                                                                                 |                               |          | 富士電機株式会社内              |
|                                                                                                                                                                                 |                               | (72)発明者  | 平尾 章                   |
|                                                                                                                                                                                 |                               |          | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
|                                                                                                                                                                                 |                               |          | 最終頁に続く                 |

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】

絶縁回路基板と、  
前記絶縁回路基板上に焼結材を介して配置された半導体チップと、  
前記絶縁回路基板上に配置され、前記焼結材及び前記半導体チップの周囲を囲む開口部を有する枠材と、  
前記焼結材、前記半導体チップ及び前記枠材を封止する封止部材と、  
を備え、  
前記焼結材のサイズが、前記半導体チップのサイズよりも大きいことを特徴とする半導体装置。

【請求項2】

前記枠材が樹脂からなることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記枠材の厚さが、前記半導体チップ及び前記焼結材を合計した厚さ未満であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記枠材の熱伝導率が、前記封止部材の熱伝導率よりも高いことを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

絶縁回路基板と、

前記絶縁回路基板上に焼結材を介して配置された半導体チップと、  
前記絶縁回路基板上に配置され、前記焼結材及び前記半導体チップの周囲を囲む開口部  
を有する枠材と、  
前記焼結材、前記半導体チップ及び前記枠材を封止する封止部材と、  
を備え、

前記枠材の前記開口部の角部に切り欠き部が設けられていることを特徴とする半導体装置。

【請求項 6】

前記半導体チップを複数備え、  
前記開口部が、前記複数の半導体チップのそれぞれの周囲を囲むように複数設けられる  
ことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

10

【請求項 7】

絶縁回路基板と、  
前記絶縁回路基板上に焼結材を介して配置された半導体チップと、  
前記絶縁回路基板上に配置され、前記焼結材及び前記半導体チップの周囲を囲む開口部  
を有する枠材と、  
前記焼結材、前記半導体チップ及び前記枠材を封止する封止部材と、  
を備え、

前記半導体チップを複数備え、  
前記開口部が、前記複数の半導体チップのそれぞれの周囲を囲むように複数設けられ、  
前記複数の半導体チップが、互いに異なる厚さを有し、  
前記枠材が、前記複数の半導体チップのそれぞれの厚さに応じて、互いに厚さの異なる  
部分を有する  
ことを特徴とする半導体装置。

20

【請求項 8】

前記開口部と前記半導体チップの外周部とが離隔することを特徴とする請求項 1 に記載  
の半導体装置。

【請求項 9】

前記開口部と前記半導体チップの外周部との隙間が 30  $\mu$ m 以上であることを特徴とす  
る請求項 8 に記載の半導体装置。

30

【請求項 10】

絶縁回路基板上に、開口部を有する枠材を載置する工程と、  
前記開口部内の前記絶縁回路基板上に、焼結材を搭載する工程と、  
前記開口部内の前記焼結材上に、半導体チップを搭載する工程と、  
前記半導体チップ上から加圧しながら加熱することにより、前記焼結材を介して前記半  
導体チップを前記絶縁回路基板に接合する工程と、  
前記焼結材及び前記半導体チップを封止部材で封止する工程と、  
を含み、

前記焼結材のサイズが、前記半導体チップのサイズよりも大きいことを特徴とする半導  
体装置の製造方法。

40

【請求項 11】

前記枠材が樹脂からなることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

絶縁回路基板上に、開口部を有する枠材を載置する工程と、  
前記開口部内の前記絶縁回路基板上に、焼結材を搭載する工程と、  
前記開口部内の前記焼結材上に、半導体チップを搭載する工程と、  
前記半導体チップ上から加圧しながら加熱することにより、前記焼結材を介して前記半  
導体チップを前記絶縁回路基板に接合する工程と、  
前記焼結材及び前記半導体チップを封止部材で封止する工程と、  
を含み、

50

前記枠材の厚さが、前記半導体チップ及び前記焼結材を合計した厚さ未満であることを特徴とする半導体装置の製造方法。

【請求項 13】

前記封止する工程は、前記枠材を更に封止することを特徴とする請求項 10 ~ 12 に記載のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】

絶縁回路基板上に、開口部を有する枠材を載置する工程と、  
前記開口部内の前記絶縁回路基板上に、焼結材を搭載する工程と、  
前記開口部内の前記焼結材上に、半導体チップを搭載する工程と、  
前記半導体チップ上から加圧しながら加熱することにより、前記焼結材を介して前記半導体チップを前記絶縁回路基板に接合する工程と、  
前記焼結材及び前記半導体チップを封止部材で封止する工程と、  
を含み、

10

前記接合する工程の後、且つ前記封止する工程の前に、前記絶縁回路基板上から前記枠材を取り外す工程を更に含むことを特徴とする半導体装置の製造方法。

【請求項 15】

前記接合する工程は、前記開口部よりも大きい面積の加圧面を有する加圧部を用いて、前記半導体チップを加圧することを特徴とする請求項 10 ~ 14 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】

20

前記枠材を載置する工程は、複数の開口部を有する枠材を載置し、  
前記焼結材を搭載する工程は、前記複数の開口部内の前記絶縁回路基板上に、複数の焼結材をそれぞれ搭載し、  
前記半導体チップを搭載する工程は、前記複数の開口部内の前記焼結材上に、複数の半導体チップをそれぞれ搭載することを特徴とする請求項 10 ~ 15 に記載のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 17】

前記接合する工程は、単体の加圧部を用いて、前記複数の半導体チップを一括して加圧することを特徴とする請求項 16 に記載の半導体装置の製造方法。

30

【請求項 18】

絶縁回路基板上に、開口部を有する枠材を載置する工程と、  
前記開口部内の前記絶縁回路基板上に、焼結材を搭載する工程と、  
前記開口部内の前記焼結材上に、半導体チップを搭載する工程と、  
前記半導体チップ上から加圧しながら加熱することにより、前記焼結材を介して前記半導体チップを前記絶縁回路基板に接合する工程と、  
前記焼結材及び前記半導体チップを封止部材で封止する工程と、  
を含み、

前記枠材を載置する工程は、複数の開口部を有する枠材を載置し、  
前記焼結材を搭載する工程は、前記複数の開口部内の前記絶縁回路基板上に、複数の焼結材をそれぞれ搭載し、  
前記半導体チップを搭載する工程は、前記複数の開口部内の前記焼結材上に、複数の半導体チップをそれぞれ搭載し、

40

前記複数の半導体チップが、互いに異なる厚さを有し、  
前記枠材が、前記複数の半導体チップのそれぞれの厚さに応じて、互いに厚さの異なる部分を有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、パワー半導体チップを内蔵する半導体装置（半導体モジュール）及びその製造方法に関する。

【背景技術】

【0002】

パワー半導体チップ（以下、単に「半導体チップ」という。）は、例えば電力変換用のスイッチング素子として用いられている。半導体チップのパッケージ構造において、はんだ材又は焼結材等の接合材を用いて、半導体チップを絶縁回路基板上に接合する。近年は半導体チップの高性能化に伴い、接合材にも連続耐熱性の高温化や高信頼性が求められており、はんだと比較して熱伝導と耐久性の高い焼結材を用いる場合が増加している。

【0003】

半導体チップを絶縁回路基板上に焼結材により接合する際には、絶縁回路基板上に焼結材を介して半導体チップを搭載した後、半導体チップをその上面側から加圧しながら加熱して、焼結材に焼結反応を生じさせて接合する（特許文献1参照）。特許文献1では、絶縁回路基板に凹凸部を形成し、凹凸部により焼結材及び半導体チップを位置決めしている。

【先行技術文献】

【特許文献】

【0004】

【文献】国際公開第2017/195399号

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、絶縁回路基板に凹凸部を形成するためのめっきレジスト形成、めっき処理、レジスト除去、研削処理等が必要となり、工数が増大するという課題がある。

【0006】

上記課題に鑑み、本発明は、絶縁回路基板上に焼結材を介して半導体チップを接合する際に、工数の増大を抑制しつつ半導体チップを位置決めすることができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、（a）絶縁回路基板と、（b）絶縁回路基板上に焼結材を介して配置された半導体チップと、（c）絶縁回路基板上に配置され、焼結材及び半導体チップの周囲を囲む開口部を有する枠材と、（d）焼結材、半導体チップ及び枠材を封止する封止部材とを備える半導体装置であることを要旨とする。

【0008】

本発明の他の一態様は、（a）絶縁回路基板上に、開口部を有する枠材を載置する工程と、（b）開口部内の絶縁回路基板上に、焼結材を搭載する工程と、（c）開口部内の焼結材上に、半導体チップを搭載する工程と、（d）半導体チップ上から加圧しながら加熱することにより、焼結材を介して半導体チップを絶縁回路基板に接合する工程と、（e）焼結材及び半導体チップを封止部材で封止する工程とを含む半導体装置の製造方法であることを要旨とする。

【発明の効果】

【0009】

本発明によれば、絶縁回路基板上に焼結材を介して半導体チップを接合する際に、工数の増大を抑制しつつ半導体チップを位置決めすることができる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【0010】

【図1】第1実施形態に係る半導体装置の側面図である。

【図2】第1実施形態に係る半導体装置の平面図である。

10

20

30

40

50

【図 3】図 2 の A - A 方向から見た断面図である。

【図 4】第 1 実施形態に係る半導体装置の製造方法の断面図である。

【図 5】第 1 実施形態に係る半導体装置の製造方法の図 4 に引き続く断面図である。

【図 6】第 1 比較例に係る半導体装置の断面図である。

【図 7】第 1 比較例に係る半導体装置の製造方法の断面図である。

【図 8】第 1 比較例に係る半導体装置の製造方法の図 7 に引き続く断面図である。

【図 9】第 2 比較例に係る半導体装置の平面図である。

【図 10】図 9 の A - A 方向から見た断面図である。

【図 11】第 2 実施形態に係る半導体装置の平面図である。

【図 12】第 3 実施形態に係る半導体装置の平面図である。

10

【図 13】第 4 実施形態に係る半導体装置の製造方法の断面図である。

【図 14】第 4 実施形態に係る半導体装置の製造方法の図 13 に引き続く断面図である。

【図 15】第 5 実施形態に係る半導体装置の断面図である。

【図 16】第 6 実施形態に係る半導体装置の断面図である。

【図 17】第 6 実施形態に係る半導体装置の製造方法の断面図である。

【図 18】第 6 実施形態に係る半導体装置の製造方法の図 17 に引き続く断面図である。

【図 19】第 7 実施形態に係る半導体装置の断面図である。

【発明を実施するための形態】

【0011】

以下、図面を参照して、第 1 ～ 第 7 実施形態を説明する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる場合がある。また、図面相互間においても寸法の関係や比率が異なる部分が含まれ得る。また、以下に示す第 1 ～ 第 7 実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。

20

【0012】

また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。例えば、対象を 90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

30

【0013】

(第 1 実施形態)

第 1 実施形態に係る半導体装置として、図 1 に示すように、半導体素子 1 つ分の機能を有する 1 イン 1 と呼ばれるパワー半導体モジュールを例示する。第 1 実施形態に係る半導体装置は、絶縁回路基板 1 と、絶縁回路基板 1 上に焼結材 5 a , 5 b を介して搭載された半導体チップ 6 a , 6 b と、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b の周囲を囲むように配置された枠材 (位置決めマスク) 10 と、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b を少なくとも封止する封止部材 14 とを備える。

【0014】

40

絶縁回路基板 1 は、絶縁基板 2 と、絶縁基板 2 の上面に配置された上側回路層 3 と、絶縁基板 2 の下面に配置された下側回路層 4 とを備える。絶縁回路基板 1 は、例えば直接銅接合 (DCB) 基板や活性ろう付け (AMD) 基板等であってもよい。絶縁基板 2 は、例えば酸化アルミニウム ( $Al_2O_3$ )、窒化アルミニウム ( $AlN$ )、窒化珪素 ( $Si_3N_4$ ) 等からなるセラミクス基板や、高分子材料等を用いた樹脂絶縁基板で構成されている。上側回路層 3 及び下側回路層 4 は、例えば銅 (Cu) やアルミニウム (Al) 等の導体箔で構成されている。

【0015】

半導体チップ 6 a , 6 b としては、例えば絶縁ゲート型バイポーラトランジスタ (IGBT)、電界効果トランジスタ (FET)、静電誘導 (SI) サイリスタ、ゲートターン

50

オフ（GTO）サイリスタ、還流ダイオード（FWD）等が採用可能であるが、ここでは半導体チップ6a, 6bがIGBTである場合を例示する。半導体チップ6a, 6bは、例えばシリコン（Si）基板で構成してもよく、或いは炭化ケイ素（SiC）、窒化ガリウム（GaN）、酸化ガリウム（Ga<sub>2</sub>O<sub>3</sub>）等のワイドバンドギャップ半導体からなる化合物半導体基板で構成してもよい。

【0016】

半導体チップ6a, 6bの厚さは例えば100μm程度であるが、これに限定されない。図示を省略するが、半導体チップ6a, 6bは、下面側に第1主電極（コレクタ電極）をそれぞれ有し、上面側に、制御電極（ゲート電極）及び第2主電極（エミッタ電極）をそれぞれ有する。半導体チップ6a, 6bの下面側のコレクタ電極は、焼結材5a, 5bを介して、絶縁回路基板1の上側回路層3に接合されている。

10

【0017】

図1では2個の半導体チップ6a, 6bを例示するが、半導体チップの数は、半導体モジュールの電流量等に応じて適宜設定可能であり、特に限定されない。例えば、1個の半導体チップを有していてもよく、3つ以上の半導体チップを有していてもよい。

【0018】

図2は、図1に示した絶縁回路基板1、半導体チップ6a, 6b及び枠材10の平面図を示す。図3は、図2のA-A方向から見た断面図である。図2に示すように、半導体チップ6a, 6bは矩形の平面パターンを有する。半導体チップ6a, 6bのサイズは、例えば10mm×10mm程度であるが、これに限定されない。

20

【0019】

図1及び図3に示す焼結材5a, 5bとしては、例えば金属粒子ペースト（導電性ペースト）が使用可能である。導電性ペーストは、有機溶媒と、有機溶媒中に含有される銀（Ag）系又は銅（Cu）系等の金属粒子とで構成される。金属粒子は、数nm～数μm程度の微細な粒子径を有する。焼結材5a, 5bは、金属粒子の融点が高いので、150～175程度の使用温度でせん断強度が低下しないため、SiCチップやGaNチップ等の更に高い温度でも使用可能となる。例えば銀（Ag）系の焼結材5a, 5bの熱伝導率は約250W/mK、熱膨張係数は約 $19 \times 10^{-6} / ^\circ\text{C}$ 、融点は約960であり、使用温度での強度が安定する。

【0020】

30

焼結材5a, 5bの厚さは例えば100μm程度であるが、これに限定されない。図1及び図3では、焼結材5a, 5bのサイズ（面積）が、半導体チップ6a, 6bのサイズ（面積）と同等である場合を例示している。焼結材5a, 5bは、半導体チップ6a, 6bと同様の矩形の平面パターンを有する。焼結材5a, 5bのサイズ（面積）は、半導体チップ6a, 6bのサイズ（面積）よりも大きくてもよく、半導体チップ6a, 6bのサイズ（面積）よりも小さくてもよい。

【0021】

図1～図3に示した枠材10は、絶縁回路基板1上に焼結材5a, 5bを介して半導体チップ6a, 6bを接合する際に、焼結材5a, 5b及び半導体チップ6a, 6bの位置決めを行うための位置決めマスクである。枠材10は、絶縁回路基板1の上側回路層3上に、半導体チップ6a, 6bの周囲を囲むように配置されている。枠材10と絶縁回路基板1の上側回路層3との間には接合材は配置されず、枠材10は上側回路層3と直接接している。

40

【0022】

枠材10の材料としては、エポキシ樹脂、マレイミド樹脂、シアネート樹脂等の樹脂が使用可能である。枠材10は、封止部材14と同一の材料で構成されていてもよく、異なる材料で構成されていてもよい。枠材10の材料を封止部材14の材料と異ならせて、枠材10の熱伝導率を、封止部材14の熱伝導率よりも高くすることにより、半導体チップ6a, 6bに通電時の放熱性を向上することができる。枠材10は、金型で成形してもよく、フィルム状（シート状）の樹脂を打ち抜いて作製してもよい。

50

## 【 0 0 2 3 】

図 3 に示すように、枠材 1 0 の厚さ  $T_1$  は、焼結材 5 a , 5 b と半導体チップ 6 a , 6 b の合計の厚さ  $T_2$  よりも薄く設定されている。枠材 1 0 の厚さ  $T_1$  は、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b の位置を制御するために、焼結材 5 a , 5 b よりも厚くすることが好ましい。枠材 1 0 の厚さ  $T_1$  は、例えば、焼結材 5 a , 5 b と半導体チップ 6 a , 6 b の合計の厚さ  $T_2$  の  $1/2$  以上に設定されることが好ましい。

## 【 0 0 2 4 】

例えば、半導体チップ 6 a , 6 b の厚さが  $100\ \mu\text{m}$  程度であり、焼結材 5 a , 5 b の厚さが  $100\ \mu\text{m}$  程度であり、焼結材 5 a , 5 b と半導体チップ 6 a , 6 b の合計の厚さ  $T_2$  は  $200\ \mu\text{m}$  程度となる場合、枠材 1 0 の厚さ  $T_1$  は  $150\ \mu\text{m}$  程度に設定し得る。

10

## 【 0 0 2 5 】

図 2 に示すように、枠材 1 0 は、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b の周囲を囲む矩形の開口部 1 0 a , 1 0 b を有する。枠材 1 0 の開口部 1 0 a , 1 0 b の数は特に限定されず、半導体チップ 6 a , 6 b の数に応じて増減可能である。例えば、枠材 1 0 が 1 つの開口部を有していてもよく、3 つ以上の開口部を有していてもよい。開口部 1 0 a , 1 0 b の端部と半導体チップ 6 a , 6 b の外周部との隙間  $G_1$  は、例えば  $30\ \mu\text{m}$  以上、 $100\ \mu\text{m}$  以下程度であるが、これに限定されない。開口部 1 0 a , 1 0 b のサイズは、半導体チップ 6 a , 6 b の搭載し易さや位置精度等を考慮して適宜設定可能である。

## 【 0 0 2 6 】

半導体チップ 6 a , 6 b の上方には、プリント基板 9 が配置されている。プリント基板 9 は、図示を省略するが、絶縁層と、絶縁層の下面に配置された下側配線層と、絶縁層の上面に配置された上側配線層とを備える。絶縁層は、例えばアルミナ ( $\text{Al}_2\text{O}_3$ )、窒化アルミニウム ( $\text{AlN}$ )、窒化珪素 ( $\text{Si}_3\text{N}_4$ ) 等を主成分としたセラミクスや樹脂等の絶縁材料で構成されている。絶縁層は、ガラス繊維とエポキシ樹脂との組み合わせ等からなる樹脂基板であってよい。下側配線層及び上側配線層は、例えば銅 ( $\text{Cu}$ ) やアルミニウム ( $\text{Al}$ ) 等からなる導体箔で構成されている。下側配線層及び上側配線層には、銅 ( $\text{Cu}$ ) やニッケル ( $\text{Ni}$ )、錫 ( $\text{Sn}$ ) 等のメッキが施されていてもよい。

20

## 【 0 0 2 7 】

プリント基板 9 には、複数のポスト電極 8 a ~ 8 l が挿入されている。プリント基板 9 及びポスト電極 8 a ~ 8 l によりインプラント基板が構成されている。ポスト電極 8 a ~ 8 l は、棒状 (ピン状) であり、銅 ( $\text{Cu}$ ) 等の金属材料で構成されている。ポスト電極 8 a ~ 8 e の下端は、はんだ等の接合材 7 a を介して半導体チップ 6 a のエミッタ電極に接合されている。ポスト電極 8 f の下端は、はんだ等の接合材 7 b を介して半導体チップ 6 a のゲート電極に接合されている。ポスト電極 8 g ~ 8 k の下端は、はんだ等の接合材 7 c を介して半導体チップ 6 b のエミッタ電極に接合されている。ポスト電極 8 l の下端は、はんだ等の接合材 7 d を介して半導体チップ 6 b のゲート電極に接合されている。

30

## 【 0 0 2 8 】

プリント基板 9 には、ゲート用接続端子 1 2 及びエミッタ側接続端子 1 3 が挿入されている。ゲート用接続端子 1 2 は、半導体チップ 6 a , 6 b のオン・オフを制御する制御信号を、プリント基板 9 及びポスト電極 8 f , 8 l を介して半導体チップ 6 a , 6 b のゲート電極へ供給する。ゲート用接続端子 1 2 の上端は、封止部材 1 4 の上面から突出し、外部回路に接続される。エミッタ側接続端子 1 3 は、半導体チップ 6 a , 6 b のエミッタ電極からの電流を、ポスト電極 8 a ~ 8 e , 8 g ~ 8 k 及びプリント基板 9 を介して外部に流す。エミッタ側接続端子 1 3 の下端は、絶縁回路基板 1 の上側回路層 3 に接合されている。エミッタ側接続端子 1 3 の上端は、封止部材 1 4 の上面から突出し、外部回路に接続される。

40

## 【 0 0 2 9 】

絶縁回路基板 1 の上側回路層 3 には、コレクタ側接続端子 1 1 の下端が接続されている。コレクタ側接続端子 1 1 は、上側回路層 3 を介して半導体チップ 6 a , 6 b のコレクタ電極に電流を供給する。コレクタ側接続端子 1 1 の上端は、封止部材 1 4 の上面から突出

50

し、外部回路に接続される。コレクタ側接続端子 1 1、ゲート用接続端子 1 2 及びエミッタ側接続端子 1 3 は、銅 (C u) 等の金属材料で構成されている。

#### 【 0 0 3 0 】

封止部材 1 4 は、第 1 実施形態に係る半導体装置の筐体を構成し、略直方体形状を有する。封止部材 1 4 の下面から、絶縁回路基板 1 が露出する。封止部材 1 4 としては、例えば耐熱性が高く硬質な熱硬化性樹脂等の樹脂材料が使用可能であり、具体的にはエポキシ樹脂、マレイミド樹脂、シアネート樹脂等が使用可能である。

#### 【 0 0 3 1 】

< 半導体装置の製造方法 >

次に、図 3 ~ 図 5 を主に参照して、第 1 実施形態に係る半導体装置の製造方法 (組立方法) を説明する。

10

#### 【 0 0 3 2 】

まず、図 3 に示すように、絶縁回路基板 1 を用意する。次に、搬送機等を用いて、絶縁回路基板 1 の上側回路層 3 上に枠材 1 0 を載置する。枠材 1 0 は上側回路層 3 上に接着せずに載置するだけでよい。なお、枠材 1 0 は接着材を用いて上側回路層 3 に接着してもよい。次に、スクリーン印刷法等により、枠材 1 0 の開口部 1 0 a , 1 0 b 内の上側回路層 3 上に焼結材 5 a , 5 b を搭載する。その後、焼結材 5 a , 5 b を乾燥させて有機溶媒を除去する。次に、搬送機等を用いて、枠材 1 0 の開口部 1 0 a , 1 0 b 内の焼結材 5 a , 5 b 上に半導体チップ 6 a , 6 b を搭載する。

#### 【 0 0 3 3 】

20

次に、図 4 に示すように、枠材 1 0、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b を搭載した絶縁回路基板 1 を、加熱部 1 8 上に載置する。半導体チップ 6 a , 6 b の上方には、プレス装置の加圧部 1 7 a , 1 7 b が配置されている。加圧部 1 7 a , 1 7 b の下面 (加圧面) は、半導体チップ 6 a , 6 b の上面を全て覆うように設定されている。加圧部 1 7 a , 1 7 b の加圧面の面積 (幅) A 1 は、枠材 1 0 の開口部 1 0 a , 1 0 b の面積 (幅) A 2 よりも大きく設定されている。加圧部 1 7 a , 1 7 b の加圧面側の材料としては、例えばゴム等の弾性体を使用可能である。なお、加圧部 1 7 a , 1 7 b の加圧面の面積 A 1 は、枠材 1 0 の開口部 1 0 a , 1 0 b の面積 A 2 と同等に設定されていてもよく、或いは小さく設定されていてもよい。

#### 【 0 0 3 4 】

30

加圧部 1 7 a , 1 7 b と半導体チップ 6 a , 6 b との間には、緩衝層 (剥離シート) 1 9 が配置されている。緩衝層 1 9 としては、例えばポリテトラフルオロエチレン (P T F E) 等の樹脂フィルムや、シリコン (S i) フィルム等が使用可能である。緩衝層 1 9 は、半導体チップ 6 a , 6 b が加圧部 1 7 a , 1 7 b に付着することを防止すると共に、加圧部 1 7 a , 1 7 b 側に付着した塵埃破片等による半導体チップ 6 a , 6 b 等の部品の破損を防止する機能を有する。

#### 【 0 0 3 5 】

次に、図 5 に示すように、加圧部 1 7 a , 1 7 b を降下させ、緩衝層 1 9 を塑性変形させつつ、加圧部 1 7 a , 1 7 b により緩衝層 1 9 を介して半導体チップ 6 a , 6 b の上面を押して加圧する。このとき、枠材 1 0 の厚さ T 1 が、焼結材 5 a , 5 b と半導体チップ 6 a , 6 b の合計の厚さ T 2 よりも薄いため、半導体チップ 6 a , 6 b の上面が枠材 1 0 の上面よりも上方に突出している。このため、加圧部 1 7 a , 1 7 b と半導体チップ 6 a , 6 b の相対的な位置がずれた場合でも、加圧部 1 7 a , 1 7 b が枠材 1 0 に接触せずに、半導体チップ 6 a , 6 b を確実に加圧することができる。

40

#### 【 0 0 3 6 】

半導体チップ 6 a , 6 b が加圧された状態で、加熱部 1 8 により加熱することにより、焼結材 5 a , 5 b に焼結反応を生じさせる。例えば、加圧力が 1 M P a 以上、6 0 M P a 以下程度、加熱温度が 1 5 0 以上、3 5 0 以下程度、加熱時間が 1 分以上、5 分以下程度に設定される。この結果、絶縁回路基板 1 と半導体チップ 6 a , 6 b とが焼結材 5 a , 5 b を介して接合する。

50

## 【 0 0 3 7 】

その後、枠材 1 0 を取り外さずに残存させたまま、絶縁回路基板 1 及び半導体チップ 6 a , 6 b 上に、プリント基板 9 及びポスト電極 8 a ~ 8 l で構成されるインプラント基板を搭載し、封止部材 1 4 で封止する等の通常のプロセスにより、図 1 に示した半導体装置が完成する。

## 【 0 0 3 8 】

第 1 実施形態に係る半導体装置の製造方法によれば、絶縁回路基板 1 上に焼結材 5 a , 5 b を介して半導体チップ 6 a , 6 b を接合する際に、工数の増大を抑制しつつ、枠材 1 0 を用いて焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b を位置決めすることができる。

## 【 0 0 3 9 】

なお、第 1 実施形態に係る半導体装置の製造方法において、図 5 に示すように絶縁回路基板 1 と半導体チップ 6 a , 6 b とを焼結材 5 a , 5 b を介して接合させた後、焼結材 5 a , 5 b 及び半導体チップ 6 a , 6 b を封止部材 1 4 で封止する前に、絶縁回路基板 1 上から枠材 1 0 を取り外してもよい。取り外した枠材 1 0 は繰り返し使用し得る。

## 【 0 0 4 0 】

## &lt; 第 1 比較例 &gt;

ここで、第 1 実施形態に係る半導体装置の製造方法による効果を、第 1 比較例に係る半導体装置の製造方法と対比して説明する。図 6 は、図 3 に示した第 1 実施形態に係る半導体装置の断面図に対応する、第 1 比較例に係る半導体装置の断面図である。

## 【 0 0 4 1 】

第 1 比較例に係る半導体装置の製造方法では、絶縁回路基板 1 上に、炭素 ( C ) 又はアルミニウム ( A l ) からなる枠材 1 1 0 を載置する点が、第 1 実施形態に係る半導体装置の製造方法と異なる。枠材 1 1 0 を載置した後、絶縁回路基板 1 上の枠材 1 1 0 内に焼結材 5 a , 5 b を塗布し、焼結材 5 a , 5 b を介して複数の半導体チップ 6 a , 6 b を搭載する。

## 【 0 0 4 2 】

第 1 比較例に係る半導体装置の製造方法では、枠材 1 1 0 が炭素 ( C ) 又はアルミニウム ( A l ) からなるため、ハンドリングするため薄くするには限界がある。具体的には、枠材 1 1 0 が C からなる場合には破損し易く、薄くすることが困難である。また、枠材 1 1 0 が A l からなる場合には曲がり易くなり、薄くすることが困難である。よって、C 又は A l からなる枠材 1 0 の厚さ T 3 は 1 mm 以上程度必要となり、焼結材 5 a , 5 b と半導体チップ 6 a , 6 b の合計の厚さ T 2 よりも厚くなる。

## 【 0 0 4 3 】

次に、図 7 に示すように、半導体チップ 6 a , 6 b を搭載した絶縁回路基板 1 を、加圧部 1 1 7 a , 1 1 7 b の下方に配置する。第 1 比較例に係る半導体装置の製造方法では、半導体チップ 6 a , 6 b の上面よりも枠材 1 1 0 の上面が上方に位置するため、加圧部 1 1 7 a , 1 1 7 b が半導体チップ 6 a , 6 b の上面を加圧するためには、枠材 1 1 0 の開口部 1 1 0 a , 1 1 0 b の面積 A 3 よりも加圧部 1 1 7 a , 1 1 7 b の加圧面の面積 A 4 を小さくする必要がある。これに対して、第 1 実施形態に係る半導体装置の製造方法によれば、図 4 に示すように、半導体チップ 6 a , 6 b の上面が枠材 1 0 の上面よりも上方に突出しているため、加圧部 1 1 7 a , 1 1 7 b の加圧面の面積 A 2 を、枠材 1 0 の開口部 1 0 a , 1 0 b の面積 A 1 よりも大きくすることができ、半導体チップ 6 a , 6 b を加圧し易くなる。

## 【 0 0 4 4 】

次に、加圧部 1 1 7 a , 1 1 7 b を降下させて、半導体チップ 6 a , 6 b の上面を加圧しながら加熱することにより、焼結材 5 a , 5 b に焼結反応を生じさせて、絶縁回路基板 1 と半導体チップ 6 a , 6 b とを接合する。このとき、図 8 に示すように、加圧部 1 1 7 a , 1 1 7 b と半導体チップ 6 a , 6 b の位置がずれると、加圧部 1 1 7 a , 1 1 7 b が枠材 1 0 に接触し、半導体チップ 6 a , 6 b を加圧できない場合がある。これに対して、第 1 実施形態に係る半導体装置の製造方法によれば、図 4 に示すように、半導体チップ 6

10

20

30

40

50

a, 6 bの上面が枠材10の上面よりも上方に突出しているため、加圧部17 a, 17 bと半導体チップ6 a, 6 bの位置がずれた場合でも、加圧部17 a, 17 bが枠材10に接触せずに半導体チップ6 a, 6 bを確実に加圧することができる。

【0045】

また、第1比較例に係る半導体装置の製造方法では、枠材110が炭素(C)又はアルミニウム(Al)からなるため、半導体チップ6 a, 6 bの接合後に、枠材110を取り外す必要となり、半導体チップ6 a, 6 bの接合プロセスの工数が増加する。更には、枠材110を取り外し難かったり、枠材110を取り外すときに半導体チップ6 a, 6 bを破損させたりする場合がある。これに対して、第1実施形態に係る半導体装置の製造方法によれば、枠材10が樹脂製であるため、半導体チップ6 a, 6 bの接合後の枠材10の取り外しが不要であるので、半導体チップ6 a, 6 bの接合プロセスの簡素化を図ることができる。

10

【0046】

<第2比較例>

次に、図9及び図10を参照して、第2比較例に係る半導体装置の製造方法を説明する。図9は、図2に示した第1実施形態に係る半導体装置の断面図に対応する、第2比較例に係る半導体装置の断面図であり、図10は、図9のA-A方向から見た断面図である。

【0047】

第2比較例に係る半導体装置の製造方法では、図9及び図10に示すように、絶縁回路基板1上に、半導体チップ6 a, 6 bの位置決めマスクとして液状のソルダーレジスト111 a, 111 bを塗布する点が、第1実施形態に係る半導体装置の製造方法と異なる。その後は、第1実施形態に係る半導体装置の製造方法と同様に、絶縁回路基板1上のソルダーレジスト111 a, 111 b内に焼結材5 a, 5 bを塗布し、ソルダーレジスト111 a, 111 b内に焼結材5 a, 5 bを介して複数の半導体チップ6 a, 6 bを搭載する。

20

【0048】

第2比較例に係る半導体装置の製造方法では、ソルダーレジスト111 a, 111 bは液状で塗布するため、ソルダーレジスト111 a, 111 bの厚さT4を制御し難く、厚さT4にばらつきも生じやすい。ソルダーレジスト111 a, 111 bの厚さT4は300 mm以上程度となり、焼結材5 a, 5 bと半導体チップ6 a, 6 bの合計の厚さT2よりも厚くなる。

30

【0049】

よって、第2比較例に係る半導体装置の製造方法では、図7に示した第1比較例と同様に、加圧部117 a, 117 bの加圧面の面積A4を、ソルダーレジスト111 a, 111 bの開口部112 a, 112 bの面積よりも小さくする必要がある。これに対して、第1実施形態に係る半導体装置の製造方法によれば、図4に示すように、半導体チップ6 a, 6 bの上面が枠材10の上面よりも上方に突出しているため、加圧部17 a, 17 bの加圧面の面積A2を、枠材10の開口部10 a, 10 bの面積A1よりも大きくすることができ、半導体チップ6 a, 6 bを加圧し易くなる。

【0050】

また、第2比較例に係る半導体装置の製造方法では、図8に示した第1比較例と同様に、加圧部117 a, 117 bと半導体チップ6 a, 6 bの位置がずれると、加圧部117 a, 117 bがソルダーレジスト111 a, 111 bに接触し、半導体チップ6 a, 6 bを加圧できない場合がある。これに対して、第1実施形態に係る半導体装置の製造方法によれば、図4に示すように、半導体チップ6 a, 6 bの上面が枠材10の上面よりも上方に突出しているため、加圧部17 a, 17 bと半導体チップ6 a, 6 bの位置がずれた場合でも、加圧部17 a, 17 bが枠材10に接触せずに半導体チップ6 a, 6 bを確実に加圧することができる。

40

【0051】

また、第2比較例に係る半導体装置の製造方法では、ソルダーレジスト111 a, 111 bの塗布位置も制御し難いため、ソルダーレジスト111 a, 111 bの開口部112

50

a, 112bと半導体チップ6a, 6bとの隙間G2を大きく取る必要がある。これに対して、第1実施形態に係る半導体装置の製造方法によれば、図2に示すように、枠材10の位置精度が高いため、枠材10の開口部10a, 10bと半導体チップ6a, 6bとの隙間G1を隙間G2よりも小さく設定することができる。

#### 【0052】

##### (第2実施形態)

第2実施形態に係る半導体装置は、図11に示すように、枠材10の開口部10a, 10bの角部に切り欠き部21a~21d, 22a~22dがそれぞれ設けられている点が、図2に示した第1実施形態に係る半導体装置と異なる。第2実施形態に係る半導体装置の他の構成は、第1実施形態に係る半導体装置と同様であるので、重複した説明を省略する。

10

#### 【0053】

第2実施形態によれば、枠材10の開口部10a, 10bに切り欠き部21a~21d, 22a~22dを設けることにより、半導体チップ6a, 6b下の焼結材5a, 5bが半導体チップ6a, 6bからはみ出し、切り欠き部21a~21d, 22a~22d内にまで入り込むことができるので、応力が加わり易い半導体チップ6a, 6bの角部の応力を緩和することができる。

#### 【0054】

##### (第3実施形態)

第3実施形態に係る半導体装置は、図12に示すように、複数の半導体チップ6a, 6bをそれぞれ位置決めするための複数の枠材10c, 10dを有する点が、図2に示した第1実施形態に係る半導体装置と異なる。複数の枠材10c, 10dは、半導体チップ6a, 6b毎に配置されている。図12の左側の枠材10cは、半導体チップ6aの周囲を囲む開口部10eを有する。図12右側の枠材10dは、半導体チップ6bの周囲を囲む開口部10fを有する。第3実施形態に係る半導体装置の他の構成は、第1実施形態に係る半導体装置と同様であるので、重複した説明を省略する。

20

#### 【0055】

##### (第4実施形態)

第4実施形態に係る半導体装置の製造方法は、図13に示すように、複数の半導体チップ6a, 6bの上面を覆う加圧部17を使用する点が、第1実施形態に係る半導体装置と異なる。図14に示すように、単一の加圧部17により、複数の半導体チップ6a, 6bを一括して加圧する。ここで、枠材10の厚さT1が、焼結材5a, 5bと半導体チップ6a, 6bの合計の厚さT2よりも薄いため、加圧部17が複数の半導体チップ6a, 6bの間に配置された枠材10に接触することを防止することができる。第4実施形態に係る半導体装置の製造方法の他の手順は、第1実施形態に係る半導体装置の製造方法と同様であるので、重複した説明を省略する。

30

#### 【0056】

##### (第5実施形態)

第5実施形態に係る半導体装置は、図15に示すように、半導体チップ6a, 6b下の焼結材5a, 5bが、半導体チップ6a, 6bよりも広い面積で配置されている点が、図3に示した第1実施形態に係る半導体装置と異なる。

40

#### 【0057】

焼結材5a, 5bは、半導体チップ6a, 6bの端部から外側にはみ出して露出している。焼結材5a, 5bは、枠材10の開口部10a, 10bの端部に接しているが、枠材10の開口部10a, 10bの端部に接しなくてもよい。枠材10により、焼結材5a, 5bのはみ出しが開口部10a, 10b内で抑制して、半導体チップ6a, 6bの端部の焼結材5a, 5bの密度を向上させることができる。第5実施形態に係る半導体装置の他の構成は、第1実施形態に係る半導体装置と同様であるので、重複した説明を省略する。

#### 【0058】

##### (第6実施形態)

50

第6実施形態に係る半導体装置は、図16に示すように、複数の半導体チップ6a、6bの厚さが互いに異なる点が、図3に示した第1実施形態に係る半導体装置と異なる。半導体チップ6bの厚さは、半導体チップ6aの厚さよりも厚い。

【0059】

半導体チップ6a、6bの種類として、例えばIGBT、FET、FWD等があるが、それぞれ厚さが異なる。図16は、半導体チップ6aがIGBTで構成され、半導体チップ6bがFWDで構成される場合を例示する。一般的に、FWDからなる半導体チップ6bの厚さT5の方が、IGBTからなる半導体チップ6aの厚さT1よりも厚い。

【0060】

そこで、枠材(10g、10h)は、複数の半導体チップ6a、6bの厚さに応じて、階段状に厚さを変えて、互いに異なる厚さT1、T5の部分を含む。枠材(10g、10h)は、第1の枠部10gと、第2の枠部10hとを含む。第1の枠部10gは、半導体チップ6aの周囲を囲む開口部10iを含む。第1の枠部10gの厚さT1は、焼結材5aと半導体チップ6aの合計の厚さT2よりも薄い。

【0061】

第2の枠部10hは、第1の枠部10gと一体的に連続して形成され、半導体チップ6bの周囲を囲む開口部10jを含む。第1の枠部10gと第2の枠部10hの間には段差部が形成されている。第2の枠部10hの厚さT5は、第1の枠部10gの厚さT1よりも厚く、且つ、焼結材5bと半導体チップ6bの合計の厚さT6よりも薄い。

【0062】

第6実施形態に係る半導体装置の製造方法においては、図17に示すように、枠材(10g、10h)、焼結材5a、5b及び半導体チップ6a、6bが搭載された絶縁回路基板1を、加圧部17a、17bの下方に配置する。そして、図18に示すように、加圧部17a、17bにより、複数の半導体チップ6a、6bを加圧する。

【0063】

ここで、第1の枠部10gの厚さT1が、焼結材5aと半導体チップ6aの合計の厚さT2よりも薄く、半導体チップ6aの上面が第1の枠部10gの上面よりも突出しているため、加圧部17aが加圧する際に、第1の枠部10gに接触することを防止して、半導体チップ6a及び焼結材5aを確実に加圧することができる。また、第2の枠部10hの厚さT5が焼結材5bと半導体チップ6bの合計の厚さT6よりも薄く、半導体チップ6bの上面が第2の枠部10hの上面よりも突出しているため、加圧部17bが加圧する際に、第2の枠部10hに接触することを防止して、半導体チップ6b及び焼結材5bを確実に加圧することができる。

【0064】

(第7実施形態)

第7実施形態に係る半導体装置は、図19に示すように、複数の半導体チップ6a、6bの厚さが互いに異なる点が、図16に示した第6実施形態に係る半導体装置と共通するが、半導体チップ6a、6b毎に、半導体チップ6a、6bの厚さに応じた複数の枠材10g、10hを含む点が、第6実施形態に係る半導体装置と異なる。複数の枠材10g、10hは、図16に示した第6実施形態に係る半導体装置の枠材(10g、10h)の第1の枠部10g及び第2の枠部10hを分離した構造と等価である。第7実施形態に係る半導体装置の他の構成は、第1実施形態に係る半導体装置と同様であるため、重複した説明を省略する。

【0065】

(その他の実施形態)

上記のように、本発明は第1～第7実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0066】

例えば、第1～第7実施形態に係る半導体装置として、インプラント基板を用いた構造

10

20

30

40

50

を例示したが、インプラント基板を用いない構造にも適用可能である。例えば、図 1 に示した半導体チップ 6 a , 6 b の制御電極及び第 2 主電極を、ボンディングワイヤを介して絶縁回路基板 1 の上側回路層 3 に接続し、上側回路層 3 に接続した接続端子により外部へ取り出してもよい。

【 0 0 6 7 】

また、第 1 ~ 第 7 実施形態がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 符号の説明 】

10

【 0 0 6 8 】

1 ... 絶縁回路基板

2 ... 絶縁基板

3 ... 上側回路層

4 ... 下側回路層

5 a , 5 b ... 焼結材

6 a , 6 b ... 半導体チップ

7 a ~ 7 d ... 接合材

8 a ~ 8 l ... ポスト電極

9 ... プリント基板

20

1 0 , 1 0 c , 1 0 d , 1 1 0 ... 枠材 ( 位置決めマスク )

1 0 a , 1 0 b , 1 0 e , 1 0 f , 1 0 i , 1 0 j , 1 1 0 a , 1 1 0 b , 1 1 2 a , 1

1 2 b ... 開口部

1 0 g , 1 0 h ... 枠材 ( 枠部 )

1 1 ... コレクタ側接続端子

1 2 ... ゲート用接続端子

1 3 ... エミッタ側接続端子

1 4 ... 封止部材

1 7 , 1 7 a , 1 7 b , 1 1 7 a , 1 1 7 b ... 加圧部

1 8 ... 加熱部

30

1 9 ... 緩衝層

2 1 a ~ 2 1 d , 2 2 a ~ 2 2 d ... 切り欠き部

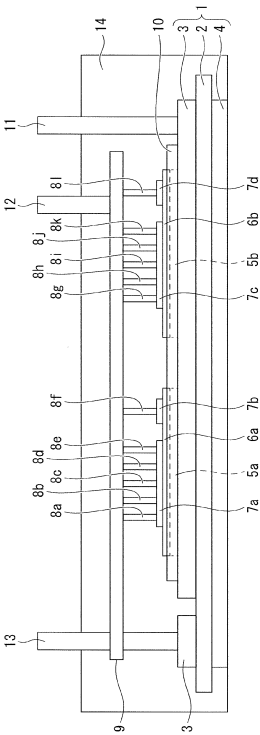
1 1 1 a , 1 1 1 b ... ソルダーレジスト

40

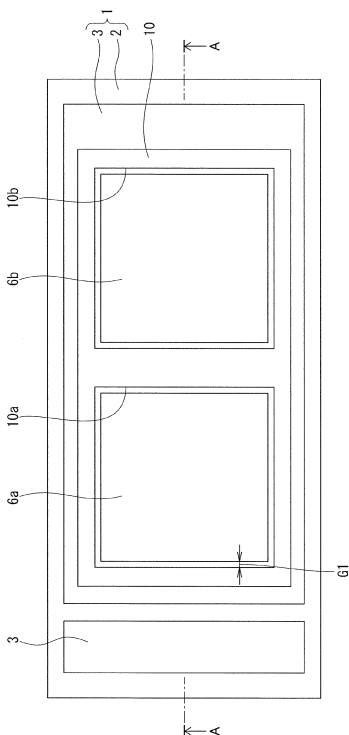
50

【図面】

【図 1】



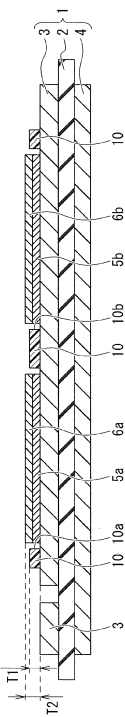
【図 2】



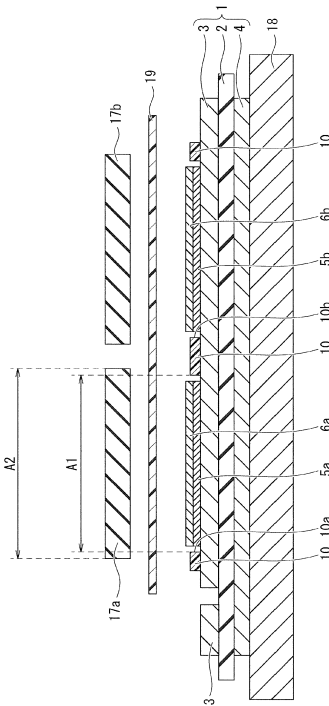
10

20

【図 3】



【図 4】

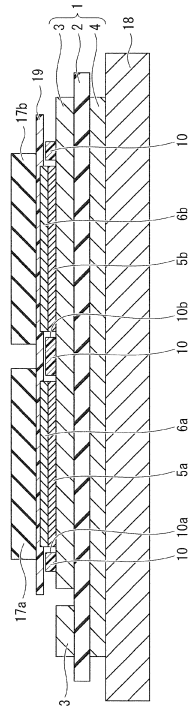


30

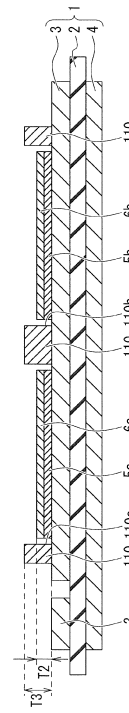
40

50

【 図 5 】



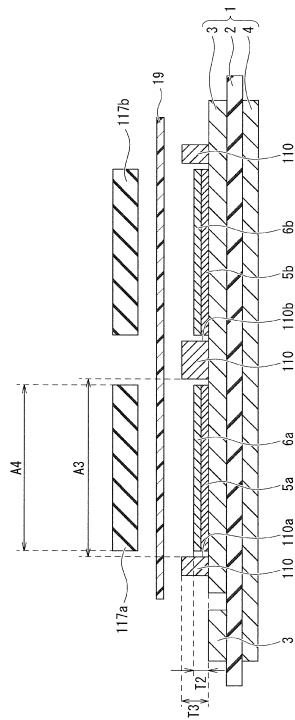
【 図 6 】



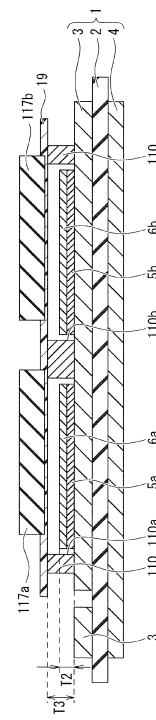
10

20

【 図 7 】



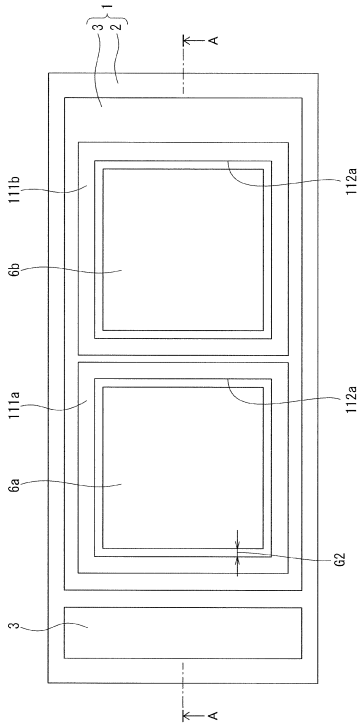
【圖 8】



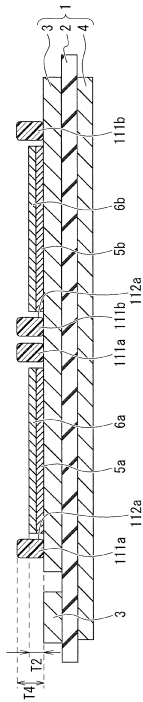
30

40

【図 9】



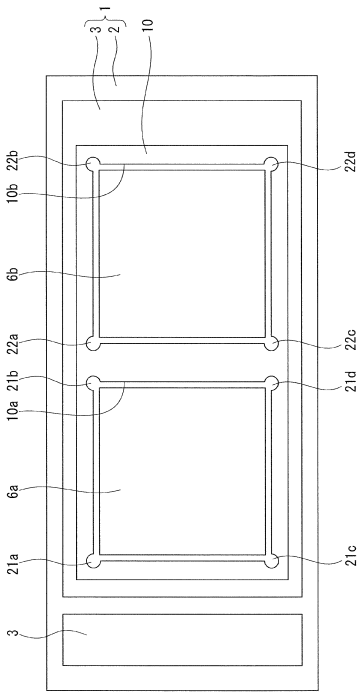
【図 10】



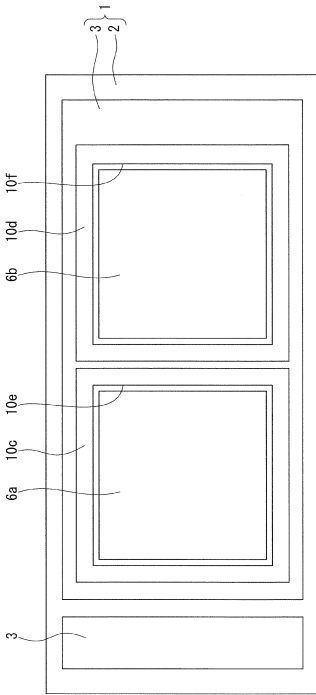
10

20

【図 11】



【図 12】

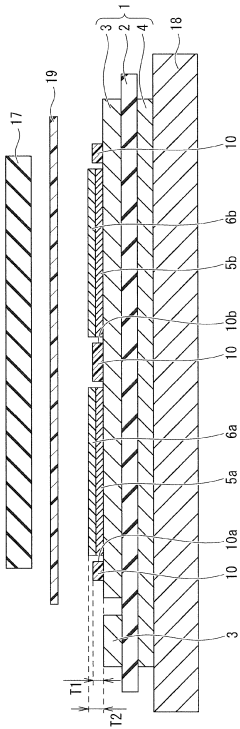


30

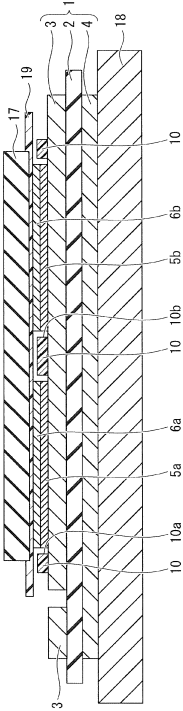
40

50

【図 13】



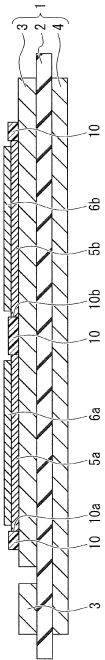
【図 14】



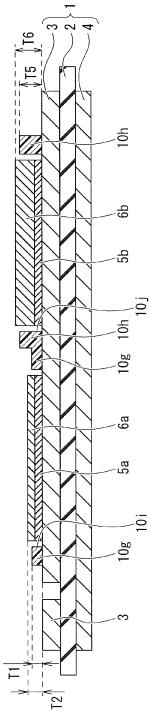
10

20

【図 15】



【図 16】

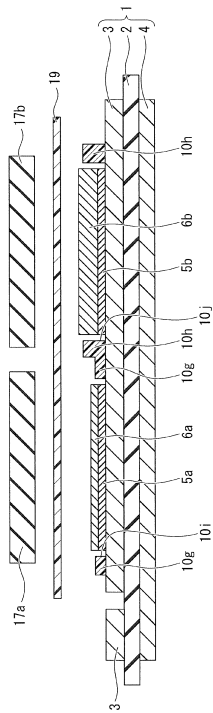


30

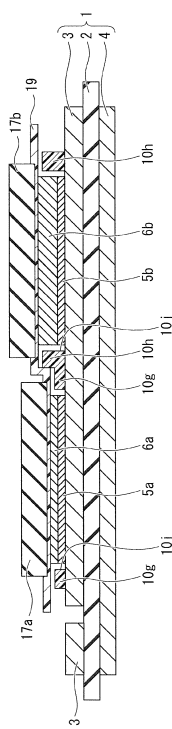
40

50

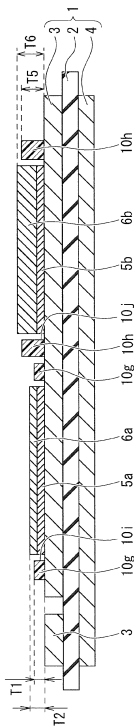
【図 17】



【図 18】



【図 19】



10

20

30

40

50

## フロントページの続き

富士電機株式会社内

審査官 豊島 洋介

- (56)参考文献 特開 2 0 1 7 - 0 0 5 0 0 7 ( J P , A )  
特開 2 0 1 3 - 1 2 5 8 0 4 ( J P , A )  
特開 2 0 1 8 - 0 3 2 6 8 4 ( J P , A )  
特開 2 0 1 4 - 1 3 5 4 1 1 ( J P , A )  
実開昭 5 9 - 1 4 3 0 4 7 ( J P , U )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 1 L 2 1 / 5 2  
H 0 1 L 2 1 / 5 8  
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5  
H 0 1 L 2 3 / 2 9  
H 0 1 L 2 3 / 3 4 - 2 3 / 3 6  
H 0 1 L 2 3 / 3 7 3 - 2 3 / 4 2 7  
H 0 1 L 2 3 / 4 4  
H 0 1 L 2 3 / 4 6 7 - 2 3 / 4 7 3  
H 0 1 L 2 5 / 0 0 - 2 5 / 0 7  
H 0 1 L 2 5 / 1 0 - 2 5 / 1 1  
H 0 1 L 2 5 / 1 6 - 2 5 / 1 8