(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0093445
(43) 공개일자 2025년06월24일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H10D 30/01* (2025.01)
(52) CPC특허분류
H10D 30/6728 (2025.01)
H10D 30/0318 (2025.01)
(21) 출원번호 10-2023-7035880
(22) 출원일자(국제) 2022년12월07일
심사청구일자 없음
(85) 번역문제출일자 2023년10월19일
(86) 국제출원번호 PCT/CN2022/137325
(87) 국제공개번호 WO 2024/082395
국제공개일자 2024년04월25일
(30) 우선권주장
202211270027.3 2022년10월18일 중국(CN)

(71) 출원인
베이징 수퍼스트링 아카데미 오브 메모리 테크놀로지
중국 100176 베이징 다싱 디스트릭트 베이징 이코노믹 앤드 테크놀로지컬 디벨롭먼트 에리어 커촹 10티에이치 스트리트 넘버 18 빌딩 11 4티에이치 플로어 룸 401
(72) 발명자
다이 진
중국 100176 베이징 다싱 디스트릭트 베이징 이코노믹 앤드 테크놀로지컬 디벨롭먼트 에리어 커촹 10티에이치 스트리트 넘버 18 빌딩 11 4티에이치 플로어 룸 401
위 융
중국 100176 베이징 다싱 디스트릭트 베이징 이코노믹 앤드 테크놀로지컬 디벨롭먼트 에리어 커촹 10티에이치 스트리트 넘버 18 빌딩 11 4티에이치 플로어 룸 401
량 징
중국 100176 베이징 다싱 디스트릭트 베이징 이코노믹 앤드 테크놀로지컬 디벨롭먼트 에리어 커촹 10티에이치 스트리트 넘버 18 빌딩 11 4티에이치 플로어 룸 401
(74) 대리인
유미특허법인

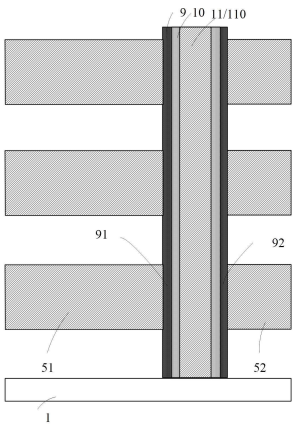
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 **트랜지스터, 3D 메모리 및 그 제조 방법, 전자 장비**

(57) 요 약

트랜지스터, 3D 메모리 및 그 제조 방법, 전자 장비는 반도체 기술 분야에 관한 것이며, 3D 메모리는 다수 층의 기질(1)에 수직인 방향으로 적층되는 저장 유닛, 단어선(110)을 포함하며, 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극(51) 과 드레인 전극(52), 기질(1)에 수직인 방향으로 연장되는 게이트(11), 게이트(11)의 측벽을 둘러싸는 반도체층(9)을 포함하며; 반도체층(9)은 간격으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함하며; 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널이며, 단어선(110)이 기질(1)에 수직인 방향으로 연장되고 서로 다른 층의 상기 저장 유닛을 관통한다.

대 표 도 - 도2



(52) CPC특허분류
H10D 30/6713 (2025.01)
H10D 30/6755 (2025.01)
H10D 30/6757 (2025.01)

명 세 서

청구범위

청구항 1

3D 메모리에 있어서,

다수 층의 기질에 수직인 방향으로 적층되는 저장 유닛, 단어선을 포함하며, 상기 단어선은 상기 기질에 수직인 방향으로 연장되고 또한 다른 층의 상기 저장 유닛을 관통하며;

각 층의 상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트 측벽에 위치하고 또한 상기 게이트와 절연되는 반도체층을 포함하며; 상기 반도체층은 간격으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함하고, 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널인 것을 특징으로 하는 3D 메모리.

청구항 2

제1항에 있어서,

상기 반도체층은 상기 게이트의 측벽을 둘러싸고, 상기 기질에 수직인 방향으로 연장되는 막층인 것을 특징으로 하는 3D 메모리.

청구항 3

제1항에 있어서,

서로 다른 층의 트랜지스터의 상기 소스 전극은 상기 기질에 수직인 방향에서 간격으로 설치되며, 서로 다른 층의 트랜지스터의 상기 드레인 전극은 상기 기질에 수직인 방향에서 간격으로 설치되는 것을 특징으로 하는 3D 메모리.

청구항 4

제1항에 있어서,

서로 다른 층의 트랜지스터의 상기 게이트는 상기 단어선의 일부이며, 서로 다른 층의 트랜지스터에 대응되는 반도체층은 상기 단어선의 측벽에 위치하는 것을 특징으로 하는 3D 메모리.

청구항 5

제1항에 있어서,

서로 다른 층의 트랜지스터의 상기 게이트가 연결되여 상기 단어선을 형성하는 것을 특징으로 하는 3D 메모리.

청구항 6

제4항에 있어서,

상기 기질에 수직인 방향으로 연장되는 상기 단어선은 하나의 직선인 것을 특징으로 하는 3D 메모리.

청구항 7

제4항에 있어서,

상기 기질에 수직인 방향으로 연장되는 상기 단어선의 서로 다른 영역의 재료 구성 요소가 같은 것을 특징으로 하는 3D 메모리.

청구항 8

제4항에 있어서,

상기 기질에 수직인 방향으로 연장되는 상기 단어선의 횡단면의 모양은 대략 같은 것을 특징으로 하는 3D 메모리.

청구항 9

제1항에 있어서,

서로 다른 층의 트랜지스터에 대응되는 반도체층이 상기 단어선의 측벽에 위치하며, 또한 기질에 수직인 방향으로 연장되는 다른 영역에 각각 위치하는 것을 특징으로 하는 3D 메모리.

청구항 10

제1항에 있어서,

동일한 상기 트랜지스터의 상기 소스 전극은 소스 전극 막층이고, 상기 드레인 전극이 드레인 전극 막층이며, 상기 드레인 전극 막층과 소스 전극 막층은 동일한 층에 위치하고 간격으로 설치되는 것을 특징으로 하는 3D 메모리.

청구항 11

제10항에 있어서,

서로 다른 트랜지스터의 상기 소스 전극 막층 또는 상기 드레인 전극 막층이 서로 다른 막층에 위치하는 것을 특징으로 하는 3D 메모리.

청구항 12

제1항에 있어서,

상기 기질에 평행되는 평면에서, 동일한 상기 트랜지스터의 상기 소스 전극과 상기 드레인 전극의 정투영은 중첩이 없는 것을 특징으로 하는 3D 메모리.

청구항 13

제1항에 있어서,

상기 기질에 평행되는 평면에서, 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 정투영은 중첩이 없는 것을 특징으로 하는 3D 메모리.

청구항 14

제1항에 있어서,

상기 소스 전극은 상기 게이트의 제1 쪽에 위치하고, 상기 드레인 전극은 상기 게이트의 제2 쪽에 위치하며, 상기 소스 전극과 상기 드레인 전극은 서로 마주하여 설치되는 것을 특징으로 하는 3D 메모리.

청구항 15

제1항 내지 제10항 중 어느 한 항에 있어서,

서로 다른 층의 상기 저장 유닛의 상기 트랜지스터의 반도체층은 상기 기질에 수직인 방향에서 간격으로 설치되는 것을 특징으로 하는 3D 메모리.

청구항 16

제15항에 있어서,

상기 간격으로 설치되는 상기 반도체층 사이에 절연층을 노출시키며, 상기 절연층은 상기 게리트와 상기 반도체층 사이에 위치하는 게이트 절연층인 것을 특징으로 하는 3D 메모리.

청구항 17

제16항에 있어서,

상기 간격으로 설치되는 상기 반도체층 사이에 분리층을 가지며, 상기 분리층은 상기 반도체층을 도핑하여 취득된 절연층인 것을 특징으로 하는 3D 메모리.

청구항 18

제1항에 있어서,

상기 단어선의 측벽에 상기 단어선을 둘러싸는 게이트 절연층을 설치하며; 서로 다른 층의 상기 트랜지스터의 상기 반도체층은 상기 단어선의 측벽에 연속적으로 분포되는 것을 특징으로 하는 3D 메모리.

청구항 19

제1항에 있어서,

서로 다른 층의 상기 저장 유닛 중 각 인접한 두 개의 반도체층 사이는 일체형 구조로 연결되는 것을 특징으로 하는 3D 메모리.

청구항 20

제1항에 있어서,

서로 다른 층의 트랜지스터는 하나의 상기 기질에 수직인 방향으로 연장되는 상기 단어선을 공유하는 것을 특징으로 하는 3D 메모리.

청구항 21

제1항에 있어서,

서로 다른 층의 트랜지스터는 하나의 상기 기질에 수직인 방향으로 연장되는 고리 모양의 게이트 절연층을 공유하는 것을 특징으로 하는 3D 메모리.

청구항 22

제1항에 있어서,

서로 다른 층의 트랜지스터는 하나의 상기 기질에 수직인 방향으로 연장되는 고리 모양의 반도체층을 공유하는 것을 특징으로 하는 3D 메모리.

청구항 23

제1항에 있어서,

상기 반도체층은 금속 산화물 반도체층이고 또는 상기 반도체층은 실리콘이 포함되는 반도체층인 것을 특징으로 하는 3D 메모리.

청구항 24

제1항에 있어서,

서로 다른 층의 상기 소스 전극의 기질에서의 투영은 같은 영역에 위치하고, 서로 다른 층의 상기 드레인 전극의 기질에서의 투영은 같은 영역에 위치하며; 서로 다른 층의 게이트의 기질에서의 투영은 같은 영역에 위치하는 것을 특징으로 하는 3D 메모리.

청구항 25

3D 메모리에 사용되는 수직 트랜지스터에 있어서,

기질, 상기 기질에 설치되는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 전부 또는 부분적으로 상기 게이트를 둘러싸고 또한 상기 게이트와 절연되는 반도체층을 포함하며; 상기 반도체층은 간적으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함하고, 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널인 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 26

제25항에 있어서,

상기 소스 전극의 막층과 상기 드레인 전극의 막층은 동일한 전도 막층의 서로 다른 영역이고 또한 간격으로 설치되며, 상기 동일한 전도 막층은 상기 기질과 대략 평행되는 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 27

제25항에 있어서,

상기 반도체층의 재료는 금속 산화물 반도체 재료를 포함하는 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 28

제25항에 있어서,

상기 기질에 평행되는 평면에서 상기 소스 전극의 정투영과 상기 드레인 전극의 정투영은 중첩이 없는 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 29

제25항에 있어서,

상기 소스의 접촉 영역은 상기 반도체층의 제1 쪽에 위치하며, 상기 드레인의 접촉 영역은 상기 반도체층의 제2 쪽에 위치하며, 상기 소스 전극은 상기 소스의 접촉 영역과 접촉하고, 상기 드레인 전극은 상기 드레인 접촉 영역과 접촉하며, 상기 소스 전극과 상기 드레인 전극이 서로 마주하여 설치되는 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 30

제25항에 있어서,

상기 반도체층은 고리 모양의 완전 서라운드 반도체층인 것을 특징으로 하는 3D 메모리에 사용되는 수직 트랜지스터.

청구항 31

3D 메모리의 제조 방법에 있어서,

상기 3D 메모리는 다수 층의 기질에 수직인 방향으로 적층되는 다수의 저장 유닛, 하나의 단어선을 포함하며;

상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장된 게이트, 상기 게이트를 둘러싸는 반도체층을 포함하며; 상기 3D 메모리의 제조 방법에는,

기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 전도 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 기질에 평행되는 방향에서 간격된 적층 구조를 형성하며; 각 상기 적층 구조는 기질에 수직인 방향에서 교대로 설치되는 절연층과 전도층의 적층을 포함하며, 각 상기 전도층은 한층의 상기 저장 유닛 중의 하나의 트랜지스터에 대응되며, 각 상기 전도층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함하며;

상기 적층 구조를 식각하여 상기 기질에 수직인 방향에서 상기 적층 구조를 관통하는 관통공을 형성하며, 상기 관통공의 측벽에 각 상기 전도층의 상기 제1 서브 부분과 제2 서브 부분 및 상기 절연층을 노출시키며; 상기 관통공 내의 각 상기 제1 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제1 채널을 형성하고, 상기 관통공 내의 각 상기 제2 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제2 채널을 형성하며, 각 상기 제1 채널, 각 상기 제2 채널은 간격되고 또한 각각 상기 관통공과 관통되며;

각 상기 제1 채널, 각 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하고, 상기 관통공 내의 상기 금속 박막을 식각 및 제거하여 각 상기 제1 채널, 각 상기 제2 채널 내의 금속 막층을 보존하여 다수의 상기 제1 채널에 위치하는 다수의 소스 전극과 다수의 상기 제2 채널에 위치하는 다수의 드레인 전극을 형성

하며;

상기 관통공의 측벽에 반도체 박막을 패딩하여 각 상기 트랜지스터의 반도체층을 형성하고, 상기 반도체층은 각 상기 소스 전극과 접촉하고 또한 각 상기 드레인 전극과 접촉하며, 동일한 트랜지스터 중 상기 소스 전극과 상기 드레인 전극 사이의 채널은 수평 채널이며;

상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 상기 게이트는 상기 단어선의 일부분인 것이 포함되는 것을 특징으로 하는 3D 메모리의 제조 방법.

청구항 32

전자 장비에 있어서,

제1항 내지 제24항 중 어느 한 항의 3D 메모리를 포함하거나, 또는 제25항 내지 제30항 중 어느 한 항의 3D 메모리에 사용되는 수직 트랜지스터를 포함하는 것을 특징으로 하는 전자 장비.

발명의 설명

기 술 분 야

[0001] 본 출원은 2022년 10월 18일 중국 특허청에 제출되어, 출원번호가 202211270027.3이고, 출원의 명칭이 "트랜지스터, 3D 메모리 및 그 제조 방법, 전자 장비"인 중국 특허 출원의 우선권을 주장하며, 이의 전체 내용은 인용을 통하여 본 발명에 포함되어 있다.

[0002] 본 공개의 실시예는 반도체 기술 분야에 관한 것으로, 특히 트랜지스터, 3D 메모리 및 그 제조 방법, 전자 장비를 관한 것이나 이에 제한되지 않는다.

배 경 기 술

[0003] 최근 몇 년 동안에 3D 구조의 메모리가 점점 더 많은 관심을 받고 있으며, 메모리의 밀도를 높이는 데 어느 정도 이점을 가지고 있다. 예시적으로, 인듐갈륨아연산화물(Indium Gallium Zinc Oxide, IGZO)과 같이 임의의 재료의 표면에 증착될 수 있는 특성과 높은 스위치 비율 특성을 가진 금속 산화물을 채널의 반도체 메모리 부품으로 하는 것은 업계의 주목을 받고 있다. 메모리 분야에서 저장 유닛의 밀도를 높이기 위하여 해당 금속 산화물 반도체 트랜지스터를 저장 유닛의 3D 적층 구조에 사용할 수 있다.

[0004] 현재 3D 부품의 설계 구조가 산업적으로 제작의 편리성과 저장 밀도의 장점 등에 점점 더 많은 관심을 받고 있다.

발명의 내용

[0005] 아래는 본 공개된 주제에 대한 요약이다. 본 요약은 청구범위의 보호 범위를 제한하기 위한 것이 아니다.

[0006] 본 공개의 실시예는 3D 메모리를 제공하며, 다수 층의 기질에 수직인 방향으로 적층되는 저장 유닛, 단어선을 포함하며, 여기에서, 상기 단어선은 상기 기질에 수직한 방향으로 연장되고 서로 다른 층의 상기 저장 유닛을 관통하며;

[0007] 상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트 측벽에 위치하고 상기 게이트와 절연되는 반도체층을 포함하며; 여기에서, 상기 반도체층은 간격으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함하고, 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널이다.

[0008] 일 예시적 실시예에서, 상기 반도체층은 상기 게이트의 측벽을 둘러싼다.

[0009] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터의 상기 소스 전극은 간격으로 설치되고, 서로 다른 층의 트랜지스터의 상기 드레인 전극은 간격으로 설치된다.

[0010] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터의 상기 게이트는 상기 단어선의 일부이며, 서로 다른 층의 트랜지스터에 대응되는 반도체층은 상기 단어선의 측벽에 위치한다.

[0011] 일 예시적 실시예에서, 동일한 상기 트랜지스터의 상기 소스 전극은 소스 전극 막층이고, 상기 드레인 전극은

드레인 전극 막층이며, 상기 드레인 전극 막층과 소스 전극 막층은 동일한 층에 위치하고 간격으로 설치된다.

[0012] 일 예시적 실시예에서, 서로 다른 트랜지스터의 상기 소스 전극 막층 또는 상기 드레인 전극 막층은 서로 다른 막층에 위치한다.

[0013] 일 예시적 실시예에서, 상기 기질에 평행되는 평면에서, 동일한 상기 트랜지스터의 상기 소스 전극과 상기 드레인 전극의 정투영은 중첩이 없으며;

[0014] 상기 기질에 평행되는 평면에서, 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 정투영은 중첩이 없다.

[0015] 일 예시적 실시예에서, 상기 소스 전극은 상기 게이트의 제1 쪽에 위치하고, 상기 드레인 전극은 상기 게이트의 제2 쪽에 위치하며, 상기 소스 전극과 상기 드레인 전극이 서로 마주하여 설치된다.

[0016] 일 예시적 실시예에서, 서로 다른 층의 상기 저장 유닛의 상기 트랜지스터의 반도체층은 상기 기질에 수직인 방향에서 간격으로 설치된다.

[0017] 일 예시적 실시예에서, 상기 간격으로 설치되는 상기 반도체층 사이에 절연층을 노출시키며, 상기 절연층은 상기 게이트와 상기 반도체층 사이에 위치하는 게이트 절연층이다.

[0018] 일 예시적 실시예에서, 서로 다른 층의 상기 저장 유닛 중 각 인접한 두 개의 반도체층 사이에는 일체형 구조로 연결된다.

[0019] 본 공개의 실시예는 3D 메모리에 사용되는 수직 트랜지스터를 제공하며, 기질, 상기 기질에 설치되는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 전부적 또는 부분적으로 상기 게이트를 둘러싸고 상기 게이트와 절연되는 반도체층을 포함하며; 여기에서, 상기 반도체층은 간적으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함하고, 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널이다.

[0020] 일 예시적 실시예에서, 상기 소스 전극의 막층과 상기 드레인 전극의 막층은 동일한 전도 막층의 서로 다른 영역이고 간격으로 설치되며, 상기 동일한 전도 막층은 상기 기질과 대략 평행한다.

[0021] 일 예시적 실시예에서, 상기 반도체층의 재료는 금속 산화물 반도체 재료를 포함한다.

[0022] 일 예시적 실시예에서, 상기 기질에 평행되는 평면에서, 상기 소스 전극의 정투영과 상기 드레인 전극의 정투영은 중첩이 없다.

[0023] 일 예시적 실시예에서, 상기 소스 접촉 영역은 상기 반도체층의 제1 쪽에 위치하고, 상기 드레인 접촉 영역은 상기 반도체의 제2 쪽에 위치하며, 상기 소스 전극은 상기 소스 접촉 영역과 접촉하고, 상기 드레인 전극은 상기 드레인 접촉 영역과 접촉하며, 상기 소스 전극과 상기 드레인 전극이 상대적으로 설치된다.

[0024] 일 예시적 실시예에서, 상기 반도체층은 고리 모양의 전체 서라운드 반도체층이다.

[0025] 본 공개의 실시예에서 3D 메모리의 제조 방법을 제공하며, 상기 3D 메모리는 다수 층의 기질에 수직인 방향으로 적층되는 다수의 저장 유닛, 하나의 단어선을 포함하며;

[0026] 상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트를 둘러싸는 반도체층을 포함하며; 상기 3D 메모리의 제조 방법에는,

[0027] 기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 전도 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 기질에 평행되는 방향에서 간격된 적층 구조를 형성하며; 각 상기 적층 구조는 기질에 수직인 방향에서 교대로 설치되는 절연층과 전도층의 적층을 포함하며, 각 상기 전도층은 한층의 상기 저장 유닛 중의 하나의 트랜지스터에 대응되며, 각 상기 전도층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함하며;

[0028] 상기 적층 구조를 식각하여 상기 기질에 수직인 방향에서 상기 적층 구조를 관통하는 관통공을 형성하며, 상기 관통공의 측벽에 각 상기 전도층의 상기 제1 서브 부분과 제2 서브 부분 및 상기 절연층을 노출시키며; 상기 관통공 내의 각 상기 제1 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제1 채널을 형성하고, 상기 관통공 내의 각 상기 제2 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제2 채널을 형성하며, 각 상기 제1 채널, 각 상기 제2 채널은 간격되고 각각 상기 관통공과 관통하며;

[0029] 각 상기 제1 채널, 각 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하고, 상기 채널 내의 상기 금속 박막을 식각 및 제거하여 각 상기 제1 채널, 각 상기 제2 채널 내의 금속 막층을 보존하여 다수의 상기 제1 채널에 위치하는 다수의 소스 전극과 다수의 상기 제2 채널에 위치하는 다수의 드레인 전극을 형성하

며;

[0030] 상기 관통공의 측벽에서 반도체 박막을 패딩하여 각 상기 트랜지스터의 반도체층을 형성하고, 상기 반도체층은 각 상기 소스 전극과 접촉하고 각 상기 드레인 전극과 접촉하며, 동일한 트랜지스터 중 상기 소스 전극과 상기 드레인 전극 사이의 채널은 수평 채널이며;

[0031] 상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 상기 게이트는 상기 단어선의 일부분인 것이 포함된다.

[0032] 본 공개의 실시예는 전자 장비를 제공하며, 상술 임의의 실시예에서 서술한 3D 메모리를 포함하며, 또는 임의의 실시예에서 서술한 3D 메모리에 사용되는 수직 트랜지스터를 포함한다.

[0033] 본 공개의 기타 특정과 장점은 아래에서의 발명의 설명에서 설명하도록 하고, 또한 일부가 발명의 설명에서 쉽게 생각해낼 수 있고, 또는 본 공개를 실시하는 것을 통하여 알게 된다. 본 공개의 목적과 장점은 발명의 설명 및 첨부 도면에서 특별히 명시된 구조를 통하여 실현되고 취득할 수 있다.

[0034] 도면과 상세한 설명을 읽고 이해한 후에 기타 방면을 이해할 수 있다.

도면의 간단한 설명

[0035] 도면은 본 공개에 대한 기술 방안의 진일보의 이해를 돕기 위한 것으로, 본 발명의 설명의 일부에 속하며, 본 공개의 실시예와 함께 본 출원의 기술 방안을 설명하기 위한 것으로서, 기술 방안에 대하여 제한하는 것이 아니다.

도 1은 일 예시적 실시예에서 제공하는 트랜지스터 도면이다.

도 2는 도 1에 도시된 트랜지스터AA 방향의 단면도이다.

도 3은 일 예시적 실시예에서 제공하는 제2 절연 박막을 형성한 후의 도면이다.

도 4는 일 예시적 실시예에서 제공하는 홈을 형성한 후의 도면이다.

도 5는 일 예시적 실시예에서 제공하는 상기 홈을 패딩한 후의 도면이다.

도 6은 일 예시적 실시예에서 제공하는 관통공을 형성한 후의 도면이다.

도 7a는 일 예시적 실시에서 제공하는 채널을 형성한 후의 도면이다.

도 7b는 일 예시적 실시예에서 제공하는 제1 금속층의 도면이다.

도 8a는 일 예시적 실시예에서 제공하는 능동층과 제1 게이트 절연층을 형성한 후의 도면이다.

도 8b는 도 8a의 로컬 도면이다.

도 8c는 도 8b의 BB 방향에 따른 단면 도면이다.

도 9a는 일 예시적 실시예에서 제공하는 제2 금속층을 형성한 후의 도면이다.

도 9b는 도 9a의 로컬 도면이다.

도 9c는 도 9b의 BB 방향에 따른 단면 도면이다.

도 10a는 일 예시적 실시예에서 제공하는 관통공 내의 제2 금속층을 제거한 후의 도면이다.

도 10b는 도 10a의 로컬 도면이다.

도 10c는 도 10b의 BB 방향에 따른 단면 도면이다.

도 11a는 일 예시적 실시예에서 제공하는 게이트를 형성한 후의 도면이다.

도 11b는 도 11a의 로컬 도면이다.

도 11c는 도 11b의 BB 방향에 따른 단면 도면이다.

도 11d는 일 예시적 실시예에서 제공하는 소스 전극, 드레인 전극 및 게이트의 단면 도면이다.

도 12는 일 예시적 실시예에서 제공하는 제2 절연 박막을 형성한 후의 도면이다.

도 13은 일 예시적 실시예에서 제공하는 홈을 형성한 후의 도면이다.

도 14는 일 예시적 실시에서 제공하는 상기 홈을 패딩한 후의 도면이다.

도 15는 일 예시적 실시예에서 제공하는 관통공을 형성한 후의 도면이다.

도 16은 일 예시적 실시예에서 제공하는 게이트를 형성한 후의 도면이다.

도 17a는 일 예시적 실시예에서 제공하는 반도체 부품의 도면이다.

도 17b는 도 17a의 로컬 도면이다.

도 18은 일 예시적 실시예에서 제공하는 반도체 부품 제조 방법 흐름도이다.

도 19는 다른 일 예시적 실시예에서 제공하는 반도체 부품 제조 방법 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0036] 아래는 도면을 결합시켜 본 공개된 실시예에 대하여 상세한 설명을 수행하도록 한다. 충돌되지 않는 경우 하에서, 본 공개 중의 실시예 및 실시예 중의 특징은 서로 임의로 조합될 수 있다.

[0037] 별도의 정의가 없으면, 본 공개에 사용되는 기술 용어 또는 과학적 용어는 본 공개의 속한 분야 내에 일반 기능을 가진 기술자가 이해할 수 있는 통상 의미인 것을 해야한다.

[0038] 본 공개의 실시 방식은 반드시 해당 사이즈에 한정된 것은 아니며, 첨부 도면에서 각 부품의 모양과 크기는 실제 비율을 반영하지 않는다. 또한 도면에는 이상적인 예를 예시적으로 도시하며, 본 공개의 실시 방식은 도면에 도시된 형상이나 수치에 국한되지 않는다.

[0039] 본 공개에서 "제1"," 제2", "제3" 등의 서수어는 구성 요소의 혼동을 피하기 위하여 설치한 것으로 어떠한 순서나 수량이나 중요성도 나타내지 않는다.

[0040] 본 공개에서는 편의성을 하기 위하여 “중간”, “상”, “하”, “앞”, “뒤”, “수직”, “수평”, “꼭대기”, “밑바닥”, “안”, “바깥” 등 방위 또는 위치 관계를 나타내는 문구를 사용하여 도면의 구성 요소의 위치 관계를 참조하는 것은, 단지 본 발명의 설명을 편하게 설명하고 묘사를 단순화하기 위한 것일 뿐, 지칭하는 장치 또는 소자가 반드시 특정한 방위를 가지고 특정한 방위로 구조 및 조작되어야 함을 지시하거나 암시하는 것이 아니므로, 본 공개에 대한 제한으로 해석할 수 없다. 구성 요소의 위치 관계는 각 구성 요소를 설명하는 방향으로 적절하게 바뀐다. 따라서, 본 공개에서 설명되는 문구에 국한하지 않고 경우에 따라 적절히 바꿀 수 있다.

[0041] 본 공개에서 별도의 명확한 규정과 한정이 없는 한 용어의 “설치”, “연결”, “서로 연결”은 넓은 의미로 이해하여야 한다. 예를 들어, 고정 연결, 또는 분리 가능한 연결, 또는 일체적 연결 등이 될 수 있으며; 기계적 연결이나 전기적 연결이 될 수 있으며; 직접 연결, 또는 미들웨어를 통한 간접 연결 또는 두 요소 내부의 연결일 수 있다. 본 분야의 기술자들에게 놓고 말하면, 구체적인 상황에 따라 상술된 용어가 본 공개에서 가지는 구체적인 의미를 이해할 수 있다.

[0042] 본 공개에서는 극성이 반대인 트랜지스터를 사용하는 황상이나 또는 회로 작업 중의 전류 방향이 변하는 경우 등에서는 “소스 전극” 및 “드레인 전극”의 기능이 서로 바뀌기도 한다. 따라서 본 공개에서 “소스 전극”과 “드레인 전극”을 서로 바꿀 수 있다.

[0043] 본 공개에서 “전기적 연결”은 구성 요소들이 어떤 전기적 작용을 가진 부품를 통하여 연결된 경우를 포함한다. “어떤 전기적 작용을 가진 부품”은 연결된 구성 요소 간의 전기적 신호의 수신이 가능하기만 하면 그에 대한 특별한 제한이 없다. “어떤 전기적 작용을 가진 부품”의 예로는 전극과 배선을 포함할 뿐만 아니라 또한 트랜지스터 등의 스위치 부품, 저항기, 인덕터, 커패시터, 기타 여러 가지 기능을 가진 부품 등을 포함한다.

[0044] 본 공개에서 "평행"이란 대략 평행 또는 거의 평행을 가리키며, 예를 들어, 두 직선이 이루는 각도가 -10° 이상이고 10° 이하인 상태이므로 해당 각도가 -5° 이상이고 5° 이하인 상태도 포함한다. 또한, 본 발명의 설명에서 “수직”이란 대략 수직을 가리키며, 예를 들어, 두 직선이 이루는 협각이 80° 이상이고 100° 이하인 상태이므

로, 85° 이상이고 95° 이하인 각도의 상태도 포함한다.

[0045] 아래는 트랜지스터, 그리고 3D 메모리의 순서에 따라 각각 본 출원에 대하여 설명한다.

[0046] 도 1은 일 예시적 실시예에서 제공하는 저장 유닛 어레이 중의 트랜지스터 단면 도면이다. 도 2는 도 1에 도시된 트랜지스터AA 방향의 단면도이다. 도 1과 도 2에 도시된 바와 같이, 본 실시예에 제공하는 트랜지스터는 기질(1), 상기 기질(1)에 설치되는 소스 전극(51), 드레인 전극(52) 및 제1 방향(Z)으로 연장되는 게이트(11), 그리고 상기 게이트(11)를 둘러싸고 상기 게이트(11)와 절연되는 반도체층(9)을 포함하며, 예를 들어, 상기 게이트(11)를 둘러싸는 게이트 절연층(10), 상기 게이트 절연층(10)을 둘러싸는 반도체층(9)을 포함할 수 있다.

[0047] 상기 기질은 지지 역할을 하는 기저이며, 그 재료와 내부 구조는 본 출원의 중점이 아니기 때문에, 본 출원은 구체적인 묘사를 하지 않는다.

[0048] 상기 기질(1)에 있는 소스 전극(51), 드레인 전극(52) 및 제1 방향(Z)으로 연장되는 게이트(11)는 기질 위에 설치되는 소스 전극(51), 드레인 전극(52) 및 제1 방향(Z)을 따라 연장되는 게이트(11)로 이해할 수 있다.

[0049] 상기 제1 방향(Z)을 따라 연장되는 게이트(11)는 기질에 수직인 방향으로 연장되는 게이트로 이해할 수 있으며, 또한 전체적으로 단지 기질 방향으로 연장되지만, 게이트의 측면 표면의 모양은 구체적으로 제한되지 않는다. 예시적으로, 게이트의 횡단면 모양과 사이즈는 유사할 수도 있으며, 또는 횡단면 모양과 사이즈는 서로 다른 영역에서 다를 수도 있다.

[0050] 여기에서, 일부 실시 방식에서, 상기 소스 전극(51)과 드레인 전극(52)의 기능을 서로 바꿀 수 있으며, 예를 들어, 도 1 중의 소스 전극(51)이 다른 일부 실시예에서 드레인 전극이고, 도 1 중의 드레인 전극(52)이 다른 일부 실시예에서 소스 전극(52)이다.

[0051] 상기 게이트는 기질에 수직인 방향으로 연장하며, 여기에서, 해당 게이트는 측면 표면과 상하 양단의 단면을 포함하며, 측면 표면은 전체적으로 기질과 수직이며, 또는 반도체층과 대응되는 게이트 제어 역할을 하는 측벽의 부분 영역, 해당 영역의 막층은 기질과 수직이다.

[0052] 여기에서, 상기 게이트(11)를 둘러싸고 상기 게이트(11)와 절연되는 반도체층(9)이며. 여기의 반도체층은 하나의 막층이고, 해당 막층은 두 개의 상대적인 주 표면과 두 개의 단면을 가진 것으로 이해할 수 있다. 두 개의 상대적인 주 표면은 단면에 비하여 그 표면적이 더 크다. 예를 들면, 반도체층(9)은 게이트의 측벽을 따라 연장하며, 그 막층의 두께 방향은 기질에 평행되는 방향이며, 막층이 게이트 측벽의 위 아래로 연장되는 길이는 막층의 높이이며, 상기 게이트를 둘러싸는 길이는 막층의 너비이다.

[0053] 여기에서, 서라운드는 상기 게이트를 부분적 또는 전체적으로 둘러싸는 것으로 이해할 수 있다. 일부 실시예에서, 상기 서라운드는 전체적으로 둘러싸는 것이 될 수 있으며, 둘러싼 후의 반도체층의 횡단면은 고리 모양이다. 상기 횡단면의 절단 방향은 기질에 평행되는 방향으로 절단된다. 일부 실시예에서, 상기 서라운드는 부분적으로 둘러쌀 수 있으며, 둘러싼 후의 횡단면은 닫히지 않지만 고리 모양을 나타낸다. 예를 들어, 개구부를 가진 고리 모양이다.

[0054] 도 2에 도시된 바와 같이, 상기 반도체층(9)은 간격으로 설치되는 소스 접촉 영역(91) 및 드레인 접촉 영역(92)을 포함할 수 있으며, 상기 소스 전극(51)은 상기 소스 접촉 영역(91)과 접촉하며, 상기 드레인 전극(52)은 상기 드레인 접촉 영역(92)과 접촉하며, 상기 소스 전극(51)과 상기 드레인 전극(52)이 상기 게이트 절연층(10)을 통하여 상기 게이트(11)와 절연하며, 상기 소스 접촉 영역(91)과 드레인 접촉 영역(92) 사이의 채널은 수평 채널이며, 즉 채널에서 캐리어의 전송 방향이 상기 기질(1)의 상부 표면(즉, 상기 게이트(11) 한쪽을 향하는 표면)과 평행한다. 또는 채널의 길이 방향이 상기 기질(1)과 평행하는 것으로 이해할 수 있다. 상기 채널은 캐리어의 전송 방향을 가지며, 해당 방향은 채널의 길이 방향이고, 길이 방향과 수직인 방향은 채널의 너비 방향이다. 상기 제1 방향(Z)은 상기 기질(1)에 수직 될 수 있다.

[0055] 상기 소스 접촉 영역(91)과 드레인 접촉 영역(92)의 간격 설치는 직접 연결되지 않음을 의미하며, 일부 실시예에서, 기질(1)에 평행되는 방향에서 간격으로 설치될 수 있고, 기질(1)에 수직인 방향에서 소스 접촉 영역(91)과 드레인 접촉 영역(92)의 중심 위치는 동일한 평면에 처하거나 서로 일정한 거리를 엇갈릴 수 있지만 채널 방향이 전체적으로 기질에 수직인 것이 아니고 수평 방향으로 기울린 것을 확보해야 한다.

[0056] 일 예시적 실시예에서, 상기 반도체층(9)은 상기 게이트(11)의 측벽에만 위치한다. 또는 절연층에는 기질 방향으로 연장되는 홀이 형성되며, 반도체층은 상기 홀의 벽 위에 위치하여 기질에 수직인 방향으로 연장되어 홀 모양의 구조를 형성하며, 상기 게이트는 상기 홀의 모양에 따라 상기 홀 안에 형성되고, 게이트 절연층을 통하여

상기 게이트와 절연하는 것으로 이해될 수 있다. 상기 게이트는 솔리드 구조일 수도 있고 보이드 구조일 수도 있다.

[0057] 일 예시적 실시예에서, 상기 반도체층(9)은 상기 게이트(11)의 측벽에서 연장되어, 상기 기질(1)에 수직인 방향으로 연장되는 고리 모양의 반도체층을 형성할 수 있다. 일 예시적 실시예에서, 반도체층(9)은 상기 게이트(11)를 둘러싸고 있지만, 게이트(11)와 접촉하지 않고, 게이트(11)의 바깥쪽 벽에 게이트 절연층(10)을 둘러싸고, 반도체층(9)은 상기 게이트 절연층(10)을 둘러싼다. 상기 반도체층(9)은 전체 서라운드 또는 부분 서라운드일 수 있으며, 예를 들어, 기질(1)에 수직인 방향에서 상기 반도체층(9)에 간극이 있을 수 있다.

[0058] 반도체층(9) 상의 소스 접촉 영역(91)과 드레인 접촉 영역(92)은 소스 전극과 드레인 전극에 따라 결정되며, 소스 전극(51)과 드레인 전극(52)이 있는 위치를 설치하고 또한 반도체층과 접촉하는 영역은 각각 소스 접촉 영역(91)과 드레인 접촉 영역(92)이다. 소스 접촉 영역(91)과 드레인 접촉 영역(92)의 위치는 채널 중 캐리어의 전송 방향을 수직 방향이 아닌 수평으로 한다. 예를 들어, 소스 전극(51)과 드레인 전극(52) 사이의 채널 방향은 전체적으로 기질(1)에 평행되는 방향으로 연장되며, 또한 3D 적층 저장 유닛을 제조할 때 각 적층된 트랜지스터의 게이트(11)를 연결하여 3D 적층된 각 트랜지스터의 연결된 단어선으로 사용할 수 있으며, 수직으로 연장되는 단어선은 공간을 절약할 수 있고 또한 한번의 공정으로 각 트랜지스터의 게이트와 단어선을 형성할 수 있으며, 마스크 개수를 줄일 수 있어 공정 제조 과정을 효과적으로 단순화하고 비용을 절감할 수 있다.

[0059] 각 소스 전극(51)에 하나의 독립된 소스 접촉 영역을 대응하게 설치하고, 각 드레인 전극(52)에 하나의 드레인 접촉 영역을 대응하게 설치한다.

[0060] 상기 단어선은 수직 방향으로 연장하는 것은 직선 방향으로 연장할 수 있거나 또는 곡선 방향으로 연장할 수도 있다. 일부 실시예에서, 각 트랜지스터의 수직 방향으로 연장되는 게이트(11)는 직선이 될 수 있고, 또한 기질(1)상의 정투영은 같은 위치에 있을 수 있으면, 각 트랜지스터의 게이트가 연결된 후 직선형의 단어선이 형성된다. 상기 곡선은 전체적으로 곧지 않을 수 있지만, 반도체 영역에 대응되거나 유효한 반도체 영역에 대응되는 게이트는 기질에 수직인 방향으로 연장되는 직선이며, 두 인접한 층 사이의 단어선 부분은 직선이 아닐 수 있다.

[0061] 상기 직선형 단어선의 기질(1)에 평행되는 방향에 따른 횡단면은 어디에서나 동일하거나 불완전히 동일할 수 있다. 본 출원의 실시예는 해당 직선의 횡단면 특징에 대하여 제한하지 않는다.

[0062] 일부 실시예에서, 각 트랜지스터의 수직 방향으로 연장되는 게이트(11)는 직선이 될 수 있고, 기질(1)에서의 정투영은 불완전히 동일한 위치에 있을 수 있으며, 각 트랜지스터의 게이트(11)는 연결된 후 전체적으로 기질(1)에 수직인 방향으로 연장되지만 국지적으로 곡선이 되는 것을 형성한다.

[0063] 수평 채널은 채널에서 캐리어 전송 방향이 기질에 평행되는 평면 내에 있지만 캐리어의 전송 방향이 반드시 한 방향이어야 하는 것을 제한하지 않는다. 실제 응용에서 캐리어의 전송 방향은 전체적으로 한 방향으로 연장되지만, 국지적으로 반도체층의 모양과 관련이 있다. 다시 말하면, 수평 채널은 수평면에서 반드시 한 직선 방향으로 연장되어야 한다는 것을 의미하지 않으며, 다른 방향으로 연장될 수 있으며, 예를 들어 반도체층(9)이 고리 모양일 때 고리 모양 반도체층 위의 소스 접촉 영역(91)과 드레인 접촉 영역(92)은 고리 모양의 일부이며, 이때 캐리어는 소스 접촉 영역(91)에서 드레인 접촉 영역(92)으로 전체적으로 한 방향으로 연장되지만 국지적으로 한 방향이 아닐 수 있다. 물론 캐리어 전송 방향은 기질(1)에 평행되는 평면 내에서도 거시적인 개념이며, 절대적으로 기질에 평행되는 것에 국한되지 않으며, 본 출원의 청구하는 소스 전극(51)과 드레인 전극(52) 사이의 채널은 기질(1)에 수직이지 않는 채널이다.

[0064] 본 공개의 일부 실시예에서 트랜지스터를 제공하며, 각 트랜지스터의 게이트는 수직 방향의 게이트이며, 채널은 수평 채널으로 구조가 쉽고 제작이 상대적으로 비교적 쉬운 3D 적층 메모리를 구현하는 데 유리하다. 일 예시적 실시예에서, 상기 기질(1)에 평행되는 평면에서, 상기 소스 전극(51)의 정투영과 상기 드레인 전극(52)의 정투영은 서로 중첩되지 않을 수 있으며, 이는 채널이 수평 채널로 보장한다.

[0065] 일 예시적 실시예에서, 상기 소스 접촉 영역(91)과 드레인 접촉 영역(92)은 상기 기질(1)에 수직인 평면에서의 정투영은 중첩을 가질 수 있으며, 여기에서, 상기 평면은 상기 소스 접촉 영역(91)과 드레인 접촉 영역(92) 사이에 위치한다.

[0066] 일 예시적 실시예에서, 상기 반도체층(9)은 전체 서라운드이며, 게이트(11)의 측벽에서 전체 둘러싸며, 다시 말하면, 게이트(11)에 대응되는 영역에서 반도체층(9)의 횡단면은 폐루프이다. 예를 들어, 상기 반도체층(9)은 고리 모양이며, 게이트(11)의 각 위치의 횡단면에서 반도체층(9)은 고리 모양이며, 또한 고리 모양은 게이트(11)

횡단면의 바깥쪽 윤곽 모양과 적합하다. 예를 들어, 상기 게이트(11)의 횡단면 바깥쪽 윤곽은 원형, 타원, 사각형 등의 구조가 될 수 있다.

[0067] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향으로, 상기 소스 전극(51)은 상기 기질(1)에 가까운 한쪽의 표면과 상기 기질(1)의 제1 거리는, 상기 드레인 전극(52)의 상기 기질(1)에 가까운 한쪽의 표면과 상기 기질(1)의 제2 거리와 같을 수 있다. 즉, 상기 소스 전극(51)과 드레인 전극(52)은 상기 기질(1)의 거리는 동일하다. 그러나 본 공개의 실시예는 이에 제한되지 않으며, 제1 거리와 제2 거리는 서로 다를 수 있다. 상기 소스 전극(51)과 상기 드레인 전극(52)은 동일한 금속 막층의 서로 다른 영역에 위치하고 간격으로 설치되고, 하나의 금속 막층 패턴로 형성되어 있는 것으로 이해할 수 있으며, 상기 금속 막층은 상기 기질(1)의 상부 표면과 대략 평행된다. 상기 소스 전극(51)과 상기 드레인 전극(52)은 각각 상하 두 개의 주 표면과 측면을 가지고 있으며, 상기 측면은 상기 반도체층(9)과 접촉하며, 상기 측면의 모양은 상기 반도체층(9)의 측벽의 모양과 적합하다.

[0068] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향으로 상기 소스 전극(51)의 제1 두께와 상기 드레인 전극(52)의 제2 두께가 동일할 수 있다. 그러나 본 공개의 실시예는 이에 제한되지 않으며, 제1 두께와 제2 두께는 서로 다를 수 있다.

[0069] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향으로 상기 소스 전극(51)과 드레인 전극(52)은 동일한 전도 막층에 위치할 수 있다. 소스 전극(51)과 드레인 전극(52)은 동일한 금속 막층에 위치하며, 하나의 금속 막층으로 패턴화되어 형성된 것으로 이해할 수 있으며, 상기 금속 막층은 상기 기질(1)의 상부 표면과 대략 평행하다.

[0070] 일 예시적 실시예에서, 상기 기질(1)에 수직인 평면에서, 상기 게이트(11)의 정투영은 상기 소스의 전극(51)의 정투영 바깥에 위치할 수 있고, 상기 게이트(11)의 정투영은 상기 드레인의 전극(52)의 정투영 바깥에 위치할 수 있다. 본 실시예에서 제공하는 방안은 구조가 간단하고 제작이 비교적 쉬운 다수의 트랜지스터를 구현할 수 있으며, 각 트랜지스터의 게이트(11)을 연결하여 단어선을 형성한다.

[0071] 일 예시적 실시예에서, 상기 반도체층(9)은 금속 산화물 반도체층일 수 있거나, 또는 실리콘이 포함되는 반도체층일 수 있다.

[0072] 일 예시적 실시예에서, 상기 금속 산화물 반도체층 중의 금속은 인듐, 주석, 아연, 알루미늄, 갈륨 중의 적어도 하나를 포함할 수 있으나, 이 열거된 재료 실시예에 제한되지 않는다.

[0073] 일 예시적 실시에에서, 상기 금속 산화물 반도체층은 산화 인듐, 산화 주석, 인듐 아연(In-Zn) 계열의 산화물, 주석 아연(Sn-Zn) 계열의 산화물, 알루미늄 아연 (Al-Zn) 계열의 산화물, 인듐 갈륨(In-Ga) 계열의 산화물, 인듐 갈륨 아연 (In-Ga-Zn) 계열의 산화물, 인듐 알루미늄 아연 (In-Al-Zn) 계열의 산화물, 인듐 주석 아연(In-Sn-Zn) 계열의 산화물, 주석 갈륨 아연(Sn-Ga-Zn) 계열의 산화물, 알루미늄 갈륨 아연 (Al-Ga-Zn) 계열의 산화물, 주석 알루미늄 아연(Sn-Al-Zn) 계열의 산화물 중 적어도 하나를 포함할 수 있다.

[0074] 일 예시적 실시예에서, 도 2에 도시된 바와 같이, 게이트(11)의 횡단면은 직사각형일 수 있으며, 측면 표면에 4개의 측면을 가지고, 각각 두 개의 측면이 서로 마주본다(예를 들어, 제1 쪽과 제2 쪽이 서로 마주봄). 상기 소스 전극(51)은 상기 게이트(11)의 제1 쪽에 위치할 수 있고, 상기 드레인 전극(52)은 상기 게이트(11)의 제2 쪽에 위치할 수 있으며, 상기 소스 전극인(51)과 상기 드레인 전극(52)은 서로 마주보고 설치될 수 있다. 즉, 상기 제1 쪽과 상기 제2 쪽이 서로 마주보는 양쪽이다. 그러나 본 공개의 실시예는 이에 제한되지 않으며, 소스 전극(51)과 드레인 전극(52)은 다른 위치에 있을 수 있다.

[0075] 일 예시적 실시예에서, 상기 트랜지스터를 어레이에 배치할 때 상기 소스 전극(51)은 제2 방향(X)을 따라 연장될 수 있고, 상기 드레인 전극(52)은 제3 방향(Y)을 따라 연장될 수 있으며, 상기 제2 방향(X)은 상기 기질(1)에 평행될 수 있고, 상기 제3 방향(Y)은 상기 기질(1)에 평행될 수 있다. 그러나 본 공개의 실시예는 이에 제한되지 않으며, 상기 소스 전극(51)과 상기 드레인 전극(52)은 다른 모양일 수 있다. 상기 소스 전극(51)과 지시선이 일체형 설치되고, 상기 드레인 전극(52)과 지시선이 일체형 설치됨으로 이해할 수 있으며, 이 경우 상기 소스 전극(51)과 상기 드레인 전극(52)이 각자의 지시선과의 사이의 경계를 확인하기 어렵지만 상기 소스 전극(51)과 일체형 설치되는 지시선은 수평면에서 행 방향으로 연장되고, 상기 드레인 전극(52)과 일체형 설치되는 지시선은 열 방향으로 연장된다고 이해할 수 있다.

[0076] 일 예시적 실시예에서, 상기 제2 방향(X)과 상기 제3 방향(Y)이 교차할 수 있다.

[0077] 일 예시적 실시예에서, 상기 제2 방향(X)과 상기 제3 방향(Y)은 수직이 될 수 있지만, 본 공개의 실시예는 이에

제한되지 않으며, 제2 방향(X)과 제3 방향(Y) 사이는 다른 각도가 될 수 있다.

[0078] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향에서, 상기 소스 전극(51)의 단면은 사각형, 원형, 타원형 등이 될 수 있고, 상기 드레인 전극(52)의 단면은 사각형, 원형, 타원형 등이 될 수 있으며, 본 공개의 실시예는 이에 제한되지 않으며, 상기 소스 전극(51)의 단면과 상기 드레인 전극(52)의 단면은 다른 모양, 예를 들면 원형, 육각형 등이 될 수 있다.

[0079] 일 예시적 실시예에서, 상기 소스 전극(51)과 상기 드레인 전극(52)은 도 1에 도시된 위치와 다른 위치에 연결될 수 있으며, 예를 들어 상기 소스 전극(51)은 상기 반도체층(9)으로 구성된 고리 모양 기둥의 제1 쪽에 연결되고, 상기 드레인 전극(52)은 상기 반도체층(9)으로 구성된 고리 모양 기둥의 제2 쪽에 연결되며, 또한 제1 쪽과 제2 쪽은 인접하는 등이다.

[0080] 일 예시적 실시예에서, 상기 소스 전극(51)과 상기 드레인 전극(52)은 같은 층에 설치될 수 있다. 즉 상기 소스 전극(51)과 상기 드레인 전극(52)은 동일회 패턴화 공정을 통하여 동시에 형성될 수 있으나, 본 공개의 실시예는 이에 제한되지 않으며, 서로 다른 패턴화 공정을 통하여 상기 소스 전극(51)과 상기 드레인 전극(52)을 각각 제조할 수 있다.

[0081] 본 출원의 실시예에서 상기 소스 전극(51)과 드레인 전극(52)은 단지 하나의 트랜지스터의 게이트를 제외한 제1 전극과 제2 전극을 가리키며, 상기 제1 전극과 제2 전극 중 하나가 소스 전극이고, 다른 하나는 드레인 전극이다. 제품 중에서 소스 전극이나 드레인 전극을 식별하는 것은 전류의 흐름 방향에 근거하여 확정되며, 예를 들면, 본 출원의 실시예에서 설명한 소스 전극은 전류의 흐름 방향에 근거하여 드레인 전극으로 해석될 수 있다.

[0082] 도 2에 도시된 바와 같이, 본 실시예가 제공하는 방안에서, 소스 전극(51)과 드레인 전극(52) 사이의 채널의 사이즈가 상기 기질(1)에 수직인 평면에서, 상기 소스 전극(51)의 정투영과 상기 드레인 전극(52)의 정투영 사이의 중첩 길이를 통하여 제어할 수 있다. 도 2에서, 상기 소스 전극(51)의 정투영과 상기 드레인 전극(52)의 정투영 사이의 중첩 길이는 d이며, 소스 전극(51)과 드레인 전극(52)의 기질(1)에 수직인 방향을 따른 두께를 제어하는 것을 통하여 채널 사이즈를 제어할 수 있으며, 소스 전극이 게이트를 둘러싸고 드레인 전극이 게이트를 둘러싸는 트랜지스터는 게이트가 소재하는 관통공의 사이즈(공정 변경 필요) 또는 소스 전극과 드레인 전극 사이의 거리를 증가시켜 채널 사이즈를 제어(트랜지스터의 용량을 증가시킬 수 있다)하는 것과 비교하면, 본 실시예는 채널의 사이즈를 더 쉽게 제어할 수 있고 공정 변경이 적고 트랜지스터의 크기에 미치는 영향도 적다.

[0083] 도 1과 도 2에 도시된 트랜지스터 구조는 단순화된 도면이다. 실제로 제조된 트랜지스터에는 예를 들어 기질(1)과 상기 소스 전극(51), 상기 드레인 전극(52) 사이에 위치하는 절연층, 및 상기 소스 전극(51)과 상기 드레인 전극(52)을 덮는 절연층 등 다른 막층이 포함될 수 있다.

[0084] 아래는 본 실시예의 트랜지스터의 제조 과정을 통하여 본 실시예의 기술 방안을 설명한다. 본 실시예에서 말하는 "패터닝 공정"은 막층 증착, 감광액 도포, 마스크 노출, 현상, 식각, 감광액 박리 등의 처리를 포함하며, 관련 기술 중 성숙한 제조 공정이다. 본 실시예에서 말하는 "감광 공정"은 막층 도포, 마스크 노출 및 현상까지 포함하며, 관련 기술 중 성숙한 제조 공정이다. 증착은 스퍼터링, 증발, 화학기상증착, 원자층증착 등 이미 알고 있는 공정을 채택할 수 있고, 도포는 이미 알고 있는 도포 공정을 채택할 수 있으며, 식각은 이미 알고 있는 방법을 채택할 수 있으며, 여기에 제한하지 않는다. 본 실시예의 서술에서 "박막"이란 어떤 재료를 기저에서 증착 또는 도포 공정을 이용하여 제작한 한 층의 박막을 말한다. 만약 전체 제작 과정 중에서 해당 "박막"이 패터닝 공정이나 광각 공정을 필요로 하지 않으면, 해당" 박막"은 "층"이라고도 할 수 있다. 만약 전체 제작 과정 중에서 해당 "박막"이 아직 패터닝 공정 공정 또는 광각 공정이 필요하면, 패터닝 공정 공정 전에는" 박막", 패터닝 공정 후에는 "층"이라고 한다. 패터닝 공정 또는 광각 공정을 거친 후의 "층"에는 적어도 하나의" 패턴"이 포함된다.

[0085] 상술한 트랜지스터 3D 적층은 여러 가지 제조 방법이 있으며, 본 출원은 해당 방안 구조를 이해하는 관점에서 한 가지 실현 방안을 예시적으로 소개하며, 해당 방안은 상술한 구조를 이해하는 데 사용되지만 상술한 구조를 제한하는 데에 사용되지 않는다.

[0086] 일 예시적 실시예에서, 트랜지스터의 제조 공정은

[0087] 1) 도 3에 도시된 바와 같이, 기질(1)에서 순차적으로 제1 절연 박막, 제1 금속 박막, 제2 절연 박막을 증착하여, 제1 절연층(2), 제1 금속층(3) 및 제2 절연층(4)을 각각 형성하는 것이 포함된다.

[0088] 일 예시적 실시예에서, 상기 기질(1)은 유리, 실리콘, 유연성 재료 등을 사용하여 제조될 수 있다. 상기 유연성

재료는 폴리이미드(PI), 폴리에틸렌 테레프탈레이트(PET) 또는 표면 처리된 폴리머 연성 필름 등의 재료를 채택할 수 있다. 예시적 실시예에서, 기질(1)은 단층 구조 또는 다중 적층 구조일 수 있으며, 적층 구조의 기질은 유연 재료/무기 재료/유연 재료를 포함할 수 있으며, 상기 무기 재료는 예를 들면 규소질화물(SiNx), 규소산화물(SiOx), 산질화규소(SiON) 등 중 하나 또는 다수가 될 수 있다.

[0089] 일 예시적 실시예에서, 상기 제1 절연 박막과 제2 절연 박막은 low-K 매체층, 즉 전매 상수 K<3.9의 매체층일 수 있다. 예를 들어, 질화규소(SiNx), 규소산화물(SiOx) 및 산질화규소(SiON), 탄화규소(SiC) 중 임의의 하나이나 다수가 될 수 있다. 상기 제1 절연 박막과 제2 절연 박막은 동일한 재료이거나 서로 다른 재료일 수 있다.

[0090] 일 예시적 실시예에서, 상기 제1 금속 박막은 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 루테늄(Ru), 질화 티타늄(TiN) 및 탄탈럼(Ta) 등 중 적어도 하나가 포함하되 이에 제한되지 않는다.

[0091] 2) 상기 제1 절연층(2), 제1 금속층(3), 제2 절연층(4)에 대하여 패터닝 공정을 통하여 패터닝을 하여 제1 홈(P1)과 제2 홈(P2)을 형성하며, 도 4에 도시된 바와 같다. 상기 제1 홈(P1)은 상기 제1 절연층(2), 제1 금속층(3), 제2 절연층(4)을 관통하며, 상기 제2 홈(P2)은 상기 제1 절연층(2), 제1 금속층(3) 및 제2 절연층(4)을 관통한다. 상기 제1 금속층(3)은 제2 방향(X)을 따라 연장되는 제1 서브 부분(31)과 제3 방향(Y)을 따라 연장되는 제2 서브 부분(32)을 포함할 수 있다.

[0092] 일 예시적 실시예에서, 상기 기질(1)에 평행되는 평면에서, 상기 제1 절연층(2), 상기 제1 금속층(3)과 상기 제2 절연층(4)의 단면은 H형일 수 있다. 이때 상기 제1 금속층(3)은 서로 상대인 제2 서브 부분(32)과 제3 서브 부분(33), 그리고 상기 제2 서브 부분(32)과 제3 서브 부분(33)을 연결하는 제1 서브 부분(31)을 포함할 수 있다.

[0093] 일 예시적 실시예에서, 상기 제1 홈(P1)과 제2 홈(P2)의 크기와 모양은 같을 수 있지만, 본 공개의 실시예는 이에 제한되지 않으며, 제1 홈(P1)과 상기 제2 홈(P2)의 크기와 모양은 서로 다를 수 있다.

[0094] 일 예시적 실시예에서, 상기 제3 서브 부분(33)은 제3 방향(Y)을 따라 연장될 수 있다. 그러나 본 공개의 실시예는 이에 제한되지 않으며, 제3 서브 부분(33)은 다른 모양이 될 수 있다. 일 예시적 실시예에서, 제3 서브 부분(33)을 제거할 수 있다.

[0095] 본 실시예에서, 제1 금속층(3)의 패턴은 단지 예시이며, 제1 금속층(3)은 다른 모양의 패턴일 수 있으며, 예를 들어, 제1 서브 부분(31)의 연장 방향으로 현재 제2 서브 부분(32)을 두 부분으로 분할하며, 그 중 하나만 제2 서브 부분(32)으로 남길 수 있다.

[0096] 3) 상술한 패턴이 형성되는 기질(1)에서, 제3 절연 박막을 증착하여 제3 절연층(5)을 형성하고, 상기 제3 절연층(5)은 상기 제1 홈(P1)과 제2 홈(P2)을 패팅하며, 도 5에 도시된 바와 같다.

[0097] 일 예시적 실시예에서, 상기 제3 절연 박막은 low-K 매체층, 즉 전매 상수 K < 3.9의 매체층일 수 있으며, 예를 들면 규소질화물(SiNx), 규소산화물(SiOx), 산질화규소(SiON), 탄화규소(SiC) 중 임의의 하나 또는 다수가 될 수 있다. 상기 제3 절연 박막과 제1 절연 박막, 제2 절연 박막은 동일한 재료이거나 서로 다른 재료일 수 있다.

[0098] 4) 상술한 패턴이 있는 기질(1)에서, 상기 제1 절연층(2), 제1 금속층(3)과 제2 절연층(4)을 관통하는 관통공(41)을 형성하며, 상기 기질(1)에 평행되는 평면에서, 상기 관통공(41)의 정투영은 상기 제1 서브 부분(31)의 정투영과 중첩이 존재할 수 있으며, 상기 제2 서브 부분(32)의 정투영과 중첩이 존재할 수 있으며, 도 6에 도시된 바와 같다. 도 6에 도시된 관통공(41)의 상기 기질(1)에 평행되는 평면에서의 단면은 사각형이지만 본 공개의 실시예는 이에 제한되지 않으며, 관통공(41)은 상기 기질(1)에 평행되는 평면에서의 단면은 다른 모양이 될 수 있으며, 예를 들면 원형, 오각형, 육각형 등이다.

[0099] 5) 상술한 패턴이 형성되는 기질(1)에서 선택적으로 제1 금속층(3) 중의 제1 서브 부분(31), 제2 서브 부분(32), 그리고 제3 서브 부분(33)과 제1 서브 부분(31)의 연결부를 식각하며, 이 때 제1 금속층(3)은 단지 제3 서브 부분(33)만 남고 또한 제3 서브 부분(33)에 제1 서브 부분(31)(제1 서브 부분(31)은 이미 식각되었음)으로 향하는 제3 홈(P3)을 설치하며, 도 7a와 도 7b에서 도시된 바와 같으며, 이때 선택적으로 식각된 제1 서브 부분(31)이 위치하는 영역으로 형성되는 제1 채널(42), 제2 서브 부분(32)이 위치하는 영역으로 형성되는 제2 채널(43)과 상기 관통공(41)을 형성하고, 상기 제1 채널(42)은 상기 관통공(41)과 관통하고, 상기 제2 채널(43)은 상기 관통공(41)과 관통한다.

[0100] 6) 단계 5에서 형성된 채널(즉, 관통공(41), 제1 채널(42) 및 제2 채널(43))의 측벽에서, 순차적으로 제1 반도체 박막과 제1 게이트 산화물 박막을 증착하여 능동층(6)과 제1게이트 절연층(7)을 형성하며, 도 8a, 8B 및 8C

에 도시된 바와 같으며, 여기에서, 도 8c는 도 8b의 BB 방향에 따른 단면도이며, 단지 능동층(6)과 제1게이트 절연층(7)만을 도시한다. 이 때 능동층(6)과 제1 게이트 절연층(7)은 상기 채널의 채널 벽으로 작용하고, 상기 능동층(6)은 상기 제1 게이트 절연층(7)을 둘러싼다.

[0101] 일 예시적 실시예에서, 상기 제1 게이트 산화물 박막은 High-K 매체 재료일 수 있다. High-K 물질은 산화규소, 산화알루미늄, 산화하프늄을 포함하되 이에 국한되지는 않는다.

[0102] 일 예시적 실시예에서, 상기 제1 반도체 박막은 채널층으로서 실리콘을 함유하는 막층이나 금속 산화물 반도체가 될 수 있으며, 여기에서, 상기 금속 산화물 반도체는 IGZO, 산화 인듐 주석(Indium Tin Oxide, ITO), 산화 인듐 아연 (Indium Zinc Oxide, IZO) 중 적어도 하나의 재료를 포함하나 이에 제한되지 않는다. IGZO를 반도체층으로 사용할 경우 낮은 전력 누출, 짧은 업데이트 시간 이점을 가진다. 후속 제2 반도체 박막은 이와 유사하고 더 이상 설명하지 않는다.

[0103] 일 예시적 실시예에서, 원자층 증착(Atomic Layer Deposition, ALD) 방법을 통하여 상기 제1반도체 박막과 상기 제1 게이트 산화물 박막을 증착할 수 있다.

[0104] 6) 상기 채널(즉, 관통공(41), 제1 채널(42) 및 제2 채널(43)) 내에서 제2 금속 박막을 증착하여 제2 금속층(8)을 형성하고, 상기 제2 금속층(8)은 도 9a, 도 9b 및 도 9c에 도시된 바와 같이 상기 채널을 완전히 패딩한다. 도 9c는 도 9b의 BB 방향에 따른 단면도이며, 또한 능동층(6), 제1 게이트 절연층(7) 및 제2 금속층(8)만을 도시한다. 이때 제1 게이트 절연층(7)은 상기 제2 금속층(8)을 둘러싼다.

[0105] 일 예시적 실시예에서, 상기 제2 금속 박막은 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 루테늄(Ru), 질화 티타늄(TiN) 및 탄탈럼(Ta) 중 적어도 하나가 포함하되 이에 제한되지 않는다. 상기 제2 금속 박막은 상기 제1 금속 박막과 같거나 서로 다를 수 있다.

[0106] 7) 상기 관통공(41)이 위치하는 위치 중의 제2 금속층(8)과 제1 게이트 절연층(7)을 선택적으로 감광 및 식각하고, 채널 중 다른 위치의 제2 금속층(8)(기질(1)과 평행되는 제1 채널(42)과 제2 채널(43)의 제2 금속층(8))을 보유하며, 도 10a, 도 10b와 도 10c에 도시된 바와 같으며, 도 10c는 도 10b의 BB 방향에 따른 단면도이며, 단지 능동층(6), 제1 게이트 절연층(7) 및 제2 금속층(8)을 도시한다. 제1 채널(42)에 위치하는 제2 금속층(8)은 트랜지스터의 소스 전극(51)이고, 제2 채널(43)에 위치하는 제2 금속층(8)은 트랜지스터의 드레인 전극(52)이며, 소스 전극(51)과 드레인 전극(52)은 서로 끊어진다.

[0107] 8) 상기 각식으로 취득된 관통공의 측벽에서 제2 반도체 박막, 제2 게이트 산화물 박막 및 제3 금속 박막을 순차적으로 증착하여 각각 반도체층(9), 게이트 절연층(10)과 게이트(11)를 형성하고, 상기 게이트 절연층(10)이 상기 게이트(11)를 둘러싸고, 상기 반도체층(9)이 상기 게이트 절연층(10)을 둘러싸며, 상기 게이트(11)는 상기 게이트 절연층(10)으로 둘러싼 영역을 완전히 패딩한다. 도 11a, 도 11b 및 도 11c에 도시된 바와 같이, 도 11c는 도 11b의 BB 방향을 따른 단면도이며, 단지 능동층(6), 제1 게이트 절연층(7), 반도체층(9), 게이트 절연층(10), 제2 금속층(8)(소스 전극(51), 드레인 전극(52)), 게이트(11)만을 도시한다.

[0108] 일 예시적 실시예에서, 상기 제2 게이트 산화물 박막은 High-K 매체 재료일 수 있다. High-K 물질은 산화규소, 산화알루미늄, 산화하프늄을 포함하되 이에 국한되지는 않는다.

[0109] 일 예시적 실시예에서, 상기 제3 금속 박막은 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 루테늄(Ru), 질화 티타늄(TiN) 및 탄탈럼(Ta) 중 적어도 하나가 포함하되 이에 제한되지 않는다. 상기 제3 금속 박막은 상기 제1 금속 박막, 제2 금속 박막과 같거나 서로 다를 수 있다.

[0110] 상술한 제조 방법을 사용하여 제조한 트랜지스터는, 또한 상기 소스 전극(51)과 상기 드레인 전극(52)을 둘러싸는 제1 게이트 절연층(7) 및 상기 제1 게이트 절연층(7)을 둘러싸는 능동층(6)을 포함할 수 있다(도 11d에 도시된 바와 같이, 소스 전극(51)과 드레인 전극(52)의 상기 게이트(11)로부터 멀리 떨어진 한쪽에 순차적으로 제1 게이트 절연층(7)과 능동층(6)으로 덮여 있다). 다른 일 예시적 실시예에서, 능동층(6)과 제1 게이트 절연층(7)을 식각 제거할 수 있으며, 본 공개의 실시예는 이에 제한되지 않는다.

[0111] 상기 제조 과정은 단지 예시일 뿐이며, 본 공개의 실시예는 이에 제한되지 않으며, 기타 방식을 통하여 제조할 수 있다. 예를 들면, 제1 금속 박막을 증착시킨 후 패터닝 공정을 통하여 패터닝하여 H형의 제1 금속층(3)을 형성할 수 있다. 후속에 다시 제2 절연막을 증착하여 제2 절연층(4)을 형성하며, 제1 홈(P1)과 제2 홈(P2)을 형성할 필요가 없으며, 제3 절연막을 증착할 필요가 없다.

[0112] 본 공개의 실시예는 또한 전자 장비를 제공하며, 상술한 임의의 실시예의 트랜지스터를 포함한다. 상기 전자 장

비는 저장 장치, 스마트폰, 컴퓨터, 태블릿 PC, 인공지능 장비, 웨어러블 장비 또는 이동식 전원 등이 될 수 있다. 저장 장치는 컴퓨터 중의 메모리 등을 포함할 수 있으며, 여기서는 제한하지 않는다.

[0113] 다른 일 예시적 실시예에서, 상기 트랜지스터의 제조 과정은 아래와 같은 내용이 포함될 수 있다.

[0114] 1) 도 12에 도시된 바와 같이, 기질(1)에서 순차적으로 제1 절연 박막, 제1 금속 박막, 제2 절연 박막을 증착하여,제1 절연층(2), 제1 금속층(3) 및 제2 절연층(4)을 각각 형성한다.

[0115] 2) 도 13에 도시된 바와 같이, 상기 제1 절연층(2), 제1 금속층(3), 제2 절연층(4)에 대하여 패터닝 공정을 통하여 패터닝을 하여 제1 홈(P3)과 제2 홈(P4)을 형성한다. 상기 제3 홈(P3)은 상기 제1 절연층(2), 제1 금속층(3)과 제2 절연층(4)을 관통하고, 상기 제4 홈(P4)은 상기 제1 절연층(2), 제1 금속층(3)과 제2 절연층(4)을 관통한다. 상기 제1 금속층(3)은 제2 방향(X)을 따라 연장되는 제1 서브 부분(31)과 제3 방향(Y)을 따라 연장되는 제2 서브 부분(32)을 포함할 수 있다.

[0116] 일 예시적 실시예에서, 상기 제3 홈(P3)과 제4 홈(P4)의 크기와 모양은 같을 수 있지만, 본 공개의 실시예는 이에 제한되지 않으며, 제3 홈(P3)과 제4 홈(P4)의 크기와 모양은 서로 다를 수 있다.

[0117] 본 실시예에서, 제1 금속층(3)의 패턴은 단지 예시이며, 제1 금속층(3)은 다른 모양의 패턴일 수 있으며, 예를 들어, 제1 서브 부분(32)의 연장 방향으로 현재 제2 서브 부분(32)을 두 부분으로 분할하며, 그 중 하나만 제2 서브 부분(32)으로 남길 수 있다.

[0118] 3) 도 14에 도시된 바와 같이, 상술한 패턴이 형성되는 기질(1)에서, 제3 절연 박막을 증착하여 제3 절연층(5)을 형성하고, 상기 제3 절연층(5)은 상기 제3 홈(P3)과 제4 홈(P4)을 패딩한다.

[0119] 일 예시적 실시예에서, 상기 제3 절연 박막은 low-K 매체층, 즉 전매 상수 K <3.9의 매체층일 수 있으며, 예를 들면 규소질화물(SiNx), 규소산화물(SiOx), 산질화규소(SiON), 탄화규소(SiC) 중 임의의 하나 또는 다수가 될 수 있다. 상기 제3 절연 박막과 제1 절연 박막, 제2 절연 박막은 동일한 재료이거나 서로 다른 재료일 수 있다.

[0120] 4) 상술한 패턴이 형성되는 기질(1)에서, 식각하여 상기 제1 절연층(2), 제1 금속층(3)과 제2 절연층(4)을 관통하는 관통공(41)을 형성하며, 상기 기질(1)에 평행되는 평면에서, 상기 관통공(41)의 정투영은 상기 제1 서브 부분(31)의 정투영과 중첩이 존재할 수 있으며, 상기 관통공(41)의 정투영은 상기 제2 서브 부분(32)의 정투영과 중첩이 존재할 수 있으며, 도 15에 도시된 바와 같다. 제1 서브 부분(31)과 제2 서브 부분(32)이 식각된 후 그 중 하나는 드레인 전극을 형성하고, 다른 하나는 소스 전극을 형성한다. 도 15에 도시된 관통공(41)의 상기 기질(1)에 평행되는 평면에서의 단면은 사각형이지만 본 공개의 실시예는 이에 제한되지 않으며, 관통공(41)은 상기 기질(1)에 평행되는 평면에서의 단면은 다른 모양이 될 수 있으며, 예를 들면 원형, 오각형, 육각형 등이다.

[0121] 5) 상기 관통공(41)의 측벽에서 제2 반도체 박막, 제2 게이트 산화물 박막 및 제3 금속 박막을 순차적으로 증착하여 각각 반도체층(9), 게이트 절연층(10)과 게이트(11)를 형성하고, 상기 게이트 절연층(10)이 상기 게이트(11)를 둘러싸고, 상기 반도체층(9)이 상기 게이트 절연층(10)을 둘러싸며, 상기 게이트(11)는 상기 게이트 절연층(10)으로 둘러싼 영역을 완전히 패딩한다. 여기에서, 도 16에 도시된 바와 같이, 반도체층(9)은 트랜지스터의 반도체층이고, 게이트 절연층(10)은 트랜지스터의 게이트 절연층이며, 게이트(11)는 트랜지스터의 게이트이다.

[0122] 일 예시적 실시예에서, 상기 제2 게이트 산화물 박막은 High-K 매체 재료일 수 있다. High-K 물질은 산화규소, 산화알루미늄, 산화하프늄을 포함하되 이에 국한되지는 않는다.

[0123] 일 예시적 실시예에서, 상기 제3 금속 박막은 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 루테늄(Ru), 질화 티타늄(TiN) 및 탄탈럼(Ta) 중 적어도 하나가 포함하되 이에 제한되지 않는다. 상기 제3 금속 박막은 상기 제1 금속과 같거나 서로 다를 수 있다.

[0124] 상술한 트랜지스터를 제조할 때, 절연 박막과 금속 박막을 교대로 적층하면, 반도체층(9), 게이트 절연층(10)과 게이트(11)를 공용하는 다수의 트랜지스터를 제조할 수 있다.

[0125] 상술한 트랜지스터는 3D 메모리에 사용될 수 있다. 본 출원의 실시예에서 제공하는 상술한 트랜지스터는 3D 적층 저장 유닛을 제작할 때, 만일 다른 층의 저장 유닛 중의 적어도 하나의 트랜지스터를 적층으로 설치해야 할 경우 상술한 트랜지스터의 수직 방향으로 한 열의 적층 구조를 형성할 수 있다. 해당 열 적층 구조는 1T1C 저장 유닛 중의 트랜지스터의 적층이거나, 또는 2T0C 또는 2T1C 구조 중의 하나의 트랜지스터의 적층일 수 있다.

[0126] 1T1C 저장 유닛을 예로 들면, 단지 세로 한 열의 서로 다른 트랜지스터 사이의 적층 방안을 소개하며, 다음과 같이 소개한다. 본 공개의 실시예는 3D 메모리를 제공하며, 다수 층의 기질에 수직인 방향으로 적층된 저장 유닛, 단어선을 포함할 수 있으며, 여기에서, 상기 단어선은 상기 기질에 수직한 방향으로 연장되고 서로 다른 층의 상기 저장 유닛을 관통하며;

[0127] 상기 저장 유닛은 트랜지스터를 포함할 수 있으며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트를 둘러싸고 상기 게이트와 절연되는 반도체 층을 포함하며; 여기에서, 상기 반도체층은 간격으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함할 수 있고, 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널이다.

[0128] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터의 상기 소스 전극은 간격으로 설치될 수 있고, 서로 다른 층의 트랜지스터의 상기 드레인 전극은 간격으로 설치될 수 있다.

[0129] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터의 상기 게이트는 상기 단어선의 일부이다.

[0130] 도 2, 도 17a 및 도 17b에 도시된 바와 같이, 두 계층의 적층되는 저장 유닛 중의 트랜지스터 적층을 도시하며, 본 공개의 실시예에서 3D 메모리를 제공하며,

[0131] 기질(1)에 수직인 방향으로 적층되는 다수 층의 저장 유닛(도면에는 단지 트랜지스터만 도시되고 커패시터가 도시되지 않음), 단어선(110)(단어선(110)에는 게이트(11)가 포함됨)이 포함될 수 있으며, 여기에서,

[0132] 상기 저장 유닛은 하나의 트랜지스터를 포함할 수 있으며, 상기 트랜지스터는 소스 전극(51) (도 17a와 도 17b는 입체 구조이고, 단면도가 아니며, 소스 전극(51)은 안에서 도시되지 못하기 때문에 첨부된 도면에는 소스 전극(51)이 도시되지 않으며, 트랜지스터의 실시예 중의 도 2, 도 11a 내지 도 11d를 참조), 드레인 전극(52), 상기 기질(1)에 수직인 방향으로 연장되는 게이트(11), 상기 게이트(11)의 측벽에 위치하고 상기 게이트(11)와 절연하는 반도체층(9)을 포함할 수 있으며; 여기에서, 상기 반도체층(9)은 간격으로 설치되는 소스 접촉 영역과 드레인 접촉 영역을 포함할 수 있으며, 상기 소스 전극(51)은 상기 소스 접촉 영역과 접촉하고, 상기 드레인 전극(52)은 상기 드레인 접촉 영역과 접촉하며; 상기 소스 접촉 영역과 드레인 접촉 영역 사이의 채널은 수평 채널이며;

[0133] 상기 단어선(110)은 기질(1)에 수직인 방향으로 연장되고 다른 층의 상기 저장 유닛을 관통한다.

[0134] 일 예시적 실시예에서, 상기 반도체층(9)은 상기 게이트(11)의 측벽을 둘러쌀 수 있다. 일부 실시예에서, 상기 게이트의 측벽은 단지 기질에 수직인 방향만을 따라 연장되고, 상기 반도체층은 전체에서 단지 기질에 수직인 방향만을 따라 연장되며, 실제 제품 제조 과정에서 국부적으로 구부러진 영역이 존재할 수 있는 것도 본 출원의 상술한 상황에 포함된다.

[0135] 일 예시적 실시에에서, 다른 층의 트랜지스터의 상기 소스 전극(51)은 간격으로 설치될 수 있고, 다른 층의 트랜지스터의 상기 드레인 전극(52)은 간격으로 설치될 수 있으며, 간격 설치는 서로 간에 연결 관계가 없는 것으로 이해할 수 있으며, 위치 상 서로 절연층에 의하여 분리되지만 다른 층의 소스 전극 또는 드레인 전극의 다른 영역에서 커플링되는 것을 나타내지 않는다.

[0136] 일 예시적 실시예에서, 서로 다른 층의 상기 트랜지스터의 게이트(11)는 상기 단어선(110)의 일부이고, 서로 다른 층의 트랜지스터에 대응되는 반도체층(9)은 상기 단어선(110)의 측벽에 위치할 수 있다. 해당 설계는 공정에서 한 번에 서로 다른 층의 저장 유닛의 단어선과 게이트를 형성할 수 있어, 비용을 현저히 낮출 수 있다.

[0137] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터의 상기 게이트(11)가 연결되어 상기 단어선(110)을 형성한다. 상기 단어선은 단지 수직 방향으로만 연장하고 측벽으로 연장되는 분기 구조가 없는 것으로 이해할 수 있다.

[0138] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향으로 연장되는 상기 단어선(110)은 직선이 될 수 있다.

[0139] 일 예시적 실시예에서, 상기 기질(1)에 수직인 방향으로 연장되는 상기 단어선의 서로 다른 영역의 재료 성분은 동일하며, 동일회 막층 제조 공정을 사용하여 형성된 것으로 이해할 수 있으며, 상기 재료의 성분이 동일은 재료에서 테스트된 주요 원소가 동일하다는 것으로 이해할 수 있으며, 예를 들면, 모두 금속이나 ITO와 같은 투명한 전도성 재료를 통하여 제조되지만 이의 서로 다른 영역의 원자 수를 제한하지 않는다.

[0140] 일 예시적 실시예에서 , 상기 기질(1)에 수직인 방향으로 연장되는 상기 단어선(110)의 횡단면 형태는 대략 같으며, 한 공정으로 관통공을 형성하는 것으로 이해할 수 있으며, 해당 관통공은 세로 관통공이며, 해당 단어선

은 채널과 게이트 절연층을 형성하는 관통공에 패딩되며, 일반적으로, 관통공의 횡단면 모양은 대략 같고, 사이즈도 대략 유사한다. 예를 들면, 단어선은 서로 다른 층의 영역에 대응하고, 횡단면은 모두 고리 모양이며, 구체적으로는 모두 사각형이고, 모두 타원이고, 또는 기타 모양이며, 본 출원은 이에 대하여 제한하지 않는다.

[0141] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터에 대응되는 반도체층(9)은 상기 단어선(110)의 측벽에 위치하며, 각각 상기 기질(1)에 수직인 방향으로 연장되는 다른 영역에 위치한다.

[0142] 일 예시적 실시예에서, 동일한 트랜지스터의 상기 소스 전극(51)과 상기 드레인 전극(52)은 동일한 전도 막층에 위치할 수 있으며, 서로 다른 트랜지스터의 상기 소스 전극(51) 또는 상기 드레인 전극(52)은 서로 다른 전도 막층에 위치할 수 있다.

[0143] 일 예시적 실시예에서, 동일한 상기 트랜지스터의 상기 소스 전극은 소스 전극 막층이고, 상기 드레인 전극은 드레인 전극 막층이며, 상기 드레인 전극 막층과 소스 전극 막층은 동일한 층에 위치하고 간격으로 설치된다. 실제 공정에서, 하나의 트랜지스터의 상기 소스 전극과 드레인 전극은 하나의 전도 막층에 대하여 패턴화 공정을 진행하는 것을 통하여 형성되며, 따라서 상기 드레인 전극 막층과 소스 전극 막층이 같은 층에 위치하는 것으로 이해할 수 있으며, 실제 제품에서 횡단면이 한 수평면에 있고 재료가 동일하다.

[0144] 일 예시적 실시예에서, 서로 다른 트랜지스터의 상기 소스 전극 막층이나 상기 드레인 전극 막층이 서로 다른 막층에 위치하며, 이는 서로 다른 트랜지스터의 3D 적층 구조를 나타낸다. 3D 적층 구조의 서로 다른 트랜지스터의 상기 소스 전극은 기질에 수직인 방향의 투영이 중첩되고, 서로 다른 트랜지스터의 상기 드레인 전극은 기질에 수직인 방향의 투영이 중첩되며, 공정 과정에서 전도층과 절연층의 상대적인 적층을 통하여 또 하나의 mask를 통하여 여러 층의 적층된 소스 전극과 드레인 전극을 형성할 수 있어 공정이 간단하다.

[0145] 일 예시적 실시예에서, 상기 전도 막층은 상기 기질(1)과 평행할 수 있다.

[0146] 일 예시적 실시예에서, 상기 소스 접촉 영역과 상기 드레인 접촉 영역의 상기 기질(1)에 수직인 평면에서의 정투영은 중첩을 가진다.

[0147] 일 예시적 실시예에서, 상기 기질(1)에 평행되는 평면에서, 동일한 상기 트랜지스터의 상기 소스 전극(51)의 정투영과 상기 드레인 전극(52)의 정투영은 중첩이 없다.

[0148] 일 예시적 실시예에서, 상기 기질(1)에 평행되는 평면에서, 서로 다른 트랜지스터의 상기 소스 전극(51)과 상기 드레인 전극(52)의 정투영은 중첩이 없다.

[0149] 일 예시적 실시예에서, 상기 소스 전극(51)은 상기 게이트(11)의 제1 쪽에 위치하고, 상기 드레인 전극(52)은 상기 게이트(12)의 제2 쪽에 위치하며, 상기 소스 전극(51)과 상기 드레인 전극(52)이 마주하여 설치될 수 있다.

[0150] 일 예시적 실시예에서, 서로 다른 층의 상기 저장 유닛의 상기 트랜지스터의 반도체층(9)은 상기 기질(1)에 수직인 방향에서 간격으로 설치될 수 있다. 본 실시예에서 제공하는 방안은 서로 다른 층의 트랜지스터 사이에 반도체층(9)을 통하여 전기 누출하는 것을 방지하고 전력 소비를 줄일 수 있다.

[0151] 일 예시적 실시예에서, 상기 간격으로 설치되는 상기 반도체층(9) 사이에는 분리층이 있으며, 상기 분리층은 상기 반도체층(9)을 도핑하여 취득한 절연층이 될 수 있다.

[0152] 일 예시적 실시예에서, 상기 단어선(110)의 측벽에 상기 단어선(110)을 둘러싸는 게이트 절연층(10)이 설치되어 있고, 서로 다른 층의 상기 트랜지스터의 상기 반도체층(9)은 상기 단어선(110)의 측벽에 연속적으로 분포될 수 있다.

[0153] 일 예시적 실시예에서, 상기 간격으로 설치되는 반도체층(9) 사이에 절연층을 노출시킬 수 있으며, 상기 절연층은 상기 게이트(11)와 상기 반도체층(9) 사이에 위치하는 게이트 절연층(10)이 될 수 있다.

[0154] 일 예시적 실시예에서, 서로 다른 층의 상기 저장 유닛 중 각 인접한 두 반도체층(9) 사이에는 일체형 구조로 연결될 수 있다.

[0155] 일 예시적 실시예에서, 서로 다른 층으로 적층된 트랜지스터는 하나의 상기 기질(1)에 수직인 방향으로 연장되는 상기 단어선(110)을 공유할 수 있다.

[0156] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터는 하나의 상기 기질(1)에 수직인 방향으로 연장되는 고리 모양의 게이트 절연층(10)을 공유할 수 있다. 본 실시예에서, 한 번의 제조 공정으로 여러 층의 트랜지스터의 게

이트 절연층(10)을 형성하여, 공정을 간소화하고, 비용을 낮출 수 있다.

[0157] 일 예시적 실시예에서, 서로 다른 층의 트랜지스터는 하나의 기질(1)에 수직인 방향으로 연장되는 고리 모양의 반도체층(9)을 공유할 수 있다. 본 실시예에서, 한 번의 제조 공정으로 여러 층의 트랜지스터의 반도체층(9)을 형성하여, 공정을 간소화하고, 비용을 낮출 수 있다.

[0158] 일 예시적 실시예에서, 상기 반도체층(9)은 금속 산화물 반도체층일 수 있거나, 또는 상기 반도체층(9)은 실리콘이 포함되는 반도체층일 수 있다.

[0159] 일 예시적 실시예에서, 서로 다른 층의 상기 소스 전극(51)의 기질(1)에서의 투영은 같은 영역에 위치할 수 있고, 서로 다른 층의 상기 드레인 전극(52)의 기질(1)에서의 투영은 같은 영역에 위치할 수 있으며; 서로 다른 층의 게이트(11)의 기질(1)에서서의 투영은 같은 영역에 위치할 수 있다. 본 실시예에서 제공하는 방안은, 서로 다른 층의 소스 전극(51), 드레인 전극(52), 게이트(11)의 정투영이 같은 영역에 위치하여, 3D 메모리를 컴팩트하게 만들 수 있으며, 또한 제조 공정을 간소화하고, 각 층의 소스 전극(51)과 드레인 전극(52)에 대하여 각각 패터닝할 필요가 없다.

[0160] 상술한 3D 메모리의 단일 트랜지스터의 구조는 상술한 여러 실시예 중의 트랜지스터의 구조를 참조할 수 있으며, 여기서는 더 이상 설명하지 않는다.

[0161] 본 실시예에서 제공하는 3D 메모리, 트랜지스터의 게이트는 수직 방향의 게이트로 되어 있고, 채널은 수평 채널으로 되어 있어, 구조가 간단하고 제조가 비교적 쉬운 3D 적층 메모리를 구현하는 데 유리하며, 3D 통합도가 높다. 또한 각 적층된 트랜지스터의 게이트를 단어선으로 공유할 수 있으며, 수직으로 연장되는 단어선은 공간을 절약할 수 있다. 또한 본 실시예에서 제공하는 3D 메모리는 소스 전극이나 드레인 전극의 두께를 조절하여 반도체 부품의 채널의 사이즈를 변경할 수 있어, 공정이 간편하고 부품의 크기에 미치는 영향이 적다.

[0162] 도 17a에서 단지 교대로 적층되는 세 개의 절연층과 두 개의 금속층을 도시하지만, 본 공개의 실시예는 이에 제한되지 않으며, 필요에 따라 더 많은 것을 적층할 수 있으며, 예를 들면, 수백 개의 절연층과 수백 개의 금속층이며, 본 공개의 실시예는 이에 제한되지 않는다.

[0163] 본 공개의 실시예에서 또한 전자 장비를 제공하며, 상술한 임의의 실시예의 상기 3D 메모리가 포함된다. 상기 전자 장비는 저장 장치, 스마트폰, 컴퓨터, 태블릿 PC, 인공지능 장비, 웨어러블 장비 또는 이동식 전원 등이 될 수 있다. 저장 장치는 컴퓨터 중의 메모리 등을 포함할 수 있으며, 여기서는 제한하지 않는다.

[0164] 도 18에 도시된 바와 같이, 본 공개의 실시예에서 3D 메모리의 제조 방법을 제공하며, 상기 3D 메모리는 여러 층의 기질에 수직인 방향으로 적층되는 다수의 저장 유닛, 한 단어선을 포함하며, 상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트를 둘러싸는 반도체층을 포함하며; 상기 3D 메모리의 제조 방법에는,

[0165] 단계 1801, 기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 금속 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 적층 구조를 형성하며, 각 상기 적층 구조는 교대로 설치되는 절연층과 금속층의 적층을 포함하고, 각 상기 금속층은 한 층의 상기 저장 유닛 중의 하나의 트랜지스터에 대응하며, 각 상기 금속층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함하며;

[0166] 단계 1802, 상기 적층 구조를 식각하여 상기 기질에 수직인 방향에서 상기 적층 구조를 관통하는 관통공을 형성하며, 상기 관통공의 측벽에 각 금속층의 상기 제1 서브 부분과 제2 서브 부분과 상기 절연층을 노출시키며; 상기 관통공 내의 각 제1 서브 부분을 식각하여 제1 채널을 형성하고, 상기 관통공 내의 각 상기 제2 서브 부분을 식각하여 제2 채널을 형성하며, 상기 제1 채널, 상기 제2 채널은 상기 관통공과 관통하며;

[0167] 단계 1803, 상기 제1 채널, 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하고, 상기 관통공 내의 상기 금속 박막을 식각하여 상기 제1 채널에 위치하는 소스 전극과 상기 제2 채널에 위치하는 드레인 전극을 형성하며;

[0168] 단계 1804, 상기 관통공의 측벽에 반도체 박막을 패딩하여 각 상기 트랜지스터의 반도체층을 형성하고, 상기 반도체층은 각 상기 소스 전극과 접촉하고 각 상기 드레인 전극과 접촉하며, 동일한 트랜지스터 중 상기 소스 전극과 상기 드레인 전극 사이의 채널은 수평 채널이며;

[0169] 단계 1805, 상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 상기 게이트

는 상기 단어선의 일부분인 것이 포함된다.

[0170] 상술한 절연 박막과 금속 박막을 교대로 증착시킨 후 다수의 절연 박막과 금속 박막을 형성하고 기질과 가장 먼 박막을 절연 박막으로 한다.

[0171] 일 예시적 실시예에서, 상기 제1 채널, 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하기 전에, 또한

[0172] 상기 제1채널, 제2 채널 및 상기 관통공으로 구성되는 채널의 측벽에서 순차적으로 반도체 박막, 게이트 절연 박막을 증착하는 것이 포함되며;

[0173] 상기 관통공 내의 상기 금속 박막은 식각하는 것에는 상기 관통공 내의 게이트 절연 박막과 금속 박막을 식각하는 것이 포함한다.

[0174] 상술한 제조 과정은 앞에서 말한 실시예에서 트랜지스터의 제조 과정을 참고할 수 있으며, 다수의 금속 박막에 대한 처리와 상술한 트랜지스터 제조 과정 중의 금속 박막에 대한 처리는 일치할 수 있으며, 여기서 다시 설명하지 않는다.

[0175] 본 실시예에서 제공하는 3D 메모리의 제조 방법은, 제조된 3D 메모리의 반도체층 위의 소스 접촉 영역과 드레인 접촉 영역의 설치는 소스 전극과 드레인 전극 사이의 채널의 방향이 전체적으로 기질에 평행되는 방향으로 연장되어 구조가 간단하고 제조가 비교적 쉬운 3D 스태킹 메모리를 구현하기 쉽다. 또한 각 적층된 트랜지스터의 게이트를 단어선으로 공유할 수 있으며, 수직 방향으로 연장되는 단어선은 공간을 절약할 수 있다. 또한 본 실시예에서 제공하는 3D 메모리는 소스 전극이나 드레인 전극의 두께를 조절하여 채널의 사이즈를 변경할 수 있어, 공정이 간편하고 부품의 크기에 미치는 영향이 적다.

[0176] 도 19에 도시된 바와 같이, 본 공개의 실시예에서 3D 메모리의 제조 방법을 제공하며, 상기 3D 메모리는 여러 층의 기질에 수직인 방향으로 적층되는 저장 유닛, 단어선을 포함하며, 상기 저장 유닛은 하나의 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트 측벽을 둘러싸는 반도체층을 포함할 수 있으며; 상기 제조 방법에는,

[0177] 단계 1901, 기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 금속 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 적층 구조를 형성하며; 각 상기 적층 구조는 교대로 설치되는 절연층과 금속층의 적층을 포함하며, 각 상기 금속층은 한층의 상기 저장 유닛의 하나의 트랜지스터에 대응하며, 각 상기 금속층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함하며;

[0178] 단계 1902, 상기 적층 구조를 식각하여 상기 기질에 수직인 방향에서 상기 적층 구조를 관통하는 관통공을 형성하고, 제1 서브 부분을 식각하여 취득된 소스 전극을 형성하며, 그리고 제2 서브 부분을 식각하여 취득된 드레인 전극을 형성하며;

[0179] 단계 1903, 상기 관통공의 측벽에서 순차적으로 반도체 박막을 증착하여 반도체층을 형성하며, 상기 반도체층은 각 상기 소스 전극과 접촉하고 각 상기 드레인 전극과 접촉하며; 동일한 트랜지스터에서 상기 소스 전극과 드레인 전극 사이의 채널의 길이 방향은 상기 기질에 평행되며;

[0180] 단계 1904, 상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 상기 게이트는 상기 단어선의 일부분인 것이 포함된다.

[0181] 본 공개의 실시예에서 제공하는 3D 메모리의 제조 방법은 구조가 간단하고 제조가 비교적 쉬운 3D 적층 메모리를 구현하기 편리하며, 본 실시예에서 제공하는 3D 메모리는 소스 전극이나 드레인 전극의 두께를 조절하여 채널의 사이즈를 변경할 수 있어 공정이 간편하고 트랜지스터의 사이즈에 미치는 영향이 적다. 본 공개의 실시예의 제조 방법은 기존의 완성된 제조 장비를 이용하여 바로 구현될 수 있으며, 기존 공정에 대한 개선이 적어 기존 제조 공정과 잘 호환될 수 있으며, 공정 구현이 간단하고 구현이 용이하며, 생산 효율이 높고 생산 원가가 낮으며 양품률이 높다.

[0182] 본 공개의 실시예에서 3D 메모리의 제조 방법을 제공하며, 상기 3D 메모리는 다수 층의 기질에 수직인 방향으로 적층되는 다수의 저장 유닛, 하나의 단어선을 포함하며;

[0183] 상기 저장 유닛은 트랜지스터를 포함하며, 상기 트랜지스터는 소스 전극, 드레인 전극, 상기 기질에 수직인 방향으로 연장되는 게이트, 상기 게이트를 둘러싸는 반도체층을 포함하며; 상기 3D 메모리의 제조 방법에는,

[0184] 기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 전도 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 기질에 평행되는 방향에서 간격된 적층 구조를 형성하며; 각 상기 적층 구조는 기질에 수직인 방향에서 교대로 설치되는 절연층과 전도층의 적층을 포함하며, 각 상기 전도층은 한층의 상기 저장 유닛 중의 하나의 트랜지스터에 대응되며, 각 상기 전도층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함하며;

[0185] 상기 적층 구조를 식각하여 상기 기질에 수직인 방향에서 상기 적층 구조를 관통하는 관통공을 형성하며, 상기 관통공의 측벽에 각 상기 전도층의 상기 제1 서브 부분과 제2 서브 부분 및 상기 절연층을 노출시키며; 상기 관통공 내의 각 제1 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제1 채널을 형성하고, 상기 관통공 내의 각 상기 제2 서브 부분을 식각하여 다수의 트랜지스터에 대응되는 다수의 제2 채널을 형성하며, 각 상기 제1 채널, 각 상기 제2 채널은 간격되고 각각 상기 관통공과 관통하며;

[0186] 각 상기 제1 채널, 각 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하고, 상기 관통공 내의 상기 금속 박막을 식각 및 제거하여 각 상기 제1 채널, 각 상기 제2 채널 내의 금속 막층을 보존하여 다수의 상기 제1 채널에 위치하는 다수의 소스 전극과 다수의 상기 제2 채널에 위치하는 다수의 드레인 전극을 형성하며;

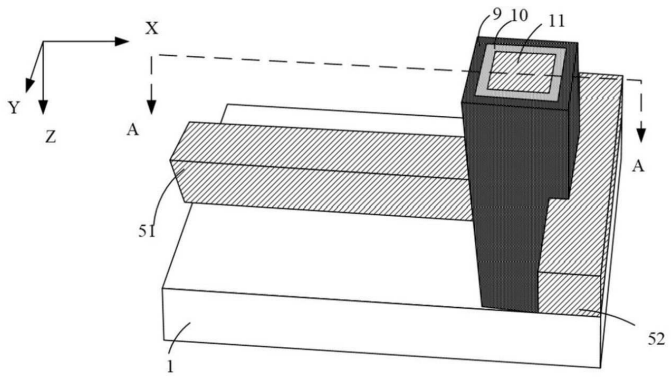
[0187] 상기 관통공의 측벽에서 반도체 박막을 패딩하여 각 상기 트랜지스터의 반도체층을 형성하고, 각 반도체층은 각 상기 소스 전극과 접촉하고 각 상기 드레인 전극과 접촉하며, 동일한 트랜지스터 중 상기 소스 전극과 상기 드레인 전극 사이의 채널은 수평 채널이며;

[0188] 상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 상기 게이트는 상기 단어선의 일부분인 것이 포함된다.

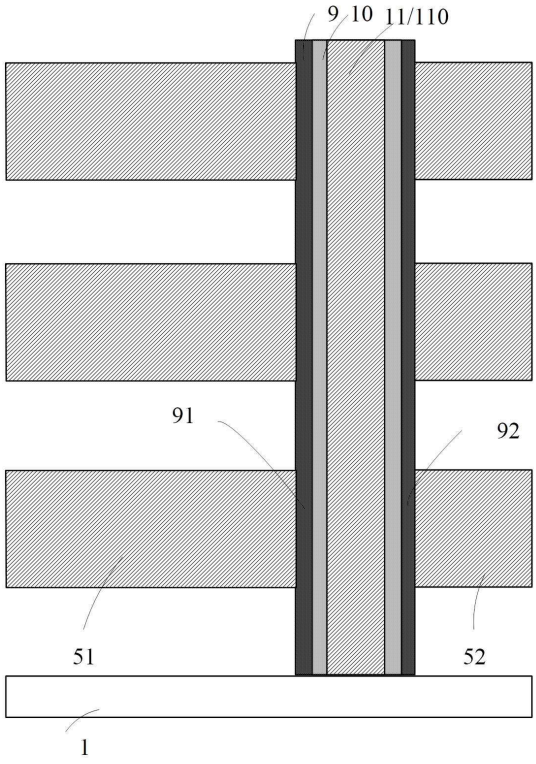
[0189] 본 공개에 공개된 실시 방식이 위에서 설명된 바와 같지만 상기 내용은 단지 본 공개를 이해하기 위하여 사용하는 실시 방식일 뿐, 본 공개에 대하여 제한하지 않는다. 본 발명의 속하는 기술분야에서 통상의 지식을 가진 자라면 본 출원이 개시된 보호 범위 내에서 얼마든지 다양하게 변경하여 실시할 수 있을 것이며, 이는 본 출원의 보호범위 내에 포함되어야 한다. 그러므로 본 출원의 보호 범위는 청구항의 보호 범위를 기준으로 하여야 한다.

도면

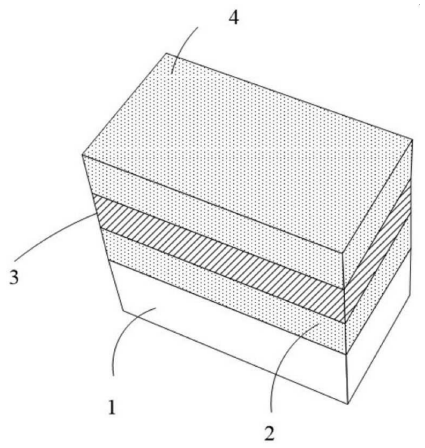
도면1



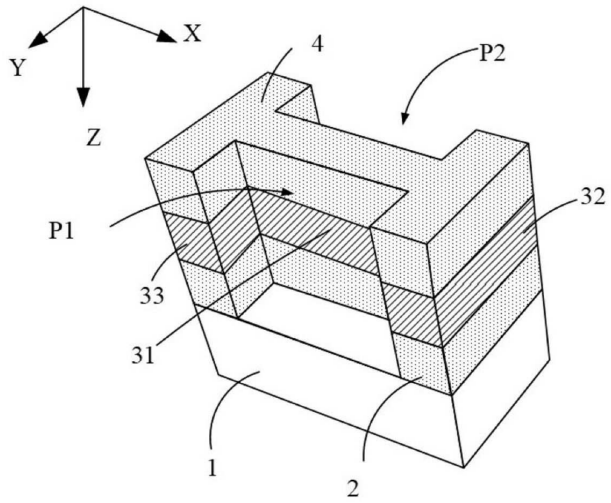
도면2



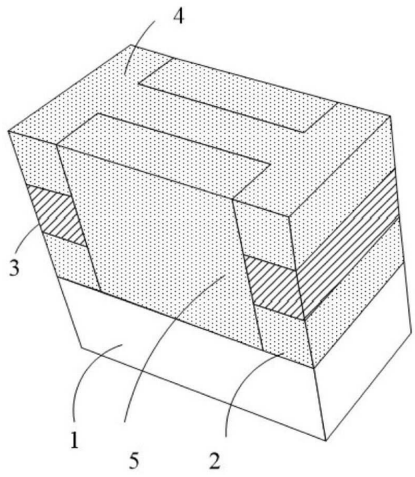
도면3



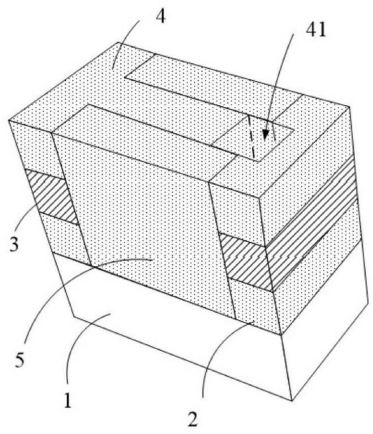
도면4



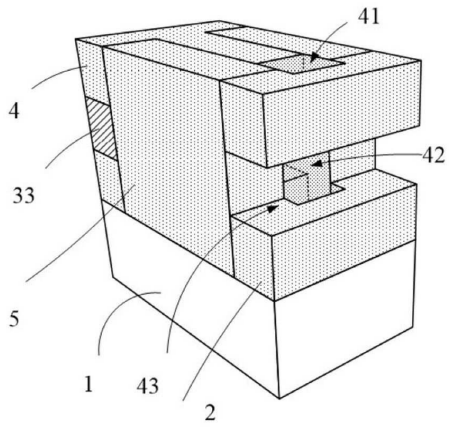
도면5



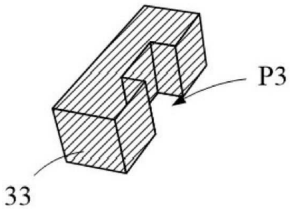
도면6



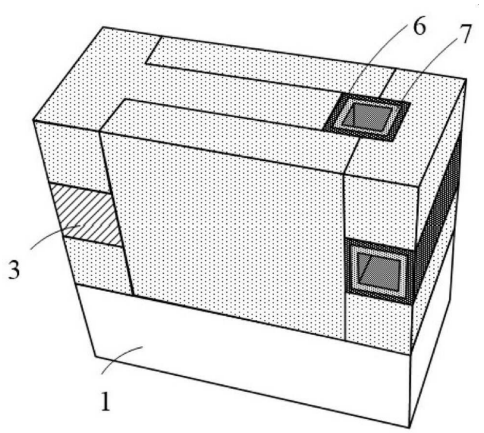
도면7a



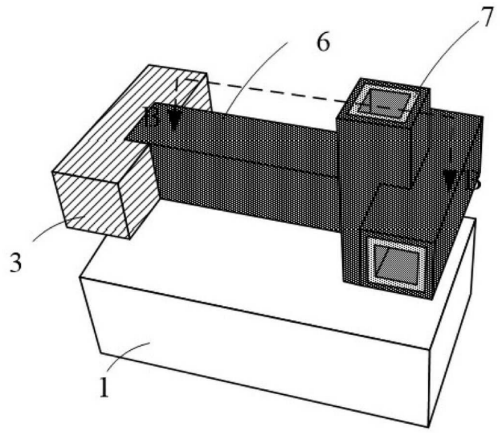
도면7b



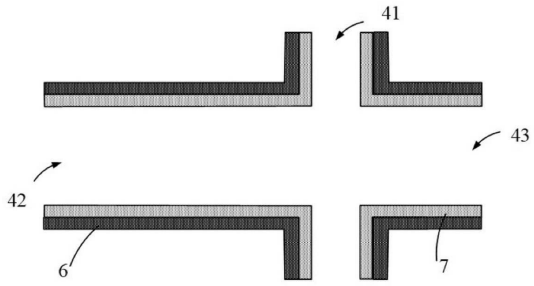
도면8a



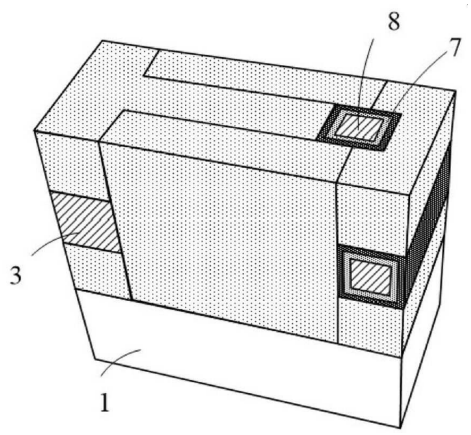
도면8b



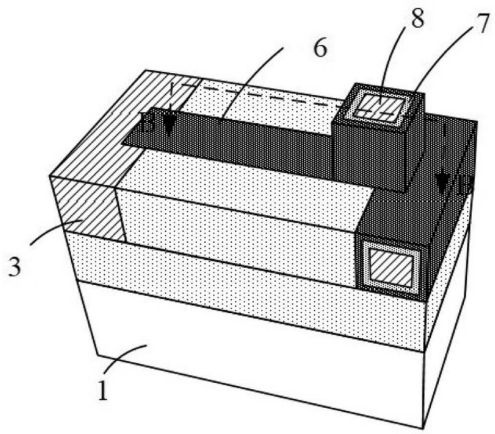
도면8c



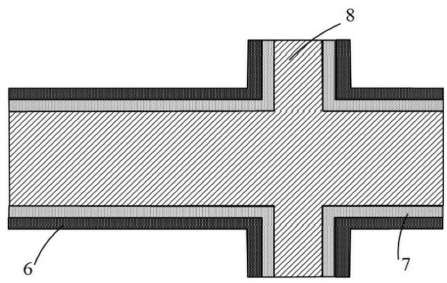
도면9a



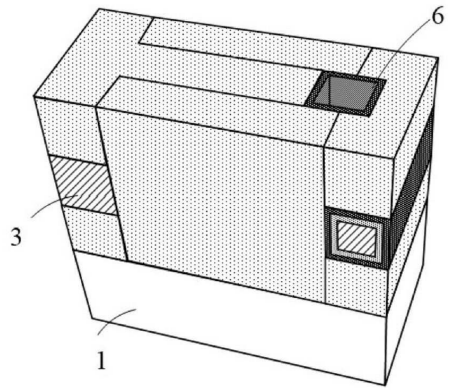
도면9b



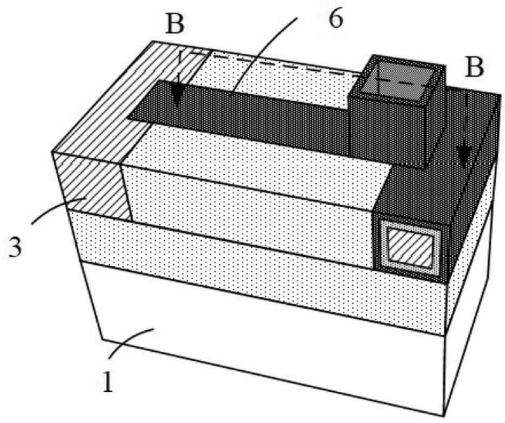
도면9c



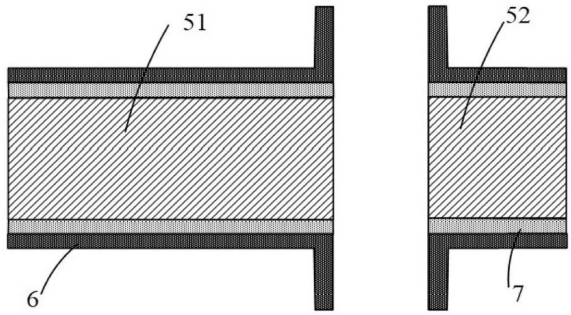
도면10a



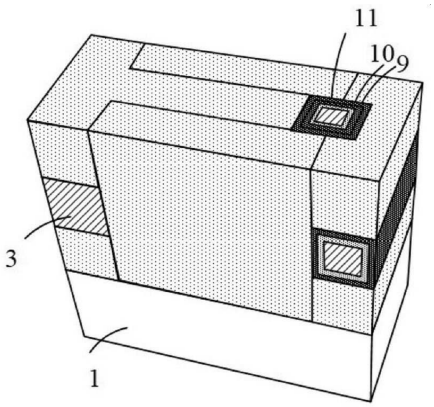
도면10b



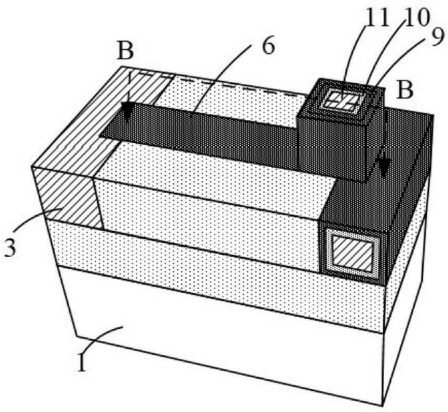
도면10c



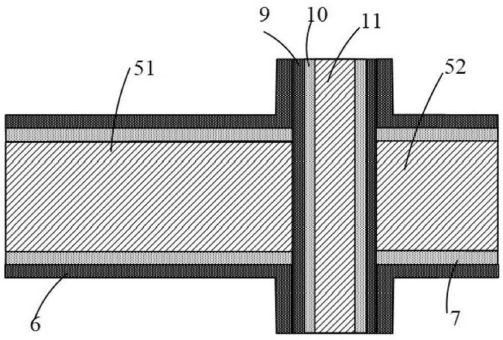
도면11a



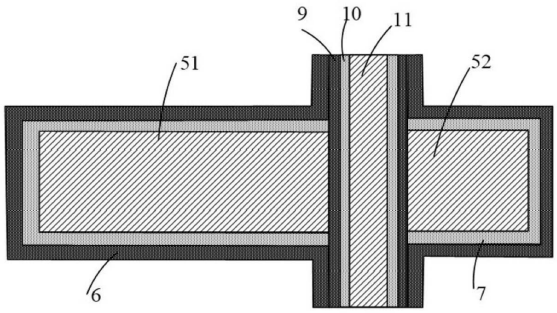
도면11b



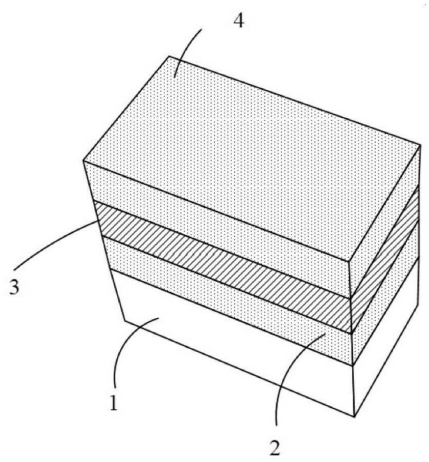
도면11c



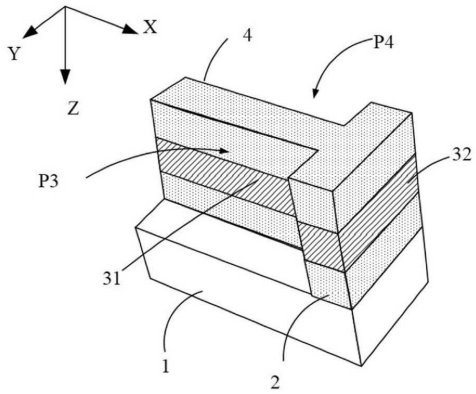
도면11d



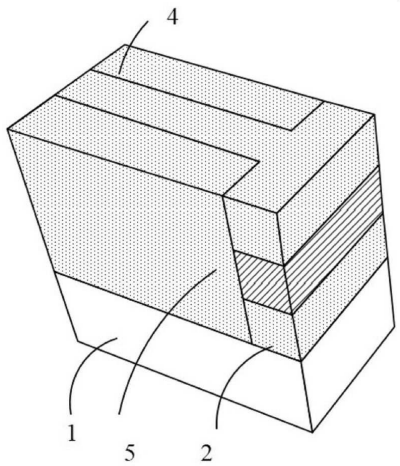
도면12



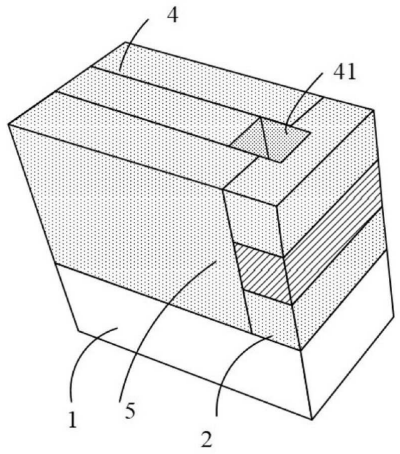
도면13



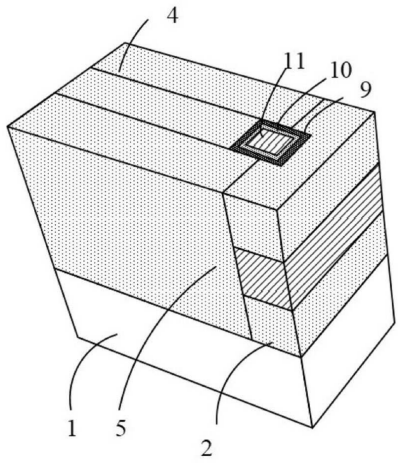
도면14



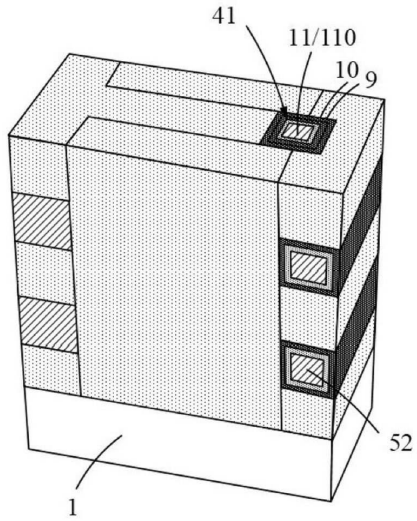
도면15



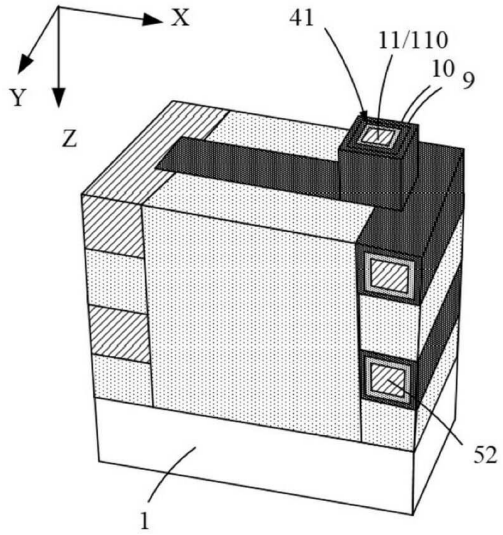
도면16



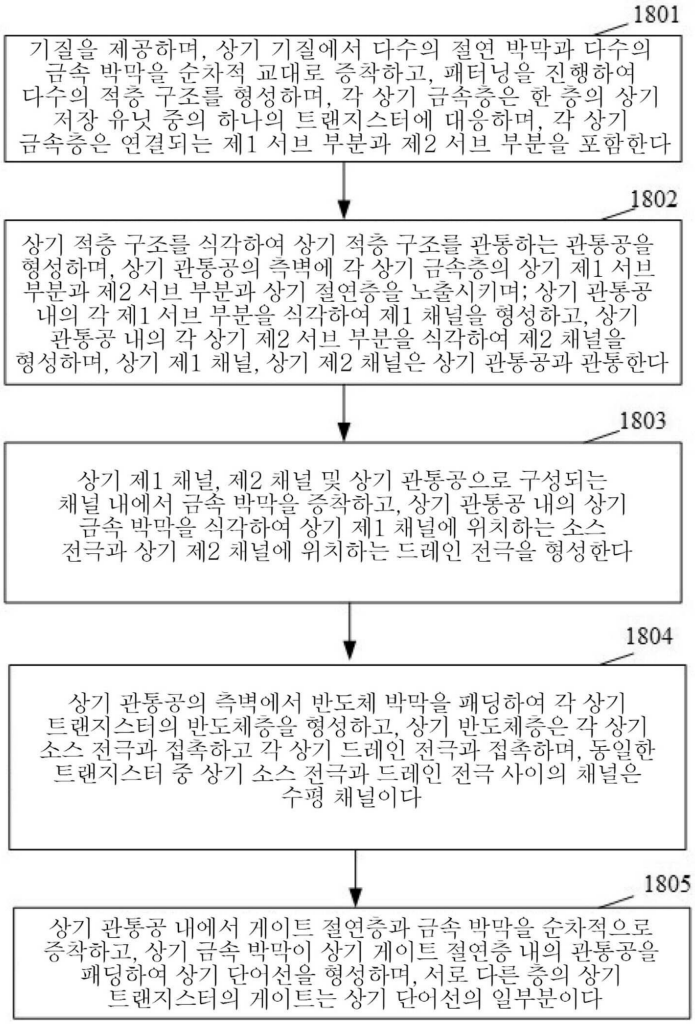
도면17a



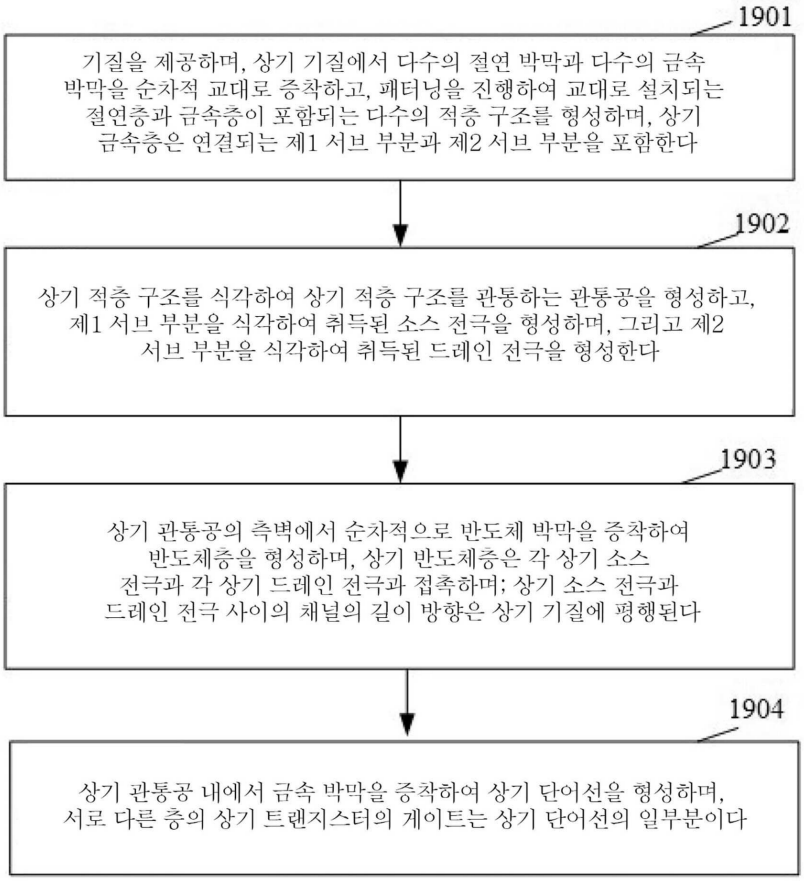
도면17b


X
Y
Z
41
11/110
10
9
52
1

도면18


1801
기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 금속 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 다수의 적층 구조를 형성하며, 각 상기 금속층은 한 층의 상기 저장 유닛 중의 하나의 트랜지스터에 대응하며, 각 상기 금속층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함한다
1802
상기 적층 구조를 식각하여 상기 적층 구조를 관통하는 관통공을 형성하며, 상기 관통공의 측벽에 각 상기 금속층의 상기 제1 서브 부분과 제2 서브 부분과 상기 절연층을 노출시키며; 상기 관통공 내의 각 제1 서브 부분을 식각하여 제1 채널을 형성하고, 상기 관통공 내의 각 상기 제2 서브 부분을 식각하여 제2 채널을 형성하며, 상기 제1 채널, 상기 제2 채널은 상기 관통공과 관통한다
1803
상기 제1 채널, 제2 채널 및 상기 관통공으로 구성되는 채널 내에서 금속 박막을 증착하고, 상기 관통공 내의 상기 금속 박막을 식각하여 상기 제1 채널에 위치하는 소스 전극과 상기 제2 채널에 위치하는 드레인 전극을 형성한다
1804
상기 관통공의 측벽에서 반도체 박막을 패딩하여 각 상기 트랜지스터의 반도체층을 형성하고, 상기 반도체층은 각 상기 소스 전극과 접촉하고 각 상기 드레인 전극과 접촉하며, 동일한 트랜지스터 중 상기 소스 전극과 드레인 전극 사이의 채널은 수평 채널이다
1805
상기 관통공 내에서 게이트 절연층과 금속 박막을 순차적으로 증착하고, 상기 금속 박막이 상기 게이트 절연층 내의 관통공을 패딩하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 게이트는 상기 단어선의 일부분이다

도면19


1901
기질을 제공하며, 상기 기질에서 다수의 절연 박막과 다수의 금속 박막을 순차적 교대로 증착하고, 패터닝을 진행하여 교대로 설치되는 절연층과 금속층이 포함되는 다수의 적층 구조를 형성하며, 상기 금속층은 연결되는 제1 서브 부분과 제2 서브 부분을 포함한다
1902
상기 적층 구조를 식각하여 상기 적층 구조를 관통하는 관통공을 형성하고, 제1 서브 부분을 식각하여 취득된 소스 전극을 형성하며, 그리고 제2 서브 부분을 식각하여 취득된 드레인 전극을 형성한다
1903
상기 관통공의 측벽에서 순차적으로 반도체 박막을 증착하여 반도체층을 형성하며, 상기 반도체층은 각 상기 소스 전극과 각 상기 드레인 전극과 접촉하며; 상기 소스 전극과 드레인 전극 사이의 채널의 길이 방향은 상기 기질에 평행된다
1904
상기 관통공 내에서 금속 박막을 증착하여 상기 단어선을 형성하며, 서로 다른 층의 상기 트랜지스터의 게이트는 상기 단어선의 일부분이다