I555029

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I555029 B**

(45)公告日： 中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：101116624 (22)申請日： 中華民國 101 (2012) 年 05 月 09 日

(51)Int. Cl.： *G11C29/52 (2006.01)* *G11C29/42 (2006.01)*

(30)優先權：2011/05/09 南韓 10-2011-0043619

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：孔載弼 KONG, JAEPHIL (KR) ；趙容元 CHO, YONGWON (KR)

(74)代理人：詹銘文

(56)參考文獻：

US	6115837	US	2004/0177312A1
US	2004/0181735A1	US	2005/0182998A1
US	2007/0198896A1	US	2010/0095186A1

審查人員：賴炳成

申請專利範圍項數：34 項 圖式數：21 共 112 頁

(54)名稱

記憶體控制器以及記憶體控制器的操作方法

MEMORY CONTROLLER AND OPERATING METHOD OF MEMORY CONTROLLER

(57)摘要

本發明是關於一種用以控制包含記憶體裝置之記憶體系統的控制器。所述控制所述記憶體系統可包含：藉由所述記憶體系統之關鍵方程式求解單元計算所接收讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；藉由所述記憶體系統之控制單元根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者估計所述所接收讀取向量中之錯誤的數目；藉由具有所述控制單元的所述記憶體系統之錢氏搜尋單元根據所述所計算錯誤位置多項式搜尋所述所接收讀取向量的錯誤位置。可藉由所述控制單元調整所述錢氏搜尋單元之每循環功率消耗。

A controller to control a memory system including a memory device. The controlling the memory system may include calculating an error location polynomial in a received read vector with a key equation solving unit of the memory system to read data from the memory device, estimating the number of errors in the received read vector with a control unit of the memory system according to at least one of the calculated error location polynomial and information on the error location polynomial, searching error locations of the received read vector according to the calculated error location polynomial with a chien search unit of the memory system with the control unit. A cycle-per power consumption of the chien search unit may be adjusted with the control unit.

指定代表圖：

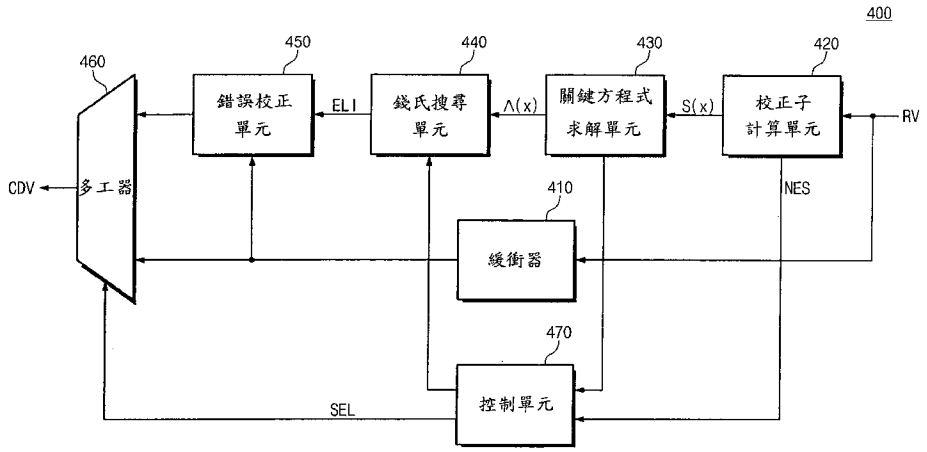


圖 6

符號簡單說明：

400・・・ECC 解碼器

410・・・緩衝器

420・・・校正子計算單元

430・・・關鍵方程式求解單元

440・・・錢氏搜尋單元

450・・・錯誤校正單元

460・・・多工器

470・・・控制單元

CDV・・・經錯誤校正之資料向量

CV・・・碼向量

ELI・・・錯誤位置資

NES・・・控制信號

RV・・・讀取向量

SEL・・・選擇信號

S(x)・・・校正子

Λ(x)・・・錯誤位置多項式

公告本

42314pif1
爲第 101116624 號中文說明書無劃線修正本　　修正日期:101 年 6 月 25 日

101年6月25日修正本補充

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：101116624
※申請日：101、5、9　　※IPC 分類：G11C 29/52 (2006.01)
G11C 29/42 (2006.01)

一、發明名稱：（中文/英文）

記憶體控制器以及記憶體控制器的操作方法

MEMORY CONTROLLER AND OPERATING METHOD OF MEMORY CONTROLLER

二、中文發明摘要：

本發明是關於一種用以控制包含記憶體裝置之記憶體系統的控制器。所述控制所述記憶體系統可包含：藉由所述記憶體系統之關鍵方程式求解單元計算所接收讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；藉由所述記憶體系統之控制單元根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者估計所述所接收讀取向量中之錯誤的數目；藉由具有所述控制單元的所述記憶體系統之錢氏搜尋單元根據所述所計算錯誤位置多項式搜尋所述所接收讀取向量的錯誤位置。可藉由所述控制單元調整所述錢氏搜尋單元之每循環功率消耗。

三、英文發明摘要：

A controller to control a memory system including a

memory device. The controlling the memory system may include calculating an error location polynomial in a received read vector with a key equation solving unit of the memory system to read data from the memory device, estimating the number of errors in the received read vector with a control unit of the memory system according to at least one of the calculated error location polynomial and information on the error location polynomial, searching error locations of the received read vector according to the calculated error location polynomial with a chien search unit of the memory system with the control unit. A cycle-per power consumption of the chien search unit may be adjusted with the control unit.

四、指定代表圖：

（一）本案之指定代表圖：圖 6。

（二）本代表圖之元件符號簡單說明：

400：ECC 解碼器

410：緩衝器

420：校正子計算單元

430：關鍵方程式求解單元

440：錢氏搜尋單元

450：錯誤校正單元

460：多工器

470：控制單元

CDV：經錯誤校正之資料向量

CV：碼向量

ELI：錯誤位置資

NES：控制信號

RV：讀取向量

SEL：選擇信號

S(x)：校正子

Λ(x)：錯誤位置多項式

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【相關申請案之交叉參考】

本申請案根據 35 U.S.C § 119 主張在 2011 年 5 月 9 日向韓國智慧財產局申請之韓國專利申請案第 10-2011-0043619 號的優先權，該案之全部揭露內容以引用的方式併入本文中。

【發明所屬之技術領域】

本一般發明性概念之例示性實施例是關於記憶體控制器以及其操作方法。

半導體記憶體裝置可為使用諸如矽（Si）、鍺（Ge）、砷化鎵（GaAs）、磷化銦（InP）以及其類似者之半導體所製造的記憶體裝置。半導體記憶體裝置可分類為揮發性記憶體裝置以及非揮發性記憶體裝置。

【先前技術】

揮發性記憶體裝置可在電力關閉時失去所儲存內容。揮發性記憶體裝置包含靜態隨機存取記憶體（static random access memory；SRAM）、動態隨機存取記憶體（dynamic random access memory；DRAM）、同步動態隨機存取記憶體（synchronous dynamic random access memory；SDRAM）以及其類似者。非揮發性記憶體裝置可甚至在電力關閉時仍保留所儲存內容。非揮發性記憶體裝置可包含唯讀記憶體（read only memory；ROM）、可程式化 ROM（programmable ROM；PROM）、電可程式化 ROM（electrically programmable ROM；EPROM）、電可抹除可

程式化 ROM（electrically erasable and programmable ROM；EEPROM）、快閃記憶體裝置、相變隨機存取記憶體（phase-change random access memory；PRAM）、磁性隨機存取記憶體（magnetic random access memory；MRAM）、電阻性隨機存取記憶體（resistive random access memory；RRAM）、鐵電性隨機存取記憶體（ferroelectric random access memory；FRAM）以及其類似者。快閃記憶體裝置可劃分為 NOR 類型以及 NAND 類型。

可藉由改良半導體記憶體裝置之完整性且藉由將多位元資料程式化於一個記憶胞中來實現半導體記憶體裝置之儲存容量的增加。可藉由改進半導體記憶體裝置之製程來實現半導體記憶體裝置之完整性的改良。可藉由減少儲存於記憶胞中之邏輯值的散佈來實現將多位元資料程式化於一個記憶胞中。儲存多位元資料之記憶胞可稱為多層次胞（multi-level cell；MLC）。

改良之完整性以及 MCL 之引入可引起錯誤率的增加。由於完整性被改良，因此儲存於記憶胞中之資料可能容易受雜訊影響。在錯誤率增加之情況下，可擴展包含於記憶體控制器中之錯誤校正功能。此情形可引起功率消耗之增加。

【發明內容】

本一般發明性概念之例示性實施例可提供記憶體系統、計算系統以及控制記憶體與計算系統之方法，以便調整錢氏搜尋單元的每循環功率消耗，所述錢氏搜尋單元搜

尋自記憶體裝置所輸出之讀取向量中的錯誤位置。可藉由調整待藉由錢氏搜尋單元同時搜尋之讀取向量之位元的數目來調整功率消耗。隨著讀取向量中之錯誤的數目增加，錢氏搜尋單元之每循環功率消耗可降低。

本一般發明性概念之例示性實施例亦可提供記憶體系統、計算系統以及控制記憶體與計算系統之方法，以便調整錢氏搜尋單元的最大校正時間，所述錢氏搜尋單元搜尋自記憶體裝置所輸出之讀取向量中的錯誤位置。可根據是否對讀取向量之資料部分及/或同位部分執行錢氏搜尋以及錢氏搜尋單元之操作模式來增加最大時間。

本一般發明性概念之額外特徵以及效用將在以下描述中部分地闡述，且部分將自此描述顯而易見，或可藉由實踐所述一般發明性概念而獲悉。

本一般發明性概念之例示性實施例亦可提供一種記憶體系統之用以控制記憶體裝置的控制器，其包含：關鍵方程式求解單元，其計算藉由所述控制器所接收之讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；控制單元，其根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者估計所述所接收讀取向量中之錯誤的數目；以及錢氏搜尋單元，其根據所述所計算錯誤位置多項式搜尋所述所接收讀取向量的錯誤位置。

所述控制器可包含錯誤校正單元，所述錯誤校正單元使用由所述關鍵方程式求解單元計算之所述錯誤位置多項式在由所述錢氏搜尋單元判定的所述錯誤位置處校正所述

所接收讀取向量的錯誤。

所述控制單元可調整所述錢氏搜尋單元之每循環功率消耗。

所述控制單元可藉由根據由所述關鍵方程式求解單元計算之所述錯誤位置多項式調整待在所述所接收讀取向量中同時搜尋之位元的數目來調整所述錢氏搜尋單元的所述每循環功率消耗。

所述控制單元可在錯誤之所述數目小於或等於預定第一錯誤數目時控制所述錢氏搜尋單元在全搜尋模式中操作以同時搜尋所述所接收讀取向量之至少一資料部分的位元。

所述控制單元可在錯誤之所述數目大於所述預定第一錯誤數目且小於預定第二錯誤數目時控制所述錢氏搜尋單元在半搜尋模式中操作以同時同時地搜尋為全搜尋模式之一半數目的所述所接收讀取向量之位元。

在所述半搜尋模式中操作之所述錢氏搜尋單元的每循環功率消耗可小於所述全搜尋模式的每循環功率消耗。

所述控制單元可在錯誤之所述數目大於所述預定第二錯誤數目時控制所述錢氏搜尋單元在四分之一搜尋模式中操作以同時同時地搜尋為所述全搜尋模式之四分之一數目的所述所接收讀取向量之位元。

在所述四分之一搜尋模式中操作之所述錢氏搜尋單元的每循環功率消耗可小於所述半搜尋模式的每循環功率消耗。

所述控制單元可在錯誤之所述數目小於或等於預定臨限值時控制所述錢氏搜尋單元對所述所接收讀取向量之僅一資料部分執行錢氏搜尋。

所述控制單元可在所偵測錯誤之所述數目大於預定臨限值時控制所述錢氏搜尋單元對所述所接收讀取向量之資料部分以及同位部分執行錢氏搜尋。

所述控制單元可根據所述讀取向量之錯誤之所述數目調整所述錢氏搜尋單元的最大校正時間。

所述控制單元可在錯誤之所述數目小於第一預定錯誤數目時將所述錢氏搜尋單元之所述最大校正時間調整為第一預定求解時間。

當錯誤之所述數目小於所述第一預定錯誤數目時，所述控制單元可控制所述錢氏搜尋單元在全搜尋模式中操作以同時搜尋所述讀取向量之至少一資料部分的位元。

當錯誤之所述數目大於所述第一預定錯誤數目且小於第二預定錯誤數目時，所述控制單元可控制所述錢氏搜尋單元在半搜尋模式中操作以同時搜尋為在全搜尋模式中操作時之一半數目的所述讀取向量之至少一資料部分的位元。

當錯誤之所述數目大於第二預定錯誤數目時，所述控制單元可控制所述錢氏搜尋單元在四分之一搜尋模式中操作以同時搜尋為在全搜尋模式中操作時之四分之一數目的所述讀取向量之至少一資料部分的位元。

所述控制單元可在所偵測錯誤之所述數目大於預定

臨限值時調整所述錢氏搜尋單元之所述最大校正時間以對所述所接收讀取向量的資料部分以及同位部分執行所述錢氏搜尋。

本一般發明性概念之例示性實施例亦可提供一種控制包含記憶體裝置之記憶體系統的方法，所述方法包含：藉由所述記憶體系統之關鍵方程式求解單元計算所接收讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；藉由所述記憶體系統之控制單元根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者估計所述所接收讀取向量中之錯誤的數目；以及藉由具有所述控制單元的所述記憶體系統之錢氏搜尋單元根據所述所計算錯誤位置多項式搜尋所述所接收讀取向量的錯誤位置。

所述方法可包含使用由所述關鍵方程式求解單元計算之所述錯誤位置多項式在由所述錢氏搜尋單元判定的所述錯誤位置處藉由錯誤校正單元校正所述所接收讀取向量的錯誤。

所述方法可包含藉由所述控制單元調整所述錢氏搜尋單元之每循環功率消耗。

在所述方法中調整所述錢氏搜尋單元之所述每循環功率消耗可包含根據由所述關鍵方程式求解單元計算之所述錯誤位置多項式藉由所述控制單元調整待在所述所接收讀取向量中同時搜尋之位元的數目。

所述方法可包含在錯誤之所述數目小於或等於預定

第一錯誤數目時在全搜尋模式中操作所述錢氏搜尋單元以同時搜尋所述所接收讀取向量之至少一資料部分的位元。

所述方法可包含在錯誤之所述數目大於所述預定第一錯誤數目且小於預定第二錯誤數目時在半搜尋模式中操作所述錢氏搜尋單元以同時同時地搜尋為全搜尋模式之一半數目的所述所接收讀取向量之位元。

所述方法可包含，在所述半搜尋模式中操作之所述錢氏搜尋單元的每循環功率消耗小於所述全搜尋模式的每循環功率消耗。

所述方法可包含在錯誤之所述數目大於所述預定第二錯誤數目時在四分之一搜尋模式中操作所述錢氏搜尋單元以同時同時地搜尋為所述全搜尋模式之四分之一數目的所述所接收讀取向量之位元。

所述方法可包含，在所述四分之一搜尋模式中操作之所述錢氏搜尋單元的每循環功率消耗小於所述半搜尋模式的每循環功率消耗。

所述方法可更包含在錯誤之所述數目小於或等於預定臨限值時藉由所述控制單元控制所述錢氏搜尋單元以對所述所接收讀取向量之僅一資料部分執行錢氏搜尋。

所述方法可包含在所偵測錯誤之所述數目大於預定臨限值時藉由所述控制單元控制所述錢氏搜尋單元以對所述所接收讀取向量之資料部分以及同位部分執行錢氏搜尋。

所述方法可包含根據所述讀取向量之錯誤之所述數

目藉由所述控制單元調整所述錢氏搜尋單元的最大校正時間。

所述方法可包含在錯誤之所述數目小於第一預定錯誤數目時藉由所述控制單元將所述錢氏搜尋單元之所述最大校正時間調整為第一預定求解時間。

所述方法可包含，在錯誤之所述數目小於所述第一預定錯誤數目時，在全搜尋模式中操作所述錢氏搜尋單元以同時搜尋所述讀取向量之至少一資料部分的位元。

所述方法可包含，在錯誤之所述數目大於所述第一預定錯誤數目且小於第二預定錯誤數目時，在半搜尋模式中操作所述錢氏搜尋單元以同時搜尋為在全搜尋模式中操作時之一半數目的所述讀取向量之至少一資料部分的位元。

所述方法可包含，在錯誤之所述數目大於第二預定錯誤數目時，在四分之一搜尋模式中操作所述錢氏搜尋單元以同時搜尋為在全搜尋模式中操作時之四分之一數目的所述讀取向量之至少一資料部分的位元。

所述方法可包含在所偵測錯誤之所述數目大於預定臨限值時藉由所述控制單元調整所述錢氏搜尋單元之所述最大校正時間以對所述所接收讀取向量之資料部分以及同位部分執行所述錢氏搜尋。

本一般發明性概念之例示性實施例亦可提供一種控制記憶體系統之方法，所述記憶體系統具有經由至少一通道耦接至至少一記憶體裝置的控制器，所述方法包含：判定由所述控制器接收之讀取向量之錯誤的估計數目以及錯

誤位置資訊以經由所述至少一通道自所述至少一記憶體裝置讀取資料；以及調整所述記憶體系統之錢氏搜尋單元之每循環功率消耗以及最大校正時間中的至少一者，所述錢氏搜尋單元根據錯誤之所述估計數目以及所述所判定錯誤位置資訊搜尋所述讀取向量的錯誤位置。

本一般發明性概念之例示性實施例亦可提供一種記憶體系統之控制器，所述記憶體系統具有經由至少一通道耦接至所述控制器的至少一記憶體裝置，所述控制器包含：所述控制器之錯誤校正碼解碼器，其判定由所述控制器接收之讀取向量之錯誤的估計數目以及錯誤位置資訊以經由所述至少一通道自所述至少一記憶體裝置讀取資料；以及所述錯誤校正碼解碼器之控制單元，其調整所述記憶體系統之錢氏搜尋單元之每循環功率消耗以及最大校正時間中的至少一者，所述錢氏搜尋單元根據錯誤之所述估計數目以及所述所判定錯誤位置資訊搜尋所述讀取向量的錯誤位置。

結合隨附圖式來考慮，本一般發明性概念之此等及/或其他態樣以及優點將自實施例之以下描述變得顯而易見且更容易瞭解。

【實施方式】

下文參看展示發明性概念之實施例的隨附圖式來更全面地描述本一般發明性概念。然而，本發明性概念可以許多不同形式具體化且不應解釋為限於本文所闡述之實施例。實情為，提供此等實施例以使得本揭露內容將為詳盡

且完整的，且將會將發明性概念之範疇全面傳達至熟習此項技術者。在此等圖式中，為清楚起見，可誇示層與區域之大小以及相對大小。遍及全文，相似數字指代相似元件。

應理解，儘管術語第一、第二、第三等在本文中可用以描述各種元件、組件、區域、層及/或區段，但此等元件、組件、區域、層及/或區段不應受此等術語限制。此等術語僅用以區分一元件、組件、區域、層或區段與另一區域、層或區段。因此，在不脫離發明性概念之教示的情況下，下文所論述之第一元件、組件、區域、層或區段可被稱為第二元件、組件、區域、層或區段。

為易於描述，諸如“在……之下”、“在……下方”、“下部”、“在……下”、“在……上方”、“上部”以及其類似者之空間相對術語在本文中可用以描述一元件或特徵與另一(多個)元件或（多個）特徵的關係，如諸圖中所說明。應理解，除了諸圖中所描繪之定向之外，空間相對術語亦意欲包括在使用或操作中之裝置的不同定向。舉例而言，若翻轉諸圖中之裝置，則描述為在其他元件或特徵“下方”或“之下”或“下”之元件將定向於所述其他元件或特徵“上方”。因此，例示性術語“在……下方”以及“在……下”可包括上方與下方兩者之定向。裝置可以其他方式定向（旋轉 90 度或處於其他定向），且本文所使用之空間相對描述符被相應地解譯。另外，亦應理解，當層被稱作在兩個層“之間”時，其可為此兩個層之間的唯一層，或亦可存在一或多個介入層。

本文所使用之術語僅用於描述特定實施例之目的且不欲限制發明性概念。如本文所使用，單數形式“一”以及“所述”意欲亦包含複數形式，除非上下文清楚地另外指示。應進一步理解，術語“包括”在於本說明書中使用時指定所述特徵、整數、步驟、操作、元件及/或組件之存在，但不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組之存在或添加。如本文所使用，術語“及/或”包含相關聯之所列出項目中之一或多者的任何以及所有組合。

應理解，當元件或層被稱為在另一元件或層“上”、“連接至”、“耦接至”或“鄰近於”另一元件或層時，其可直接在另一元件或層上、連接至、耦接至或鄰近於另一元件或層，或可存在介入元件或層。對比而言，當元件被稱為“直接”在另一元件或層“上”、“直接連接至”、“直接耦接至”或“緊鄰於”另一元件或層時，不存在介入元件或層。

除非另外定義，否則本文所使用之所有術語（包含技術以及科學術語）具有與由一般熟習本發明性概念所屬之技術者通常理解之含義相同的含義。應進一步理解，術語（諸如，在常用詞典中所定義之術語）應解譯為具有與其在相關技術及/或本說明書之背景中之含義一致的含義，且將不以理想化或過度正式之意義解譯，除非本文明確地如此定義。

圖 1 為說明根據本一般發明性概念之例示性實施例之

記憶體系統的方塊圖。參看圖 1，記憶體系統 1000 可包含記憶體裝置 100 以及控制器 200。

記憶體裝置 100 可根據控制器 200 之控制來操作。記憶體裝置 100 可儲存自控制器 200 輸入之碼向量 CV。記憶體裝置 100 可讀取所儲存向量以將其輸出至控制器 200 作為讀取向量 RV。記憶體裝置 100 可經組態以刪除所儲存向量。記憶體裝置 100 可包含諸如 SRAM、DRAM、SDRAM 等之揮發性記憶體裝置，或諸如 ROM、PROM、EPROM、EEPROM、快閃記憶體、PRAM、MRAM、RRAM、FRAM 等之非揮發性記憶體裝置。

控制器 200 可與記憶體裝置 100 耦接。亦即，控制器 200 可經由無線及/或有線通信鏈路耦接至記憶體裝置 100。控制器 200 可回應於來自主機 10 之請求而存取記憶體裝置 100。主機 10 可以通信方式耦接至控制器 200，且可包含處理器、電腦、可程式化邏輯裝置、場可程式化閘陣列、及積體電路、攜帶型媒體播放器、機上盒、伺服器、行動電話、個人數位裝置及/或任何其他合適之主機以執行本一般發明性概念的例示性實施例。控制器 200 可包含 ECC 編碼器 300 以及 ECC 解碼器 400。

ECC 編碼器 300 可自主機 10 接收寫入資料向量 WDV，且可將所輸入的寫入資料向量 WDV 編碼為碼向量 CV。碼向量 CV 可被發送至記憶體裝置 100。ECC 解碼器 400 可自記憶體裝置 100 接收讀取向量 RV。ECC 解碼器 400 可校正讀取向量 RV 之錯誤。ECC 解碼器 400 可自經

錯誤校正之讀取向量提取經錯誤校正之資料向量 CDV 以將所提取的經錯誤校正之資料向量 CDV 發送至主機 10。

控制器 200 可根據各種通信協定與主機 10 通信。舉例而言，控制器 200 可根據各種通信協定中之至少一者與主機 10 通信，此等通信協定諸如通用串列匯流排（Universal Serial Bus；USB）協定、多媒體卡（multimedia card；MMC）協定、周邊組件互連（peripheral component interconnection；PCI）協定、PCI-express（PCI-E）協定、進階技術附接（Advanced Technology Attachment；ATA）協定、Serial-ATA 協定、Parallel-ATA 協定、小型電腦系統介面（small computer small interface；SCSI）協定、增強型小型磁碟介面（enhanced small disk interface；ESDI）協定、整合驅動電子設備（Integrated Drive Electronics；IDE）協定，以及 FireWire（火線）。

控制器 200 以及記憶體裝置 100 可整合於單一半導體裝置中。控制器 200 以及記憶體裝置 100 可整合於單一半導體裝置中以形成固態磁碟機（solid state drive；SSD）。控制器 200 以及記憶體裝置 100 可整合於單一半導體裝置中以形成記憶卡。舉例而言，控制器 200 以及記憶體裝置 100 可整合於單一半導體裝置中以形成記憶卡，諸如 PC（PCMCIA）卡、CF 卡、SM（或 SMC）卡、記憶棒、多媒體卡（MMC、RS-MMC、MMCmicro）、安全卡（SD、miniSD、microSD、SDHC）、通用快閃儲存（universal flash storage；UFS）裝置，或其類似者。

在本一般發明性概念之例示性實施例中，記憶體系統 1000 可用作及/或以通信方式耦接至電腦、攜帶型電腦、超行動 PC（Ultra Mobile PC；UMPC）、工作站、迷你筆記型電腦、PDA、網路平板電腦（web tablet）、無線電話、行動電話、智慧型電話、電子書、攜帶型多媒體播放器（portable multimedia player；PMP）、數位相機、數位音訊記錄器/播放器、數位圖片/視訊記錄器/播放器、攜帶型遊戲機、導航系統、黑盒子、3 維電視、能夠在無線環境下傳輸以及接收資訊的裝置、構成家庭網路之各種電子裝置中的一者、構成電腦網路之各種電子裝置中的一者、構成遠程資訊服務網路（telematics network）之各種電子裝置中的一者、射頻識別（radio frequency identification；RFID），或可為計算系統之各種電子裝置中的一者。

在本一般發明性概念之例示性實施例中，記憶體裝置 100 或記憶體系統 1000 可藉由各種類型之封裝來包裝，此等封裝諸如疊層封裝（Package on Package；PoP）、球狀柵格陣列（Ball grid array；BGA）、晶片級封裝（Chip scale package；CSP）、塑膠晶片承載封裝（Plastic Leaded Chip Carrier；PLCC）、塑膠雙列直插式封裝（Plastic Dual In-Line Package；PDI2P）、窩伏爾包裝中晶粒（Die in Waffle Pack）、晶圓形式晶粒（Die in Wafer Form）、板上晶片（Chip On Board；COB）、雙列直插式陶瓷封裝（Ceramic Dual In-Line Package；CERDIP）、塑膠公制四方扁平包裝（Plastic Metric Quad Flat Pack；MQFP）、薄型四方扁平包裝（Thin

Quad Flatpack；TQFP）、小型積體電路（Small Outline；SOIC）、收縮型小型封裝（Shrink Small Outline Package；SSOP）、薄型小型封裝（Thin Small Outline；TSOP）、薄型四方扁平包裝（Thin Quad Flatpack；TQFP）、系統級封裝（System In Package；SIP）、多晶片封裝（Multi Chip Package；MCP）、晶圓級製造封裝（Wafer-level Fabricated Package；WFP）、晶圓級處理堆疊封裝（Wafer-Level Processed Stack Package；WSP），以及其類似者。

圖 2 為說明根據本一般發明性概念之例示性實施例的圖 1 中之控制器之操作方法的流程圖。參看圖 1 以及圖 2，在操作 S110 中，ECC 編碼器 300 可將寫入資料向量 WDV 編碼為碼向量 CV。在操作 S120 中，可將碼向量 CV 寫入於記憶體裝置 100 中。

在操作 S130 中，可自記憶體裝置 100 讀取讀取向量 RV。在操作 S140 中，ECC 解碼器 400 可根據讀取向量 RV 之錯誤的數目調整每循環功率消耗，且可校正讀取向量 RV 之錯誤。下文中，將按順序更全面地描述操作 S110 以及 S140。

圖 3 為說明圖 2 中之編碼寫入資料向量 WDV 之操作 S110 的流程圖。參看圖 1 以及圖 3，在操作 S210 中，ECC 編碼器 300 可接收寫入資料向量 WDV。舉例而言，可自外部主機（例如，圖 1 中所說明之主機 10）接收寫入資料向量 WDV。可由控制器 200 自記憶體裝置 100 讀取讀取向量 RV，讀取向量 RV 之錯誤可經校正（例如，藉由 ECC

解碼器 400)，可由控制器 200 自讀取向量 RV 提取經錯誤校正之資料向量 CDV，且所提取的經錯誤校正之資料向量 CDV 可用作寫入資料向量 WDV。

在操作 S220 中，ECC 編碼器 300 可使產生矩陣 G 與寫入資料向量 WDV 相乘。舉例而言，產生矩陣 G 可為 BCH (Bose-Chaudhuri-Hocquenghem) 碼之產生矩陣 G。乘法結果可為碼向量 CV。

圖 4 為說明根據本一般發明性概念之例示性實施例之碼向量以及讀取向量的圖。參看圖 4，碼向量 CV 可包含寫入資料向量 WDV 以及同位向量 PV。同位向量 PV 可為循環冗餘檢查碼 (cyclic redundancy check code；CRCC)。讀取向量 RV 可包含讀取資料向量 RDV 以及讀取同位向量 RPV。當寫入資料向量 WDV 被寫入於記憶體裝置 100 中且接著自記憶體裝置 100 讀取時，讀取資料向量 RDV 可為讀取結果。當讀取同位向量 RPV 被寫入於記憶體裝置 100 中且接著自記憶體裝置 100 讀取時，讀取同位向量 RPV 可為讀取結果。

圖 5 為說明每循環功率消耗受到控制的解碼讀取向量之操作 S140 的流程圖。參看圖 1 以及圖 5，在操作 S310 中，可由控制器 200 接收讀取向量 RV。在操作 S320 中，可根據讀取向量 RV 計算校正子 S(x)。ECC 解碼器 400 可取決於所輸入之讀取向量 RV 而計算校正子 S(x)。如圖 7 中所說明及下文詳細描述，校正子 S(x)可藉由使讀取向量 RV 與同位檢查矩陣相乘而計算。在操作 S330 中，可判定

(例如,藉由 ECC 解碼器 400 及/或控制器 200)校正子 S(x)是否為 0。若校正子 S(x)為 0,則在讀取向量 RV 中不會存在錯誤。在此狀況下,ECC 解碼器 400 可結束錯誤校正操作。若校正子 S(x)被判定並非為 0,則可執行操作 S340。

在操作 S340 中,可計算讀取向量 RV 之錯誤位置多項式 Λ(x)。ECC 解碼器 400 可基於所計算之校正子 S(x)計算錯誤位置多項式 Λ(x),如圖 8 中所說明及下文詳細描述。

在操作 S350 中,可自錯誤位置多項式 Λ(x)估計錯誤之數目。舉例而言,ECC 解碼器 400 可根據錯誤位置多項式 Λ(x)之最高次數的指數來估計讀取向量 RV 之錯誤的數目。亦即,若錯誤位置多項式為:$\Lambda(x) = \Lambda_0 + \Lambda_1 X^1 + \Lambda_2 X^2 + \cdots + \Lambda_{64} X^{64}$,則根據錯誤位置多項式 Λ(x)之最高次數之指數,錯誤之估計數目可為 64。

在操作 S360 中,可根據估計錯誤數目調整每循環功率消耗。舉例而言,當讀取向量 RV 中之錯誤的數目增加時,ECC 解碼器 400 可降低每循環功率消耗。ECC 解碼器 400(例如)可藉由調整待同時偵測之錯誤位元的數目來降低每循環功率消耗。如至少圖 11 中所說明及下文詳細描述,可藉由選擇半操作模式及/或四分之一操作模式而非全操作模式來調整待同時偵測之錯誤位元的數目。亦即,與全操作模式相比,當在半搜尋模式中操作時,每循環同時搜尋一半數目的位元。類似地,與在全操作模式中相比,可在四分之一搜尋模式中同時搜尋四分之一數目的位元。如下文詳細描述,當讀取向量中之錯誤的數目分別增加超

過錯誤之至少一預定臨限數目時，可選擇半操作模式及/或四分之一操作模式。因此，當讀取向量中之錯誤的數目大於至少一預定臨限值時，在半操作模式及/或四分之一操作模式中同時搜尋之位元的數目小於全搜尋模式中，且半搜尋模式及/或四分之一搜尋模式之功率消耗小於全搜尋模式。

在操作 S370 中，可根據經調整之每循環功率消耗搜尋讀取向量 RV 中之錯誤，且可校正所搜尋的錯誤。可藉由錢氏搜尋單元（例如，圖 6 中所說明及下文所述之錢氏搜尋單元 440）搜尋錯誤，且所搜尋之錯誤可由錯誤校正單元 450（下文詳細描述）校正。

圖 6 為說明根據本一般發明性概念之例示性實施例的圖 1 中之 ECC 解碼器 400 的方塊圖。參看圖 6，ECC 解碼器 400 可包含緩衝器 410、校正子計算單元 420、關鍵方程式求解（KES）單元 430、錢氏搜尋單元 440、錯誤校正單元 450、多工器 460 以及控制單元 470。

緩衝器 410 可儲存自記憶體裝置 100 所讀取之讀取向量 RV。儲存於緩衝器 410 中之讀取向量 RV 可輸出至錯誤校正單元 450 以及多工器 460。

校正子計算單元 420 可根據自記憶體裝置 100 讀取之讀取向量 RV 計算校正子 S(x)。校正子計算單元 420 可藉由（例如）使所接收讀取向量與同位檢查矩陣相乘而計算校正子 S(x)，如下文結合圖 7 詳細描述。所計算校正子 S(x) 可輸出至 KES 單元 430。當所計算校正子 S(x)為 0 時，校

正子計算單元 420 可啟動待提供至控制單元 470 之控制信號 NES。

KES 單元 430 可根據自校正子計算單元 420 接收之所計算校正子 S(x)計算錯誤位置多項式 Λ(x)。KES 單元 430 可藉由圖 8 中所說明之方法（下文詳細描述）計算錯誤位置多項式 Λ(x)。所計算錯誤位置多項式 Λ(x)亦可輸出至錢氏搜尋單元 440。KES 單元 430 可將錯誤位置多項式 Λ(x)或關於錯誤位置多項式 Λ(x)之指數的資訊輸出至控制單元 470。舉例而言，錯誤位置多項式 Λ(x)之最高次數（階）的指數可被輸出至控制單元 470。

錢氏搜尋單元 440 可基於所計算錯誤位置多項式 Λ(x)及自控制單元 470 接收之資訊而搜尋讀取向量 RV 的錯誤位置。舉例而言，錢氏搜尋單元 440 可基於由 KES 單元 430 提供之資訊而搜尋所計算錯誤位置多項式 Λ(x)。搜尋結果可對應於讀取向量 RV 之錯誤位置。亦即，搜尋讀取向量 RV 之錯誤位置的操作可包含搜尋錯誤位置多項式 Λ(x)及根據搜尋結果判定讀取向量 RV 的錯誤位置。亦即，可判定讀取向量 RV 中之錯誤的位置。關於讀取向量 RV 之錯誤位置的資訊可被輸出至錯誤校正單元 450 作為錯誤位置資訊 ELI。

錯誤校正單元 450 可使用錯誤位置資訊 ELI 校正儲存於緩衝器 410 中之讀取向量 RV 的錯誤。舉例而言，錯誤校正單元 450 可使讀取向量 RV 之位元當中的對應於錯誤位置資訊 ELI 之位元反相(例如，將 ‘0’ 位元改變為 ‘1’

位元，或將‘1’位元改變為‘0’位元）。錯誤校正單元 450 之輸出可被提供至多工器 460。

多工器 460 可根據控制單元 470 之控制選擇自緩衝器 410 輸出之向量或自錯誤校正單元 450 輸出的向量作為經錯誤校正之資料向量 CDV。亦即，控制單元 470 可將選擇信號 SEL 提供至多工器 460，以控制對自緩衝器 410 輸出之資料向量或自錯誤校正單元 450 輸出之資料向量的選擇。

控制單元 470 可控制 ECC 解碼器 400 之操作，如圖 1 及圖 6 中所說明。控制單元 470 可自校正子計算單元 420 接收控制信號 NES。當控制信號 NES 經啟動時，亦即，當所計算校正子 S(x)為 0 時，控制單元 470 可控制選擇信號 SEL 以使得多工器 460 選擇錯誤校正單元 450 之輸出（例如，選擇來自緩衝器 410 之讀取向量或來自錯誤校正單元 450 的經錯誤校正之資料向量 CDV）。

控制單元 470 可使用自 KES 單元 430 傳送之錯誤位置多項式 $\Lambda(x)$或自 KES 單元 430 接收之關於錯誤位置多項式 $\Lambda(x)$的資訊來量測及/或估計讀取向量 RV 之錯誤的數目。舉例而言，控制單元 470 可估計錯誤位置多項式 $\Lambda(x)$之最高次數的指數作為讀取向量 RV 之錯誤的數目（例如，若錯誤位置多項式 $\Lambda(x) = \Lambda_0 + \Lambda_1 X^1 + \Lambda_2 X^2 + \cdots + \Lambda_{64} X^{64}$，則根據錯誤位置多項式 $\Lambda(x)$之最高次數之指數，錯誤之估計數目可為 64）。根據所估計錯誤數目，控制單元 470 可調整錢氏搜尋單元 440 之每循環功率消耗。當所

估計錯誤數目增加時，控制單元 470（例如）可降低錢氏搜尋單元 440 之每循環功率消耗。在本一般發明性概念之例示性實施例中，控制單元 470 可藉由調整待藉由錢氏搜尋單元 440 同時搜尋之讀取資料向量的位元之數目而調整錢氏搜尋單元 440 之每循環功率消耗。

圖 7 為說明根據本一般發明性概念之例示性實施例之校正子計算方法的流程圖。圖 6 中所說明之校正子計算單元 420 可操作，以便執行圖 7 中所說明之校正子計算方法。參看圖 6 及圖 7，在操作 S410 中，可接收讀取向量 RV（例如，可由圖 1 中所說明之控制器 200 接收讀取向量）。舉例而言，可自記憶體裝置 100 將讀取向量 RV 提供至校正子計算單元 420。

在操作 S420 中，可使讀取向量 RV 與同位檢查矩陣 H^T 相乘。校正子計算單元 420 可儲存待與讀取向量 RV 相乘之同位檢查矩陣 H^T。校正子計算單元 420 可使先前儲存之同位檢查矩陣 H^T 與自記憶體裝置 100 接收之讀取向量 RV 相乘。同位檢查矩陣 H^T 與讀取向量 RV 之乘法結果可為校正子 S(x)。

操作 S430 可判定乘法結果（亦即，校正子 S(x)）是否為 0。若乘法結果（亦即，校正子 S(x)）被判定為並非 0（亦即，S(x)為非零值），則可在操作 S440 處輸出校正子 S(x)。若乘法結果（亦即，校正子 S(x)）被判定為 0，則可在操作 S450 處啟動控制信號 NES。

圖 6 中所說明之校正子計算單元 420 可判定所計算校

正子 S(x)是否為 0。若所計算校正子 S(x)為非零的，則校正子計算單元 420 可將所計算校正子 S(x)輸出至 KES 單元 430。若所計算校正子 S(x)為 0，則校正子計算單元 420 可啟動待藉由控制單元 470 接收之控制信號 NES。

下文中，將使用以下方程式描述校正子計算方法。可藉由以下方程式 1 來表達碼向量 CV，其中 WDV 為寫入資料向量且 G 為產生矩陣（例如，BCH 碼之產生矩陣，如上文詳細描述）。

$$CV = WDV \times G \qquad (1)$$

自記憶體裝置 100 讀取之讀取向量 RV 可包含錯誤。可藉由以下方程式 2 來表達包含錯誤之讀取向量 RV，其中 WDV 為寫入資料向量，G 為產生矩陣，且 E 為錯誤向量。

$$RV = WDV \times G + E \qquad (2)$$

讀取向量 RV 可與同位檢查矩陣 H^T 相乘。可藉由以下方程式來表達乘法結果，其中 WDV 為寫入資料向量，G 為產生矩陣，且 E 為錯誤向量。

$$RV \times H^T = WDV \times G \times H^T + E \times H^T \qquad (3)$$

產生矩陣 G 與同位檢查矩陣 H^T 可經判定以滿足以下方程式之關係。

$$G \times H^T = 0 \qquad (4)$$

因此，可藉由將方程式 4 代入方程式 3 中而獲得以下方程式 5。

$$RV \times H^T = E \times H^T \qquad (5)$$

乘法結果可為校正子 S(x)。若校正子 S(x)為 0，則可判定不存在錯誤。若校正子 S(x)為非零的，則可判定存在錯誤。

圖 8 為說明根據本一般發明性概念之例示性實施例之錯誤位置多項式（Λ(x)）計算方法的流程圖。圖 6 中所說明之 KES 單元 430 可操作，以便根據圖 8 中所說明之方法計算錯誤位置多項式 Λ(x)。如下文詳細描述，在零值係數之數目的計數小於臨限值時，可以迭代方式計算錯誤位置多項式之係數以判定具有 '0' 值之係數的數目。圖 6 中所說明之控制單元 470 可根據具有 '0' 值之係數的數目選擇錢氏搜尋單元 440 之操作模式（例如，全搜尋模式、半搜尋模式、四分之一搜尋模式）。應注意，搜尋模式不限於全、半或四分之一，而是可取決於所要之功率消耗而判定為所要的任何分數搜尋模式。參看圖 6 及圖 8，在操作 S510

中，可重設零計數 ZC 以及變數 n。舉例而言，KES 單元 430 可重設零計數 ZC 以及變數 n。如下文詳細論述，當錯誤位置多項式 Λ(x)之所計算係數 Λn 為 0 時，可使零計數 ZC 遞增，且若零計數 ZC 小於第一臨限值 TV1 或所計算係數 Λn 為非零的，則可增加及/或遞增變數 n。

在操作 S520 中，可使用校正子 S(x)以及前一操作之係數 Λn-1 來計算偏差（discrepancy）。若前一操作之係數 Λn-1 不存在，亦即，在計算第一係數 Λ0 之情況下，可根據校正子 S(x)計算偏差。偏差可由 KES 單元 430 計算。

在操作 S530 中，可根據所計算偏差計算係數 Λn。係數 Λn 可由 KES 單元 430 計算。

在操作 S540 中，KES 單元 430 可判定所計算係數 Λn 是否為 0。在操作 S550 中，當所計算係數 Λn 為 0 時，零計數 ZC 可增加。在操作 S560 中，KES 單元 430 可判定零計數 ZC 是否相等於或大於第一臨限值 TV1。亦即，KES 單元 430 可判定具有零值之所計算係數 Λn 的數目是否大於或等於第一臨限值 TV1。若零計數 ZC 相等於或大於第一臨限值 TV1，則可結束對錯誤位置多項式 Λ(x)之計算。若零計數 ZC 小於第一臨限值 TV1 或所計算係數 Λn 為非零的，則在操作 S570 中，變數 n 可增加。當 n 值增加及/或遞增時，此方法可返回至操作 S520。

亦即，KES 單元 430 可增加變數 n 且可以迭代方式計算錯誤位置多項式 Λ(x)的係數 Λn，直至指示所計算係數 Λn 為 0 之計數大於或等於第一臨限值 TV1 為止。所計算

係數 Λn 可為錯誤位置多項式 Λ(x)之次數 n 的係數。在本一般發明性概念之例示性實施例中，可藉由以下方程式 6 來表達錯誤位置多項式。

$$\Lambda(x) = \Lambda_0 + \Lambda_1 x + \Lambda_2 x^2 + \cdots + \Lambda_n x^n \qquad (6)$$

在本一般發明性概念之例示性實施例中，第一臨限值 TV1 可為 3。亦即，當錯誤位置多項式 Λ(x)之係數被計算為 0 三次或三次以上時，KES 單元 430 可結束錯誤位置多項式 Λ(x)之計算且階數可被估計。

錯誤位置多項式 Λ(x)之根可指示讀取向量 RV 之錯誤位置。亦即，讀取向量 RV 可包含對應於錯誤位置多項式 Λ(x)之根之數目的錯誤。下文結合圖 9 及圖 10 詳細描述對應於根之錯誤的判定。錯誤位置多項式 Λ(x)之最高次數的指數（詳言之，具有非零係數之最高次數的指數）可指示錯誤之數目。亦即，若錯誤位置多項式為：$\Lambda(x) = \Lambda_0 + \Lambda_1 X^1 + \Lambda_2 X^2 + \cdots + \Lambda_{64} X^{64}$，則錯誤位置多項式 Λ(x)之最高次數的指數可為 64，此情形可指示 64 個錯誤。

在本一般發明性概念之例示性實施例中，可根據 BM（Berlekamp-Massey）演算法或 ME（Modified Euclidean）演算法來進行關鍵方程式求解（KES）計算。

圖 9 為說明根據本一般發明性概念之例示性實施例之錢氏搜尋方法的流程圖。圖 6 中所說明之 ECC 解碼器的錢氏搜尋單元 440 可操作，以便執行圖 9 中所說明之方法。

參看圖 6 及圖 9，在操作 S610 中，可根據錯誤之所判定數目來選擇將要在由 ECC 解碼器 400 接收之讀取向量中同時搜尋的位元之數目。控制單元 470 可根據自 KES 單元 430 輸入之資訊判定讀取向量 RV 中之錯誤的數目。亦即，KES 單元 430 可計算待提供至錢氏搜尋單元 440 之錯誤位置多項式 Λ(x)，且亦判定具有 0 值之錯誤位置多項式 Λ(x)之係數的數目。基於讀取向量中之錯誤的所判定及/或所估計數目，控制單元 470 可選擇待同時搜尋之讀取向量之位元的數目。

在操作 S620 中，可根據所選擇結果調整搜尋方案。舉例而言，控制單元 470 可控制錢氏搜尋單元 440，以便根據對應於待同時搜尋之所選擇位元之數目的搜尋方案進行搜尋操作。如下文詳細論述，控制單元 470 可控制錢氏搜尋單元 440（例如）在全搜尋模式、半搜尋模式或四分之一搜尋模式中操作。然而，搜尋模式之分數值不限於此等值，且可按需要調整。錢氏搜尋單元 440 在於半搜尋模式中操作時可同時搜尋為在全搜尋模式中操作時之一半數目的所接收讀取向量之位元。錢氏搜尋單元 440 在於四分之一搜尋模式中操作時可同時搜尋為在全搜尋模式中操作時之四分之一數目的所接收讀取向量之位元。

可根據待同時搜尋之讀取向量之位元的數目調整錢氏搜尋單元 440 之功率消耗。在本一般發明性概念之例示性實施例中，操作 S610 以及 S620 可為圖 5 中之操作 S360 的部分或全部，在所述操作 S360 中每循環功率消耗經調

整。

在圖 9 中所說明之操作 S630 中，可藉由錢氏搜尋單元 440 執行前向錢氏搜尋操作。可自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV）之末端的第一位元至讀取向量之同位部分（例如，圖 4 中所說明之讀取向量 RV 的讀取同位向量 RPV）的開端地執行前向錢氏搜尋操作。在錢氏搜尋操作時，可搜尋讀取向量 RV 之錯誤位置。可根據在操作 S610 中所選擇之同時搜尋位元的數目執行錢氏搜尋操作。由錢氏搜尋單元 440 執行之錢氏搜尋操作可由控制單元 470 控制，以便搜尋讀取向量之資料部分或讀取向量之資料與同位部分。

錢氏搜尋單元 440 可對由 KES 單元 430 提供之錯誤位置多項式 Λ(x)執行搜尋。錢氏搜尋單元 440 可搜尋錯誤位置多項式 Λ(x)之根。錢氏搜尋單元 440 之搜尋操作可對應於自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RDV 的讀取向量 RV）之末端的第一位元起按（根據讀取向量之所選擇位元之數目所判定的）單位搜尋錯誤位置的操作。如下文詳細論述，錢氏搜尋單元 440 可在不同模式中操作，諸如全操作模式（亦即，全搜尋模式）、半操作模式（亦即，半搜尋模式）以及四分之一操作模式（亦即，四分之一搜尋模式）。待在讀取向量之資料部分中搜尋之位元的單位數目可根據所選擇之操作模式而不同。如所說明，舉例而言，在圖 11 中，在四分之一操作模式中搜尋

之位元的單位數目小於在半操作模式或全操作模式中之位元的單位數目。

在操作 S640 中，可根據搜尋結果判定錯誤位置。錢氏搜尋單元 440 可至少根據搜尋得的錯誤位置多項式 Λ(x)之根來判定讀取向量 RV 之錯誤位置。下文至少結合圖 10 詳細論述讀取向量之錯誤位置的判定。錢氏搜尋單元 440 可根據所判定錯誤位置輸出錯誤位置資訊（error location information；ELI）。

可經由在圖 6 中所說明之錢氏搜尋單元 440 執行錢氏搜尋來獲得錯誤位置多項式 Λ(x)的根。在本一般發明性概念之例示性實施例中，當錯誤位置多項式 Λ(x)滿足以下方程式 7 時，本原元素 α 之平方數 α^{i} 可為錯誤位置多項式 Λ(x)的根。

$$\Lambda(\alpha^{i}) = \Lambda_0 + \Lambda_1\alpha^{i} + \Lambda_2\alpha^{2i} + \cdots + \Lambda_{\pi}\alpha^{\pi i} = 0 \text{ 或} \qquad (7)$$

可藉由本原元素 α 之指數形式來表達錯誤位置多項式 Λ(x)的根。讀取向量 RV 之錯誤位置可為錯誤位置多項式 Λ(x)之根之指數的反相值。舉例而言，當錯誤位置多項式 Λ(x)之根為(α-k)時，讀取向量 RV 之第(k+1)個位元可為錯誤位元。詳言之，自讀取向量 RV 之同位部分（例如，讀取向量 RV 之讀取同位向量 RPV）之末端的第(k+1)個位元可為錯誤位元。當讀取向量 RV 具有 c 位元長度時，錯誤位置多項式 Λ(x)之根可為介於 α^{0} 與 α^{ni} 之間的值。本文中，

c 位元長度之‘c’可指示讀取向量 RV 之長度（亦即，讀取向量 RV 之位元的數目）。下文至少結合圖 10 詳細解釋讀取向量 RV 之錯誤位置的判定。

可經由由錢氏搜尋單元 440 執行錢氏搜尋來搜尋錯誤位置多項式 Λ(x)的根。亦即，可根據錢氏搜尋結果來判定讀取向量 RV 之錯誤位置。錢氏搜尋單元 440 可根據搜尋結果將錯誤位置資訊 ELI 輸出至錯誤校正單元 450。錯誤校正單元 450 可藉由在由錯誤位置資訊 ELI 指明之位置處使讀取向量之至少資料部分的位元反相來校正讀取向量 RV 之錯誤。操作 S630 以及 S640 可為圖 5 中之操作 S370 的部分或全部，在操作 S370 中，錯誤經校正。

圖 10 為說明根據本一般發明性概念之例示性實施例的圖 6 之錢氏搜尋單元 440 的詳圖。參看圖 10，錯誤位置多項式 Λ(x)之係數 Λ_0 至 Λ_n 可分別儲存於係數暫存器 CR1 至 CRn 中。舉例而言，可自圖 6 中之 KES 單元 430 傳送錯誤位置多項式 Λ(x)之係數 Λ_0 至 Λ_n。

種子可分別儲存於種子暫存器 SR1 至 SRn 中。在本一般發明性概念之例示性實施例中，儲存於種子暫存器 SR1 至 SRn 中之種子可為本原元素 α 的平方數（例如，種子可為求平方之本原元素 α）。儲存於種子暫存器 SR1 至 SRn 中之種子可為 α-c 至 α-nc。如上文所論述，‘c’可指示讀取向量 RV 之長度，亦即，讀取向量 RV 之位元的數目。

係數暫存器 CR1 至 CRn 之輸出與種子暫存器 SR1 至

SRn之輸出可分別藉由乘法器（例如，乘法器X1, X2, … Xn）相乘。乘法結果可分別自乘法器X1至Xn傳送至係數多工器MC1至MCn的第一輸入。延遲器D1至Dn之輸出可分別提供至係數多工器MC1至MCn之第二輸入。

係數多工器MC1至MCn中之每一者可輸出相應乘法器之輸出以及相應延遲器之輸出中的一者。係數多工器MC1至MCn可根據圖6中之控制單元470的控制來操作。係數多工器 MC1 至 MCn 之輸出可傳送至平行搜尋邏輯441、441j、441k及/或441m。

平行搜尋邏輯441可包含平行搜尋暫存器R1至Rn。本原元素α之平方數α, α2, … ,αn可分別儲存於平行搜尋暫存器R1至Rn中。在本一般發明性概念之例示性實施例中，各別項可分別儲存於平行搜尋暫存器R1至Rn中。本文中，可藉由以下操作獲得每一項：自錯誤位置多項式Λ(x)移除常數Λ0、用1替換係數Λ1~Λn，及代入本原元素α。

平行搜尋乘法器（例如，乘法器 Xps1, Xps2, … Xpsn；乘法器 X1j, X2j, … Xnj；乘法器 X1k, X2k, … XnK；以及乘法器X1m, X2m, … Xnm）中之每一者可使相應係數多工器MCi（i=1~n）之輸出與相應平行搜尋暫存器Ri（例如，平行搜尋暫存器R1, R2, …Rn；平行搜尋暫存器R1j至Rnj；平行搜尋暫存器R1k至R1n；以及平行搜尋暫存器R1m至R1nm）之輸出相乘。平行搜尋乘法器（例如，乘法器Xps1, Xps2, … Xpsn）之輸出可由平行搜尋邏輯441中之平行搜尋加法器（例如，由平行搜尋加法

器 A1）相加。平行搜尋乘法器 X1j 至 Xnj、乘法器 X1k 至 XnK 以及乘法器 X1m 至 Xnm 之輸出可分別由平行搜尋加法器 Aj、Ak 以及 Am 相加。平行搜尋加法器 A1 之輸出可為平行搜尋邏輯 441 之輸出 Λ1。分別之平行搜尋加法器 Aj、Ak 以及 Am 的輸出可分別為平行搜尋邏輯 441j、441k 以及 441m 之輸出 Λj、Λk 以及 Λm。

平行搜尋邏輯 441j（亦即，在四分之一搜尋模式中操作之四分之一平行搜尋邏輯）可包含平行搜尋暫存器 R1j 至 Rnj。本原元素 α 之平方數 αj, α2j, … ,αnj 可分別儲存於平行搜尋暫存器 R1j 至 Rnj 中。在本一般發明性概念之例示性實施例中，各別項可分別儲存於平行搜尋暫存器 R1j 至 Rnj 中。本文中，每一項可藉由以下操作來獲得：自錯誤位置多項式 Λ(x)移除常數 Λ_0、用 1 替換係數 Λ_1~Λ_n，以及代入本原元素 α^j。

（例如，四分之一平行搜尋邏輯 441j 之）四分之一多工器 MQ1 至 MQn 中之每一者可輸出相應係數多工器 MCi 之輸出以及零值中的一者。四分之一多工器 MQ1 至 MQn 可根據控制單元 470 之控制而操作。四分之一多工器 MQ1 至 MQn 之輸出可分別傳送至平行搜尋乘法器（例如，平行搜尋乘法器 X1j, X2j, … Xnj）。

平行搜尋乘法器（例如，平行搜尋乘法器 X1j, X2j, … Xnj）中之每一者可使相應四分之一多工器 MQi（例如，MQ1, MQ2, … MQn）之輸出與相應平行搜尋暫存器 Rij（例如，平行搜尋暫存器 R1j, R2j, …, Rnj）的輸出相乘。

平行搜尋乘法器(例如,平行搜尋乘法器 X1j, X2j, … Xnj)之輸出可藉由平行搜尋邏輯 441j 中之平行搜尋加法器 Aj 相加。平行搜尋加法器 Aj 之輸出可為平行搜尋邏輯 441j 之輸出 Λj。

平行搜尋邏輯 441k(亦即,在半搜尋模式中操作之半平行搜尋邏輯)可包含平行搜尋暫存器 R1k 至 Rnk。本原元素 α 之平方數 α^k, α^{2k}, … ,α^{nk} 可分別儲存於平行搜尋暫存器 R1k 至 Rnk 中。在本一般發明性概念之例示性實施例中,各別項可分別儲存於平行搜尋暫存器 R1k 至 Rnk 中。本文中,每一項可藉由以下操作來獲得:自錯誤位置多項式 Λ(x)移除常數 Λ_0、用 1 替換係數 Λ_1~Λ_n,以及代入本原元素 α^k。

半平行搜尋邏輯 441k 之半多工器 MH1 至 MHn 中的每一者可輸出相應係數多工器 MCi(例如,MC1, MC2, … MCn)之輸出以及零值中的一者。半多工器 MH1 至 MHn 可根據控制單元 470 之控制而操作。半多工器 MH1 至 MHn 之輸出可分別傳送至平行搜尋乘法器(例如,乘法器 X1k、X2k 以及 Xnk)。

平行搜尋乘法器(例如,乘法器 X1k、X2k 以及 Xnk)中之每一者可使相應半多工器 MHi 之輸出與相應平行搜尋暫存器 Rij(例如,平行搜尋暫存器 R1k、R2k 以及 Rnk)的輸出相乘。平行搜尋乘法器(例如,乘法器 X1k、X2k 以及 Xnk)之輸出可藉由平行搜尋邏輯 441k 中之平行搜尋加法器 Ak 相加。平行搜尋加法器之輸出可為平行搜尋邏

輯 441k 之輸出 Λk。

平行搜尋邏輯 441m（例如，全平行搜尋邏輯）可包含平行搜尋暫存器 R1m 至 Rnm。本原元素 α 之平方數 α^m, α^{2m}, … ,α^{nm} 可分別儲存於平行搜尋暫存器 R1m 至 Rnm 中。在例示性實施例中，各別項可分別儲存於平行搜尋暫存器 R1m 至 Rnm 中。本文中，每一項可藉由以下操作來獲得：自錯誤位置多項式 Λ(x)移除常數 Λ_0、用 1 替換係數 Λ_1~Λ_n，以及代入本原元素 α^m。

全多工器 MF1 至 MFn 中之每一者可輸出相應係數多工器 MCi（例如，MC1, MC2, … MCn）之輸出以及零值中的一者。全多工器 MF1 至 MFn 可根據控制單元 470 之控制而操作。全多工器 MF1 至 MFn 之輸出可分別傳送至平行搜尋乘法器（例如，平行搜尋乘法器 X1m、X2m 以及 Xnm）。

平行搜尋乘法器（例如，平行搜尋乘法器 X1m、X2m 以及 Xnm）中之每一者可使相應全多工器 MFi（例如，MF1, MF2, …, MFn）之輸出與相應平行搜尋暫存器 Rim 的輸出相乘。平行搜尋乘法器（例如，平行搜尋乘法器 X1m、X2m 以及 Xnm）之輸出可藉由平行搜尋邏輯 441m 中之平行搜尋加法器相加。平行搜尋加法器 Am 之輸出可為平行搜尋邏輯 441m 之輸出 Λm。

平行搜尋邏輯 441j 至 441m 中之平行搜尋乘法器（例如，乘法器 Xps1, Xps2, … Xpsn；乘法器 X1j, X2j, … Xnj；乘法器 X1k, X2k, … XnK；以及乘法器 X1m,

X2m, … Xnm）的輸出可傳送至多工器 M1 至 Mn。舉例而言，各自與平行搜尋暫存器 R1j、R1k 以及 R1m 連接之平行搜尋乘法器的輸出可傳送至多工器 M1。各自與平行搜尋暫存器 Rnj、Rnk 以及 Rnm 連接之平行搜尋乘法器的輸出可傳送至多工器 Mn。

多工器 M1 至 Mn 中之每一者可根據控制單元 470 之控制選擇輸入信號中的一者。舉例而言，多工器 M1 可選擇各自與平行搜尋暫存器 R1j、R1k 以及 R1m 連接之平行搜尋乘法器（例如，乘法器 Xps1、X1j、X1k、X1m）之輸出中的一者。多工器 Mn 可選擇各自與平行搜尋暫存器 Rnj、Rnk 以及 Rnm 連接之平行搜尋乘法器（例如，乘法器 Xpsn、Xnj、Xnk、Xnm）之輸出中的一者。多工器 M1 至 Mn 之輸出可分別提供至延遲器 D1 至 Dn。

平行搜尋邏輯 441 至 441m 可搜尋讀取向量 RV 之不同的錯誤位置。平行搜尋邏輯 441 至 441m 可並行地（或同時）搜尋多個錯誤位置。錢氏搜尋單元 440 之平行搜尋邏輯 441 至 441m 可根據控制單元 470 之控制而啟動或不啟動。錢氏搜尋單元 440 可根據控制單元 470 之控制調整待同時搜尋之讀取向量的位元之數目。亦即，錢氏搜尋單元 440 可藉由在全搜尋模式、半搜尋模式或四分之一搜尋模式中操作而調整待搜尋之讀取向量的位元之數目，如下文詳細論述。錢氏搜尋單元 440 可根據控制單元 470 之控制調整每循環功率消耗或最大校正時間。下文中，將更全面地描述錢氏搜尋單元 440 之操作。

全搜尋模式

當錢氏搜尋單元 440 在全搜尋模式中操作時，平行搜尋邏輯 441j 中之四分之一多工器 MQ1 至 MQn 可經控制以選擇係數多工器 MC1 至 MCn 的輸出。平行搜尋邏輯 441k 中之半多工器 MH1 至 MHn 可經控制以選擇係數多工器 MC1 至 MCn 的輸出。平行搜尋邏輯 441m 中之全多工器 MF1 至 MFn 可經控制以選擇係數多工器 MC1 至 MCn 的輸出。多工器 M1 至 Mn 可選擇平行搜尋邏輯 441m 中之平行搜尋多工器的輸出。

在第一循環處，係數多工器 MC1 至 MCn 可經控制以選擇乘法器（例如，乘法器 X1, X2, …, Xn）之輸出。係數多工器 MC1 至 MCn 之輸出可傳送至平行搜尋邏輯 441 至 441m。此時，平行搜尋邏輯 441 至 441m 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 1 中。

表 1

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-c}\alpha+\Lambda_2\alpha^{-2c}\alpha^2+\cdots+\Lambda_n\alpha^{-nc}\alpha^n$ $=\Lambda_1\alpha^{-(c-1)}+\Lambda_2\alpha^{-2(c-1)}+\cdots+\Lambda_n\alpha^{-n(c-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-c}\alpha^j+\Lambda_2\alpha^{-2c}\alpha^{2j}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nj}$ $=\Lambda_1\alpha^{-(c-j)}+\Lambda_2\alpha^{-2(c-j)}+\cdots+\Lambda_n\alpha^{-n(c-j)}$
Λk(441k)	$\Lambda j = \Lambda_1\alpha^{-c}\alpha^k+\Lambda_2\alpha^{-2c}\alpha^{2k}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nk}$ $=\Lambda_1\alpha^{-(c-k)}+\Lambda_2\alpha^{-2(c-k)}+\cdots+\Lambda_n\alpha^{-n(c-k)}$
Λm(441m)	$\Lambda k = \Lambda_1\alpha^{-c}\alpha^m+\Lambda_2\alpha^{-2c}\alpha^{2m}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nm}$ $=\Lambda_1\alpha^{-(c-m)}+\Lambda_2\alpha^{-2(c-m)}+\cdots+\Lambda_n\alpha^{-n(c-m)}$

可藉由將 $\alpha^{-(c-1)}$ 代入錯誤位置多項式 Λ(x) 中來獲得平行搜尋邏輯 441 之輸出 Λ1。平行搜尋邏輯 441 可搜尋讀取

向量 RV 之第(c-1)個位元是否為錯誤的。詳言之，平行搜尋邏輯 441 可偵測存在於自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV）之末端的第一位元處的錯誤。當平行搜尋邏輯 441 之輸出 Λ1 為-Λ_1 時，其可指示錯誤存在。

可藉由將 $\alpha^{-(c-j)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441j 之輸出 Λj。平行搜尋邏輯 441j 可搜尋讀取向量 RV 之第(c-j)個位元是否為錯誤的。詳言之，平行搜尋邏輯 441j 可偵測存在於自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV 部分）之末端的第 j 個位元處的錯誤。當平行搜尋邏輯 441 之輸出 Λj 為-Λ_1 時，其可指示錯誤存在。

可藉由將 $\alpha^{-(c-k)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441k 之輸出 Λk。平行搜尋邏輯 441k 可搜尋讀取向量 RV 之第(c-k)個位元是否為錯誤的。詳言之，平行搜尋邏輯 441k 可偵測存在於自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV 部分）之末端的第 k 個位元處的錯誤。當平行搜尋邏輯 441m 之輸出 Λk 為-Λ_1 時，其可指示錯誤存在。

可藉由將 $\alpha^{-(c-m)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441m 之輸出 Λm。平行搜尋邏輯 441m 可搜尋讀取向量 RV 之第(c-m)個位元是否為錯誤的。詳言之，平行搜尋邏輯 441m 可偵測存在於自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量

RDV 部分）之末端的第 m 個位元處的錯誤。當平行搜尋邏輯 441m 之輸出 Λm 為-Λ_1 時，其可指示錯誤存在。

在全搜尋模式之第一循環期間，平行搜尋邏輯 441 至 441m 可同時搜尋自讀取向量 RV 之資料部分之末端的第 1 個、第 j 個、第 k 個以及第 m 個位元為錯誤的。

在第二循環處，係數多工器 MC1 至 MCn 可選擇延遲器 D1 至 Dn 之輸出。亦即，平行搜尋邏輯 441m 中之平行搜尋暫存器 R1m 至 Rnm 的輸出可與在第一循環處之平行搜尋邏輯 441m 中之平行搜尋乘法器 X1m 至 Xnm 的輸出相乘。此時，錢氏搜尋單元 440 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 2 中。

表 2

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-(c-m)}\alpha + \Lambda_2\alpha^{-2(c-m)}\alpha^2 + \cdots + \Lambda_n\alpha^{-n(c-m)}\alpha^n$ $= \Lambda_1\alpha^{-(c-m-1)} + \Lambda_2\alpha^{-2(c-m-1)} + \cdots + \Lambda_n\alpha^{-n(c-m-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-(c-m)}\alpha^j + \Lambda_2\alpha^{-2(c-m)}\alpha^{2j} + \cdots + \Lambda_n\alpha^{-n(c-m)}\alpha^{nj}$ $= \Lambda_1\alpha^{-(c-m-j)} + \Lambda_2\alpha^{-2(c-m-j)} + \cdots + \Lambda_n\alpha^{-n(c-m-j)}$
Λk(441k)	$\Lambda j = \Lambda_1\alpha^{-(c-m)}\alpha^k + \Lambda_2\alpha^{-2(c-m)}\alpha^{2k} + \cdots + \Lambda_n\alpha^{-n(c-m)}\alpha^{nk}$ $= \Lambda_1\alpha^{-(c-m-k)} + \Lambda_2\alpha^{-2(c-m-k)} + \cdots + \Lambda_n\alpha^{-n(c-m-k)}$
Λm(441m)	$\Lambda k = \Lambda_1\alpha^{-(c-m)}\alpha^m + \Lambda_2\alpha^{-2(c-m)}\alpha^{2m} + \cdots + \Lambda_n\alpha^{-n(c-m)}\alpha^{nm}$ $= \Lambda_1\alpha^{-(c-2m)} + \Lambda_2\alpha^{-2(c-2m)} + \cdots + \Lambda_n\alpha^{-n(c-2m)}$

可藉由將 $\alpha^{-(c-m-1)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441 之輸出 Λ1。平行搜尋邏輯 441 可搜尋讀取向量 RV 之第(m+1)個位元以判定其是否為錯誤的。

可藉由將$\alpha^{-(c-m-j)}$代入錯誤位置多項式Λ(x)中來獲得平行搜尋邏輯 441j 之輸出 Λj。平行搜尋邏輯 441j 可搜尋讀

取向量 RV 之第(m+j)個位元以判定其是否為錯誤的。

可藉由將 $\alpha^{-(c-m-k)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441k 之輸出 Λk。平行搜尋邏輯 441k 可搜尋讀取向量 RV 之第(m+k)個位元以判定其是否為錯誤的。

可藉由將 $\alpha^{-(c-2m)}$代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441m 之輸出 Λm。平行搜尋邏輯 441m 可搜尋讀取向量 RV 之第 2m 個位元以判定其是否為錯誤的。

如上文所述，在第一循環期間，自讀取向量 RV 之資料部分之末端的第 1 個、第 j 個、第 k 個以及第 m 個位元可經搜尋以判定在讀取向量 RV 之此等位元中是否存在錯誤。在第二循環期間，自讀取向量 RV 之資料部分之末端的第(m+1)個、第(m+j)個、第(m+k)個以及第 2m 個位元可經搜尋以判定在讀取向量 RV 之此等位元中是否存在錯誤。

半搜尋模式

當錢氏搜尋單元在半搜尋模式中操作時，平行搜尋邏輯 441j 中之四分之一多工器 MQ1 至 MQn 以及半多工器 MH1 至 MHn 可選擇係數多工器 MC1 至 MCn 的輸出。平行搜尋邏輯 441m 中之全多工器 MF1 至 MFn 可輸出零值。若平行搜尋邏輯 441m 中之全多工器 MF1 至 MFn 輸出零值，則平行搜尋邏輯 441m 中之平行搜尋乘法器可輸出零值。亦即，可能不啟動平行搜尋邏輯 441m。由於不啟動平行搜尋邏輯 441m，因此錢氏搜尋單元 440 之功率消耗可得以最小化。

當錢氏搜尋單元 440 在半搜尋模式中操作時，多工器 M1 至 Mn 可選擇平行搜尋邏輯 441k 中之平行搜尋乘法器 X1k 至 Xnk 的輸出。

在第一循環處，係數多工器 MC1 至 MCn 可選擇乘法器 X1k 至 Xnk 之輸出。在半搜尋模式下之第一循環的輸出可相等於在全搜尋模式下之第一循環的輸出，除了不啟動平行搜尋邏輯 441m 以外。在第一循環處，平行搜尋邏輯 441 至 441m 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 3 中。

表 3

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-c}\alpha+\Lambda_2\alpha^{-2c}\alpha^2+\cdots+\Lambda_n\alpha^{-nc}\alpha^n$ $=\Lambda_1\alpha^{-(c-1)}+\Lambda_2\alpha^{-2(c-1)}+\cdots+\Lambda_n\alpha^{-n(c-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-c}\alpha^j+\Lambda_2\alpha^{-2c}\alpha^{2j}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nj}$ $=\Lambda_1\alpha^{-(c-j)}+\Lambda_2\alpha^{-2(c-j)}+\cdots+\Lambda_n\alpha^{-n(c-j)}$
Λk(441k)	$\Lambda j = \Lambda_1\alpha^{-c}\alpha^k+\Lambda_2\alpha^{-2c}\alpha^{2k}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nk}$ $=\Lambda_1\alpha^{-(c-k)}+\Lambda_2\alpha^{-2(c-k)}+\cdots+\Lambda_n\alpha^{-n(c-k)}$
Λm(441m)	0

在半搜尋模式之第一循環期間，錢氏搜尋單元 440 可搜尋自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV）之末尾的第 1 個、第 j 個、第 k 個以及第 m 個位元之錯誤。

在第二循環處，係數多工器 MC1 至 MCn 可選擇延遲器 D1 至 Dn 之輸出。亦即，平行搜尋邏輯 441k 中之平行搜尋暫存器 R1k 至 Rnk 的輸出可分別與在第一循環處之平行搜尋邏輯 441k 中之平行搜尋乘法器 X1k 至 Xnk 的輸出

相乘。此時，錢氏搜尋單元 440 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 4 中。

表 4

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-(c-k)}\alpha + \Lambda_2\alpha^{-2(c-k)}\alpha^2 + \cdots + \Lambda_n\alpha^{-n(c-k)}\alpha^n$ $= \Lambda_1\alpha^{-(c-k-1)} + \Lambda_2\alpha^{-2(c-k-1)} + \cdots + \Lambda_n\alpha^{-n(c-k-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-(c-k)}\alpha^j + \Lambda_2\alpha^{-2(c-k)}\alpha^{2j} + \cdots + \Lambda_n\alpha^{-n(c-k)}\alpha^{nj}$ $= \Lambda_1\alpha^{-(c-k-j)} + \Lambda_2\alpha^{-2(c-k-j)} + \cdots + \Lambda_n\alpha^{-n(c-k-j)}$
Λk(441k)	$\Lambda j = \Lambda_1\alpha^{-(c-k)}\alpha^k + \Lambda_2\alpha^{-2(c-k)}\alpha^{2k} + \cdots + \Lambda_n\alpha^{-n(c-k)}\alpha^{nk}$ $= \Lambda_1\alpha^{-(c-2k)} + \Lambda_2\alpha^{-2(c-2k)} + \cdots + \Lambda_n\alpha^{-n(c-2k)}$
Λm(441m)	0

可藉由將 $\alpha^{-(c-k-1)}$ 代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441 之輸出 Λ1。平行搜尋邏輯 441 可搜尋讀取向量 RV 之第(k+1)個位元以判定其是否為錯誤的。

可藉由將 $\alpha^{-(c-k-j)}$ 代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441j 之輸出 Λj。平行搜尋邏輯 441j 可搜尋讀取向量 RV 之第(k+j)個位元以判定其是否為錯誤的。

可藉由將 $\alpha^{-(c-2k)}$ 代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441k 之輸出 Λk。平行搜尋邏輯 441k 可搜尋讀取向量 RV 之第 2k 個位元以判定其是否為錯誤的。

如上文所述，在第一循環期間，可搜尋自讀取向量 RV 之資料部分之末端的第 1 個、第 j 個以及第 k 個位元是否為錯誤的。在第二循環期間，可搜尋自讀取向量 RV 之資料部分之末端的第(m+1)個、第(k+j)個以及第 2k 個位元以判定其是否為錯誤的。亦即，當在半搜尋模式中操作時，錢氏搜尋單元 440 可同時搜尋 k 個位元。

在本一般發明性概念之例示性實施例中，一或多個平行搜尋邏輯可提供於平行搜尋邏輯 441k 與 441m 之間。當不啟動平行搜尋邏輯 441m 時，可能不啟動在平行搜尋邏輯 441k 與 441m 之間的一或多個平行搜尋邏輯。

在本一般發明性概念之例示性實施例中，搜尋容量可為全搜尋模式之搜尋容量的一半。亦即，與全搜尋模式相比，半搜尋模式之搜尋容量可減半。在半搜尋模式中操作時由錢氏搜尋單元 440 在一循環期間同時搜尋的讀取向量之資料部分之位元的數目可為在全搜尋模式中操作之錢氏搜尋單元 440 在一循環期間同時搜尋的讀取向量之資料部分的位元之數目的一半。

在錢氏搜尋單元 440 在半搜尋模式中操作時所啟動之平行搜尋邏輯的數目可小於在錢氏搜尋單元 440 在全搜尋模式中操作時所啟動之平行搜尋邏輯的數目。因此，半搜尋模式之每循環功率消耗可小於全搜尋模式之每循環功率消耗。

四分之一搜尋模式

當錢氏搜尋單元 440 在四分之一搜尋模式中操作時，平行搜尋邏輯 441j 中之四分之一多工器 MQ1 至 MQn 可選擇係數多工器 MC1 至 MCn 的輸出。平行搜尋邏輯 441k 中之半多工器 MH1 至 MHn 以及平行搜尋邏輯 441m 中之全多工器 MF1 至 MFn 可輸出零值。若平行搜尋邏輯 441k 中之半多工器 MH1 至 MHn 以及平行搜尋邏輯 441m 中之全多工器 MF1 至 MFn 可輸出零值，則平行搜尋邏輯 441k

以及 441m 中之平行搜尋乘法器 X1k 至 Xnk 以及 X1m 至 Xnm 可輸出零值。亦即，可能不啟動平行搜尋邏輯 441k 以及 441m。由於不啟動平行搜尋邏輯 441k 以及 441m，因此藉由錢氏搜尋單元 440 之功率消耗可得以最小化。

當錢氏搜尋單元 440 在四分之一搜尋模式中操作時，多工器 M1 至 Mn 可選擇平行搜尋邏輯 441j 中之平行搜尋乘法器 X1j 至 Xnj 的輸出。

在第一循環處，係數多工器 MC1 至 MCn 可選擇乘法器（例如，乘法器 X1j 至 Xnj）之輸出。在四分之一搜尋模式下之第一循環的輸出可相等於在全搜尋模式下之第一循環的輸出，除了不啟動平行搜尋邏輯 441k 以及 441m 以外。在第一循環處，平行搜尋邏輯 441 至 441m 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 5 中。

表 5

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-c}\alpha+\Lambda_2\alpha^{-2c}\alpha^2+\cdots+\Lambda_n\alpha^{-nc}\alpha^n$ $=\Lambda_1\alpha^{-(c-1)}+\Lambda_2\alpha^{-2(c-1)}+\cdots+\Lambda_n\alpha^{-n(c-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-c}\alpha^j+\Lambda_2\alpha^{-2c}\alpha^{2j}+\cdots+\Lambda_n\alpha^{-nc}\alpha^{nj}$ $=\Lambda_1\alpha^{-(c-j)}+\Lambda_2\alpha^{-2(c-j)}+\cdots+\Lambda_n\alpha^{-n(c-j)}$
Λk(441k)	0
Λm(441m)	0

在四分之一搜尋模式之第一循環期間，錢氏搜尋單元 440 可搜尋自讀取向量 RV 之資料部分（例如，圖 4 中所說明之讀取向量 RV 的讀取資料向量 RDV）之末尾的第 1 個以及第 j 個位元之錯誤。

在第二循環處，係數多工器 MC1 至 MCn 可選擇延遲器 D1 至 Dn 之輸出。亦即，平行搜尋邏輯 441j 中之平行搜尋暫存器 R1j 至 Rnj 的輸出可與在第一循環處之平行搜尋邏輯 441j 中之平行搜尋乘法器 X1j 至 Xnj 的輸出相乘。此時，錢氏搜尋單元 440 之輸出 Λ1、Λj、Λk 以及 Λm 可說明於下表 6 中。

表 6

Λ1(441)	$\Lambda 1 = \Lambda_1\alpha^{-(c-j)}\alpha + \Lambda_2\alpha^{-2(c-j)}\alpha^2 + \cdots + \Lambda_n\alpha^{-n(c-j)}\alpha^n$ $= \Lambda_1\alpha^{-(c-j-1)} + \Lambda_2\alpha^{-2(c-j-1)} + \cdots + \Lambda_n\alpha^{-n(c-j-1)}$
Λj(441j)	$\Lambda i = \Lambda_1\alpha^{-(c-j)}\alpha^j + \Lambda_2\alpha^{-2(c-j)}\alpha^{2j} + \cdots + \Lambda_n\alpha^{-n(c-j)}\alpha^{nj}$ $= \Lambda_1\alpha^{-(c-2j)} + \Lambda_2\alpha^{-2(c-2j)} + \cdots + \Lambda_n\alpha^{-n(c-2j)}$
Λk(441k)	0
Λm(441m)	0

可藉由將 $\alpha^{-(c-j-1)}$ 代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441 之輸出 Λ1。平行搜尋邏輯 441 可搜尋讀取向量 RV 之第(j+1)個位元是否為錯誤的。

可藉由將 $\alpha^{-(c-2j)}$ 代入錯誤位置多項式 Λ(x)中來獲得平行搜尋邏輯 441j 之輸出 Λj。平行搜尋邏輯 441j 可搜尋讀取向量 RV 之第 2j 個位元是否為錯誤的。

如上文所述，在第一循環期間，可搜尋自讀取向量 RV 之資料側之末端的第 1 個以及第 j 個位元以判定其是否為錯誤的。在第二循環期間，可搜尋自讀取向量 RV 之資料側之末端的第(j+1)個以及第 2j 個位元以判定其是否為錯誤的。亦即，在四分之一搜尋模式下，錢氏搜尋單元 440

可同時搜尋 j 個位元。

在本一般發明性概念之例示性實施例中，一或多個平行搜尋邏輯可提供於平行搜尋邏輯 441j 與 441k 之間。當不啟動平行搜尋邏輯 441k 時，可能不啟動在平行搜尋邏輯 441j 與 441k 之間的一或多個平行搜尋邏輯。

在本一般發明性概念之例示性實施例中，四分之一搜尋模式之搜尋容量與半搜尋模式相比可減半。在四分之一搜尋模式中操作時由錢氏搜尋單元 440 在一循環期間同時搜尋的讀取向量之資料部分之位元的數目可為在全搜尋模式中操作之錢氏搜尋單元 440 在一循環期間同時搜尋的讀取向量之資料部分的位元之數目的四分之一。

在四分之一搜尋模式下所啟動之平行搜尋邏輯的數目可小於在半搜尋模式下所啟動之平行搜尋邏輯的數目。因此，在四分之一搜尋模式中操作之錢氏搜尋單元 440 的每循環功率消耗可小於半搜尋模式的每循環功率消耗。

可根據讀取向量 RV 之錯誤的數目調整待藉由錢氏搜尋單元 440 同時搜尋之位元的數目。舉例而言，可藉由用（例如）圖 6 中所說明之控制單元 470 控制錢氏搜尋單元 440 而調整待在讀取向量 RV 中同時搜尋之位元的數目，以便在全搜尋模式、半搜尋模式，或四分之一搜尋模式，或所要之任何其他所判定搜尋模式中操作。由於待同時搜尋之位元的數目由錢氏搜尋單元 440 調整，因此每循環功率消耗可得以調整。

圖 11 為說明根據四分之一、半以及全操作模式之錢

氏搜尋單元之操作的圖。參看圖 11，當錢氏搜尋單元 440 在四分之一操作模式（亦即，四分之一搜尋模式）中操作時，可自讀取向量 RV 之資料部分（例如，圖 4 及圖 11 中所說明之讀取向量 RV 的讀取資料向量 RDV 部分）之末端按 j 位元單位來執行錢氏搜尋。當錢氏搜尋單元 440 在半操作模式（亦即，半搜尋模式）中操作時，可自讀取向量 RV 之資料部分之末端按 k 位元單位執行錢氏搜尋。當錢氏搜尋單元 440 在全操作模式（亦即，全搜尋模式）中操作時，可自讀取向量 RV 之資料部分之末端按 m 位元單位執行錢氏搜尋。

根據本一般發明性概念之例示性實施例的錢氏搜尋單元 440 可自讀取向量 RV 之資料部分（例如，圖 4 及圖 11 中所說明之讀取向量 RV 的讀取資料向量 RDV 部分）之末端起搜尋錯誤。亦即，錢氏搜尋單元 440 可按前向錢氏搜尋方式操作。若執行前向錢氏搜尋，則可自讀取向量 RV 之資料部分之末端起順序地判定且校正錯誤位置。

圖 12 為說明根據本一般發明性概念之例示性實施例之錢氏搜尋操作模式判定方法的流程圖。參看圖 6、圖 10 及圖 12，操作 S710 判定所偵測錯誤之數目是否低於第一錯誤數目 EN1。若所偵測錯誤之數目低於第一錯誤數目 EN1，則在操作 S720 中，可啟動全操作模式（或全搜尋模式）。亦即，錢氏搜尋單元 440 可在全搜尋模式中操作。當所偵測錯誤之數目低於第一錯誤數目 EN1 時，控制單元 470 可控制錢氏搜尋單元 440 之四分之一多工器 MQ1 至

MQn、半多工器 MH1 至 MHn 以及全多工器 MF1 至 MFn 以便選擇係數多工器 MC1 至 MCn 的輸出。在控制單元 470 之控制下，多工器 M1 至 Mn 可選擇平行搜尋邏輯 441m 中之平行搜尋乘法器 R1m 至 Rnm 的輸出。

若所偵測錯誤之數目大於第一錯誤數目 EN1，則可執行操作 S730，其中判定所偵測錯誤之數目是否低於第二錯誤數目 EN2。若所偵測錯誤之數目小於或等於第二錯誤數目 EN2，則可在操作 S740 中啟動半操作模式（或半搜尋模式）。亦即，錢氏搜尋單元 440 可在操作 S740 處在半搜尋模式中操作。當所偵測錯誤之數目小於或等於第二錯誤數目 EN2 時，控制單元 470 可控制錢氏搜尋單元 440 之四分之一多工器 MQ1 至 MQn 以及半多工器 MH1 至 MHn，以便選擇係數多工器 MC1 至 MCn 以及全多工器 MF1 至 MFn 的輸出來輸出零值。在控制單元 470 之控制下，多工器 M1 至 Mn 可選擇平行搜尋邏輯 441k 中之平行搜尋乘法器 X1k 至 Xnk 的輸出。

若所偵測錯誤之數目大於第二錯誤數目 EN2，則可在操作 S750 處執行四分之一操作模式（或四分之一搜尋模式）。控制單元 470 可控制四分之一多工器 MQ1 至 MQn 以便選擇係數多工器 MC1 至 MCn 之輸出，且可控制半多工器 MH1 至 MHn 以及全多工器 MF1 至 MFn 以便輸出零值。在控制單元 470 之控制下，多工器 M1 至 Mn 可選擇平行搜尋邏輯 441j 中之平行搜尋乘法器 X1j 至 Xnj 的輸出。

在本一般發明性概念之例示性實施例中，第二錯誤數目 EN2 可大於（亦即，大於）第一錯誤數目 EN1。亦即，隨著讀取向量 RV 中之錯誤的數目增加，控制單元 470 可減小待在錢氏搜尋單元 440 中啟動之平行搜尋邏輯的數目。隨著讀取向量 RV 中之錯誤的數目增加，錢氏搜尋單元 440 之每循環功率消耗可降低。

在本一般發明性概念之例示性實施例中，第一錯誤數目 EN1 可為圖 1 及圖 6 中之 ECC 解碼器 400 之錯誤校正位元數目的四分之一。第二錯誤數目 EN2 可為 ECC 解碼器 400 之錯誤校正位元數目的一半。

在操作 S710 至 S750 中，可根據所偵測錯誤之數目來選擇全操作模式、半操作模式或四分之一操作模式。由於同時搜尋之位元的數目根據全操作模式、半操作模式以及四分之一操作模式可為有差異的，因此可調整每循環功率消耗。操作 S710 至 S750 可構成參看圖 9 所述之操作 S610 以及 S620 的部分或全部。

圖 13 為說明根據本一般發明性概念之例示性實施例的判定錢氏搜尋時之同位搜尋之方法的流程圖。亦即，圖 13 說明判定是否應在讀取向量 RV 之錢氏搜尋期間搜尋讀取向量之同位資訊（例如，圖 4 中所說明之讀取向量 RV 的讀取同位向量 RPV）的方法。此方法可判定讀取向量之讀取資料部分是否可被搜尋，或讀取向量之讀取資料以及同位資料是否可被搜尋。參看圖 6 及圖 13，操作 S810 可判定所偵測及/或所估計錯誤之數目是否小於或等於第二

臨限值 TV2。若所偵測錯誤之數目小於或等於第二臨限值 TV2，則在操作 S820 中，可執行對讀取向量 RV 之資料部分的錢氏搜尋且可跳過對讀取向量 RV 之同位部分的錢氏搜尋。若所偵測錯誤之數目大於第二臨限值 TV2，則可在操作 S830 中執行對讀取向量 RV 之資料以及同位部分的錢氏搜尋。如圖 4 及圖 11 中所說明，讀取向量 RV 可包含讀取資料向量 RDV 以及讀取同位向量 PRV 部分。亦即，當讀取向量 RV 之錯誤的數目小於或等於第二臨限值時，可對讀取向量 RV 之資料部分執行錢氏搜尋，且當讀取向量之錯誤的數目大於第二臨限值時，可對讀取向量 RV 之資料部分以及同位部分兩者執行錢氏搜尋。

當所偵測錯誤之數目小於或等於第二臨限值 TV2（例如，如在圖 13 中所說明之操作 S810 處所判定及上文所述）時，控制單元 470 可控制錢氏搜尋單元 440 以便對讀取向量 RV 之資料部分執行前向錢氏搜尋。當所偵測錯誤之數目大於第二臨限值 TV2 時，控制單元 470 可控制錢氏搜尋單元 440 以便對讀取向量 RV 之資料以及同位部分執行錢氏搜尋。

圖 11 說明對讀取向量 RV 之資料（亦即，讀取資料向量 RDV）以及同位部分（亦即，讀取同位向量 RPV）執行錢氏搜尋。圖 14 說明在跳過對讀取向量 RV 之同位部分的錢氏搜尋時（亦即，在讀取資料向量 RDV 被搜尋，且讀取同位向量 RPV 未被搜尋之情況下）根據四分之一、半以及全操作模式之錢氏搜尋單元的操作。

與圖 11 相比，可能不執行對讀取向量之同位部分的錢氏搜尋，如圖 14 中所說明。舉例而言，在四分之一、半以及全操作模式下，可跳過對讀取向量 RV 之同位部分（亦即，讀取同位向量 RPV）的錢氏搜尋。

當錯誤位置多項式 $\Lambda(x)$之最高次數的指數 Λ_n 為 '0' 時，讀取向量 RV 中之錯誤的數目可相等於或小於(n-1)（亦即，Λ_{n-1}），如上文結合圖 8 所述。亦即，當錯誤位置多項式 $\Lambda(x)$之最高次數的指數 Λ_n 為 '0' 時，可自讀取向量 RV 獲得經錯誤校正之讀取資料向量，但對讀取向量 RV 之資料部分而非讀取向量 RV 的同位部分執行錢氏搜尋。

當錯誤位置多項式 $\Lambda(x)$之最高次數的指數 Λ_n 為非零的時，讀取向量 RV 中之錯誤的數目可相等於或大於 n（其中 n 為上文結合圖 8 所論述之變數）。可執行對讀取向量 RV 之錢氏搜尋，且在本一般發明性概念之例示性實施例中，可執行額外錯誤偵測以及校正操作。

當錯誤位置多項式 $\Lambda(x)$之最高次數的指數 Λ_n 為 '0' 時，亦即，當錯誤能夠藉由經由錢氏搜尋所執行之對讀取向量 RV 之資料部分的錯誤搜尋而校正時，可跳過對讀取向量 RV 之同位部分的錢氏搜尋。可藉由跳過對讀取向量 RV 之同位部分的錢氏搜尋而減小在錢氏搜尋時所消耗的功率以及執行錢氏搜尋所花費的時間。錯誤位置多項式 $\Lambda(x)$之最高次數的指數 Λ_n 可用以判定是否跳過讀取向量 RV 之讀取同位向量 RPV 的錢氏搜尋。亦即，在本一般發明性概念之例示性實施例中，錯誤位置多項式 $\Lambda(x)$之最高

次數的指數 Λ_n 可判定：是否如圖 11 中所說明而執行錢氏搜尋，其中讀取向量 RV 之讀取資料向量 RDV 以及同位資料向量 RPV 兩者被搜尋；或是否如圖 14 中所說明而執行錢氏搜尋，其中僅讀取向量 RV 之讀取資料向量 RDV 被搜尋。

可提供裕度以改良 ECC 解碼器 400 之可靠性。舉例而言，第二臨限值 TV2 可設定為 3。亦即，當錯誤位置多項式 $\Lambda(x)$之三個最高項的指數 Λ_n、Λ_{n-1} 以及 Λ_{n-2} 為 '0' 時，可跳過對讀取向量 RV 之同位部分的錢氏搜尋。第二臨限值 TV2 不限於 3，且任何合適之臨限數目可經選擇以便執行本文所揭露之本一般發明性概念的例示性實施例。可根據各種條件（諸如，ECC 解碼器 400 之結構、其可靠性，以及其類似者）來改變第二臨限值 TV2。

圖 15 以及圖 15A 為說明在本一般發明性概念之例示性實施例中的根據錯誤之數目之錯誤校正解碼循環的圖。在圖 15 及圖 15A 兩者中，水平軸線可指示讀取向量 RV 之錯誤的數目，且垂直軸線可指示錯誤校正解碼循環。如圖 15 中所說明之變數 n 可對應於 ECC 解碼器 400 之最大錯誤校正位元數目。

第一線 L1 可說明用以計算錯誤位置多項式 $\Lambda(x)$之循環的數目。如參看圖 8 所述，錯誤位置多項式 $\Lambda(x)$之計算可以迭代方式執行，且可在特定條件被滿足時結束。舉例而言，如圖 8 中所說明，當零計數（亦即，次數 Λ_n 為零）大於或等於臨限值時，錯誤位置多項式 $\Lambda(x)$之計算可結

束。用以執行錯誤位置多項式 Λ(x)之計算的循環可根據讀取向量 RV 之錯誤之數目的增加而增加，如藉由圖 15 之第一線 L1 以及圖 15A 之“Min”線所說明，其說明錯誤之數目與錯誤校正解碼循環之數目之間的線性關係。

第二線 L2 可說明用以執行錢氏搜尋之循環的數目。在本一般發明性概念之例示性實施例中，當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4，其中 n 為 ECC 解碼器 400 之最大錯誤校正位元數目；參見下表 7）時，可藉由在全操作模式（或全搜尋模式）中之錢氏搜尋單元 440 執行錢氏搜尋。當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，如下表 7 中所說明之 n/4）且低於第二錯誤數目 EN2（例如，n/2，如下表 7 中所說明）時，可藉由在半操作模式（或半搜尋模式）中操作的錢氏搜尋單元 440 執行錢氏搜尋。當讀取向量 RV 之錯誤的數目大於第二錯誤數目 EN2（例如，n/2）且低於 n（亦即，ECC 解碼器 400 的最大錯誤校正位元數目）時，可藉由在四分之一操作模式（或四分之一搜尋模式）中操作的錢氏搜尋單元 440 執行錢氏搜尋。隨著讀取向量 RV 之錯誤的數目增加，用以執行錢氏搜尋之循環的數目亦可增加。

如圖 15A 中所說明，當讀取向量 RV 之錯誤的數目低於上文所述之第一錯誤數目 EN1（例如，數目 32，如圖 15A 中所說明）時，可藉由在全操作模式（或全搜尋模式）中的錢氏搜尋單元 440 執行錢氏搜尋。舉例而言，可執行 32 位元錢氏搜尋，如藉由圖 15A 中所說明之“Max(1)”線

所說明。當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，如圖 15A 中所說明之數目 32）且低於第二錯誤數目 EN2（例如，如圖 15A 中所說明之數目 48）時，可藉由在半操作模式（或半搜尋模式）中操作的錢氏搜尋單元 440 執行錢氏搜尋，如藉由圖 15A 中之“Max(2)”線所說明。由於選擇半搜尋模式，因此可執行 16 位元錢氏搜尋（亦即，其中 16 個位元為結合“Max(1)”線所說明及描述之 32 位元全搜尋的一半）。當讀取向量 RV 之錯誤的數目大於第二錯誤數目 EN2（例如，如圖 15A 中所說明之數目 48）且低於 n（亦即，ECC 解碼器 400 的最大錯誤校正位元數目，其為如圖 15A 中所說明之數目 64）時，可藉由在四分之一操作模式（或四分之一搜尋模式）中操作的錢氏搜尋單元 440 執行錢氏搜尋。亦即，8 位元錢氏搜尋可藉由在四分之一操作模式中操作之錢氏搜尋單元 440 執行（亦即，其中 8 個位元為全操作模式之 32 位元搜尋的四分之一）。隨著讀取向量 RV 之錯誤的數目增加，用以執行錢氏搜尋之循環的數目亦可增加。亦即，如圖 15A 中所說明，錯誤校正解碼循環之數目在“Max(1)”線與“Max(3)”線之間增加。

圖 15 中所說明之第三線 L3 可說明控制器 200 之資料輸入/輸出循環。當讀取向量 RV 之錯誤的數目小於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時，錯誤位置多項式 $\Lambda(x)$ 之計算循環以及錢氏搜尋循環可設定為小於資料輸入/輸

出循環。當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時，錯誤位置多項式 Λ(x)之計算循環以及錢氏搜尋循環可設定為大於資料輸入/輸出循環。

舉例而言，當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時，KES 單元 430 可操作以使得錯誤位置多項式 Λ(x)之計算循環被設定為相等於或小於資料輸入/輸出循環。錯誤位置多項式 Λ(x)之計算速度可相等於或快於資料輸入/輸出速度。亦即，當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4）時，可支援“運作中（on-the-fly）”模式（在圖 15 及圖 15A 中藉由“運作中”線所說明），使得錯誤校正速度繫結至錯誤位置多項式 Λ(x)的計算速度，如下文結合圖 16 詳細論述。亦即，“運作中”指代可在計算校正子 S(x)、計算錯誤位置多項式，以及執行錢氏搜尋時不存在延遲的情況下發生讀取向量之錯誤校正，隨後讀取向量可經錯誤校正且經錯誤校正之資料向量 CDV 可自控制器 200 輸出。如圖 16 中所說明，在運作中模式中，在無延遲之情況下，緊接在錯誤位置多項式之計算之後執行讀取向量的錯誤校正。

當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時，KES 單元 430 可相對於資料輸入

/輸出循環之數目增加操作循環的數目。若 KES 單元 430 在讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時支援運作中模式，則可減小 KES 單元 430 的閘計數。

舉例而言，當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）時，錢氏搜尋單元 440 可在全操作模式（或如藉由圖 15A 中所說明之 “Max(1)” 線所說明的全搜尋模式）中操作。在全操作模式中，錢氏搜尋單元 440 可操作以使得用以執行錢氏搜尋之循環的數目與資料輸入/輸出循環的數目相同（亦即，等於其，其中如圖 15A 中所說明 Min = Max）或小於資料輸入/輸出循環的數目。此時，錢氏搜尋速度可與資料輸入/輸出速度相同、快於或慢於其。亦即，當讀取向量 RV 之錯誤的數目小於第一錯誤數目 EN1（例如，n/4；參見下表 7）時，可支援運作中模式以使得錯誤校正速度繫結至錯誤位置多項式 Λ(x)的計算速度。在本一般發明性概念之例示性實施例中，錯誤校正可與錯誤位置多項式 Λ(x)之計算相關，其中可在錯誤位置多項式 Λ(x)之計算之後執行錯誤校正。

當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，n/4，如下表 7 中所說明；且其中 EN1 為如圖 15A 中所說明之數目 32）且小於第二錯誤數目 EN2（例如，n/2，如下表 7 中所說明；且其中 EN2 為如圖 15A 中所說明之

數目 48）時，錢氏搜尋單元 440 可在半操作模式中執行錢氏搜尋。如藉由圖 15A 中之線 “Max(2)” 所說明，可藉由錢氏搜尋單元 440 執行 16 位元錢氏搜尋。當讀取向量 RV 之錯誤的數目大於第二錯誤數目 EN2（例如，如下表 7 中所說明之 n/2；且其中 EN2 為如圖 15A 中所說明之數目 48）且低於 n（例如，其中 n 為 ECC 解碼器 400 之最大錯誤校正位元數目，且為如圖 15A 中所說明之數目 64；參見下表 7）時，錢氏搜尋單元 440 可在四分之一操作模式中執行錢氏搜尋。如圖 15A 中所說明，錢氏搜尋單元 440 可在四分之一操作模式中操作以執行 8 位元錢氏搜尋，如藉由線 Max(3)所說明。亦即，隨著讀取向量 RV 之錯誤的數目超過臨限值，錢氏搜尋單元 440 之每循環功率消耗可順序地降低。

可根據讀取向量 RV 之錯誤的數目跳過對讀取向量 RV 之同位部分（例如，讀取向量 RV 之讀取同位向量 RPV）的錢氏搜尋。當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，如下表 7 中所說明之 n/4；且其中 EN1 為如圖 15A 中所說明之數目 32）時，可執行全操作模式之錢氏搜尋，且可跳過對讀取向量 RV 之同位部分的錢氏搜尋。用於錢氏搜尋之循環的數目可小於資料輸入/輸出循環的數目。亦即，當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1 時，錢氏搜尋單元 440 可在全搜尋模式中操作以搜尋讀取向量之讀取資料向量 RDV 部分，且可跳過搜尋讀取向量 RV 的讀取同位部分 RPV。

當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，如下表 7 中所說明之 n/4；且其中 EN1 為如圖 15A 中所說明之數目 32）且小於第二錯誤數目 EN2（例如，如下表 7 中所說明之 n/2；且 EN2 為如圖 15A 中所說明之數目 48)時，可藉由在半操作模式中操作的錢氏搜尋單元 440 執行錢氏搜尋（例如，如圖 15A 中所說明之 16 位元搜尋），且可跳過對讀取向量 RV 之同位部分的錢氏搜尋。當讀取向量 RV 之錯誤的數目大於第二錯誤數目 EN2（例如，如下表 7 中所說明之 n/2；且其中 EN2 為如圖 15A 中所說明之數目 32）且小於第二臨限值 TV2 時，可藉由在四分之一操作模式中操作的錢氏搜尋單元 440 執行錢氏搜尋（例如，如圖 15A 中所說明之 8 位元搜尋），且可跳過對讀取向量 RV 之同位部分的錢氏搜尋。

當讀取向量 RV 之錯誤的數目超過第二錯誤數目 EN2（例如，如下表 7 中所說明之 n/2；且其中 EN2 為如圖 15A 中所說明之數目 32）時，可藉由在四分之一操作模式中操作的錢氏搜尋單元 440 執行錢氏搜尋以搜尋讀取向量 RV 之資料以及同位部分。儘管可同樣地執行在錢氏搜尋單元 440 處於四分之一操作模式中時所執行的錢氏搜尋（亦即，可針對所判定數目個循環中之每一者同樣地執行錢氏搜尋，而不管所判定之循環的數目），但可根據讀取向量 RV 之錯誤的數目是否低於第二錯誤數目 EN2（例如，如下表 7 中所說明之 n/2；且其中 EN2 為如圖 15A 中所說明之數目 48）來判定用以執行錢氏搜尋之循環的數目。舉例

而言，可根據對讀取向量 RV 之同位部分的錢氏搜尋產生循環差。

圖 16 為說明根據本一般發明性概念之例示性實施例之錯誤校正解碼操作的時序圖。在例示性實施例中，讀取向量 RV 之錯誤的數目可低於第一錯誤數目 EN1（例如，n/4）。亦即，KES 單元 430 以及錢氏搜尋單元 440 可支援運作中模式，其中在錯誤位置多項式已被判定時，讀取向量可在無延遲的情況下經錯誤校正，使得可自 ECC 解碼器 400 輸出經錯誤校正之資料向量 CDV。參看圖 6 及圖 16，在 T1 時，可自通道 CH0 接收第一讀取向量 RV1，且可自通道 CH1 接收第二讀取向量 RV2。

在本一般發明性概念之例示性實施例中，通道 CH0 與 CH1 可獨立於彼此。通道 CH0 以及 CH1 可連接至不同的記憶體裝置。可獨立於通道 CH0 以及 CH1 提供 ECC 解碼器 400。下文中，可使用相同的參考數字來描述 ECC 解碼器 400 以及其構成元素，而與通道 CH0 以及 CH1 無關。

可藉由使讀取向量 RV 與同位檢查矩陣 H^T 相乘來計算校正子 S(x)。可以與（例如）圖 7 中所說明以及上文詳細描述之方式相同的方式來計算校正子 S(x)。因此，當讀取向量 RV 被接收時，可執行校正子 S(x)之計算。對應於通道 CH0 之校正子計算單元 420 可計算第一讀取向量 RV1 之第一校正子 S1(x)。對應於通道 CH1 之校正子計算單元 420 可計算第二讀取向量 RV2 之第二校正子 S2(x)。

在 T2 時，第一讀取向量 RV1 以及第二讀取向量 RV2

之輸入可結束（亦即，此等向量之資料以及同位部分的接收可完成）。亦即，在 T2 時，可包含讀取資料向量以及讀取同位向量之第一讀取向量 RV1 以及第二讀取向量 RV2 的整體可藉由控制器 200 之 ECC 解碼器 400 接收。校正子 S1(x)以及 S2(x)可藉由圖 7 中所說明以及上文詳細描述之方法由類似於校正子計算單元 420 的校正子計算單元計算。當第一讀取向量 RV1 以及第二讀取向量 RV2 之輸入結束時，第一校正子 S1(x)以及第二校正子 S2(x)之計算可結束及/或完成。如圖 16 中所說明，在讀取向量 RV1 被接收之同時，可在同一時段期間計算校正子 S1(x)。類似地，可接收讀取向量 RV2，且可在同一時段期間計算校正子 S2(x)。第一校正子 S1(x)以及第二校正子 S2(x)可傳送至 KES 單元 430。KES 單元 430 可基於第一校正子 S1(x)以及第二校正子 S2(x)計算第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)。KES 單元 430 可根據圖 8 中所說明以及上文詳細描述之方法計算第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)。

通道 CH0 與 CH1 以及校正子計算單元 420 可進入至就緒狀態中。亦即，隨著已針對通道 CH0 以及 CH1 分別計算校正子 S1(x)與 S2(x)以及錯誤位置多項式 Λ1(x)與 Λ2(x)，通道可準備好執行錢氏搜尋（例如，錯誤位置多項式 Λ1(x)以及 Λ2(x)可準備好傳送至錢氏搜尋單元）。在 T2 時，可經由通道 CH0 接收第三讀取向量 RV3，且可經由通道 CH1 接收第四讀取向量 RV4。校正子計算單元 420 可藉

由圖 7 中所說明以及上文詳細描述之方法自第三讀取向量 RV3 以及第四讀取向量 RV4 計算第三校正子 S3(x)以及第四校正子 S4(x)。

當第一讀取向量 RV1 以及第二讀取向量 RV2 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4）時，錯誤位置多項式 Λ(x)之循環的數目可小於資料輸入/輸出循環的數目。在 T3 時，在第三讀取向量 RV3 以及第四讀取向量 RV4 之輸入結束（亦即，輸入向量 RV3 以及 RV4 之接收完成）之前，第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)的計算可結束及/或完成。第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)可傳送至錢氏搜尋單元 440。

錢氏搜尋單元 440 可基於第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)執行錢氏搜尋。錢氏搜尋單元 440 可根據圖 9 中所說明以及上文詳細描述之方法執行第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)的錢氏搜尋。可自讀取向量 RV 之資料部分（例如，讀取向量 RV 之讀取資料向量 RDV）之末端順序地執行前向錢氏搜尋。根據錢氏搜尋結果，可自讀取向量 RV 之資料部分之末端順序地偵測且校正錯誤。亦即，錯誤校正可在 T3 時的錢氏搜尋處執行。

KES 單元 420 可在 T4 時進入至就緒狀態中。

在 T4 時，第三讀取向量 RV3 以及第四讀取向量 RV4 之輸入可完成，且根據圖 7 中所說明以及上文詳細描述之

方法由校正子計算單元 420 進行的第三校正子 S3(x)以及第四校正子 S4(x)之計算可結束及/或完成。由於 KES 單元 430 處於就緒狀態且第三校正子 S3(x)以及第四校正子 S4(x)已被計算，因此第三校正子 S3(x)以及第四校正子 S4(x)可傳送至 KES 單元 430。KES 單元 430 可根據圖 8 中所說明以及上文詳細描述之方法基於第三校正子 S3(x)以及第四校正子 S4(x)計算第三錯誤位置多項式 Λ3(x)以及第四錯誤位置多項式 Λ4(x)。

通道 CH0 與 CH1 以及校正子計算單元 420 可進入至就緒狀態中。可經由通道 CH0 接收第五讀取向量 RV5，且可經由通道 CH1 接收第六讀取向量 RV6。校正子計算單元 420 可根據圖 7 中所說明以及上文詳細描述之方法自第五讀取向量 RV5 以及第六讀取向量 RV6 計算第五校正子 S5(x)以及第六校正子 S6(x)。

若第一讀取向量 RV1 之錯誤校正完成，則第一經錯誤校正資料向量 CDV1 可被輸出。在 T5 時，第一經錯誤校正資料向量 CDV1 可被輸出。可在第一經錯誤校正資料向量 CDV1 之後輸出第二經錯誤校正資料向量 CDV2。

當第一讀取向量 RV1 以及第二讀取向量 RV2 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4）時，錢氏搜尋循環之數目可小於資料輸入/輸出循環的數目。在 T6 時，當循環在數目上小於自 T3 起經過之資料輸入/輸出循環時，對第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)的錢氏搜尋可結束及/或完成。錢氏搜尋單元 440

可進入至就緒狀態中。

在 T7 時，根據圖 8 中所說明以及上文詳細描述之方法由 KES 單元 430 進行的第三錯誤位置多項式 Λ3(x)以及第四錯誤位置多項式 Λ4(x)的計算可完成。錢氏搜尋單元 440 可根據圖 9 中所說明以及上文詳細描述之方法執行錢氏搜尋操作，且 KES 單元 430 可進入至就緒狀態中。

在 T8 時，根據圖 7 中所說明以及上文詳細描述之方法的第五讀取向量 RV5 以及第六讀取向量 RV6 之輸入以及由校正子計算單元 420 進行的第五校正子 S5(x)以及第六校正子 S6(x)的計算可完成。可根據圖 8 中所說明以及上文詳細描述之方法由 KES 單元 430 執行第五錯誤位置多項式 Λ5(x)以及第六錯誤位置多項式 Λ6(x)的計算。可執行根據圖 7 中所說明以及上文詳細描述之方法的第七讀取向量 RV7 以及第八讀取向量 RV8 之輸入以及由校正子計算單元 420 進行的第七校正子 S7(x)以及第八校正子 S8(x)的計算。

圖 17 為說明根據本一般發明性概念之例示性實施例之錯誤校正解碼操作的時序圖。在例示性實施例中，讀取向量 RV 之錯誤的數目可超過第一錯誤數目 EN1（例如，n/4，其中 n 為 ECC 解碼器 400 之最大錯誤校正位元數目）且低於第二錯誤數目 EN2（例如，n/2）。參看圖 6 及圖 17，在 T1 時，可自通道 CH0 接收第一讀取向量 RV1，且可自通道 CH1 接收第二讀取向量 RV2。校正子計算單元 420 可根據圖 7 中所說明以及上文詳細描述之方法基於第一讀取向量 RV1 以及第二讀取向量 RV2 計算第一校正子 S1(x)

以及第二校正子 S2(x)。

在 T2 時，第一讀取向量 RV1 以及第二讀取向量 RV2 之輸入以及第一校正子 S1(x)以及第二校正子 S2(x)之計算可完成。第一校正子 S1(x)以及第二校正子 S2(x)可傳送至 KES 單元 430。KES 單元 430 可基於第一校正子 S1(x)以及第二校正子 S2(x)且根據圖 8 中所說明以及上文詳細描述之方法計算第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)。

通道 CH0 與 CH1 以及校正子計算單元 420 可進入至就緒狀態中。在 T2 時，可經由通道 CH0 接收第三讀取向量 RV3，且可經由通道 CH1 接收第四讀取向量 RV4。校正子計算單元 420 可根據圖 7 中所說明以及上文詳細描述之方法基於第三讀取向量 RV3 以及第四讀取向量 RV4 計算第三校正子 S3(x)以及第四校正子 S4(x)。

在 T3 時，第三讀取向量 RV3 以及第四讀取向量 RV4 之輸入以及第三校正子 S3(x)以及第四校正子 S4(x)之計算可完成。然而，由於 KES 單元 430 處於繁忙狀態中，因此校正子計算單元 420 可維持第三校正子 S3(x)以及第四校正子 S4(x)。KES 單元 430 在 T3 時計算第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)，且由此可能尚未自校正子計算單元 420 接收所計算的第三校正子 S3(x)以及第四校正子 S4(x)。如圖 17 中所說明，在 T3 時的所計算之第三校正子 S3(x)以及第四校正子 S4(x)之計算的完成與在 T4 時的第三錯誤位置多項式 Λ3(x)以及第四錯誤位置

多項式 Λ4(x)之計算之間可存在延遲。

當讀取向量 RV 之錯誤的數目大於第一錯誤數目 EN1（例如，n/4）且低於第二錯誤數目 EN2（例如，n/2）時，錯誤位置多項式 Λ(x)之計算循環的數目可超過（亦即，大於）資料輸入/輸出循環的數目。亦即，在 T4 時，當存在多於自 T2 起的資料輸入/輸出循環之計算循環時，第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)的計算可完成。第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)可被發送至錢氏搜尋單元 440，以分別判定針對 T4 時的通道 CH0 以及 CH1 之錯誤位置資訊 ELI1 以及 ELI2。

錢氏搜尋單元 440 可基於自關鍵方程式求解單元 430 接收之第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)執行錢氏搜尋。可自讀取向量 RV 之資料部分（例如，圖 4 及圖 11 中所說明之讀取向量 RV 的讀取資料向量 RDV）之末端順序地執行前向錢氏搜尋。根據錢氏搜尋結果，可自讀取向量 RV 之資料部分之末端順序地偵測且校正錯誤。亦即，可在 T4 時的錢氏搜尋處執行錯誤校正。

當第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)之計算完成時，KES 單元 430 可在 T4 時進入至就緒狀態中。

校正子計算單元 420 可在 T4 時將第三校正子 S3(x)以及第四校正子 S4(x)傳送至 KES 單元 430。KES 單元 430 可根據如上文詳細描述在圖 8 中所說明之方法基於第三校

正子 S3(x)以及第四校正子 S4(x)計算第三錯誤位置多項式 Λ3(x)以及第四錯誤位置多項式 Λ4(x)。

通道 CH0 與 CH1 以及校正子計算單元 420 可進入至就緒狀態中。可經由通道 CH0 接收第五讀取向量 RV5，且可經由通道 CH1 接收第六讀取向量 RV6。校正子計算單元 420 可根據圖 7 中所說明以及上文詳細描述之方法基於第五讀取向量 RV5 以及第六讀取向量 RV6 計算第五校正子 S5(x)以及第六校正子 S6(x)。

若第一讀取向量 RV1 之錯誤校正由錯誤校正單元 450 完成，則可輸出第一經錯誤校正資料向量 CDV1。在 T5 時，可輸出第一經錯誤校正資料向量 CDV1。可在第一經錯誤校正資料向量 CDV1 之後由錯誤校正單元 450 輸出第二經錯誤校正資料向量 CDV2。

當第一讀取向量 RV1 以及第二讀取向量 RV2 之錯誤的數目大於第一錯誤數目 EN1（例如，n/4）且小於第二錯誤數目 EN2（例如，n/2）時，錢氏搜尋循環之數目可大於資料輸入/輸出循環的數目。在 T6 時，當循環的數目多於自 T3 起已經過的資料輸入/輸出循環時，對第一錯誤位置多項式 Λ1(x)以及第二錯誤位置多項式 Λ2(x)的錢氏搜尋可結束及/或完成。錢氏搜尋單元 440 可進入至就緒狀態中。

如上文所述，錯誤位置多項式 Λ(x)之計算循環可根據讀取向量 RV 之錯誤的數目而變化。在讀取向量 RV 中所存在之錯誤的數目愈大，錯誤位置多項式 Λ(x)之計算循環

的數目愈大。由錢氏搜尋單元 440 進行之錢氏搜尋的開始時序可藉由錯誤位置多項式 Λ(x)之計算循環的增加或減少而延遲或提前。亦即，錯誤位置多項式 Λ(x)之計算循環的數目愈大，由錢氏搜尋單元 440 進行之錢氏搜尋的開始時序可延遲得愈多。隨著錯誤位置多項式 Λ(x)之計算循環的數目減少，由錢氏搜尋單元 440 進行之錢氏搜尋的開始時序可在較早時間出現，且可能維持運作中操作模式。

錢氏搜尋循環可根據讀取向量 RV 之錯誤的數目而變化。當讀取向量 RV 之錯誤的數目超過至少一臨限值時，錢氏搜尋循環可增加。錯誤校正之開始時序可藉由錢氏搜尋循環之數目的增加或減少而延遲或提前。計算錯誤位置多項式 Λ(x)以及執行錢氏搜尋可形成 ECC 解碼器 400 的獨立解碼階段（包含關鍵方程式求解單元 430 以及錢氏搜尋單元 440）。

圖 18 為說明根據本一般發明性概念之例示性實施例的圖 1 中之控制器之操作方法的流程圖。參看圖 1 及圖 18，在操作 S910 中，可藉由控制器 200 之 ECC 編碼器 300 編碼寫入資料向量 WDV 以形成待輸出至記憶體裝置 100 的碼向量 CV。在操作 S920 中，可將碼向量 CV 寫入於記憶體裝置 100 中。在操作 S930 中，可自記憶體裝置 100 讀取讀取向量 RV。可以與圖 2 中所說明以及上文詳細描述之操作 S110 至 S130 相同的方式執行操作 S910 至 S930。

在操作 S940 中，可根據讀取向量 RV 之錯誤的數目調整最大校正時間，且可校正讀取向量 RV 之錯誤。亦即，

可判定讀取向量 RV 之讀取錯誤的數目，且可調整經分派以校正讀取錯誤（例如，藉由錯誤校正單元 450）的最大校正時間。隨著讀取錯誤之數目增加，用以校正讀取錯誤的最大校正時間可增加。如表 7 中所說明以及下文所述，可根據是否對讀取向量 RV 之資料部分及/或同位部分執行錢氏搜尋，以及錢氏搜尋單元 440 之操作模式（例如，全搜尋模式、半搜尋模式或四分之一搜尋模式）來增加最大時間。

圖 19 為說明控制記憶體系統之操作的方法（其中最大錯誤搜尋時間經調整且讀取向量經解碼）之流程圖。參看圖 1、圖 6 及圖 19，在操作 S1010 中，可由控制器 200 之 ECC 解碼器 400 接收讀取向量 RV。在操作 S1020 中，可由校正子計算單元 420 計算讀取向量 RV 之校正子 S(x)（例如，根據圖 7 中所說明以及上文詳細描述之方法）。在操作 S1030 中，可判定校正子 S(x)是否為 '0'。若校正子 S(x)為 '0'，則錯誤校正可結束。若校正子 S(x)為非零的，則可在操作 S1040 處根據校正子 S(x)藉由圖 8 中所說明以及上文所述的方法由 KES 單元 430 計算錯誤位置多項式 Λ(x)。在操作 S1050 中，可根據錯誤位置多項式 Λ(x)計算讀取向量 RV 之錯誤的數目。可以與如上文結合圖 5 所述之操作 S310 至 S350 相同的方式執行操作 S1010 至 S1050。

在操作 S1060 中，可根據所計算錯誤數目調整最大錯誤搜尋時間。亦即，最大搜尋時間可根據所計算錯誤數目

而增加或減少。在本一般發明性概念之例示性實施例中，若所計算錯誤數目大於至少一預定臨限值，則最大搜尋時間可增加預定量。當所計算錯誤數目小於至少一預定臨限值時，最大搜尋時間可減少預定量。在本一般發明性概念之例示性實施例中，可根據錢氏搜尋是否對讀取向量 RV 之資料部分及/或同位部分執行，以及錢氏搜尋單元 440 之操作模式（例如，全搜尋模式、半搜尋模式、四分之一搜尋模式）來增加最大時間。在操作 S1070 中，可根據經調整之最大錯誤搜尋時間來進行錯誤偵測，且可藉由錯誤校正單元 450 來校正所偵測錯誤。

可以與圖 7 至圖 14 中所說明以及上文詳細描述之方式相同的方式執行校正子 S(x)之計算、錯誤位置多項式 Λ(x)之計算以及錢氏搜尋。

如參看 15 至圖 17 所述，校正子計算時間不可影響錯誤解碼時間的變化。如上文結合圖 15 至圖 17 所述，校正子完成之時間可判定錯誤解碼可開始的時間。亦即，可根據校正子之計算完成的時間而延遲錯誤解碼，但其不可改變（亦即，增加或減少）用以完成錯誤解碼的時間。

當讀取向量 RV 之錯誤的數目低於第一錯誤數目 EN1（例如，n/4，其中 n 為 ECC 解碼器 400 之最大錯誤校正位元數目）時，錯誤位置多項式 Λ(x)的最大計算時間可為第一求解時間 ST1。當讀取向量 RV 之錯誤的數目為第一錯誤數目 EN1（例如，n/4）時，第一求解時間 ST1 可對應於錯誤位置多項式 Λ(x)的計算時間（或循環）。當讀取向量

RV之錯誤的數目超過第一錯誤數目EN1（例如，n/4）且低於第二錯誤數目EN2（例如，n/2）時，錯誤位置多項式Λ(x)之最大計算時間可為第二求解時間ST2。當讀取向量RV之錯誤的數目為第二錯誤數目EN2（例如，n/2）時，第二求解時間ST2可對應於錯誤位置多項式Λ(x)的計算時間（或循環）。當讀取向量RV之錯誤的數目低於n時，錯誤位置多項式Λ(x)之最大計算時間可為第三求解時間ST3。當讀取向量RV之錯誤的數目為n時，第三求解時間ST3可對應於錯誤位置多項式Λ(x)的計算時間（或循環）。

當讀取向量RV之錯誤的數目低於第一錯誤數目EN1（例如，n/4）時，可藉由在全操作模式中操作之錢氏搜尋單元440執行錢氏搜尋。錢氏搜尋時間可為第一總時間TT1或第一資料時間DT1。當執行對讀取向量RV之資料以及同位部分的錢氏搜尋時，第一總時間TT1可為錢氏搜尋時間。當可跳過對讀取向量RV之同位部分的錢氏搜尋時，第一資料時間DT1可為錢氏搜尋時間。

當讀取向量RV之錯誤的數目大於第一錯誤數目EN1（例如，n/4）且小於第二錯誤數目EN2（例如，n/2）時，可藉由在半操作模式中操作之錢氏搜尋單元440執行錢氏搜尋。錢氏搜尋時間可為第二總時間TT2或第二資料時間DT2。當執行對讀取向量RV之資料以及同位部分的錢氏搜尋時，第二總時間TT2可為錢氏搜尋時間。當可跳過對讀取向量RV之同位部分的錢氏搜尋時，第二資料時間DT2可為錢氏搜尋時間。

當讀取向量 RV 之錯誤的數目大於第二錯誤數目 EN2（例如，n/2）且低於第二臨限值 TV2 時，可藉由在四分之一操作模式中操作之錢氏搜尋單元 440 執行錢氏搜尋。錢氏搜尋時間可為第三總時間 TT3 或第三資料時間 DT3。當執行對讀取向量 RV 之資料以及同位部分（例如，讀取資料向量 RDV 以及讀取同位向量 RPV）的錢氏搜尋時，第三總時間 TT3 可為錢氏搜尋時間。當可跳過對讀取向量 RV 之同位部分的錢氏搜尋時，第三資料時間 DT3 可為錢氏搜尋時間。

當讀取向量 RV 之錯誤的數目大於第二臨限值 TV2 且低於 n（亦即，其中 n 為 ECC 解碼器 400 的最大錯誤校正位元數目）時，可藉由在四分之一操作模式中操作之錢氏搜尋單元 440 執行錢氏搜尋。錢氏搜尋時間可為第三總時間 TT3。

當錯誤位置藉由錢氏搜尋識別出時，可由錯誤校正單元（例如，ECC 解碼器 400 之錯誤校正單元 450）執行錯誤校正。因此，錯誤校正不可影響錯誤解碼時間的變化。亦即，可根據（例如）校正子 S(x)之計算及/或錯誤位置多項式 Λ(x)之計算完成的時間而延遲錯誤解碼，但其不可改變（亦即，增加或減少）用以完成錯誤校正的時間。

影響錯誤校正時間之變化的時間可為錯誤位置多項式 Λ(x)之計算時間以及錢氏搜尋時間。錯誤位置多項式 Λ(x)之計算以及錢氏搜尋可具有根據讀取向量 RV 之錯誤之數目調整的最大時間。舉例而言，隨著錯誤之數目增加，

最大調整時間可增加。關鍵方程式求解（KES）以及錢氏搜尋（CS）之最大時間可說明於下表 7 中。

表 7

EN	EN<n/4	n/4<EN<n/2	n/2<EN<TV2	TV2<EN<n
最大 KES 時間	ST1	ST2	ST3	ST3
最大 CS 時間	TT1 或 DT1	TT2 或 DT2	TT3 或 DT3	TT3
最大時間	(ST1+TT1)或 (ST1+DT1)	(ST2+TT2)或 (ST2+DT2)	(ST3+TT3)或 (ST3+DT3)	ST3+TT3

亦即，可根據讀取向量 RV 之錯誤數目（EN）來調整最大錯誤時間。如表 7 中所說明，可根據錢氏搜尋是否對讀取向量 RV 之資料部分及/或同位部分執行，以及錢氏搜尋單元 440 之操作模式（例如，全搜尋模式、半搜尋模式、四分之一搜尋模式）來增加最大時間。

圖 20 為說明圖 1 中之記憶體系統之應用的方塊圖。參看圖 20，記憶體系統 2000 可包含記憶體裝置 2100 以及控制器 2200。記憶體裝置 2100 可包含多個記憶體晶片，此多個記憶體晶片可劃分為多個群組。每一群組中之記憶體晶片可經由共同通道與控制器 2200 通信。在本一般發明性概念之例示性實施例中，經由通道 CH1 至 CHk 與控制器 2200 通信之記憶體晶片例示性地說明於圖 20 中。記憶體模組可與通道而非記憶體晶片連接。

控制器 2200 可包含 ECC 編碼器 300 以及 ECC 解碼器 400。ECC 編碼器 300 以及 ECC 解碼器 400 可與上文參看圖 2 至圖 19 所述相同地操作。舉例而言，ECC 解碼器 400 可根據讀取向量 RV 之錯誤的數目調整每循環功率消耗及/

或最大校正時間，且進行錯誤校正。

圖 20 說明多個記憶體晶片可以通信方式與一通道連接。然而，在本一般發明性概念之例示性實施例中，記憶體系統 2000 可具有與一記憶體晶片連接的一通道。

圖 21 為說明根據本一般發明性概念之例示性實施例的包含圖 20 中之記憶體系統之計算系統的方塊圖。參看圖 21，計算系統 3000 可包含 CPU 3100、RAM 3200、使用者介面 3300、電源供應器 3400 以及記憶體系統 2000。記憶體系統 2000 可包含記憶體裝置 2100 以及控制器 2200。記憶體裝置 2000 可類似於上文結合圖 1 至圖 19 所論述之記憶體裝置 100 及/或上文結合圖 21 所論述的記憶體裝置 2100。

CPU 3100 可為中央處理單元及/或任何合適的控制器、處理器、場可程式化閘陣列、可程式化邏輯裝置或積體電路，以控制根據如本文所揭露之本一般發明性概念之例示性實施例的記憶體系統 2000 及/或計算系統 3000 之操作。RAM 3200 可為隨機存取記憶體（Random Access Memory；RAM）、靜態隨機存取記憶體（static random access memory；SRAM）、動態 RAM（dynamic RAM；DRAM）、同步 DRAM（synchronous DRAM；SDRAM），以及其類似者。使用者介面 3300 可包含鍵盤、顯示器、觸控螢幕、滑鼠、軌跡墊（trackpad）及/或任何其他合適之裝置以自使用者接收輸入。電源供應器 3400 可將電力供應至計算系統 3000 以使得其可操作。

記憶體系統 2000 可經由系統匯流排 3500 與元件 3100 至 3400 電連接。經由使用者介面 3300 提供或藉由 CPU 3100 處理之資料可儲存於記憶體系統 2000 中。

圖 21 說明記憶體裝置 2100 經由控制器 2200 與系統匯流排 3500 連接。在本一般發明性概念之例示性實施例中，記憶體裝置 2100 可直接連接至系統匯流排 3500。

圖 21 中之記憶體系統 2000 可對應於圖 20 中所述之記憶體系統。然而，可用如圖 1 中所說明以及上文詳細描述之記憶體系統 1000 替換記憶體系統 2000。

在本一般發明性概念之例示性實施例中，計算系統 3000 可包含參看圖 1 及圖 21 所述之記憶體系統 1000 以及 2000。

本一般發明性概念之例示性實施例可量測及/或估計讀取向量之錯誤的數目，且可根據所量測之錯誤數目調整 ECC 解碼器的功率消耗。

上文所揭露之標的應被視為說明性而非限制性的，且所附申請專利範圍意欲涵蓋屬於真實精神以及範疇的所有此等修改、增強以及其他實施例。因此，在法律所允許之最大程度上，範疇是由對以下申請專利範圍以及其等效物之最廣泛的容許解譯判定，且不應受前述實施方式限定或限制。

儘管已展示且描述本一般發明性概念之若干實施例，但熟習此項技術者應瞭解，可在不脫離本一般發明性概念之原理以及精神的情況下在此等實施例中進行改變，

本一般發明性概念之範疇界定於所附申請專利範圍以及其等效物中。

【圖式簡單說明】

圖 1 為說明根據本一般發明性概念之例示性實施例之記憶體系統的方塊圖。

圖 2 為說明根據本一般發明性概念之例示性實施例的圖 1 中之控制器之操作方法的流程圖。

圖 3 為說明根據本一般發明性概念之例示性實施例的圖 2 中之編碼寫入資料向量之操作的流程圖。

圖 4 為說明根據本一般發明性概念之例示性實施例之碼向量以及讀取向量的圖。

圖 5 為說明根據本一般發明性概念之例示性實施例的每循環功率消耗受到控制之解碼讀取向量之操作的流程圖。

圖 6 為說明根據本一般發明性概念之例示性實施例的圖 1 中之錯誤校正碼（error correction code；ECC）解碼器的方塊圖。

圖 7 為說明根據本一般發明性概念之例示性實施例之校正子計算方法的流程圖。

圖 8 為說明根據本一般發明性概念之例示性實施例之錯誤位置多項式計算方法的流程圖。

圖 9 為說明根據本一般發明性概念之例示性實施例之錢氏搜尋方法的流程圖。

圖 10 為說明根據本一般發明性概念之例示性實施例

的圖 6 中之錢氏搜尋單元的圖。

圖 11 為說明根據本一般發明性概念之例示性實施例的根據四分之一、半以及全操作模式之錢氏搜尋單元之操作的圖。

圖 12 為說明根據本一般發明性概念之例示性實施例之錢氏搜尋操作模式判定方法的流程圖。

圖 13 為說明根據本一般發明性概念之例示性實施例的判定在錢氏搜尋時之同位搜尋之方法的流程圖。

圖 14 為說明根據本一般發明性概念之例示性實施例的在對讀取向量 RV 之同位部分的錢氏搜尋被跳過時的根據四分之一、半以及全操作模式之錢氏搜尋單元之操作的圖。

圖 15 以及圖 15A 為說明在本一般發明性概念之例示性實施例中的根據錯誤之數目之錯誤校正解碼循環的圖。

圖 16 為說明根據本一般發明性概念之例示性實施例之錯誤校正解碼操作的時序圖。

圖 17 為說明根據本一般發明性概念之例示性實施例之錯誤校正解碼操作的時序圖。

圖 18 為說明根據本一般發明性概念之例示性實施例的圖 1 中之控制器之操作方法的流程圖。

圖 19 為說明根據本一般發明性概念之例示性實施例的最大錯誤搜尋時間經調整且讀取向量經解碼之操作的流程圖。

圖 20 為說明根據本一般發明性概念之例示性實施例

的圖 1 中之記憶體系統之應用的方塊圖。

圖 21 為說明根據本一般發明性概念之例示性實施例的包含圖 20 中之記憶體系統之計算系統的方塊圖。

【主要元件符號說明】

10：主機

100：記憶體裝置

200：控制器

300：ECC 編碼器

400：ECC 解碼器

410：緩衝器

420：校正子計算單元

430：關鍵方程式求解單元

440：錢氏搜尋單元

441、441j、441k、441m：平行搜尋邏輯

450：錯誤校正單元

460：多工器

470：控制單元

1000：記憶體系統

2000：記憶體系統

2100：記憶體裝置

2200：控制器

3000：計算系統

3100：中央處理單元

3200：隨機存取記憶體

3300：使用者介面

3400：電源供應器

3500：系統匯流排

A1、Aj、Ak、Am：平行搜尋加法器

CDV：經錯誤校正之資料向量

CDV1：第一經錯誤校正資料向量

CDV2：第二經錯誤校正資料向量

CH0、CH1、CH2、CHk：通道

CR1、CR2、CRn：係數暫存器

CV：碼向量

D1、D2、Dn：延遲器

DT1：第一資料時間

DT2：第二資料時間

DT3：第三資料時間

E：錯誤向量

ELI、ELI1、ELI2、ELI3、ELI4：錯誤位置資訊

EN1：第一錯誤數目

EN2：第二錯誤數目

G：產生矩陣

H^T：同位檢查矩陣

L1：第一線

L2：第二線

L3：第三線

M1：多工器

M2：多工器

MC1、MC2、MCn：係數多工器

MF1、MF2、MF：全多工器

MH1、MH2、MHn：半多工器

Mn：多工器

MQ1、MQ2、MQn：四分之一多工器

n：變數

NES：控制信號

PV：同位向量

R1、R1j、R1k、R1m、R1n、R1nm：平行搜尋暫存器

R2、R2j、R2k、R2m：平行搜尋暫存器

Rn、Rnj、Rnk、Rnm：平行搜尋暫存器

RDV：讀取資料向量

RPV：讀取同位向量

RV：讀取向量

RV1：第一讀取向量

RV2：第二讀取向量

RV3：第三讀取向量

RV4：第四讀取向量

RV5：第五讀取向量

RV6：第六讀取向量

RV7：第七讀取向量

RV8：第八讀取向量

S(x)：校正子

S1(x)：第一校正子

S2(x)：第二校正子

S3(x)：第三校正子

S4(x)：第四校正子

S5(x)：第五校正子

S6(x)：第六校正子

S7(x)：第七校正子

S8(x)：第八校正子

SEL：選擇信號

SR1、SR2、SRn：種子暫存器

ST1：第一求解時間

ST2：第二求解時間

ST3：第三求解時間

S110～S140：操作

S210、S220：操作

S310～S370：操作

S410～S450：操作

S510～S570：操作

S610～S640：操作

S710～S750：操作

S810～S830：操作

S910～S940：操作

S1010～S1070：操作

TT1：第一總時間

TT2：第二總時間

TT3：第三總時間

TV1：第一臨限值

TV2：第二臨限值

WDV：寫入資料向量

X1、X1j、X1k、X1m：乘法器

X2、X2j、X2k、X2m：乘法器

Xn、Xnj、XnK：乘法器

Xps1、Xps2、Xpsn：乘法器

Xnm：乘法器

ZC：零計數

α：本原元素

α^i：平方數

α^j、α^k、α^m：本原元素

Λ(x)：錯誤位置多項式

Λ_0：係數/常數

Λ_1、Λ_2、Λ_{n-1}、Λ_n：係數

Λ0：第一係數

Λ1、Λj、Λk、Λm：輸出

Λ1(x)：第一錯誤位置多項式

Λ2(x)：第二錯誤位置多項式

Λ3(x)：第三錯誤位置多項式

Λ4(x)：第四錯誤位置多項式

Λ5(x)：第五錯誤位置多項式

Λ6(x)：第六錯誤位置多項式

七、申請專利範圍：

1. 一種記憶體系統之用以控制記憶體裝置的控制器，其包括：

關鍵方程式求解單元，其計算由所述控制器接收之讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；

控制單元，其根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者估計所述所接收讀取向量中之錯誤的數目；以及

錢氏搜尋單元，其根據所述所計算錯誤位置多項式搜尋所述所接收讀取向量的錯誤位置；

其中所述控制單元調整所述錢氏搜尋單元之每循環功率消耗。

2. 如申請專利範圍第 1 項所述之記憶體系統之用以控制記憶體裝置的控制器，其更包括：

錯誤校正單元，其使用由所述關鍵方程式求解單元計算之所述錯誤位置多項式在由所述錢氏搜尋單元判定的所述錯誤位置處校正所述所接收讀取向量的錯誤。

3. 如申請專利範圍第 1 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元藉由根據由所述關鍵方程式求解單元計算之所述錯誤位置多項式調整待在所述所接收讀取向量中同時搜尋之位元的數目來調整所述錢氏搜尋單元的所述每循環功率消耗。

4. 如申請專利範圍第 3 項所述之記憶體系統之用以

控制記憶體裝置的控制器，其中所述控制單元在錯誤之所述數目小於或等於預定第一錯誤數目時控制所述錢氏搜尋單元在全搜尋模式中操作以同時搜尋所述所接收讀取向量之至少一資料部分的位元。

5. 如申請專利範圍第 4 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元在錯誤之所述數目大於所述預定第一錯誤數目且小於預定第二錯誤數目時控制所述錢氏搜尋單元在半搜尋模式中操作以同時搜尋為全搜尋模式之一半數目的所述所接收讀取向量之位元。

6. 如申請專利範圍第 5 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中在所述半搜尋模式中操作之所述錢氏搜尋單元的所述每循環功率消耗小於所述全搜尋模式的所述每循環功率消耗。

7. 如申請專利範圍第 5 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元在錯誤之所述數目大於所述預定第二錯誤數目時控制所述錢氏搜尋單元在四分之一搜尋模式中操作以同時搜尋為所述全搜尋模式之四分之一數目的所述所接收讀取向量之位元。

8. 如申請專利範圍第 7 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中在所述四分之一搜尋模式中操作之所述錢氏搜尋單元的所述每循環功率消耗小於所述半搜尋模式的所述每循環功率消耗。

9. 如申請專利範圍第 1 項所述之記憶體系統之用以

控制記憶體裝置的控制器，其中所述控制單元在錯誤之所述數目小於或等於預定臨限值時控制所述錢氏搜尋單元對所述所接收讀取向量之僅一資料部分執行錢氏搜尋。

10. 如申請專利範圍第 1 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元在所偵測錯誤之所述數目大於預定臨限值時控制所述錢氏搜尋單元對所述所接收讀取向量之資料部分以及同位部分執行錢氏搜尋。

11. 如申請專利範圍第 1 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元根據所述讀取向量之錯誤之所述數目調整所述錢氏搜尋單元的最大校正時間。

12. 如申請專利範圍第 11 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元在錯誤之所述數目小於第一預定錯誤數目時將所述錢氏搜尋單元之所述最大校正時間調整為第一預定求解時間。

13. 如申請專利範圍第 12 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中在錯誤之所述數目小於所述第一預定錯誤數目時，所述控制單元控制所述錢氏搜尋單元在全搜尋模式中操作以同時搜尋所述讀取向量之至少一資料部分的位元。

14. 如申請專利範圍第 12 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中在錯誤之所述數目大於所述第一預定錯誤數目且小於第二預定錯誤數目時，所述

控制單元控制所述錢氏搜尋單元在半搜尋模式中操作以同時搜尋為在全搜尋模式中操作時之一半數目的所述讀取向量之至少一資料部分的位元。

15. 如申請專利範圍第 14 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中在錯誤之所述數目大於第二預定錯誤數目時，所述控制單元控制所述錢氏搜尋單元在四分之一搜尋模式中操作以同時搜尋為在全搜尋模式中操作時之四分之一數目的所述讀取向量之至少一資料部分的位元。

16. 如申請專利範圍第 11 項所述之記憶體系統之用以控制記憶體裝置的控制器，其中所述控制單元在所偵測錯誤之所述數目大於預定臨限值時調整所述錢氏搜尋單元之所述最大校正時間以對所述所接收讀取向量的資料部分以及同位部分執行所述錢氏搜尋。

17. 一種控制包含記憶體裝置之記憶體系統的方法，所述方法包括：

藉由所述記憶體系統之關鍵方程式求解單元計算所接收讀取向量中的錯誤位置多項式以自所述記憶體裝置讀取資料；

根據所述所計算錯誤位置多項式及關於所述錯誤位置多項式之資訊中的至少一者藉由所述記憶體系統之控制單元估計所述所接收讀取向量中之錯誤的數目；

藉由具有所述控制單元的所述記憶體系統之錢氏搜尋單元根據所述所計算錯誤位置多項式搜尋所述所接收讀

取向量的錯誤位置；以及

藉由所述控制單元調整所述錢氏搜尋單元之每循環功率消耗。

18. 如申請專利範圍第 17 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

使用由所述關鍵方程式求解單元計算之所述錯誤位置多項式在由所述錢氏搜尋單元判定的所述錯誤位置處藉由錯誤校正單元校正所述所接收讀取向量的錯誤。

19. 如申請專利範圍第 17 項所述之控制包含記憶體裝置之記憶體系統的方法，其中所述調整所述錢氏搜尋單元之所述每循環功率消耗包括：

根據由所述關鍵方程式求解單元計算之所述錯誤位置多項式藉由所述控制單元調整待在所述所接收讀取向量中同時搜尋之位元的數目。

20. 如申請專利範圍第 19 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目小於或等於預定第一錯誤數目時在全搜尋模式中操作所述錢氏搜尋單元以同時搜尋所述所接收讀取向量之至少一資料部分的位元。

21. 如申請專利範圍第 20 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目大於所述預定第一錯誤數目且小於預定第二錯誤數目時在半搜尋模式中操作所述錢氏搜尋單元以同時搜尋為全搜尋模式之一半數目的所述所接收讀

取向量之位元。

22. 如申請專利範圍第 21 項所述之控制包含記憶體裝置之記憶體系統的方法，其中在所述半搜尋模式中操作之所述錢氏搜尋單元的所述每循環功率消耗小於所述全搜尋模式的所述每循環功率消耗。

23. 如申請專利範圍第 21 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目大於所述預定第二錯誤數目時在四分之一搜尋模式中操作所述錢氏搜尋單元以同時搜尋為所述全搜尋模式之四分之一數目的所述所接收讀取向量之位元。

24. 如申請專利範圍第 23 項所述之控制包含記憶體裝置之記憶體系統的方法，其中在所述四分之一搜尋模式中操作之所述錢氏搜尋單元的所述每循環功率消耗小於所述半搜尋模式的所述每循環功率消耗。

25. 如申請專利範圍第 17 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目小於或等於預定臨限值時藉由所述控制單元控制所述錢氏搜尋單元以對所述所接收讀取向量之僅一資料部分執行錢氏搜尋。

26. 如申請專利範圍第 17 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在所偵測錯誤之所述數目大於預定臨限值時藉由所述控制單元控制所述錢氏搜尋單元以對所述所接收讀取向

量之資料部分以及同位部分執行錢氏搜尋。

27. 如申請專利範圍第 17 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

根據所述讀取向量之錯誤之所述數目藉由所述控制單元調整所述錢氏搜尋單元的最大校正時間。

28. 如申請專利範圍第 27 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目小於第一預定錯誤數目時藉由所述控制單元將所述錢氏搜尋單元之所述最大校正時間調整為第一預定求解時間。

29. 如申請專利範圍第 28 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目小於所述第一預定錯誤數目時，在全搜尋模式中操作所述錢氏搜尋單元以同時搜尋所述讀取向量之至少一資料部分的位元。

30. 如申請專利範圍第 28 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在錯誤之所述數目大於所述第一預定錯誤數目且小於第二預定錯誤數目時，在半搜尋模式中操作所述錢氏搜尋單元以同時搜尋為在全搜尋模式中操作時之一半數目的所述讀取向量之至少一資料部分的位元。

31. 如申請專利範圍第 30 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括

在錯誤之所述數目大於第二預定錯誤數目時，在四分

之一搜尋模式中操作所述錢氏搜尋單元以同時搜尋為在全搜尋模式中操作時之四分之一數目的所述讀取向量之至少一資料部分的位元。

32. 如申請專利範圍第 27 項所述之控制包含記憶體裝置之記憶體系統的方法，其更包括：

在所偵測錯誤之所述數目大於預定臨限值時藉由所述控制單元調整所述錢氏搜尋單元之所述最大校正時間以對所述所接收讀取向量之資料部分以及同位部分執行所述錢氏搜尋。

33. 一種控制記憶體系統之方法，所述記憶體系統具有經由至少一通道耦接至至少一記憶體裝置的控制器，所述方法包括：

判定由所述控制器接收之讀取向量之錯誤的估計數目以及錯誤位置資訊以經由所述至少一通道自所述至少一記憶體裝置讀取資料；以及

調整所述記憶體系統之錢氏搜尋單元之每循環功率消耗以及最大校正時間中的至少一者，所述錢氏搜尋單元根據錯誤之所述估計數目以及所述所判定錯誤位置資訊搜尋所述讀取向量的錯誤位置。

34. 一種記憶體系統之控制器，所述記憶體系統具有經由至少一通道耦接至所述控制器的至少一記憶體裝置，所述控制器包括：

所述控制器之錯誤校正碼解碼器，其判定由所述控制器接收之讀取向量之錯誤的估計數目以及錯誤位置資訊以

經由所述至少一通道自所述至少一記憶體裝置讀取資料；以及

所述錯誤校正碼解碼器之控制單元，其調整所述記憶體系統之錢氏搜尋單元之每循環功率消耗以及最大校正時間中的至少一者，所述錢氏搜尋單元根據錯誤之所述估計數目以及所述所判定錯誤位置資訊搜尋所述讀取向量的錯誤位置。

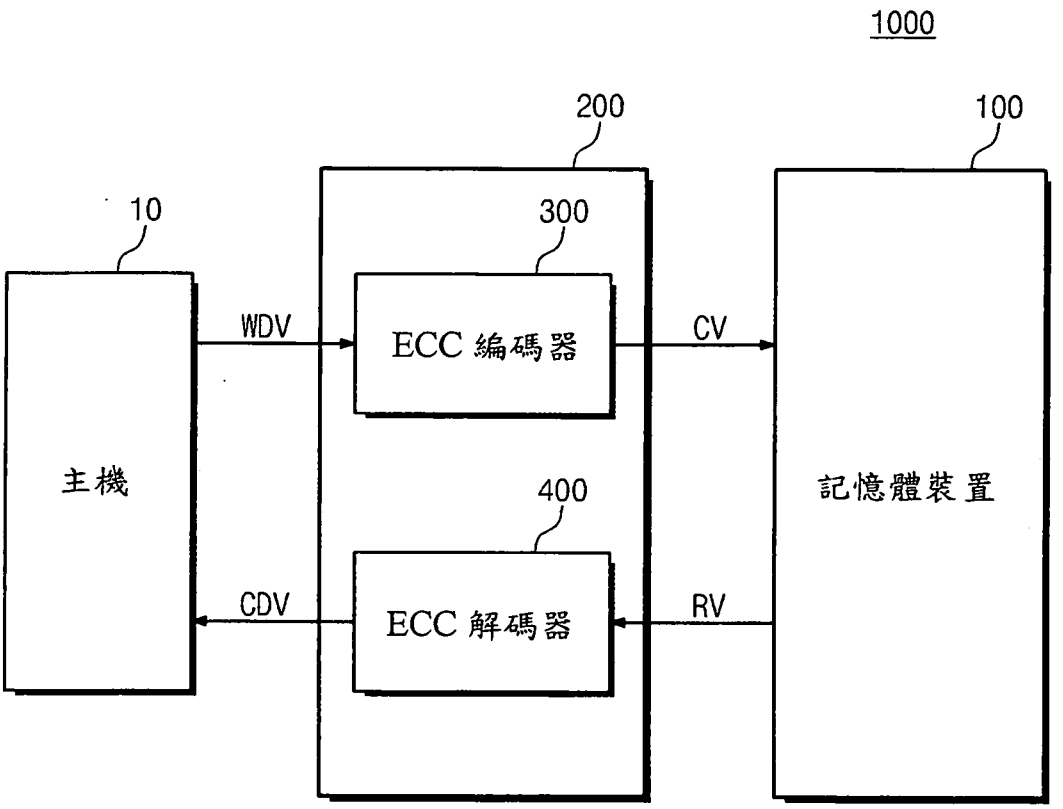


圖 1

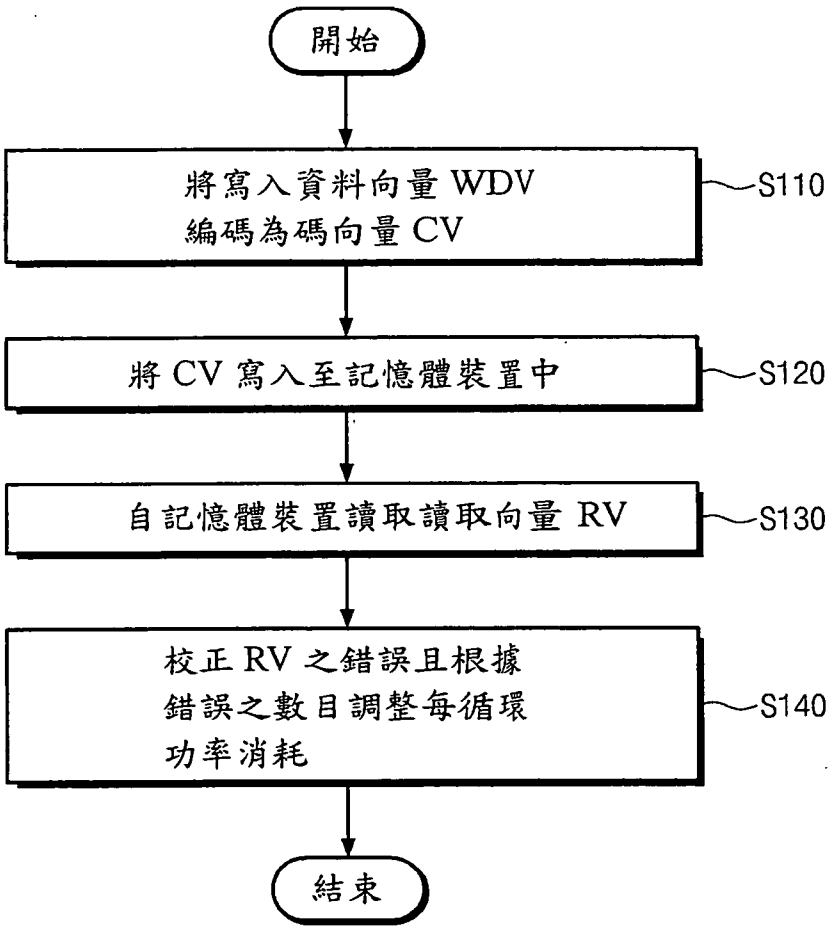

開始
將寫入資料向量 WDV
編碼為碼向量 CV
S110
將 CV 寫入至記憶體裝置中
S120
自記憶體裝置讀取讀取向量 RV
S130
校正 RV 之錯誤且根據
錯誤之數目調整每循環
功率消耗
S140
結束

圖 2

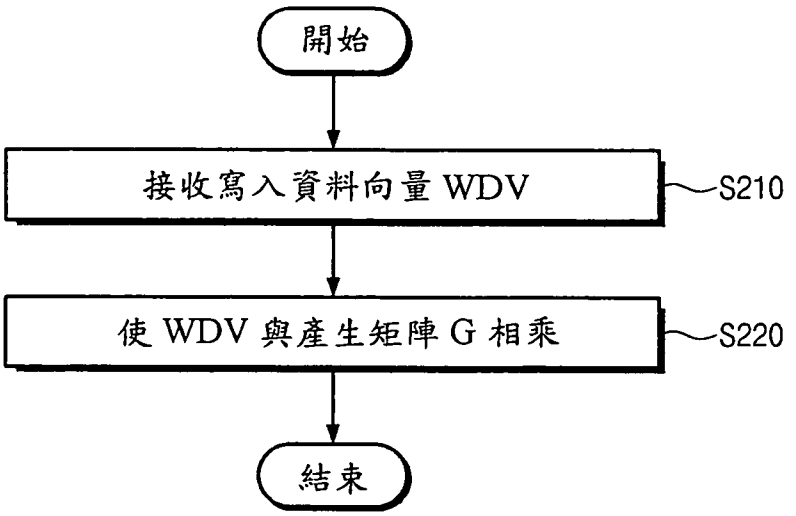

開始
接收寫入資料向量 WDV
S210
使 WDV 與產生矩陣 G 相乘
S220
結束

圖 3

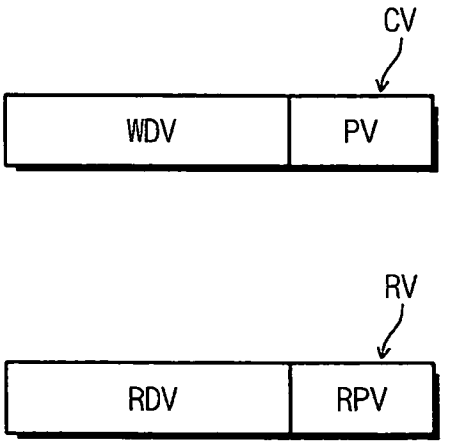

CV
WDV
PV
RV
RDV
RPV

圖 4

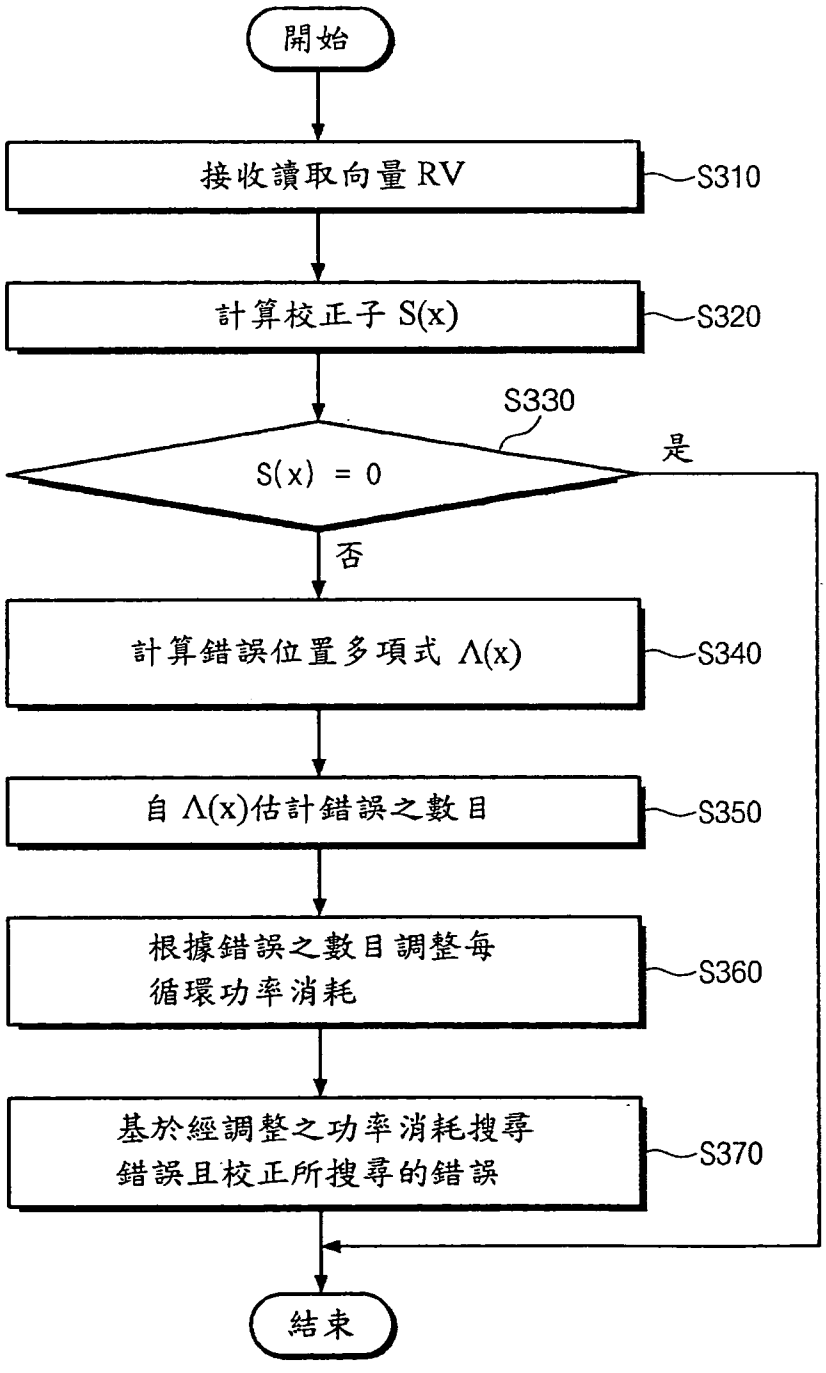

開始
接收讀取向量 RV
S310
計算校正子 S(x)
S320
S330
S(x) = 0
是
否
計算錯誤位置多項式 Λ(x)
S340
自 Λ(x)估計錯誤之數目
S350
根據錯誤之數目調整每
循環功率消耗
S360
基於經調整之功率消耗搜尋
錯誤且校正所搜尋的錯誤
S370
結束

圖 5

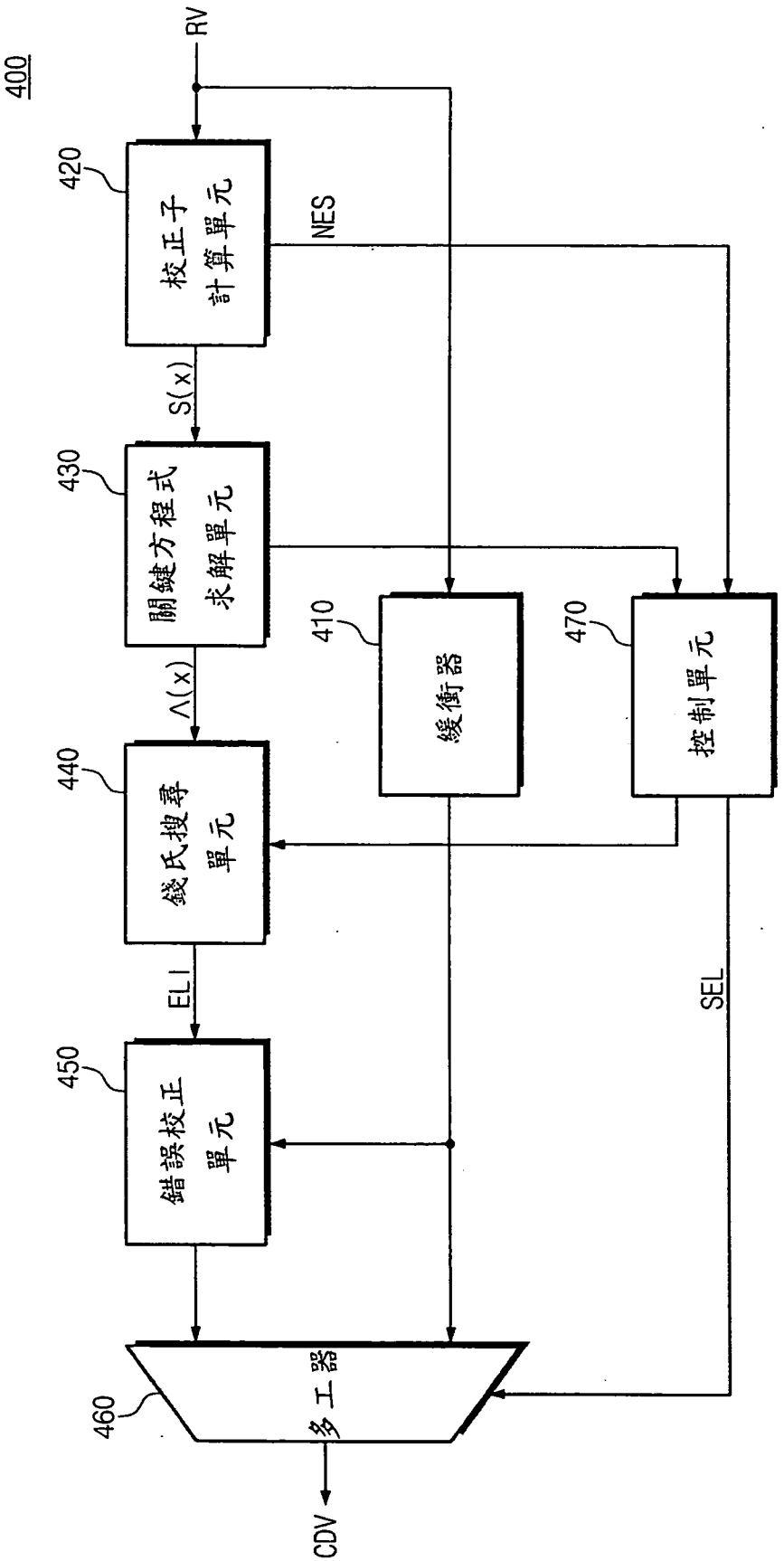

400
RV
420
校正子計算單元
NES
S(x)
430
關鍵方程式求解單元
410
緩衝器
470
控制單元
Λ(x)
440
錢氏搜尋單元
ELI
450
錯誤校正單元
SEL
460
多工器
CDV

圖 6

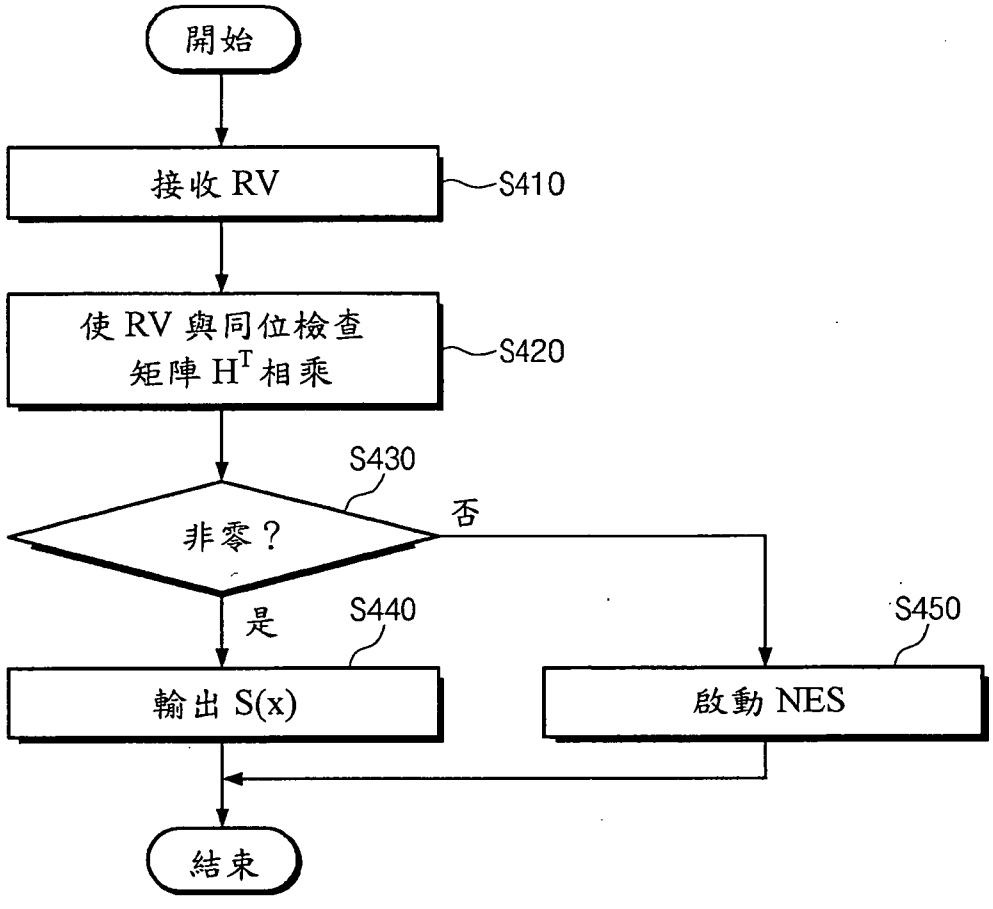

開始
接收 RV
S410
使 RV 與同位檢查
矩陣 H^T 相乘
S420
S430
非零？
否
是
S440
S450
輸出 S(x)
啟動 NES
結束

圖 7

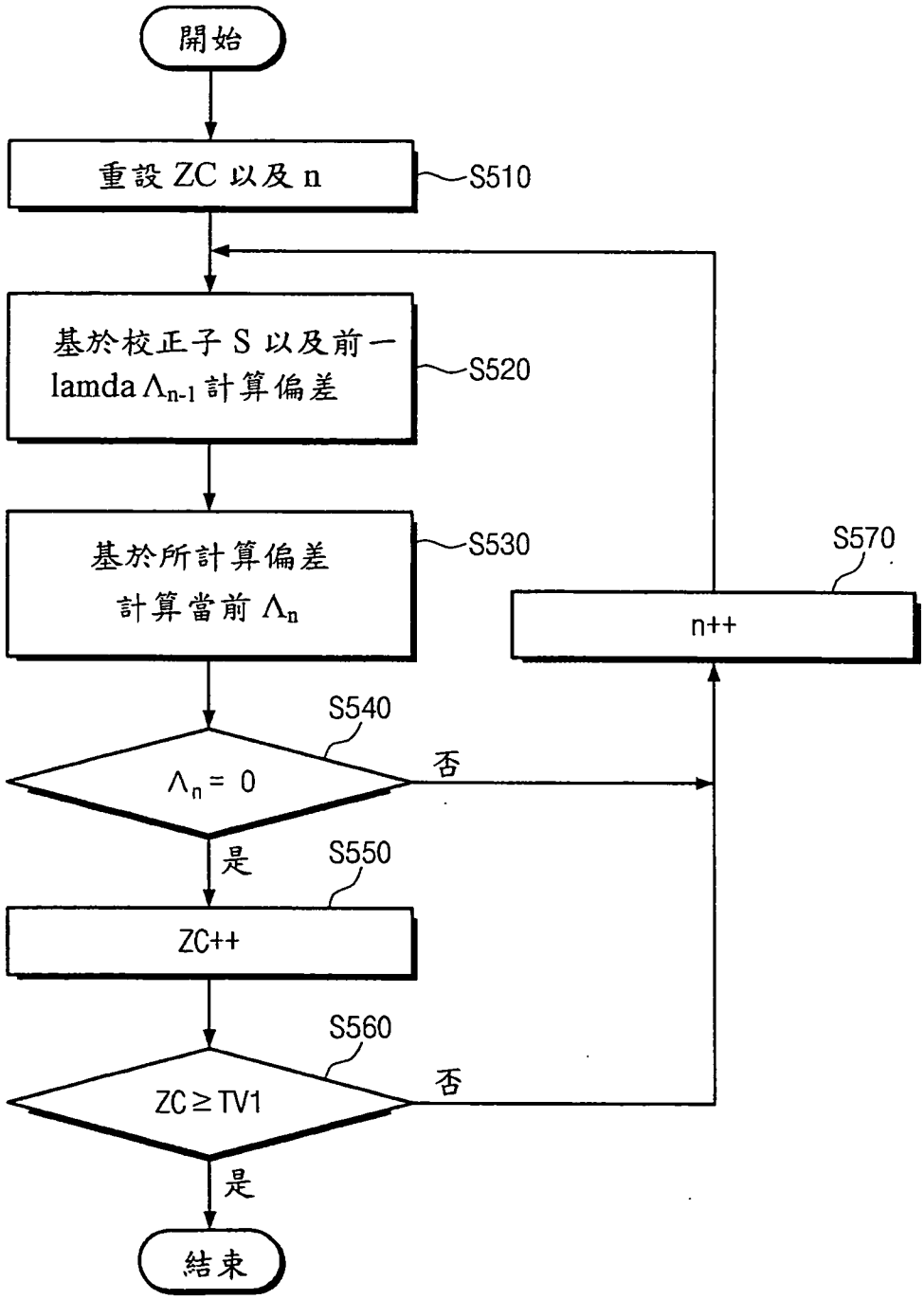

開始
重設 ZC 以及 n
S510
基於校正子 S 以及前一 lamda Λ_{n-1} 計算偏差
S520
基於所計算偏差 計算當前 Λ_n
S530
S570
n++
S540
$\Lambda_n = 0$
否
是
S550
ZC++
S560
ZC ≥ TV1
否
是
結束

圖 8

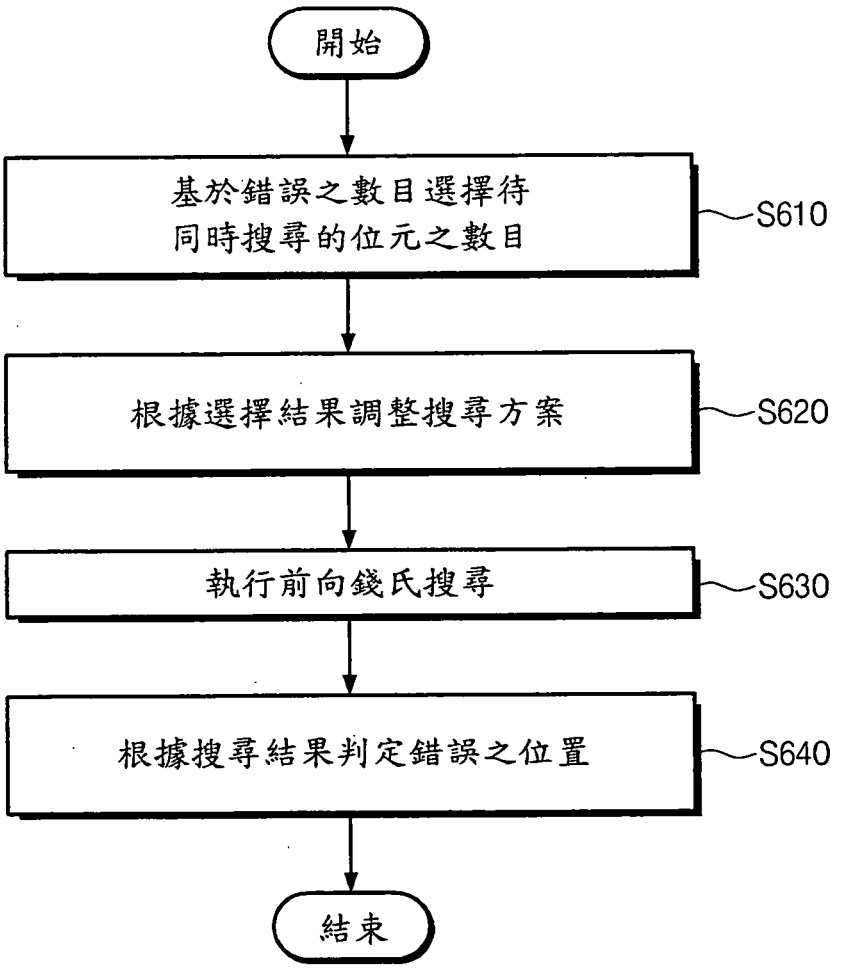

開始
基於錯誤之數目選擇待同時搜尋的位元之數目
S610
根據選擇結果調整搜尋方案
S620
執行前向錢氏搜尋
S630
根據搜尋結果判定錯誤之位置
S640
結束

圖 9

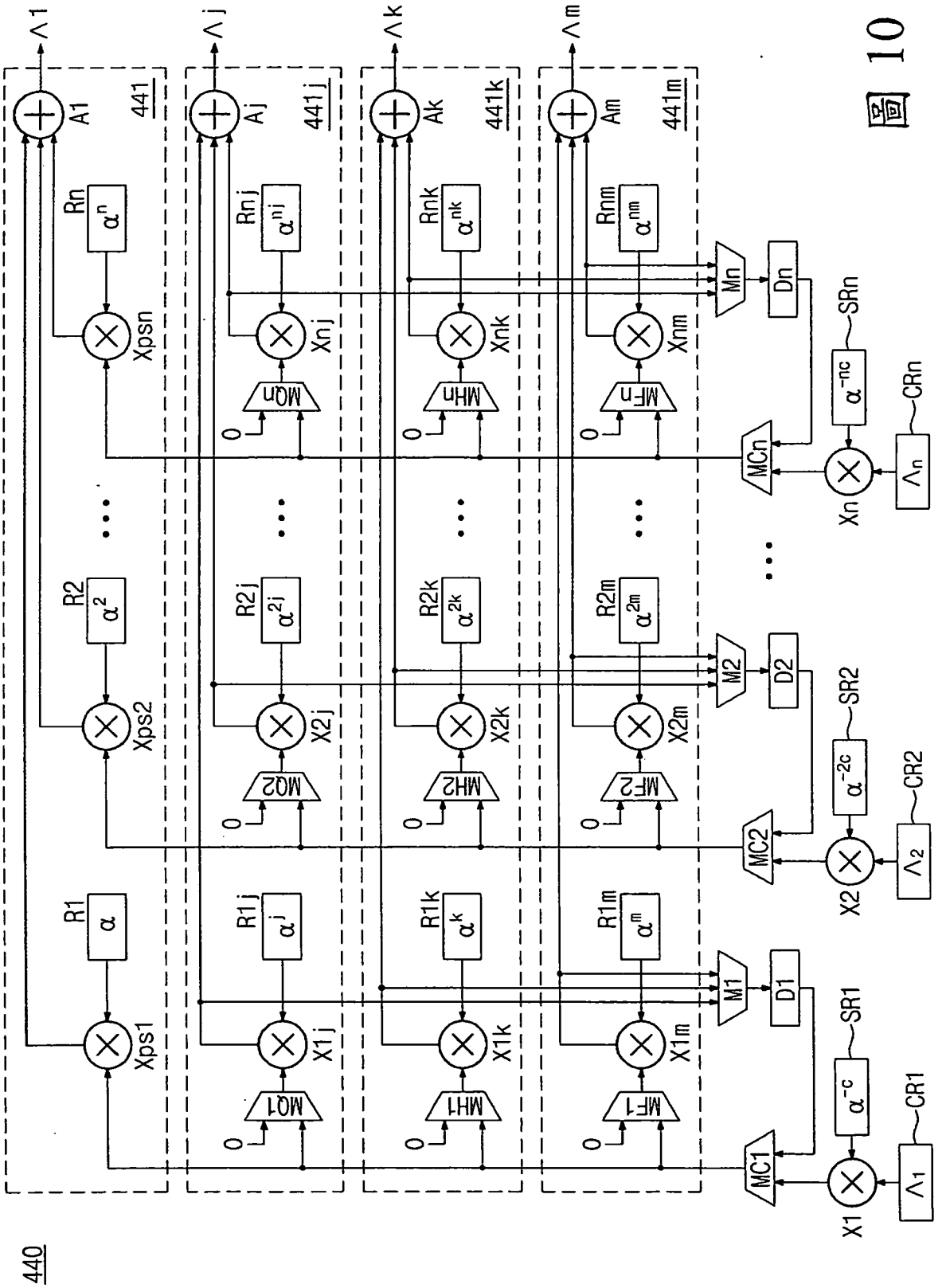

440
441
441j
441k
441m
Λ1
Λj
Λk
Λm
A1
Aj
Ak
Am
R1
R2
Rn
R1j
R2j
Rnj
R1k
R2k
Rnk
R1m
R2m
Rnm
α
α²
αⁿ
α^j
α^2j
α^nj
α^k
α^2k
α^nk
α^m
α^2m
α^nm
Xps1
Xps2
Xpsn
X1j
X2j
Xnj
X1k
X2k
Xnk
X1m
X2m
Xnm
MO1
MO2
MOn
MH1
MH2
MHn
MF1
MF2
MFn
0
M1
M2
Mn
D1
D2
Dn
MC1
MC2
MCn
X1
X2
Xn
α^-c
α^-2c
α^-nc
SR1
SR2
SRn
CR1
CR2
CRn
Λ1
Λ2
Λn

圖 10

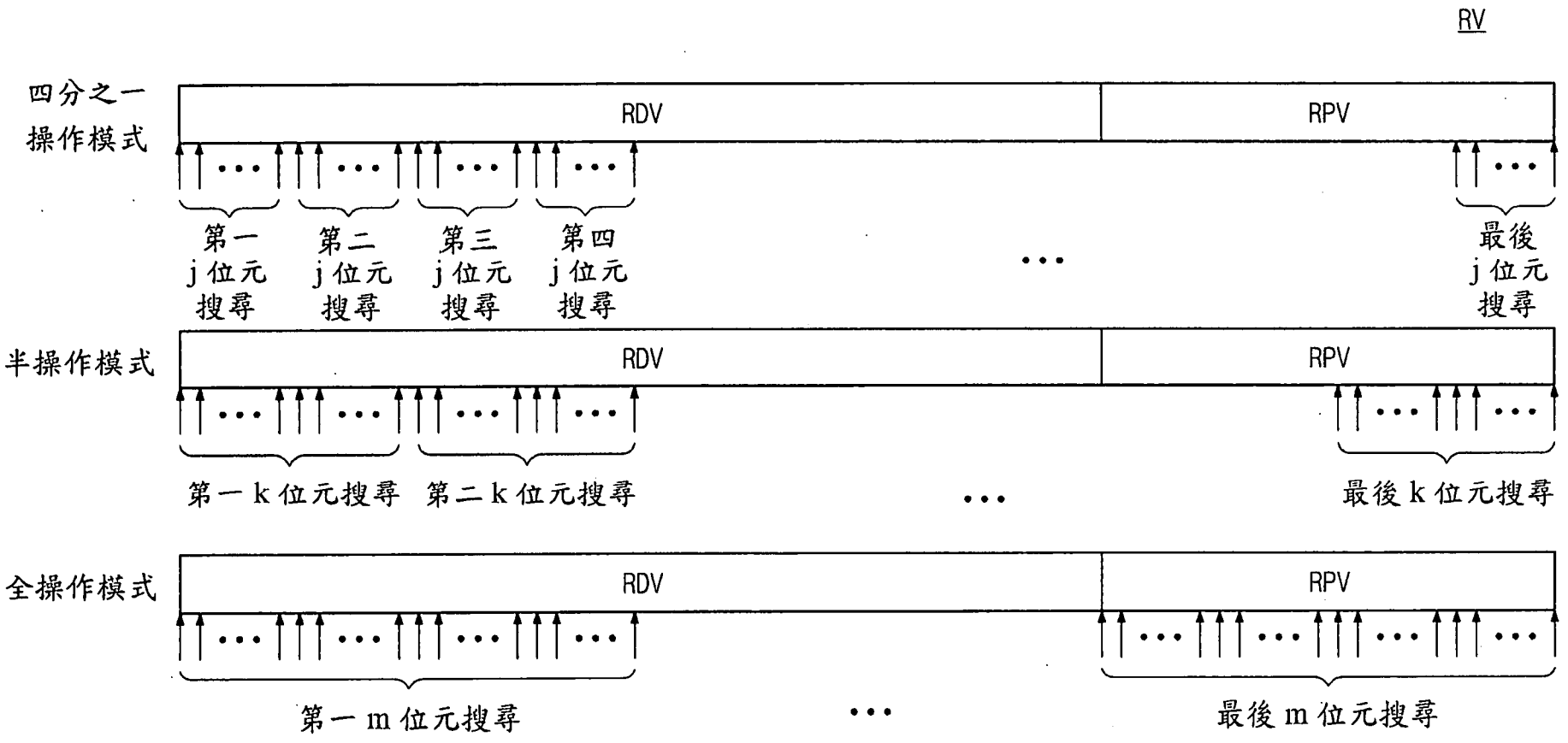

RV
四分之一
操作模式
RDV
RPV
第一
j 位元
搜尋
第二
j 位元
搜尋
第三
j 位元
搜尋
第四
j 位元
搜尋
最後
j 位元
搜尋
半操作模式
RDV
RPV
第一 k 位元搜尋
第二 k 位元搜尋
最後 k 位元搜尋
全操作模式
RDV
RPV
第一 m 位元搜尋
最後 m 位元搜尋

圖 11

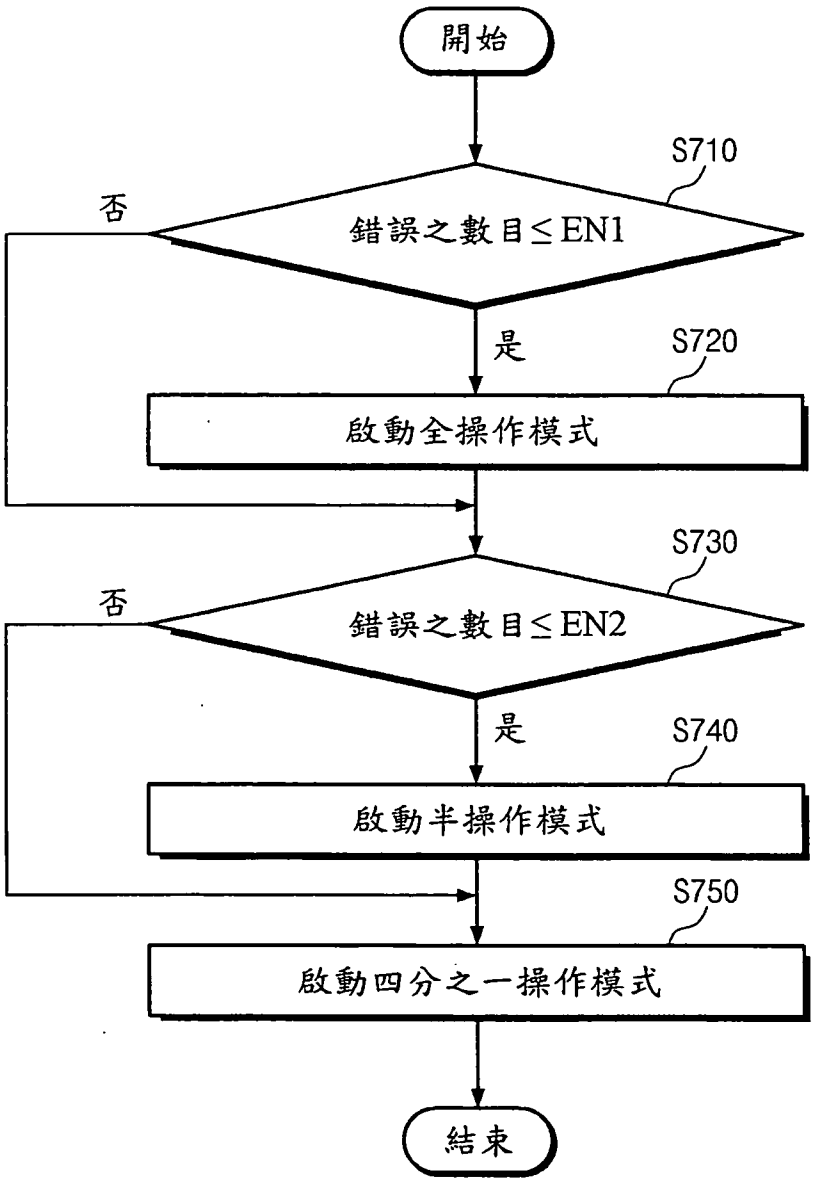

開始
S710
否
錯誤之數目≤EN1
是
S720
啟動全操作模式
S730
否
錯誤之數目≤EN2
是
S740
啟動半操作模式
S750
啟動四分之一操作模式
結束

圖 12

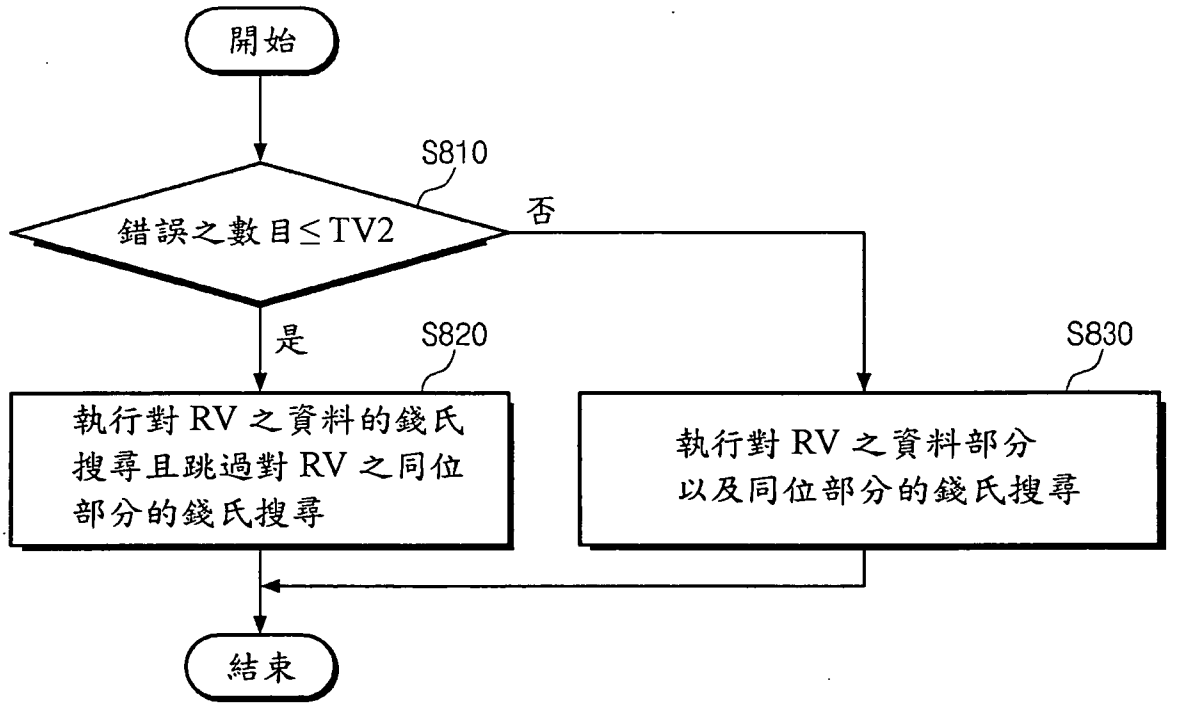

開始
S810
錯誤之數目≤TV2
否
是
S820
執行對 RV 之資料的錢氏搜尋且跳過對 RV 之同位部分的錢氏搜尋
S830
執行對 RV 之資料部分以及同位部分的錢氏搜尋
結束

圖 13

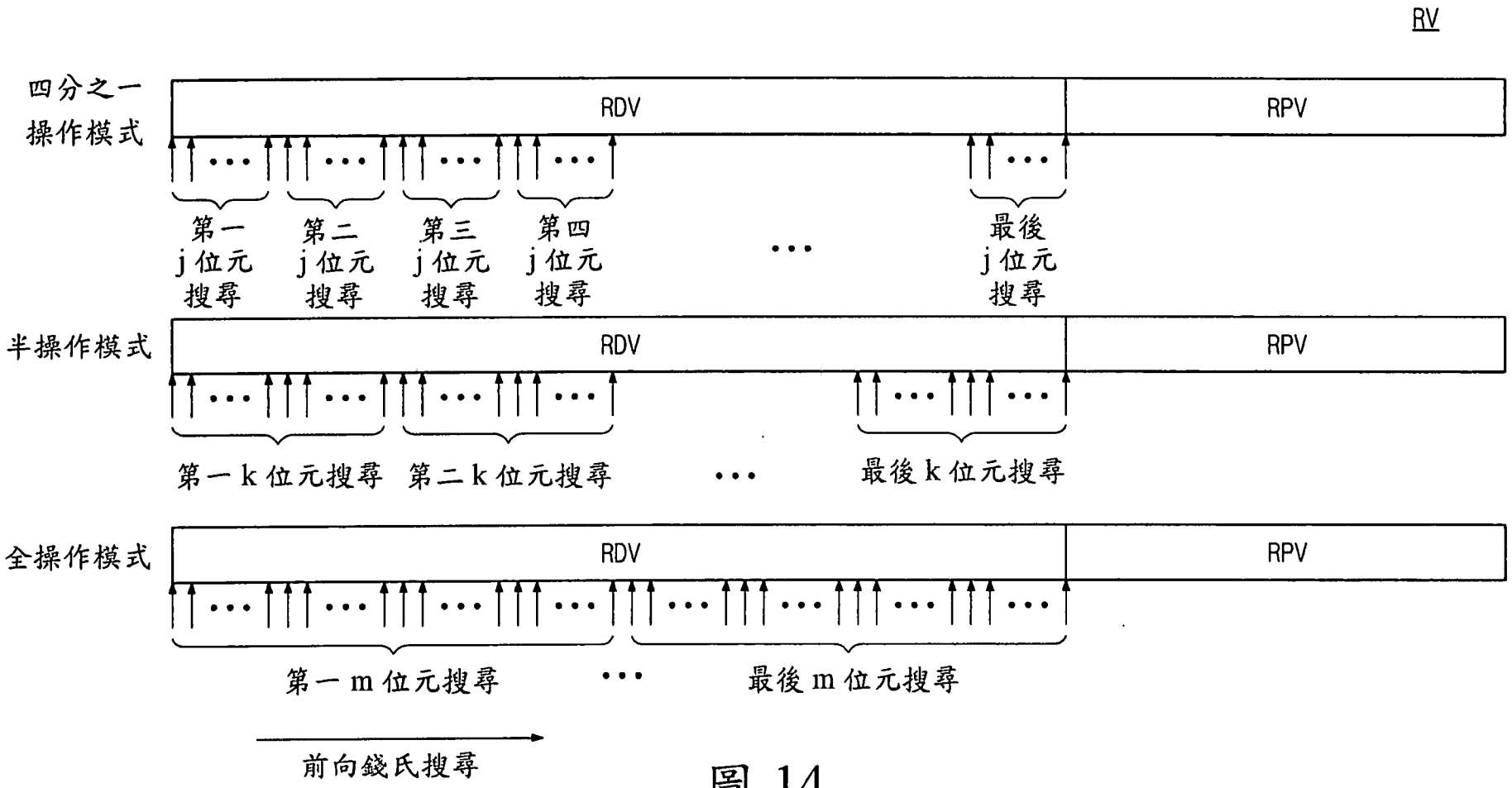

RV
四分之一
操作模式
RDV
RPV
第一
j位元
搜尋
第二
j位元
搜尋
第三
j位元
搜尋
第四
j位元
搜尋
最後
j位元
搜尋
半操作模式
RDV
RPV
第一k位元搜尋
第二k位元搜尋
最後k位元搜尋
全操作模式
RDV
RPV
第一m位元搜尋
最後m位元搜尋
前向錢氏搜尋

圖 14

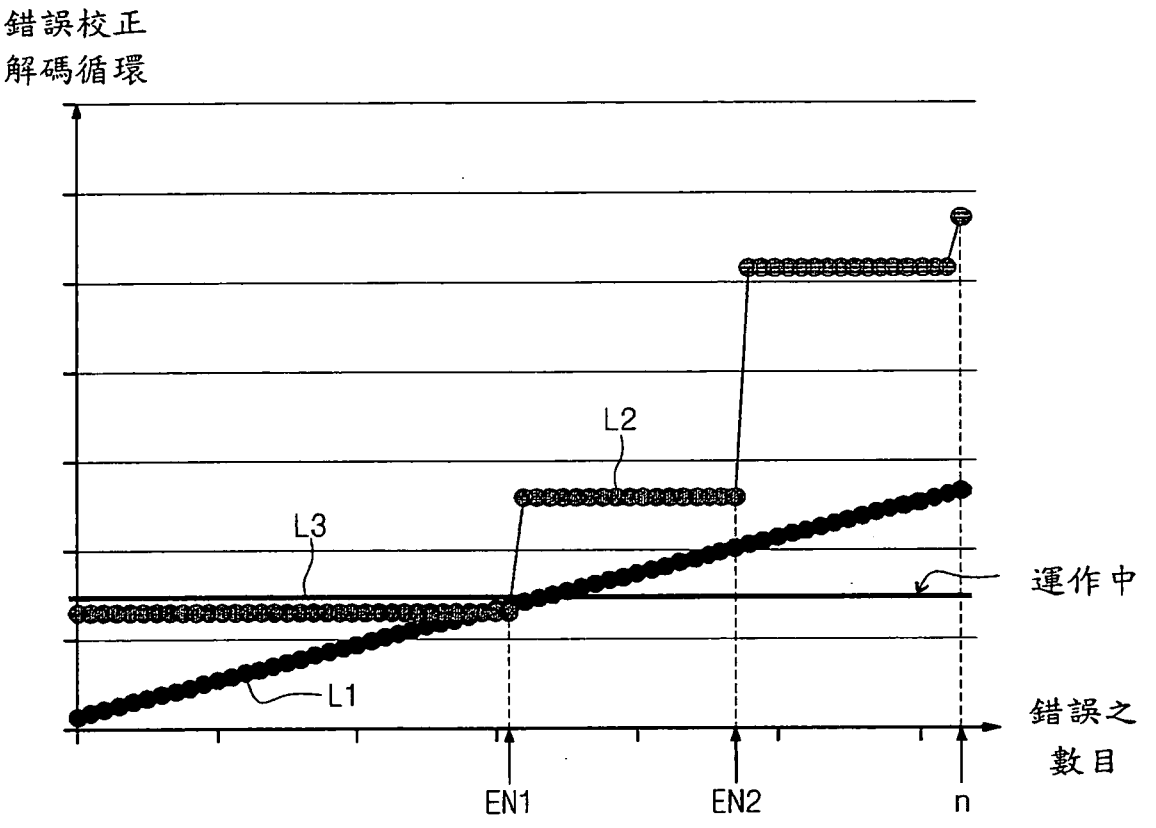


圖 15

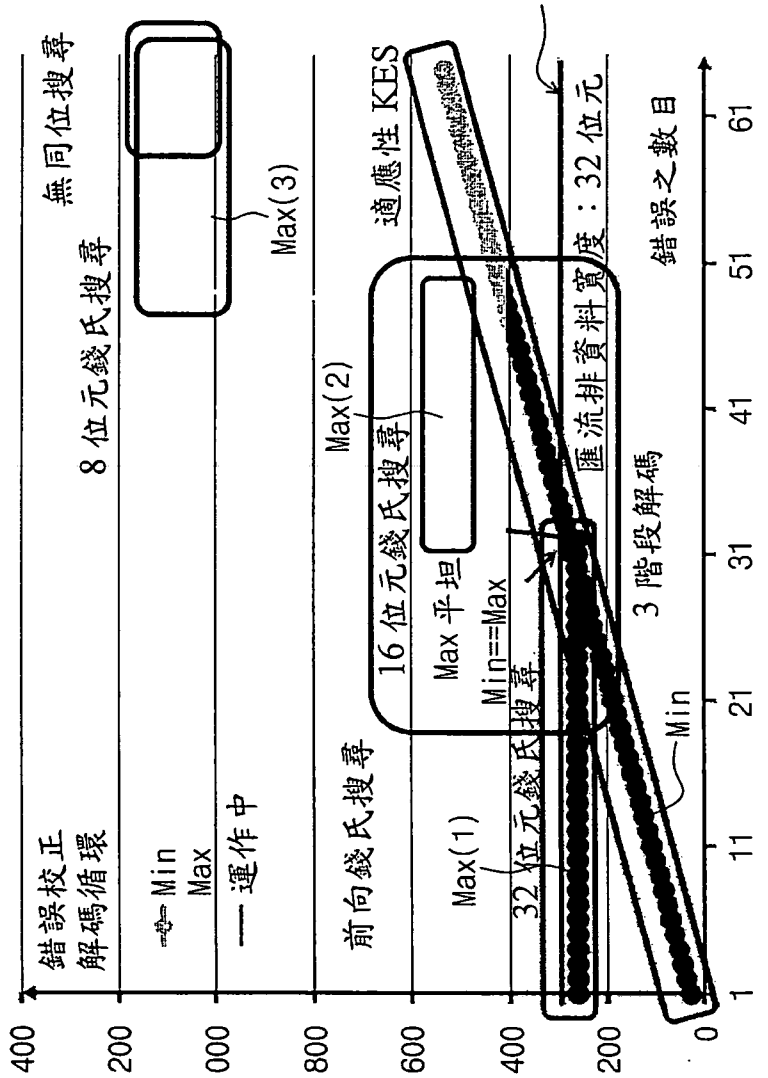

錯誤校正
解碼循環
無同位搜尋
8 位元錢氏搜尋
Min
Max
運作中
Max(3)
Max(2)
前向錢氏搜尋
16 位元錢氏搜尋
適應性 KES
Max(1)
Max 平坦
Min==Max
32 位元錢氏搜尋
運作中
匯流排資料寬度：32 位元
3 階段解碼
Min
錯誤之數目
1400
1200
1000
800
600
400
200
0
1
11
21
31
41
51
61

圖 15A

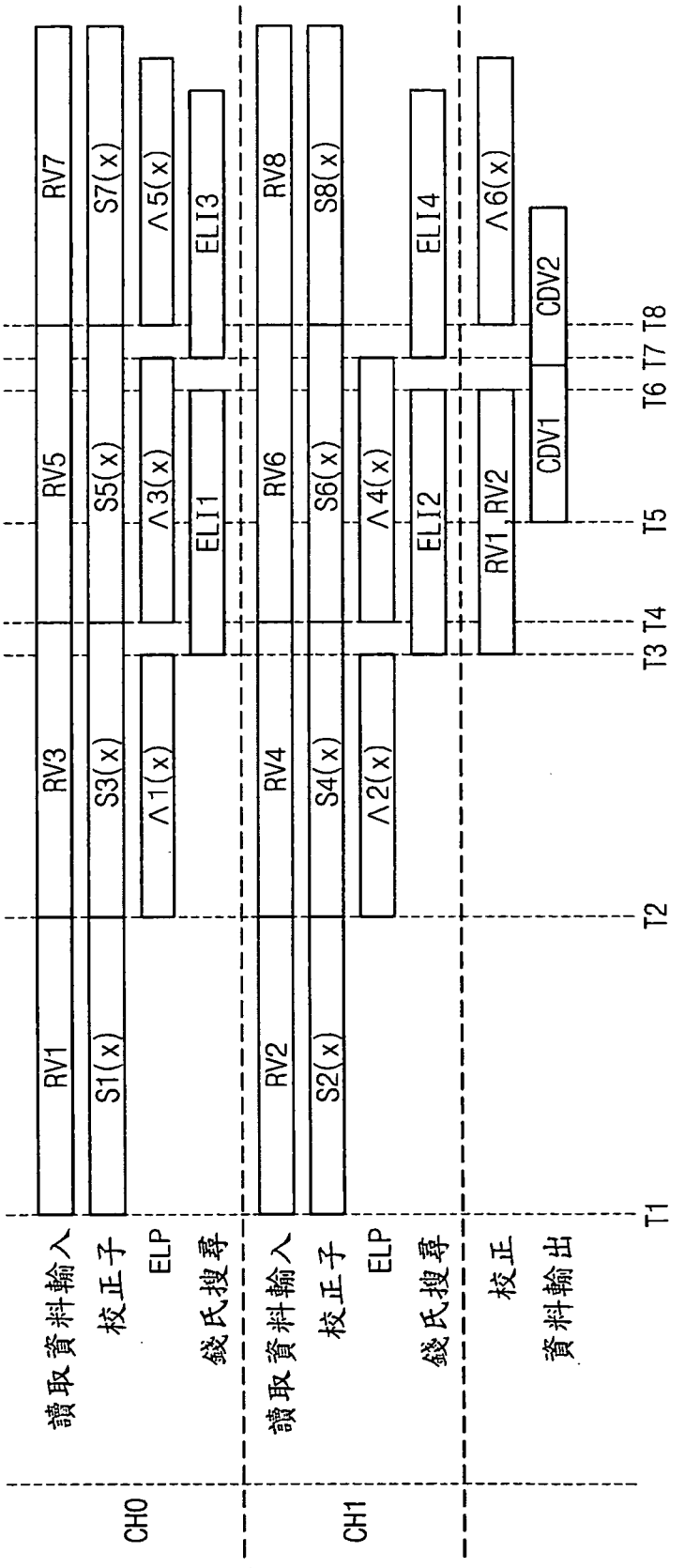

CH0
CH1
讀取資料輸入
校正子
ELP
錢氏搜尋
讀取資料輸入
校正子
ELP
錢氏搜尋
校正
資料輸出
RV1
RV3
RV5
RV7
RV2
RV4
RV6
RV8
S1(x)
S3(x)
S5(x)
S7(x)
S2(x)
S4(x)
S6(x)
S8(x)
Λ1(x)
Λ3(x)
Λ5(x)
Λ2(x)
Λ4(x)
Λ6(x)
ELI1
ELI3
ELI2
ELI4
RV1, RV2
CDV1
CDV2
T1
T2
T3 T4
T5
T6 T7 T8

圖 16

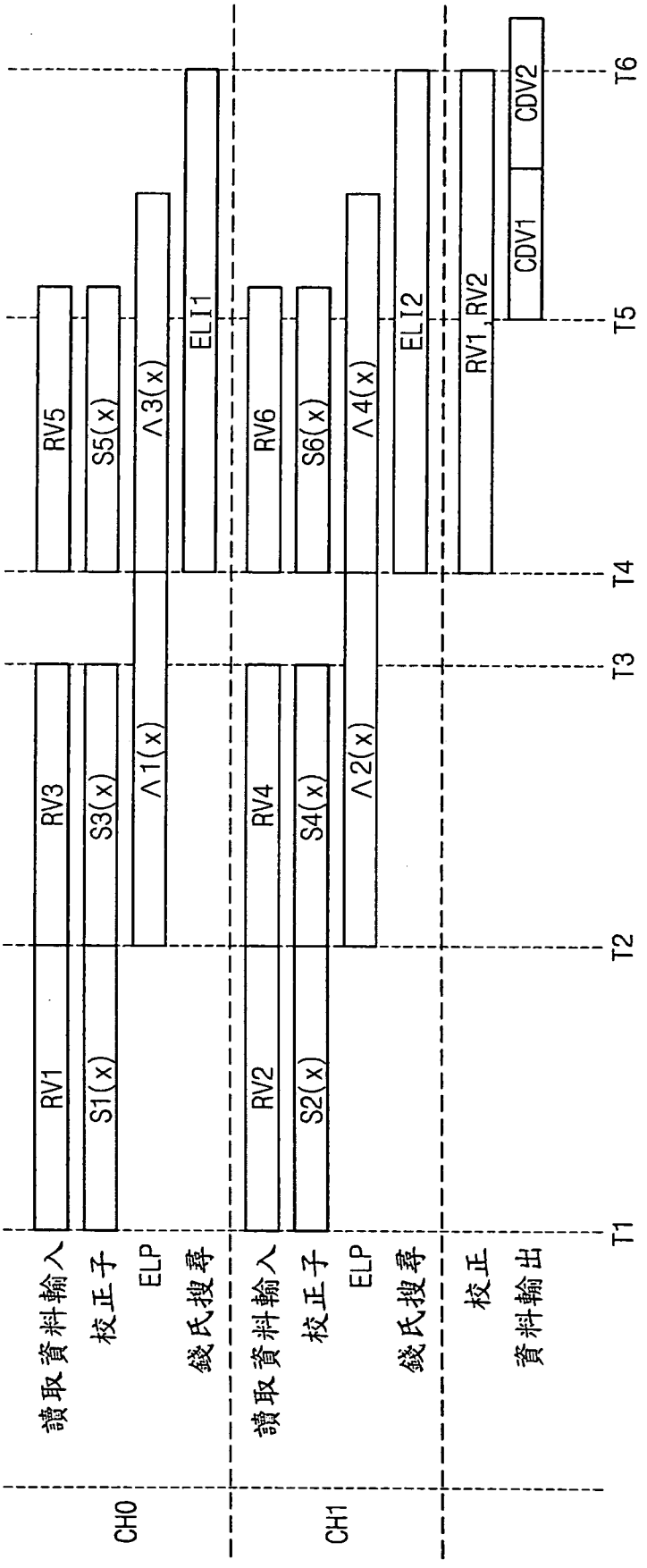

CH0
CH1
讀取資料輸入
校正子
ELP
錢氏搜尋
讀取資料輸入
校正子
ELP
錢氏搜尋
校正
資料輸出
RV1
RV3
S1(x)
S3(x)
Λ1(x)
RV2
RV4
S2(x)
S4(x)
Λ2(x)
RV5
S5(x)
Λ3(x)
ELI1
RV6
S6(x)
Λ4(x)
ELI2
RV1, RV2
CDV1
CDV2
T1
T2
T3
T4
T5
T6

圖 17

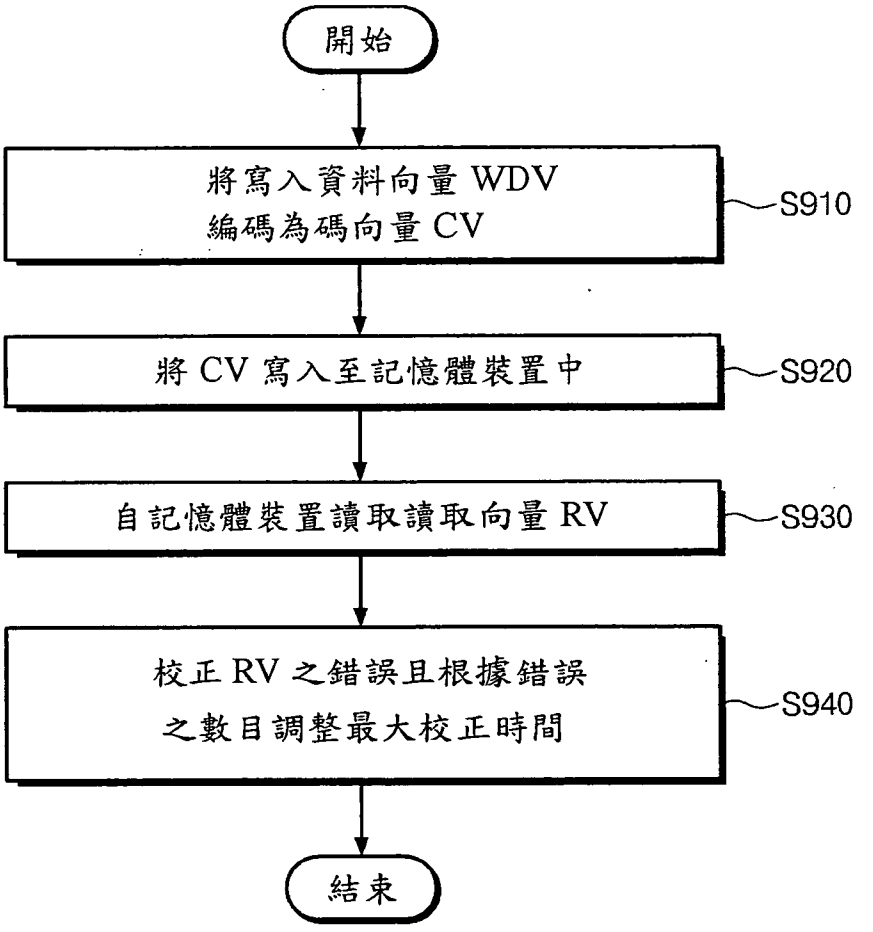

開始
將寫入資料向量 WDV
編碼為碼向量 CV
S910
將 CV 寫入至記憶體裝置中
S920
自記憶體裝置讀取讀取向量 RV
S930
校正 RV 之錯誤且根據錯誤
之數目調整最大校正時間
S940
結束

圖 18

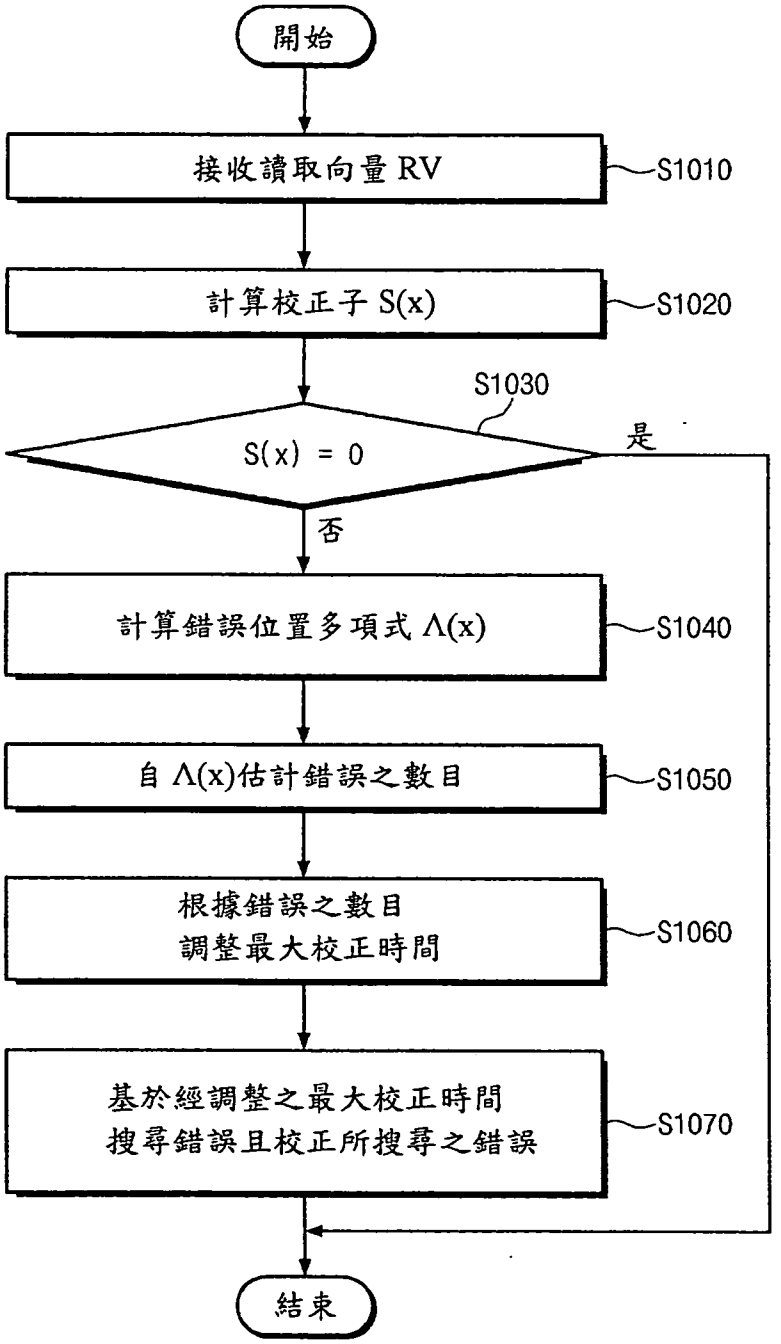

開始
接收讀取向量 RV
S1010
計算校正子 S(x)
S1020
S1030
S(x) = 0
是
否
計算錯誤位置多項式 Λ(x)
S1040
自 Λ(x)估計錯誤之數目
S1050
根據錯誤之數目
調整最大校正時間
S1060
基於經調整之最大校正時間
搜尋錯誤且校正所搜尋之錯誤
S1070
結束

圖 19

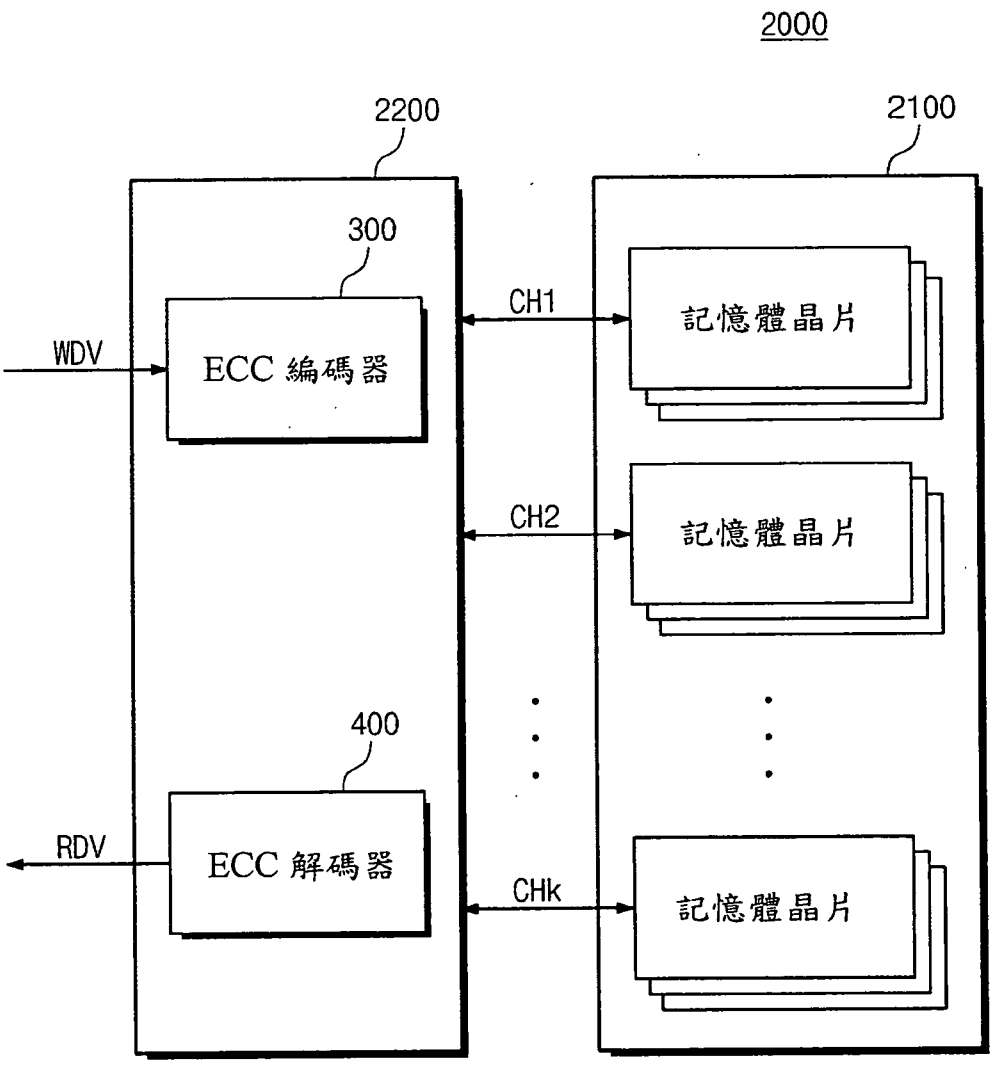

2000
2200
2100
300
WDV
ECC 編碼器
CH1
記憶體晶片
CH2
記憶體晶片
400
RDV
ECC 解碼器
CHk
記憶體晶片

圖 20

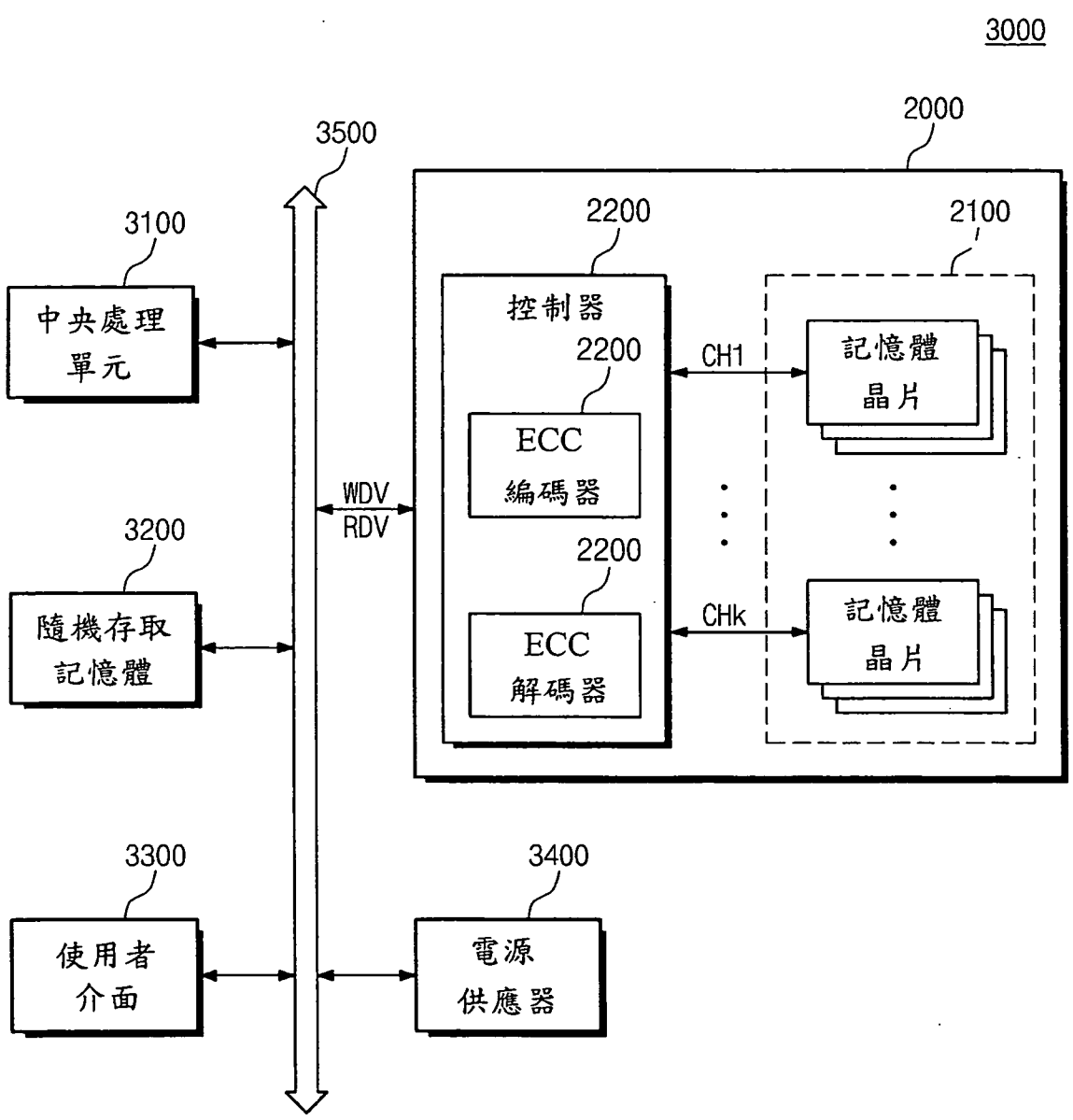

3000
2000
3500
3100
中央處理
單元
2200
2100
控制器
2200
ECC
編碼器
CH1
記憶體
晶片
WDV
RDV
3200
隨機存取
記憶體
2200
ECC
解碼器
CHk
記憶體
晶片
3300
使用者
介面
3400
電源
供應器

圖 21