



---

(21) 申請案號：106144832

(22) 申請日：中華民國 106 (2017) 年 12 月 20 日

(51) Int. Cl. : **H03K19/0185(2006.01)**

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
新竹市新竹科學工業園區力行二路三號

(72) 發明人：王敏嘉 WANG, MIN-CHIA (TW)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：無 申請專利範圍項數：21 項 圖式數：3 共 23 頁

---

(54) 名稱

位準轉換電路

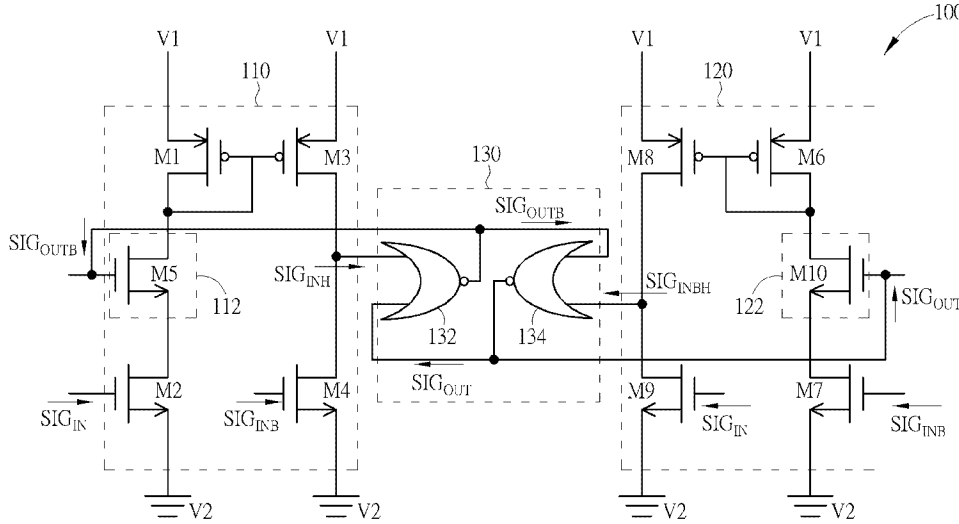
LEVEL SHIFT CIRCUIT

(57) 摘要

位準轉換電路接收第一輸入邏輯訊號及第二輸入邏輯訊號，並產生第一輸出邏輯訊號及第二輸出邏輯訊號。位準轉換電路包含第一電流鏡模組、第二電流鏡模組及閘鎖模組。第一電流鏡模組及第二電流鏡模組分別輸出隨著第一輸入邏輯訊號同向變化的第一控制邏輯訊號及隨著第二輸入邏輯訊號同向變化的第二控制邏輯訊號。閘鎖模組耦接於第一電流鏡模組及第二電流鏡模組。閘鎖模組接收第一控制邏輯訊號及第二控制邏輯訊號，並對應地更新並儲存第二輸出邏輯訊號及第一輸出邏輯訊號。

A level shift circuit receives an first input logic signal and a second input logic signal, and generates a first output logic signal and a second output logic signal. The level shift circuit includes a first current mirror module, a second current mirror module, and a latch module. The first current mirror module and the second current mirror module respectively output a first control logic signal having a phase performance following the first input logic signal and a second control logic signal having a phase performance following the second input logic signal. The latch module is coupled to the first current mirror module and the second current mirror module. The latch module receives the first control logic signal and the second control logic signal, and updates and stores the output logic signal and the complementary output logic signal.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 位準轉換電路
- 110 . . . 第一電流鏡模組
- 120 . . . 第二電流鏡模組
- 130 . . . 閃鎖電路
- 112 . . . 第一開關
- 122 . . . 第二開關
- 132 . . . 第一反或閘
- 134 . . . 第二反或閘
- M1 . . . 第一電晶體
- M2 . . . 第二電晶體
- M3 . . . 第三電晶體
- M4 . . . 第四電晶體
- M5 . . . 第五電晶體
- M6 . . . 第六電晶體
- M7 . . . 第七電晶體
- M8 . . . 第八電晶體
- M9 . . . 第九電晶體
- M10 . . . 第十電晶體
- V1 . . . 第一系統電壓
- V2 . . . 第二系統電壓
- SIG<sub>IN</sub> . . . 第一輸入邏輯訊號
- SIG<sub>INB</sub> . . . 第二輸入邏輯訊號
- SIG<sub>OUT</sub> . . . 第一輸出邏輯訊號
- SIG<sub>OUTB</sub> . . . 第二輸出邏輯訊號
- SIG<sub>INH</sub> . . . 第一控制邏輯訊號

201929436

TW 201929436 A

SIG<sub>INBH</sub> . . . 第二  
控制邏輯訊號

## 【發明說明書】

【中文發明名稱】位準轉換電路

【英文發明名稱】LEVEL SHIFT CIRCUIT

【技術領域】

【0001】 本發明是有關於一種位準轉換電路，特別是有關於一種能夠減少電流損耗的位準轉換電路。

【先前技術】

【0002】 一般而言，為了讓電路能夠有效的操作，同時滿足電能損耗的需求，不同功能的電路常會根據其需求而被設計成具有不同的操作電壓。當這些電路耦接至其他的電路，甚至要控制其他電路時，就會需要位準轉換電路來將其中一電路的輸出操作訊號進行電位轉換，使得另一電路能夠順利接收其操作訊號，並正常運作。

【0003】 在先前技術中，位準轉換電路常是透過N型電晶體來將輸出訊號下拉至低電壓，並透過P型電晶體來將輸出訊號上拉至高電壓。然而當輸入訊號的位準改變，輸出訊號的位準也隨之改變的過程中，位準轉換電路內部的N型電晶體及P型電晶體常會同時導通。此時為了確保輸出訊號的位準能夠正確更新，會選擇面積較大的N型電晶體來實作，因此在兩個電晶體都被導通時，N型電晶體仍然能夠導通較大的電流，並將輸出訊號的位準下拉。然而在此過程中，位準轉換電路將產生可觀的漏電流，造成電能損耗。此外，為能導通較大的電流，使用者也須選用面積較大的N型電晶體，舉例來說，N型電晶體的面積可能約為P型電晶體的二十倍，使得位準轉換電路的整體電路面積難以減縮。

第 1 頁，共 11 頁(發明說明書)

**【發明內容】**

**【0004】** 本發明之一實施例提供一種位準轉換電路，位準轉換電路接收第一輸入邏輯訊號及第二輸入邏輯訊號，並產生第一輸出邏輯訊號及第二輸出邏輯訊號。位準轉換電路包含第一電流鏡模組、第二電流鏡模組及閃鎖模組。

**【0005】** 第一電流鏡模組接收第一輸入邏輯訊號及第二輸出邏輯訊號，並輸出隨著第一輸入邏輯訊號同向變化的第一控制邏輯訊號。

**【0006】** 第二電流鏡模組接收第二輸入邏輯訊號及第一輸出邏輯訊號，並輸出隨著第二輸入邏輯訊號同向變化的第二控制邏輯訊號。

**【0007】** 閃鎖模組耦接於第一電流鏡模組及第二電流鏡模組，閃鎖模組接收第一控制邏輯訊號及第二控制邏輯訊號，並對應地更新及儲存第二輸出邏輯訊號及第一輸出邏輯訊號。

**【圖式簡單說明】****【0008】**

第1圖為本發明一實施例之位準轉換電路的示意圖。

第2圖為第1圖之位準轉換電路的訊號波型圖。

第3圖為本發明另一實施例之位準轉換電路的示意圖。

**【實施方式】**

**【0009】** 第1圖為本發明一實施例之位準轉換電路100的示意圖，位準轉換電路100包含第一電流鏡模組110、第二電流鏡模組120及閃鎖模組130。

**【0010】** 位準轉換電路100可接收第一輸入邏輯訊號SIG<sub>IN</sub>及第二輸入邏輯訊號SIG<sub>INB</sub>，並產生第一輸出邏輯訊號SIG<sub>OUT</sub>及第二輸出邏輯訊號SIG<sub>OUTB</sub>。在本

第2頁，共11頁(發明說明書)

發明的部分實施例中，第一輸入邏輯訊號SIG<sub>IN</sub>及第二輸入邏輯訊號SIG<sub>INB</sub>是在第一高電位VH1及第一低電位VL1之間切換的兩個互補邏輯訊號，而第一輸出邏輯訊號SIG<sub>OUT</sub>及第二輸出邏輯訊號SIG<sub>OUTB</sub>則是在第二高電位VH2及第二低電位VL2之間切換的兩個互補邏輯訊號。此外，第一輸出邏輯訊號SIG<sub>OUT</sub>會隨著第一輸入邏輯訊號SIG<sub>IN</sub>同向變化，而第二輸出邏輯訊號SIG<sub>OUTB</sub>則會隨著第二輸入邏輯訊號SIG<sub>INB</sub>同向變化。

【0011】 第一電流鏡模組110可接收第一輸入邏輯訊號SIG<sub>IN</sub>及第二輸出邏輯訊號SIG<sub>OUTB</sub>，並可輸出隨著第一輸入邏輯訊號SIG<sub>IN</sub>同向變化的第一控制邏輯訊號SIG<sub>INH</sub>。此外，第一電流鏡模組110可包含第一開關112。第一開關112可設置於第一電流鏡模組110的參考電流路徑上，並可根據第二輸出邏輯訊號SIG<sub>OUTB</sub>啟動第一電流鏡模組110。

【0012】 舉例來說，第一電流鏡模組110可包含第一電晶體M1、第二電晶體M2、第三電晶體M3及第四電晶體M4。

【0013】 第一電晶體M1具有第一端、第二端及控制端，第一電晶體M1的第一端可接收第一系統電壓V1，第一電晶體M1的第二端耦接於第一開關112，而第一電晶體M1的控制端耦接於第一電晶體M1之第二端。第二電晶體M2具有第一端、第二端及控制端，第二電晶體M2的第一端耦接於第一開關112，第二電晶體M2的第二端可接收第二系統電壓V2，而第二電晶體M2的控制端可接收第一輸入邏輯訊號SIG<sub>IN</sub>。

【0014】 第三電晶體M3具有第一端、第二端及控制端，第三電晶體M3的第一端可接收第一系統電壓V1，第三電晶體M3的第二端可輸出第一控制邏輯訊號SIG<sub>INH</sub>，而第三電晶體M3的控制端耦接於第一電晶體M1之控制端。第四電晶體M4具有第一端、第二端及控制端，第四電晶體M4的第一端耦接於第三電晶體M3之第二端，第四電晶體M4的第二端可接收第二系統電壓V2，而第四電晶體

M4的控制端可接收第二輸入邏輯訊號SIG<sub>INB</sub>。

【0015】 在第1圖的實施例中，第一開關112可包含第五電晶體M5。第五電晶體M5具有第一端、第二端及控制端，第五電晶體M5的第一端耦接於第一電晶體M1之第二端，第五電晶體M5的第二端耦接於第二電晶體M2之第一端，而第五電晶體M5的控制端可接收第二輸出邏輯訊號SIG<sub>OUTB</sub>。由於第一開關112是設置第一電晶體M1及第二電晶體M2之間，亦即第一電流鏡模組110的參考電流路徑上，因此透過第一開關112就能夠啟動或關閉第一電流鏡模組110，達到有效控制電流損耗的功效。

【0016】 第二電流鏡模組120與第一電流鏡模組110具有相似的結構。第二電流鏡模組120可接收第二輸入邏輯訊號SIG<sub>INB</sub>及第一輸出邏輯訊號SIG<sub>OUT</sub>，並可輸出隨著第二輸入邏輯訊號SIG<sub>INB</sub>同向變化的第二控制邏輯訊號SIG<sub>INBH</sub>。此外，第二電流鏡模組120可包含第二開關122。第二開關122可設置於第二電流鏡模組120的參考電流路徑上，並可根據第一輸出邏輯訊號SIG<sub>OUT</sub>啟動第二電流鏡模組120。

【0017】 舉例來說，第二電流鏡模組120可包含第六電晶體M6、第七電晶體M7、第八電晶體M8及第九電晶體M9。

【0018】 第六電晶體M6具有第一端、第二端及控制端，第六電晶體M6的第一端可接收第一系統電壓V1，第六電晶體M6的第二端耦接於第二開關122，而第六電晶體M6的控制端耦接於第六電晶體M6之第二端。第七電晶體M7具有第一端、第二端及控制端，第七電晶體M7的第一端耦接於第二開關122，第七電晶體M7的第二端可接收第二系統電壓V2，而第七電晶體M7的控制端可接收第二輸入邏輯訊號SIG<sub>INB</sub>。

【0019】 第八電晶體M8具有第一端、第二端及控制端，第八電晶體M8的第一端可接收第一系統電壓V1，第八電晶體M8的第二端可輸出第二控制邏輯訊號

$SIG_{INBH}$ ，而第八電晶體M8的控制端耦接於第六電晶體M6之控制端。第九電晶體M9具有第一端、第二端及控制端，第九電晶體M9的第一端耦接於第八電晶體M8之第二端，第九電晶體M9的第二端可接收第二系統電壓V2，而第九電晶體M9的控制端可接收第一輸入邏輯訊號 $SIG_{IN}$ 。

【0020】 此外，第二開關122可包含第十電晶體M10，第十電晶體M10具有第一端、第二端及控制端，第十電晶體M10的第一端耦接於第六電晶體M6之第二端，第十電晶體M10的第二端耦接於第七電晶體M7之第一端，而第十電晶體M10的控制端可接收第一輸出邏輯訊號 $SIG_{OUT}$ 。

【0021】 在本發明的部分實施例中，第一系統電壓V1可大於第二系統電壓V2。第一系統電壓V1可例如為系統的操作電壓，可用來提供第二高電位 $VH2$ ，而第二系統電壓V2可例如為系統的接地電壓，可用來提供第二低電位 $VL2$ 。在此情況下，第一電晶體M1、第三電晶體M3、第六電晶體M6及第八電晶體M8可為P型電晶體，而第二電晶體M2、第四電晶體M4、第五電晶體M5、第七電晶體M7、第九電晶體M9及第十電晶體M10可為N型電晶體。

【0022】 門鎖模組130耦接於第一電流鏡模組110及第二電流鏡模組120，門鎖模組130可接收第一控制邏輯訊號 $SIG_{INH}$ 、第二控制邏輯訊號 $SIG_{INBH}$ ，並對應地更新並儲存第二輸出邏輯訊號 $SIG_{OUTB}$ 及第一輸出邏輯訊號 $SIG_{OUT}$ ，以使第一輸出邏輯訊號 $SIG_{OUT}$ 隨第一控制邏輯訊號 $SIG_{INH}$ 同向變化，並使第二輸出邏輯訊號 $SIG_{OUTB}$ 隨第二控制邏輯訊號 $SIG_{INBH}$ 同向變化。

【0023】 門鎖電路130可包含第一反或閘(NOR gate)132及第二反或閘134。第一反或閘132及第二反或閘134可利用交叉耦合(cross-coupled)的方式相連接。舉例來說，第一反或閘132具有第一輸入端、第二輸入端及輸出端，第一反或閘132的第一輸入端可接收第一控制邏輯訊號 $SIG_{INH}$ ，第一反或閘132的第二輸入端可接收第一輸出邏輯訊號 $SIG_{OUT}$ ，而第一反或閘132的輸出端可輸出第二輸出邏輯

訊號SIG<sub>OUTB</sub>。第二反或閘134具有第一輸入端、第二輸入端及輸出端，第二反或閘134的第一輸入端可接收第二控制邏輯訊號SIG<sub>INBH</sub>，第二反或閘134的第二輸入端可接收第二輸出邏輯訊號SIG<sub>OUTB</sub>，而第二反或閘134的輸出端可輸出第一輸出邏輯訊號SIG<sub>OUT</sub>。

【0024】 第2圖為本發明一實施例之位準轉換電路100的訊號波型圖。在第2圖的實施例中，第一低電位VL1及第二低電位VL2可為相同的參考電位，例如為接地電位，然而本發明並不以此為限。此外，第二高電位VH2可大於第一高電位VH1，例如第一高電位VH1為0.7V，而第二高電位VH2為1.8V。

【0025】 在第2圖的第一時點T1，位準轉換電路100處於一穩定狀態，此時第一輸入邏輯訊號SIG<sub>IN</sub>為第一低電位VL1，第二輸入邏輯訊號SIG<sub>INB</sub>為第一高電位VH1，第一輸出邏輯訊號SIG<sub>OUT</sub>為第二低電位VL2，而第二輸出邏輯訊號SIG<sub>OUTB</sub>為第二高電位VH2。

【0026】 在此情況下，第一電流鏡模組110中的第二電晶體M2會被截止，因此雖然第一開關112中的第五電晶體M5會接收到處於第二高電位VH2的第二輸出邏輯訊號SIG<sub>OUTB</sub>，然而第一電流鏡模組110仍然不會產生電流。相對的，第二電流鏡模組120中的第七電晶體M7雖然會接收到處於第一高電位VH1的第二輸入邏輯訊號SIG<sub>INB</sub>，然而第二開關122中的第十電晶體M10會接收到處於第二低電位VL2的第一輸出邏輯訊號SIG<sub>OUT</sub>而被截止，因此第二電流鏡模組120也不會產生電流。也就是說，位準轉換電路100在穩定狀態下並不會導通電流，因此能夠減少電能損耗。

【0027】 在第二時點T2，第一輸入邏輯訊號SIG<sub>IN</sub>由第一低電位VL1變為第一高電位VH1，而第二輸入邏輯訊號SIG<sub>INB</sub>由第一高電位VH1變為第一低電位VL1。此時，第一輸出邏輯訊號SIG<sub>OUT</sub>及第二輸出邏輯訊號SIG<sub>OUTB</sub>尚未更新，因此第一輸出邏輯訊號SIG<sub>OUT</sub>會先維持在第二低電位VL2，而第二輸出邏輯訊號

$SIG_{OUTB}$ 會先維持在第二高電位 $VH2$ 。也就是說，在第一電流鏡模組110之參考電流路徑上的第二電晶體M2和第五電晶體M5都會被導通，使得第一電流鏡模組110被啟動而產生參考電流。然而此時第四電晶體M4會被截止，因此由第三電晶體M3對應產生的複製電流將會迅速地提升第一控制邏輯訊號 $SIG_{INH}$ 的電位。此外，由於第二電流鏡模組120並未被啟動，因此在第二電流鏡模組120中，被導通的第九電晶體M9將迅速地將第二控制邏輯訊號 $SIG_{INBH}$ 被下拉至第二低電位 $VL2$ 。

**【0028】** 當第一控制邏輯訊號 $SIG_{INH}$ 於第三時點T3被提升至第二高電位 $VH2$ 時，閃鎖電路130會被觸發，此時第一反或閘132會改變輸出電位，使得第二輸出邏輯訊號 $SIG_{OUTB}$ 被拉低至第二低電位 $VL2$ 。當第二輸出邏輯訊號 $SIG_{OUTB}$ 被拉低至第二低電位 $VL2$ 時，第一開關112就會被截止，使得第一電流鏡模組110停止產生電流，進而避免不必要的電能損耗。此外，第二反或閘134也會跟著改變輸出電位，而將第一輸出邏輯訊號 $SIG_{OUT}$ 提升至第二高電位 $VH2$ 。如此一來，位準轉換電路100便能夠隨著第一輸入邏輯訊號 $SIG_{IN}$ 及第二輸入邏輯訊號 $SIG_{INB}$ 的變化，更新第一輸出邏輯訊號 $SIG_{OUT}$ 及第二輸出邏輯訊號 $SIG_{OUTB}$ ，並進入新的穩定狀態。

**【0029】** 同理，在第一輸入邏輯訊號 $SIG_{IN}$ 由第一高電位 $VH1$ 變為第一低電位 $VL1$ ，而第二輸入邏輯訊號 $SIG_{INB}$ 由第一低電位 $VL1$ 變為第一高電位 $VH1$ 的情況下，第二電流鏡模組120則會被啟動以提升第二控制邏輯訊號 $SIG_{INBH}$ 的電位，而第一電流鏡模組110則不會被啟動，使得第一控制邏輯訊號 $SIG_{INH}$ 的電位能夠迅速下拉，如此一來，閃鎖電路130就會被觸發而對應地更新第一輸出邏輯訊號 $SIG_{OUT}$ 及第二輸出邏輯訊號 $SIG_{OUTB}$ 的電位。

**【0030】** 換言之，在位準轉換電路100中，第一電流鏡模組110及第二電流鏡模組120會在相異時段被啟動，因此位準轉換電路100並不會出現先前技術中N型

電晶體及P型電晶體同時導通並互相拉扯的情況，也因此能夠有效減少漏電流的產生。再者，在無須與P型電晶體競爭的情況下，N型電晶體也無須導通較大的電流，因此也無須選擇面積較大的N型電晶體，例如可選擇與P型電晶體具有相近面積的N型電晶體。如此一來，就能夠大為縮減位準轉換電路100的電路面積，在本發明的部分實施例中，位準轉換電路100的電路面積可較先前技術縮減約百分之六十。

【0031】 此外，本發明並不限定以第1圖所示的電流鏡模組來實作第一電流鏡模組110及第二電流鏡模組120，在本發明的部分實施例中，第一電流鏡模組110及第二電流鏡模組120還可根據系統的需求改以其他的電流鏡架構來實作。

【0032】 第3圖為本發明另一實施例之位準轉換電路200的示意圖。位準轉換電路200與位準轉換電路100具有相似的結構及操作原理。然而在位準轉換電路200中，第一電流鏡模組210可利用第一電阻R1來取代第一電流鏡模組110的第四電晶體M4，而第二電流鏡模組220亦可利用第二電阻R2來取代第二電流鏡模組120的第九電晶體M9。

【0033】 第一電阻R1具有第一端及第二端，第一電阻R1的第一端耦接於第三電晶體M3之第二端，而第一電阻R1的第二端可接收第二系統電壓V2。第二電阻R2具有第一端及第二端，第二電阻R2的第一端耦接於第八電晶體M8的第二端，而第二電阻R2的第二端可接收第二系統電壓V2。

【0034】 位準轉換電路200也可根據第2圖中的訊號波型來操作。在此情況下，當第一電流鏡模組210於第二時點T2被啟動時，經由第三電晶體M3複製產生的複製電流就會流經第一電阻R1，然而只要能夠適當選擇第一電阻R1的阻值，第一控制邏輯訊號SIG<sub>INH</sub>的電位仍然可以持續提升至第二高電位VH2。相對的，由於第二電流鏡模組220並未被啟動，因此第二電阻R2亦可將第二控制邏輯訊號SIG<sub>INBH</sub>的電位下拉至第二低電位VL2。

【0035】 此外，由於位準轉換電路200在進入穩態時，第一開關112會被截止，使得第一電流鏡模組210也會停止產生電流，因而不至於增加過多電能損耗。

【0036】 由於位準轉換電路200中的第一電流鏡模組210及第二電流鏡模組220會在相異時段啟動，因此不會出現先前技術中N型電晶體及P型電晶體同時導通並互相拉扯的情況，也就能夠有效減少漏電流的產生。再者，由於N型電晶體無須導通較大的電流，因此也無須選擇面積較大的N型電晶體，使得位準轉換電路200的電路面積能夠大為縮減。

【0037】 綜上所述，本發明之實施例所提供的位準轉換電路能夠利用具有開關的電流鏡來轉換訊號的電位，因此能夠有效地控制電能損耗。此外，由於本發明之位準轉換電路內部的N型電晶體及P型電晶體不會同時導通並互相拉扯，因此能夠有效減少漏電流的產生，同時也無須選擇面積較大的N型電晶體，使得位準轉換電路的電路面積能夠大為縮減。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

【0038】	
100、200	位準轉換電路
110、210	第一電流鏡模組
120、220	第二電流鏡模組
130	閃鎖電路
112	第一開關
122	第二開關
132	第一反或閘
134	第二反或閘

M1	第一電晶體
M2	第二電晶體
M3	第三電晶體
M4	第四電晶體
M5	第五電晶體
M6	第六電晶體
M7	第七電晶體
M8	第八電晶體
M9	第九電晶體
M10	第十電晶體
V1	第一系統電壓
V2	第二系統電壓
SIG <sub>IN</sub>	第一輸入邏輯訊號
SIG <sub>INB</sub>	第二輸入邏輯訊號
SIG <sub>OUT</sub>	第一輸出邏輯訊號
SIG <sub>OUTB</sub>	第二輸出邏輯訊號
SIG <sub>INH</sub>	第一控制邏輯訊號
SIG <sub>INBH</sub>	第二控制邏輯訊號
VL1	第一低電位
VH1	第一高電位
VL2	第二低電位
VH2	第二高電位
T1	第一時點
T2	第二時點

T3

第三時點



201929436

**【發明摘要】****【中文發明名稱】** 位準轉換電路**【英文發明名稱】** LEVEL SHIFT CIRCUIT**【中文】**

位準轉換電路接收第一輸入邏輯訊號及第二輸入邏輯訊號，並產生第一輸出邏輯訊號及第二輸出邏輯訊號。位準轉換電路包含第一電流鏡模組、第二電流鏡模組及閘鎖模組。第一電流鏡模組及第二電流鏡模組分別輸出隨著第一輸入邏輯訊號同向變化的第一控制邏輯訊號及隨著第二輸入邏輯訊號同向變化的第二控制邏輯訊號。閘鎖模組耦接於第一電流鏡模組及第二電流鏡模組。閘鎖模組接收第一控制邏輯訊號及第二控制邏輯訊號，並對應地更新並儲存第二輸出邏輯訊號及第一輸出邏輯訊號。

**【英文】**

A level shift circuit receives an first input logic signal and a second input logic signal, and generates a first output logic signal and a second output logic signal. The level shift circuit includes a first current mirror module, a second current mirror module, and a latch module. The first current mirror module and the second current mirror module respectively output a first control logic signal having a phase performance following the first input logic signal and a second control logic signal having a phase performance following the second input logic signal. The latch module is coupled to the first current mirror module and the second current mirror module. The latch module receives the first control logic signal and the second control logic signal, and updates and stores the output logic signal and the

complementary output logic signal.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

100	位準轉換電路
110	第一電流鏡模組
120	第二電流鏡模組
130	閃鎖電路
112	第一開關
122	第二開關
132	第一反或閘
134	第二反或閘
M1	第一電晶體
M2	第二電晶體
M3	第三電晶體
M4	第四電晶體
M5	第五電晶體
M6	第六電晶體
M7	第七電晶體
M8	第八電晶體
M9	第九電晶體
M10	第十電晶體
V1	第一系統電壓
V2	第二系統電壓
SIG <sub>IN</sub>	第一輸入邏輯訊號

$SIG_{INB}$	第二輸入邏輯訊號
$SIG_{OUT}$	第一輸出邏輯訊號
$SIG_{OUTB}$	第二輸出邏輯訊號
$SIG_{INH}$	第一控制邏輯訊號
$SIG_{INBH}$	第二控制邏輯訊號

【特徵化學式】

無

## 【發明申請專利範圍】

【第1項】 一種位準轉換電路，可接收一第一輸入邏輯訊號及一第二輸入邏輯訊號，並產生一第一輸出邏輯訊號及一第二輸出邏輯訊號，其中位準轉換電路包含：

一第一電流鏡模組，用以接收該第一輸入邏輯訊號及該第二輸出邏輯訊號，並輸出隨著該第一輸入邏輯訊號同向變化的一第一控制邏輯訊號；

一第二電流鏡模組，用以接收該第二輸入邏輯訊號及該第一輸出邏輯訊號，並輸出隨著該第二輸入邏輯訊號同向變化的一第二控制邏輯訊號；及

一門鎖模組，耦接於該第一電流鏡模組及該第二電流鏡模組，用以接收該第一控制邏輯訊號及該第二控制邏輯訊號，及對應地更新並儲存該第二輸出邏輯訊號及該第一輸出邏輯訊號。

【第2項】 如請求項1所述之位準轉換電路，其中：

該第一輸入邏輯訊號及該第二輸入邏輯訊號係在一第一高電位及一第一低電位之間切換的兩個互補邏輯訊號；及

該第一輸出邏輯訊號及該第二輸出邏輯訊號係在一第二高電位及一第二低電位之間切換的兩個互補邏輯訊號。

【第3項】 如請求項2所述之位準轉換電路，其中該第二高電位大於該第一高電位。

【第4項】 如請求項1所述之位準轉換電路，其中該第一電流鏡模組及該第二電流鏡模組係於相異時段被啟動。

【第5項】 如請求項1所述之位準轉換電路，其中：

當該第一輸入邏輯訊號由該第一低電位變為該第一高電位，且該第二輸入邏輯訊號由該第一高電位變為該第一低電位時，該第二輸出邏輯訊號是先維持在該第二高電位使得該第一電流鏡模組被啟動，以將該第一控制邏輯訊號提升至該第二高電位；及

當該第一控制邏輯訊號被提升至該第二高電位時，該門鎖電路被觸發並將該第二輸出邏輯訊號拉低至該第二低電位。

【第6項】 如請求項5所述之位準轉換電路，其中：

當該第二輸出邏輯訊號被拉低至該第二低電位時，該門鎖電路被觸發並將該第一輸出邏輯訊號提升至該第二高電位。

【第7項】 如請求項1所述之位準轉換電路，其中該門鎖電路包含一第一反或閘(NOR gate)及一第二反或閘，該第一反或閘及該第二反或閘係以交叉耦合(cross-coupled)的方式相連接。

【第8項】 如請求項7所述之位準轉換電路，其中：

該第一反或閘具有一第一輸入端用以接收該第一控制邏輯訊號，一第二輸入端用以接收該第一輸出邏輯訊號，及一輸出端用以輸出該第二輸出邏輯訊號；及

該第二反或閘具有一第一輸入端用以接收該第二控制邏輯訊號，一第二輸

入端用以接收該第二輸出邏輯訊號，及一輸出端用以輸出該第一輸出邏輯訊號。

**【第9項】** 如請求項1所述之位準轉換電路，其中：

該第一電流鏡模組包含一第一開關，設置於該第一電流鏡模組之一參考電流路徑上，用以根據該第二輸出邏輯訊號啟動該第一電流鏡模組；及該第二電流鏡模組包含一第二開關，設置於該第二電流鏡模組之一參考電流路徑上，用以根據該第一輸出邏輯訊號啟動該第二電流鏡模組。

**【第10項】** 如請求項9所述之位準轉換電路，其中該第一電流鏡模組包含：

一第一電晶體，具有一第一端用以接收一第一系統電壓，一第二端耦接於該第一開關，及一控制端耦接於該第一電晶體之該第二端；  
一第二電晶體，具有一第一端耦接於該第一開關，一第二端用以接收一第二系統電壓，及一控制端用以接收該第一輸入邏輯訊號；及  
一第三電晶體，具有一第一端用以接收該第一系統電壓，一第二端用以輸出該第一控制邏輯訊號，及一控制端耦接於該第一電晶體之該控制端。

**【第11項】** 如請求項10所述之位準轉換電路，其中該第一電流鏡模組另包含：

一第四電晶體，具有一第一端耦接於該第三電晶體之該第二端，一第二端用以接收該第二系統電壓，及一控制端用以接收該第二輸入邏輯訊號。

**【第12項】** 如請求項11所述之位準轉換電路，其中：

第 3 頁，共 5 頁(發明申請專利範圍)

該第一系統電壓大於該第二系統電壓；

該第一電晶體及該第三電晶體係為P型電晶體；及

該第二電晶體及該第四電晶體係為N型電晶體。

【第13項】如請求項10所述之位準轉換電路，其中該第一電流鏡模組另包含：

一第一電阻，具有一第一端耦接於該第三電晶體之該第二端，及一第二端用以接收該第二系統電壓。

【第14項】如請求項10至13任一項所述之位準轉換電路，其中該第一開關包含

一第五電晶體，具有一第一端耦接於該第一電晶體之該第二端，一第二端耦接於該第二電晶體之該第一端，及一控制端用以接收該第二輸出邏輯訊號。

【第15項】如請求項14所述之位準轉換電路，其中該第五電晶體係為N型電晶

體。

【第16項】如請求項9所述之位準轉換電路，其中該第二電流鏡模組包含：

一第六電晶體，具有一第一端用以接收一第一系統電壓，一第二端耦接於該第二開關，及一控制端耦接於該第六電晶體之該第二端；

一第七電晶體，具有一第一端耦接於該第二開關，一第二端用以接收一第二系統電壓，及一控制端用以接收該第二輸入邏輯訊號；及

一第八電晶體，具有一第一端用以接收該第一系統電壓，一第二端用以輸出該第二控制邏輯訊號，及一控制端耦接於該第六電晶體之該控制端。

【第17項】如請求項16所述之位準轉換電路，其中該第二電流鏡模組另包含：  
一第九電晶體，具有一第一端耦接於該第八電晶體之該第二端，一第二端用以接收該第二系統電壓，及一控制端用以接收該第一輸入邏輯訊號。

【第18項】如請求項17所述之位準轉換電路，其中：  
該第一系統電壓大於該第二系統電壓；  
該第六電晶體及該第八電晶體係為P型電晶體；及  
該第七電晶體及該第九電晶體係為N型電晶體。

【第19項】如請求項16所述之位準轉換電路，其中該第一電流鏡模組另包含：  
一第二電阻，具有一第一端耦接於該第八電晶體之該第二端，及一第二端用以接收該第二系統電壓。

【第20項】如請求項16至19任一項所述之位準轉換電路，其中該第二開關包含一第十電晶體，具有一第一端耦接於該第六電晶體之該第二端，一第二端耦接於該第七電晶體之該第一端，及一控制端用以接收該第一輸出邏輯訊號。

【第21項】如請求項20所述之位準轉換電路，其中該第十電晶體係為N型電晶體。





