(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 8/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0205007
(24) 등록일자 1999년03월31일

(21) 출원번호 10-1995-0046459
(22) 출원일자 1995년12월04일
(65) 공개번호 특1997-0051136
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 전준영
서울특별시 강남구 도곡동 895-8 역삼 한신아파트 5동 106호
차기원
경기도 수원시 팔달구 매탄동 한국 2차아파트 112동 404호
이상재
서울특별시 서초구 방배동 830-22
(74) 대리인 임창현

심사관 : 정회환

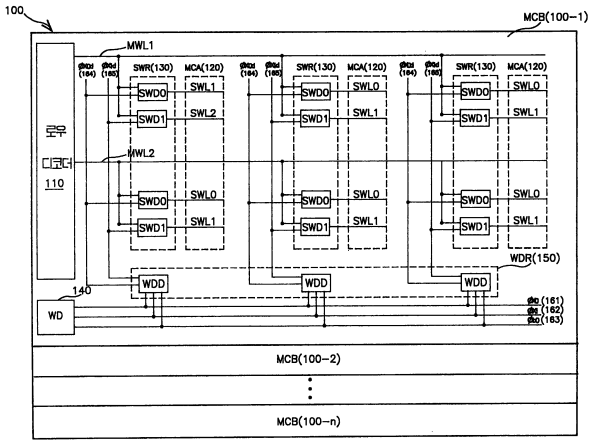
(54) 멀티-워드라인 드라이버를 갖는 반도체 메모리장치

요약

본 발명은 동일 워드라인에 대하여 적어도 2개이상의 서브워드라인 드라이버의 사용시 문제가 되고 있는 메인 워드라인의 개수를 최소화하여 메인 워드라인의 피치를 개선시키고, 적어도 4개의 서브 워드라인 피치마다 4개의 서브 워드라인에 관련된 서브 워드라인 드라이버를 배치시키며, 메모리 셀 블럭사이에 워드라인 디코더 드라이버를 균형있게 분산배치하여 워드라인 디코더가 차지하는 레이아웃 면적을 최소화함으로써 집적도를 높일 수 있는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치에 관한 것이다.

본 발명은 메모리 셀 블럭이 제1방향으로 N개로 나누어지고, 각 메모리 셀 블럭이 제2방향으로 M개의 메모리 셀어레이로 나누어진 반도체 메모리 장치에 있어서, 이웃하는 두 메모리 셀 블럭사이 및 메모리 셀 블럭의 가장자리에, 제1방향으로 워드라인 디코더 드라이버가 위치하는 워드라인 디코더 드라이버영역이 (N+1)개 존재하고, 이웃하는 두 메모리 셀 어레이 사이와 가장자리에 제2방향으로 서브 워드라인 드라이버 영역이 (M+1)개 존재하는 구조를 갖는다.

대표도



명세서

[발명의 명칭]

멀티-워드라인 드라이버를 갖는 반도체 메모리장치(semiconductor memory device having multi-word line drivers)

[도면의 간단한 설명]

제1도는 종래의 멀티 워드라인 드라이버를 갖는 반도체 메모리장치의 구조도.

제2도는 본 발명의 실시예에 따른 멀티 워드라인 드라이버를 갖는 반도체 메모리장치의 구조도.

* 도면의 주요부분에 대한 부호의 설명

MCB : 메모리 셀 블럭　　MCA : 메모리 셀 어레이

SWR : 서브 워드라인 드라이버 영역

WDR : 워드라인 디코더 드라이버 영역

SWD : 서브 워드라인 드라이버　　MWL : 메인 워드라인

WDD : 워드라인 디코더 드라이버　　WL : 워드라인 디코더

SWL1 - S지4 : 서브 워드라인　　210 : 로우 디코더

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로서, 특히 워드라인 디코더 드라이버를 메모리 셀 블럭사이에 균형있게 배치하여 워드라인 디코더 드라이버가 차지하고 있는 레이아웃 면적을 최소화할 수 있는, 고집적에 적합한 멀리 워드라인 드라이버를 갖는 반도체 메모리장치에 관한 것이다.

반도체 메모리장치에서 메모리의 집적도가 고집적화됨에 따라 메모리 장치에서 가장 큰 면적을 차지하는 메모리셀의 크기를 축소하기 위한 실험이 꾸준히 진행되어 왔다. 메모리의 집적도가 64Mbit, 256Mbit 이상의 DRAM에서는 메모리셀뿐만 아니라 특정 어드레스의 메모리셀을 선택하기 위한 컬럼디코더 드라이버와 로우디코더 드라이버를 구성하고 있는 트랜지스터의 수도 메모리소자의 집적도를 높이는데 제한요소로 작용하고 있다.

컬럼 디코더 드라이버는 DRAM의 멀티-비트 테스트 기능인 병렬테스트 때문에 적어도 2개의 비트선쌍당 1개의 드라이버가 필요하여 레이아웃하기가 용이하다. 하지만, 로우 디코더 드라이버는 모든 메모리셀의 워드라인마다 배치되어야 하므로, 로우디코더의 출력을 입력신호로 하고 그의 출력이 메모리셀의 워드라인과 연결되어 있는 워드라인 드라이버의 레이아웃 및 배치가 메모리소자의 집적도를 높이는 데 있어서 새로운 제한요소가 되고 있다.

이를 해결하기 위하여 미국 특허 제5,416,748호에는 동일 로우 어드레스와 관련된 워드라인을 구동하기 위하여 여러 개의 서브 워드라인 드라이버(SWD, Sub Word line Driver)를 사용하는 반도체 메모리장치에 있어서, 각 서브 워드라인 드라이버를 선택하기 위하여 로우 디코더의 출력선인 메인 워드라인과 워드라인 디코더 드라이버라인으로 이원화하여 구성함으로써 워드라인과 관련된 레이아웃(라인 피치)를 극복하는 기술에 대하여 개재되었다.

제1도는 종래의 멀티워드라인 드라이버를 갖는 반도체 메모리장치의 구조도를 도시한 것이다.

제1도를 참조하면, 종래의 멀티워드라인 드라이버를 갖는 반도체 메모리장치(100)는 다수 개의 메모리셀 블럭(MCB,100-1～100-n)으로 분리되고, 각 메모리 셀 블럭(MCB,100-1～100-n)은 행방향으로 배열된 복수개의 메모리셀 어레이(MCA,120)와, 열방향으로 배열된 복수개의 메인 워드라인(MWL1 ～ MWLn)과, 상기 복수개의 메인 워드라인(MWL1 ～ MWLn)중 해당하는 하나의 메인 워드라인을 선택하는 로우 디코더(110)를 포함한다.

그리고, 하나의 메인 워드라인(MWL)에 대하여 2개의 서브 워드라인(SWL0,SWL1)DL 구성되고, 각 서브 워드라인(SWL0,SWL1)을 구동하기 위한 서브 워드라인 드라이버(SWD0,SWD1)가 위치하는 서브 워드라인 영역(SWR)이 메모리 셀 어레이(MCA)에 대응하여 배열된다.

또한, 각 메모리 셀 블럭(MCB)는 열방향으로 배열된 메모리셀 어레이(MCA,120)의 수에 해당하는 만큼의 워드라인 디코더 드라이버(Wordline Decoder Driver,WDD)가 위치하는 워드라인 디코더 드라이버영역(Wordline Decoder Driver Region,WDR)(150)와, 상기 복수개의 워드라인 디코더 드라이버(WDD)중 해당하는 워드라인 디코더 드라이버를 구동하기 위한 신호를 출력하는 워드라인 디코더(Worldline Decoder,140)을 더 포함한다.

상기한 바와 같은 구성을 갖는 종래의 반도체 메모리 장치에 따르면, 로우 디코더(110)로부터 메인 워드라인 선택신호가 출력되면, 복수개의 메인 워드라인(MWL1-MWLn)중 해당하는 메인 워드라인이 선택된다. 이에 따라 복수개의 메모리 셀 어레이(MCA)중 상기에서 선택된 메인 워드라인에 관계되는 메모리 셀 어레이가 선택되게 된다.

한편, 워드라인 디코더(WD,140)로부터 워드라인 디코더 드라이버(WDD)를 선택하기 위한 신호(Φx0,Φx1, Φb0)(160-163)가 출력되면, 복수개의 워드라인 디코더 드라이버(WDD)중 해당하는 워드라인 디코더 드라이버가 선택된다.

선택된 워드라인 디코더 드라이버(WDD)는 2개의 서브 워드라인 드라이버(SWD0,SWD1)중 하나를 선택하기 위한 신호(Φx0d,Φx1d)(164,165)를 출력한다.

따라서, 워드라인 디코더 드라이버(WDD)의 출력신호에 따라 서브 워드라인 드라이버(SWD)가 선택되고, 선택된 서브 워드라인 드라이버(SWD)에 의해 서브 워드라인(SWL)이 구동된다. 이에 따라서, 메모리 셀 블럭(MCB)내의 복수개의 메모리 셀 어레이(MCA)중 상기 선택된 메인 워드라인(MWL)에 관계된 메모리 셀 어레이가 선택되고, 선택된 메모리 셀 어레이내의 해당 메모리 셀로부터 데이터가 독출되거나 또는 해당 메모리 셀에 데이터가 저장된다.

종래의 반도체 메모리 장치는 2개의 서브 워드라인마다 하나의 메인 워드라인이 구성되어 메인 워드라인의 피치(pitch)를 개선할 수 있는 이점이 있다.

그러나, 종래의 반도체 메모리장치에서는, 하나의 서브 워드라인 피치마다 하나의 서브 워드라인 드라이

버(SWD)가 배치되어야 한다. 따라서, 고집적 반도체 소지인 경우에는 서브 워드라인 드라이버(SWD)의 레이아웃이 불가능하기 때문에, 고집적 반도체 메모리 소자의 경우에는 상기한 구조를 적용하는 것이 불가능하였다.

또한, 메모리 셀 블럭(MCB)의 한쪽, 즉 메모리 셀 어레이의 하부에 워드라인 디코더 드라이버 영역(WDR)에 복수개의 워드라인 디코더 드라이버(WDD)가 모두 배열되어 있으므로, WDD가 차지하는 레이아웃 면적이 커져서 메모리소자의 집적도를 높이는 데 있어서 제한요소로 작용하는 문제점이 있었다.

본 발명은 동일 워드라인에 대하여 적어도 2개이상의 서브워드라인 드라이버의 사용시 문제가 되고 있는 메인 워드라인의 갯수를 최소화하여 메인 워드라인의 피치를 개선시킬 수 있는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치를 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 적어도 4개의 서브 워드라인 피치마다 하나의 메인 워드라인에 대하여 4개의 서브 워드라인에 관련된 서브 워드라인 드라이버를 배치가능한 멀티 워드라인 드라이버를 갖는 반도체 메모리장치를 제공하는 데 있다.

본 발명의 또 다른 목적은 서브 워드라인 드라이버의 동작과 관련된 워드라인 디코더 드라이버를 메모리 셀 블럭내에서 균형있게 분산배치하여 워드라인 디코더 드라이버의 레이아웃 면적을 최소화함으로써, 고집적화가 가능한 멀티 워드라인 드라이버를 갖는 반도체 메모리 장치를 제공하는 데 있다.

상기 목적을 달성하기 위한 본 발명은 메모리 셀 블럭이 제1방향으로 N개로 나누어지고, 각 메모리 셀 블럭은 제2방향으로 M개의 메모리 셀어레이로 나누어진 멀티 워드라인 드라이버를 갖는 반도체 메모리 장치에 있어서, 이웃하는 상기의 두 메모리 셀 블럭사이 및 메모리 셀 블럭의 가장자리에, 제1방향으로 워드라인 디코더 드라이버가 위치하는 워드라인 디코더 드라이버영역이 (N+1)개 존재하는 것을 특징으로 한다.

또한, 본 발명은 메모리 셀 블럭이 제1방향으로 N개로 나누어지고, 각 메모리 셀 블럭이 제2방향으로 M개의 메모리 셀어레이로 나누어진 멀티 워드라인 드라이버를 갖는 반도체 메모리 장치에 있어서, 이웃하는 상기의 두 메모리 셀 블럭사이 및 메모리 셀 블럭의 가장자리에 워드라인 디코더 드라이버영역이 (N+1)개 존재하고, 각 메모리 셀 블럭내에는 메인 워드라인 구동용 로우 디코더가 구비되며, 이웃하는 두 메모리 셀 어레이사이와 가장자리에 (M+1)개의 서브 워드라인 드라이버 영역이 존재하고, 각 서브 워드라인 드라이버영역에는 적어도 4개이상의 서브 워드라인 피치마다 하나의 메인 워드라인에 대하여 적어도 2개 이상의 서브 워드라인 드라이버가 동일한 크기로 나란히 배열되며, 각 워드라인 디코더 드라이버영역에는 서브 워드라인 드라이버를 구동하기 위한 신호를 출력하기 위한 워드라인 디코더 드라이버가 상기 메모리셀 어레이와 동일한 수로 배열되는 것을 특징으로 한다.

상기의 반도체 메모리 장치에 있어서, 메모리 셀 블럭을 중심으로 서로 인접한 2개의 워드라인 디코더 드라이버영역의 각 워드라인 디코더 드라이버는 각 서브 워드라인 드라이버영역에 배열된 2개의 서브 워드라인 드라이버와 하나씩 교대로 연결되고, 이웃하는 두개의 메모리 셀 블럭사이에 위치하는 워드라인 디코더 드라이버영역에 배열된 워드라인 디코더 드라이버는 이웃하는 두개의 메모리 셀 블럭의 서브 워드라인 드라이버와 동시에 연결되는 것을 특징으로 한다.

이하 본 발명의 실시예를 첨부된 도면에 의거하여 상세히 설명한다.

제2도는 본 발명의 실시예에 따른 멀티 서브 워드라인 드라이버를 갖는 반도체 메모리 장치의 구조도를 도시한 것이다.

제2도를 참조하면, 본 발명의 멀티워드라인 드라이버를 갖는 반도체 메모리장치(200)는 다수 개의 메모리 셀 블럭(MCB,200-1~200-n)으로 분리되고, 각 메모리 셀 블럭 (MCB,200-1~200-n)은 행방향으로 배열된 복수개의 메모리셀 어레이(MCA,220)와, 열방향으로 배열된 복수개의 메인 워드라인(MWL1 - MWLn)과, 상기 복수개의 메인 워드라인(MWL1 - MWLn)중 해당하는 하나의 메인 워드라인을 선택하는 로우 디코더(210)를 포함한다.

그리고, 이웃하는 두 메모리셀 어레이(MCA,220)의 사이와 가장자리에는 서브 워드라인 드라이버(SWD)가 위치될 서브 워드라인 드라이버 영역(SWR,230)이 존재한다. 즉, 각 메모리셀 블럭(MCB)내에서 메모리셀 어레이(MCA)의 수보다 서브 워드라인 드라이버 영역(SWR)의 수가 하나 더 많게 된다.

서브 워드라인 드라이버 영역(SWR,230)이 제2도에 도시된 바와 같이 위치하여 하나의 메인 워드라인(MWL)에 대하여 4개의 서브 워드라인(SWL0 - SWL3)이 배열되어진다.

각 서브 워드라인 드라이버 영역(SWR,230)마다 2개의 서브 워드라인 드라이버(SWD0,SWD2)와 (SWD1,SWD3)가 4개의 서브 워드라인(SWL0 - SWL3) 피치마다 동일한 크기로 나란히 배열된다.

즉, 서브워드라인 드라이버영역(SWR,230)마다 서브 워드라인 드라이버(SWD)가 2개씩 나란히 배열되므로써, 4개의 서브워드라인 피치마다 하나의 메인 워드라인(MWL)에 대하여 2개의 서브 워드라인 드라이버(SWD)가 배치되는 구조를 갖는다.

이때, 메모리 어레이(MCA,220)를 중심으로 서로 인접한 서브 워드라인 드라이버영역(SWR,230)에 각각 배열된 2개의 서브 워드라인 드라이버(SWD0,SWD2)와 (SWD1,SWD3)는 메모리셀 어레이(MCA)를 중심으로 순차적으로 서브 워드라인(SWL0,SWL2) 및 (SWL1,SWL3)와 번갈아 가면서 교대로 연결된다.

일예로, 메모리셀 어레이(MCA,220)를 중심으로 양측의 서브워드라인 드라이버 영역(SWR,230)에는 2개의 서브 워드라인 드라이버(SWD1,SWD3) 및 (SWD2,SWD4)가 각각 배열되는데, 제2도에 도시된 바와 같이, 4개의 서브 워드라인(SWL0 - SWL3)중 제1서브워드라인(SWL0)은 메모리셀 어레이(MCA)의 좌측에 있는 제1서브 워드라인 드라이버(SWD0)에 연결되고, 제2서브 워드라인(SWL1)는 메모리셀 어레이의 우측에 있는 제2서브 워드라인 드라이버(SWD1)에 연결되며, 제3서브워드라인(SWL2)은 메모리셀 어레이(MCA)의 좌측에 있는 제3서브 워드라인 드라이버(SWD2)에 연결되고, 제4서브 워드라인(SWL3)는 메모리셀 어레이(MCA)의 우측에 있는 제4서브 워드라인 드라이버(SWD3)에 각각 연결되는 구조를 갖는다.

또한, 동일한 서브 워드라인 드라이버 영역(SWR,230)에서 배열된 2개의 서브워드라인 드라이버(SWD1,SWD3) 및 (SWD0,SWD2)가 2의 배수 간격으로 서브 워드라인(SWL1,SWL3) 및 (SWL0,SWL2)과 번갈아가면서 교대로 연결되도록 배열된다.

특히, 이웃하는 2개의 메모리셀 어레이(MCA,220)사이의 서브 워드라인 드라이버 영역(SWR,230)에 배열된 서브 워드라인 드라이버(SWD1,SWD3)는 이웃하는 2개의 메모리셀 어레이(MCA)의 서브워드라인(SWL)과 동시에 공통 연결된다.

즉, 제2도에 도시된 바와 같이, 서브워드라인 드라이버(SWD1)는 좌측의 메모리셀 어레이(MCA)의 서브 워드라인(SWL1)과 연결됨과 동시에 우측의 메모리셀 어레이(MCA)의 서브 워드라인(SWL1)과 공통 연결되어지고, 서브 워드라인 드라이버(SWD3)는 좌측의 메모리셀 어레이(MCA)의 서브 워드라인(SWL3)과 연결됨과 동시에 우측의 메모리셀 어레이(MCA)의 서브 워드라인(SWL3)과 연결되어진다.

또한, 본 발명의 반도체 메모리 장치는 메모리셀 블럭(MCB)사이 그리고 메모리 셀 블럭(MCB)의 가장자리에 열방향으로 배열된, 워드라인 디코더 드라이버(WDD)가 위치하는 워드라인 디코더 드라이버 영역(WDR)(250)을 더 포함한다. 따라서, 메모리 셀 블럭(MCB)의 수보다 워드라인 디코더 드라이버영역(WDR)이 하나 더 존재하게 된다.

각 워드라인 디코더 드라이버영역(WDR)에는 행방향의 메모리셀 어레이(MCA,220)에 대응하여 배열된 워드라인 디코더 드라이버(WDD)와, 상기 복수개의 워드라인 디코더 드라이버(WDD)중 해당하는 워드라인 디코더 드라이버를 구동하기 위한 신호(Φx0,Φx1)(261,262)를 출력하는 하나의 워드라인 디코더(WD,240)를 구비한다.

각 워드라인 디코더 드라이버영역(WDR,250)에 있어서, 워드라인 디코더 드라이버(WDD)는 상기 메모리셀 어레이(MCA)와 동일한 수로 배열되는 구조를 갖으며, 워드라인 디코더(WD,240)의 출력(Φx0,Φx1)(261,262)은 워드라인 디코더 드라이버영역(WDR,250)에 배열된 복수개의 워드라인 디코더 드라이버(WDD)와 순차적으로 교대로 연결된다.

그리고, 복수개의 워드라인 디코더 드라이버영역(WDR,250)중 메모리셀 블럭(MCB)을 중심으로 서로 인접한 2개의 워드라인 디코더 드라이버 영역(WDR)에 있어서, 각 워드라인 디코더(WDD)는 각 서브 워드라인 드라이버영역(SWR)에 배열된 2개의 서브 워드라인 드라이버(SWD)와 하나씩 교대로 연결된다.

즉, 제2도를 참조하면, 메모리 셀 블럭(MCB,200-1)을 중심으로 상부의 워드라인 디코더 드라이버영역(WDR,250)의 워드라인 디코더 드라이버(WDD)는 서브 워드라인 드라이버영역(SWR)에 배열된 2개의 서브 워드라인 드라이버(SWD0,SWD2)중 SWD0에 연결되고, 하부의 워드라인 드라이버 영역(WDR,250)의 워드라인 디코더 드라이버(WDD)는 나머지 SWD2에 연결된다. 이어서, 상부의 워드라인 디코더 드라이버영역(WDR,250)의 워드라인 디코더 드라이버(WDD)는 그 다음 서브 워드라인 드라이버영역(SWR)에 배열된 2개의 서브 워드라인 드라이버(SWD1,SWD3)중 SWD1에 연결되고, 하부의 워드라인 드라이버 영역(WDR,250)의 워드라인 디코더 드라이버(WDD)는 나머지 SWD3에 연결된다.

그리고, 이웃하는 두개의 메모리 셀 블럭(MCB)사이에 위치하는 워드라인 디코더 드라이버영역(WDR,250)에 배열된 각 워드라인 디코더 드라이버(WDD)은 이웃하는 두개의 메모리 셀 블럭의 서브 워드라인 드라이버(SWD)와 동시에 연결된다.

특, 제2도를 참조하면, 이웃하는 두개의 메모리 셀 블럭(MCB)(200-1 - 200-2)사이에 위치하는 워드라인 디코더 드라이버영역(WDR)의 각 워드 라인 디코더 드라이버(WDD)는 상부의 메모리 셀 블럭(MCB,200-1) 및 하부의 메모리 셀 블럭(MCB,200-2)의 서브 워드라인 드라이버(SWD2,SWD3)와 동시에 공통으로 연결되어진다.

또한, 본 발명의 반도체 메모리장치에 있어서, 상기 워드라인 디코더(WD,240)로부터 워드라인 디코더 드라이버(WDD)를 구동하기 위한 신호(Φx0,Φx1)를 출력히가 위한 출력선(261,262)은 서브 워드라인(SWL)과 동일한 방향으로 각 메모리 셀 블럭(MCB)상에 놓여진다.

그리고, 각 워드 디코더 드라이버(WDD,240)로부터 각 서브 워드라인 디코더(SWD)를 구동하기 위한 신호(Φx0d-Φx3d)를 출력하기 위한 출력선(263 - 266)은 비트라인과 동일한 방향으로 각 서브 워드라인 드라이버 영역상에 놓여진다.

따라서, 본 발명의 반도체 메모리 장치는 상기 로우 디코더(210)로부터의 출력선인 메인 워드라인(MWL)과 워드라인 디코더(WD,240)로부터의 출력신호(Φx0,Φx1)에 의해 서브 워드라인 드라이버(SWD)가 선택 구동되어진다.

상기한 바와 같은 구조를 갖는 본 발명의 실시예에 따른 반도체 메모리 장치는 로우 디코더(210)의 출력에 의해 복수개의 메인 워드라인(MWL1-MWLn)중 해당하는 메인 워드라인이 선택되어진다.

각 워드라인 디코더(WD,240)의 출력(Φx0,Φx1)에 따라 복수개의 워드라인 디코더 드라이버(WDD)중 해당하는 워드라인 디코더 드라이버가 선택되고, 선택된 워드라인 디코더 드라이버로부터의 출력신호(Φxid(i=0,1,2,3)에 의해 서브 워드라인 드라이버(SWD0-SWD3)의 동작상태가 결정된다.

상기한 바와 같은 본 발명에 따르면, 멀티 워드라인 드라이버를 채택함으로써 적어도 4개의 서브 워드라인 피치당 1개의 메인 워드라인에 대하여 4개의 서브 워드라인 드라이버를 레이아웃할 수 있으므로, 메인 워드라인의 피치를 개선하여 종래의 워드라인과 관련된 레이아웃 제한요소를 극복할 수 있다.

또한, 서브 워드라인 드라이버의 동작에 관련된 워드라인 디코더 드라이버를 메모리 셀 블럭사이 그리고 가장자리에 균형있게 배치하여 줌으로써 워드라인 디코더 드라이버가 차지하는 레이아웃 면적을 최소화할 수 있으며, 이를 고집적 반도체 메모리소자에 적용시 메모리 집적도를 향상시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

메모리 셀 블럭(MCB)이 제1방향으로 N개로 나누어지고, 각 메모리 셀 블럭(MCB)은 제2방향으로 M개의 메모리 셀 어레이(MCA)로 나누어진 반도체 메모리 장치에 있어서, 이웃하는 상기의 두 메모리 셀 블럭(MCB)사이 및 메모리 셀 블럭(MCB)의 가장자리에, 제1방향으로 워드라인 디코더 드라이버(WDD)가 위치하는 워드라인 디코더 드라이버영역(WDR)이 (N+1)개 존재하고, 두 메모리셀 블럭(MCB) 사이의 워드라인 디코더 드라이버영역(WDR)에 위치하는 각 워드라인 디코더 드라이버(WDD)는 두 메모리셀 블럭(MCB)에 공유되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 2

제1항에 있어서, 각 워드라인 디코더 드라이버 영역(WDR)은 상기 복수개의 워드라인 디코더 드라이버(WDD)를 선택 구동하기 위한 신호를 출력하는 워드라인 디코더(WD, 240)를 더 포함하는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 3

메모리 셀 블럭(MCB)이 제1방향으로 N개로 나누어지고, 각 메모리 셀 블럭(MCB)이 제2방향으로 M개의 메모리 셀어레이(MCA)로 나누어진 반도체 메모리 장치에 있어서, 이웃하는 상기의 두 메모리 셀 블럭(MCB)사이 및 메모리 셀 블럭(MCB)의 가장자리에 제1방향으로 워드라인 디코더 드라이영역(WDR)이 (N+1)개 존재하고, 각 메모리 셀 블럭(MCB)내에는 메인 워드라인(MWL) 구동용 로우 디코더(210)가 구비되며, 이웃하는 두 메모리 셀 어레이(MCA)사이와 가장자리에 제2방향으로 (M+1)개의 서브 워드라인 드라이버 영역(SWR)이 존재하고, 각 서브 워드라인 드라이버영역(SWR)에는 적어도 4개이상의 서브 워드라인(SWL0-SWL3) 피치마다 하나의 메인 워드라인(MWL)에 대하여 적어도 2개 이상의 서브 워드라인 드라이버(SWD0,SED2) 및 (SWD1,SWD3)가 동일한 크기로 나란히 배열되며, 각 워드라인 디코더 드라이버영역(WDR)에는 상기 워드라인 드라이버(SWD0 - SWD3)를 구동하기 위한 신호(Φx0d - Φx3d)를 출력히가 위한 복수개의 워드라인 디코더 드라이버(WDD)가 배열되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 4

제3항에 있어서, 메모리 셀 블럭(MCB)을 중심으로 서로 인접한 2개의 워드라인 디코더 드라이버영역(WDR)의 각 워드라인 디코더 드라이버(WDD)는 각 서브 워드라인 드라이버영역(SWR)에 배열된 2개의 서브 워드라인 드라이버(SWD)와 하나씩 교대로 연결되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 5

제3항에 있어서, 아웃하는 두개의 메모리 셀 블럭(MCB)사이에 위치하는 워드라인 디코더 드라이버영역(WDR)에 배열된 각 워드라인 디코더 드라이버(WDD)은 이웃하는 두개의 메모리 셀 블럭의 서브 워드라인 드라이버(SWD)와 동시에 연결되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 6

제5항에 있어서, 상기의 이웃하는 두개의 메모리 셀 블럭(MCB)사이에 위치하는 워드라인 드라이버 영역(WDR)에 배열된 복수개의 워드라인 디코더 드라이버(WDD)는 각 서브 워드라인 디코더 드라이버 영역(SDR)의 2개의 서브 워드라인 드라이버중 하나와 순차적으로 연결되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 7

제3항에 있어서, 각 워드라인 디코더 드라이버 영역(WDR)은 상기 복수개의 워드라인 디코더 드라이버(WDD)의 구동용 신호(Φx0,Φx1) 또는 (Φx2,Φx3)를 출력하기 위한 워드라인 디코더(WD,240)를 더 포함하는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 8

제7항에 있어서, 상기 워드라인 디코더(WD,240)로부터의 신호(Φx0,Φx1) 또는 (Φx2,Φx3)는 복수개의 워드라인 디코더 드라이버(WDD)에 순차적으로 교대로 인가되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 9

제7항에 있어서, 상기 워드라인 디코더(WD,240)로부터의 신호(Φx0,Φx1) 또는 (Φx2,Φx3)를 출력하기 위한 출력선(261,262) (261',262')는 서브 워드라인 (SWL)과 동일한 방향으로 각 메모리 셀 블럭(MCB)상에 놓여지는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

청구항 10

제3항에 있어서, 각 워드라인 디코더 드라이버(WDD,240)로부터의 신호(Φx0d ~Φx3d)를 출력하기 위한 출력선(263 ~ 266)은 비트라인과 동일한 방향으로 각 서브 워드라인 드라이버영역상에 놓여지는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

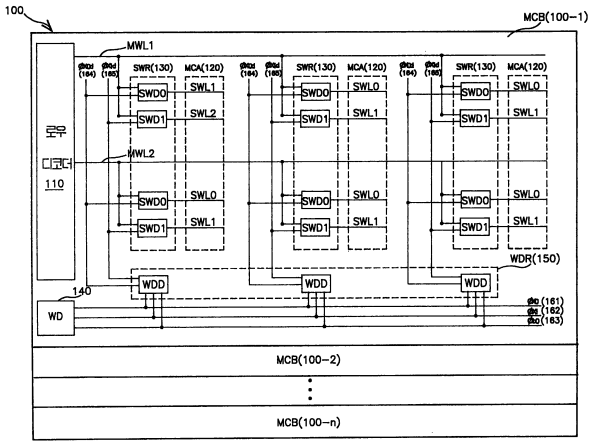
청구항 11

제3항 또는 제7항에 있어서, 상기 로우 디코더(210)로부터의 출력선인 메인 워드라인(MWL)과 워드라인 디코더(WD,240)로부터의 출력신호(Φx0, Φx1) 또는 (Φx2, Φx3)에 의해 서브 워드라인 드라이버(SWD)가

선택 구동되는 것을 특징으로 하는 멀티 워드라인 드라이버를 갖는 반도체 메모리장치.

도면

도면1



도면2

