

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6296468号
(P6296468)

(45) 発行日 平成30年3月20日 (2018. 3. 20)

(24) 登録日 平成30年3月2日 (2018. 3. 2)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 8 E
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 7 T
	HO 1 L 29/78 6 1 8 B
	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 6 L
請求項の数 4 (全 7 頁) 最終頁に続く	

(21) 出願番号	特願2016-572317 (P2016-572317)	(73) 特許権者	515351884
(86) (22) 出願日	平成26年12月9日 (2014. 12. 9)		ユニスト (ウルサン ナショナル インス
(65) 公表番号	特表2017-517895 (P2017-517895A)		ティテュート オブ サイエンス アンド
(43) 公表日	平成29年6月29日 (2017. 6. 29)		テクノロジー)
(86) 国際出願番号	PCT/KR2014/012061		大韓民国 4 4 9 1 9 ウルサン ウルチ
(87) 国際公開番号	W02016/076473		ユーグン オニャンーウップ ユニストー
(87) 国際公開日	平成28年5月19日 (2016. 5. 19)		ギル 5 0
審査請求日	平成28年12月7日 (2016. 12. 7)	(74) 代理人	100120891
(31) 優先権主張番号	10-2014-0158895		弁理士 林 一好
(32) 優先日	平成26年11月14日 (2014. 11. 14)	(74) 代理人	100165157
(33) 優先権主張国	韓国 (KR)		弁理士 芝 哲央
		(74) 代理人	100205659
			弁理士 齋藤 拓也
		(74) 代理人	100126000
			弁理士 岩池 満
		最終頁に続く	

(54) 【発明の名称】 表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁体上のストレインドシリコンをピン構造にエッチングする第1ステップ、
 ピン構造のストレインドシリコン上にアンドープ Si Ge を積層する第2ステップ、
 前記アンドープ Si Ge をエッチングする第3ステップ、
 前記アンドープ Si Ge をリソグラフィ後にエッチングする第4ステップ、
 前記アンドープ Si Ge 上にドーパ Si Ge を積層する第5ステップ、
 前記ドーパ Si Ge をリソグラフィ後にピン構造にエッチングする第6ステップ、およ
 び

前記ピン構造にエッチングされたドーパ Si Ge 上に酸化物とゲート金属を順に積層し
 てトランジスタ素子を構成する第7ステップ

を含むことを特徴とする表面ラフネス散乱を最小化または無くした高性能低電力電界効
 果トランジスタ素子の製造方法。

【請求項 2】

前記リソグラフィは、フォトリソグラフィ (photo-lithography)
 および電子ビーム (E beam) リソグラフィの半導体リソグラフィ技術を全て含むこ
 とを特徴とする、請求項 1 に記載の表面ラフネス散乱を最小化または無くした高性能低
 電力電界効果トランジスタ素子の製造方法。

【請求項 3】

前記酸化物は、シリコン酸化物 (SiO₂) およびハフニウム酸化物 (HfO₂) に用

10

20

いられる絶縁膜材料を全て含むことを特徴とする、請求項1に記載の表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法。

【請求項4】

前記ドーパSiGeをソース（Source）／ドレイン（Drain）として活用することを特徴とする、請求項1に記載の表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法に関し、より詳しくは、FinFETのようなゲート統制力が良い多重ゲート低電力半導体素子の短所である表面ラフネス散乱による電子の低い移動度を改善して、高性能半導体素子のHEMTの長所である高い電子移動度を備えると同時に、HEMTの短所であるゲート漏れ電流などを改善するために、ストレインド（strained）シリコンにアンドープ（undoped）およびドーパ（doped）SiGeを積層してエッチングし、前記ドーパSiGeをソース／ドレインとして活用し、酸化物とゲート金属を積層した、表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法に関する。

10

【背景技術】

【0002】

トランジスタの性能は素子大きさのスケールリング（scaling）によって向上し、従来の研究からスケールリングによって低費用、高集積、低電力、高速の回路を作ることができたが、主に用いられてきたトランジスタである平板シリコンMOSFETはその大きさが32nm以下に進入することによって、短チャネル効果（Short-Channel Effect）が深刻化してスケールリングに限界が来ている。

20

【0003】

このような性能の低下現象を改善するために、多重ゲートMOSFETあるいはFinFETと知られた立体構造の半導体素子が開発された。

【0004】

多重ゲートMOSFETの場合は幾つかのゲートがチャネル領域を囲むようになるため、ゲート電界効果がチャネル領域に及ぼす影響が大きくなる。よって、多重ゲートMOSFETは平板MOSFETに比べて高い駆動電流を得ることができ、また、トランジスタの性能を決める核心要素のうちの1つである電流が流れるチャネルに対するゲートの統制力が向上して短チャネル効果が抑制される。

30

【0005】

ゲートとチャネルを絶縁させる誘電体の容量が増加するほど、また、ボディーの厚さが減少するほど、ゲートの統制力は増加する。このような、薄いボディーを用いた新しい構造のトランジスタには代表的にFinFETとUTBSOIがある。

【0006】

このような中、従来の平板トランジスタの後を継ぐ有望な候補であるFinFETに関する研究が活発に行われている。代表的に、米国のインテル社では2012年に22nm FinFET工程技術を適用したチップを発表するなど、その重要性が増している。しかし、FinFETはチャネル制御可能性が良いのに比べて表面ラフネス散乱による電子の移動度が低いという短所がある。

40

【0007】

このようなFinFETとは異なり、HEMT（high electron mobility transistor）、すなわち、高電子移動度トランジスタは、ゲート電圧によるチャネル電子誘起方式でないチャネル電子を既に集めておいた量子井戸（quantum well）チャネル方式で表面ラフネス散乱が抑制されて高い電子移動度を示すという長所があるが、相対的に高いゲート漏れ電流（gate leakage c

50

urrent)と高いオフ電流(off-current)の短所がある。また、量子井戸(quantum well)を作るためにアンドープスペーサ(undoped spacer)とチャンネル物質などの色々な物質が入るため、ソース(source)とドレイン(drain)との間に高い寄生抵抗が生じ、工程が複雑な短所がある。

【0008】

ストレインドシリコン(strained silicon)の開発により、シリコンベースのストレインドシリコンHEMTに関する研究も行われている。しかし、ストレインドシリコンHEMTのキャッピング層(capping layer)をバンドギャップ差が大きい一般シリコンを用いることによって高いオフ電流が発生する。それにより、オン(on)/オフ(off)を区分できなくなり、トランジスタとして駆動できないという短所がある。

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、上記のような諸問題を改善するために導き出されたものであり、その目的は、FinFETの短所である表面ラフネス散乱とHEMTの短所である高いゲート漏れ電流とオフ電流を改善および補完し、ソース(Source)/ドレイン(Drain)とチャンネルとの間に色々な物質が入っているHEMT構造の複雑性をドーパ(doped)SiGeをソース/ドレインとして活用することによって工程過程の単純化を果たした、表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法を提供することにある。

20

【課題を解決するための手段】

【0010】

上記のような目的を達成するために、本発明の表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法は、絶縁体上のストレインドシリコンをピン構造にエッチングする第1ステップ、ピン構造のストレインドシリコン上にアンドープSiGeを積層する第2ステップ、前記アンドープSiGeをエッチングする第3ステップ、前記アンドープSiGeをリソグラフィ後にエッチングする第4ステップ、前記アンドープSiGe上にドーパSiGeを積層する第5ステップ、前記ドーパSiGeをリソグラフィ後にピン構造にエッチングする第6ステップ、および前記ピン構造にエッチングされたドーパSiGe上に酸化物とゲート金属を順に積層してトランジスタ素子を構成する第7ステップを含むことを特徴としている。

30

【0011】

また、前記リソグラフィはフォトリソグラフィ(photo-lithography)または電子ビーム(e-beam)リソグラフィの通常の半導体リソグラフィ技術を全て含むことが好ましい。

【0012】

なお、前記酸化物は、シリコン酸化物(SiO₂)またはハフニウム酸化物(HfO₂)の通常的に用いられる絶縁膜材料を全て含むことが好ましい。

【0013】

さらに、前記ドーパSiGeをソース(Source)/ドレイン(Drain)として活用することが好ましい。

40

【発明の効果】

【0014】

本発明の表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法によれば、FinFETの長所である良いチャンネル制御可能性、高いオン電流(on-current)とHEMTの長所である電子の高い移動度をいずれも備えることができるFinHEMTを実現できる効果があり、ドーパSiGeをソース/ドレインとして活用してHEMT構造であるにもかかわらず工程過程が簡単であるという効果がある。

50

【図面の簡単な説明】

【0015】

【図1】本発明に係る製造方法によって製造された電界効果トランジスタの製造過程を示す斜視図である。

【図2】本発明に係る製造方法によって製造された電界効果トランジスタの分離斜視図である。

【図3】本発明に係る製造方法によって製造された電界効果トランジスタの平面図である。

【図4】本発明に係る製造方法によって製造された電界効果トランジスタの縦断面図である。

10

【発明を実施するための形態】

【0016】

以下、本発明に係る表面ラフネス散乱を最小化または無くした高性能低電力チャネル電界効果トランジスタ素子の製造方法の好ましい実施形態を添付図面を参照して詳細に説明する。本発明は、以下にて開示される実施形態に限定されるものではなく、互いに異なる様々な形態で実現されることができ、本実施形態は単に本発明の開示が完全になるようにし、通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものである。

【0017】

図1は、本発明に係る製造方法によって製造された電界効果トランジスタの製造過程を示す斜視図である。

20

【0018】

図1に示すように、本発明に係る表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子は、先ず、絶縁体（またはGraded SiGe buffer層）上のストレインドシリコン（strained silicon）1をリソグラフィしてピン構造4にエッチングする（第1ステップ）。前記ストレインドシリコン技術は半導体シリコンの原子を各々強制的に離れるようにする設計技術であり、原子が他の原子から離れると、電子がより迅速に移動できるようになって半導体の性能を高めるという技術である。

【0019】

次に、前記ピン構造のストレインドシリコン上にドーパントをドーピングしていないアンダーープ（undoped）SiGe5を積層する（第2ステップ）。

30

【0020】

次に、前記アンダーープSiGe5をエッチングする（第3ステップ）。

【0021】

次に、前記アンダーープSiGe5ピンをリソグラフィしてエッチングする（第4ステップ）。

【0022】

次に、前記アンダーープSiGe5が積層されたストレインドシリコン1上にドーパントをドーピングしたドーピング（doped）SiGe6を厚く積層する（第5ステップ）。

【0023】

40

次に、アンダーープSiGe5とドーピングSiGe6が積層されたストレインドシリコン1をリソグラフィしてFin構造4にエッチングし、前記ドーピングSiGe6をソース（Source）7／ドレイン（Drain）8として活用する（第6ステップ）。

【0024】

次に、アンダーープSiGe5とドーピングSiGe6が積層されてピン構造4にエッチングしたストレインドシリコン1上に酸化物と金属を順に積層して酸化物を用いたFin HEMTに実現された本発明の電界効果トランジスタ素子10を完成する（第7ステップ）。

【0025】

図2は本発明に係る製造方法によって製造された電界効果トランジスタの分離斜視図であり、図3は本発明に係る製造方法によって製造された電界効果トランジスタの平面図で

50

ある。

【0026】

図2および図3に示すように、上記のようなアンドープSiGe5とドーパSiGe6が積層されたストレインドシリコン1をピン構造4にエッチングした前記第6ステップ後に、前記ドーパSiGe6の一方はソース7にし、他方はドレイン8にした状態で酸化物2を積層し、前記酸化物2にかけてゲート金属9を積層することによって本発明の電界効果トランジスタ素子10が完成する。

【0027】

図4は、本発明に係る製造方法によって製造された電界効果トランジスタの縦断面図である。

10

【0028】

図4に示すように、本発明に係る製造方法によって製造された電界効果トランジスタ10は、ピン構造のストレインドシリコン1、アンドープSiGe5、ドーパSiGe6、酸化物2およびゲート金属9が順に積層されて構成される。

【0029】

このように酸化物2によってドーパSiGe6とゲート金属9間の漏れ電流を抑制し、ドーパSiGe6から越えてきた電子をストレインドシリコン1チャンネルに集めることによって高速電子を得ることができるようになる。また、厚く積層されたドーパSiGe6を（1個の物質）ソース／ドレインとして活用して低い接触抵抗を得て、工程過程を単純化することができる。

20

【0030】

以上のように、本発明に係る表面ラフネス散乱を最小化または無くした高性能低電力電界効果トランジスタ素子の製造方法について例示した図面を参照して説明したが、本明細書に開示された実施形態と図面によって本発明が限定されるものではなく、本発明の技術思想の範囲内で当業者によって様々な変形ができることは言うまでもない。

【産業上の利用可能性】

【0031】

本発明のFinFETの長所である良いチャンネル制御可能性、高いオン電流（on-current）とHEMTの長所である電子の高い移動度をいずれも備えることができるFinHEMTを実現できる高性能低電力電界効果トランジスタ素子として有用に活用できる。

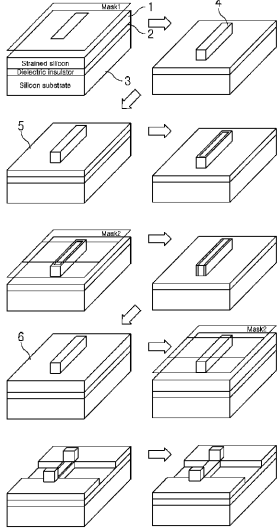
30

【0032】

また、ドーパSiGeをソース／ドレインとして活用してHEMT構造であるにもかかわらず工程過程が簡単な高性能低電力電界効果トランジスタ素子として有用に活用できる。

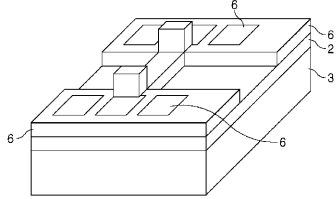
【図 1】

[Fig. 1]



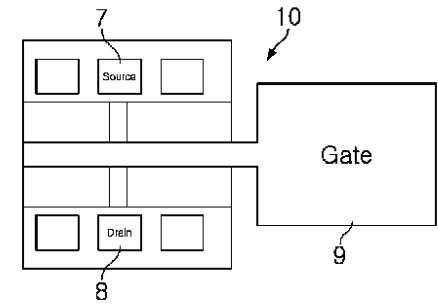
【図 2】

[Fig. 2]



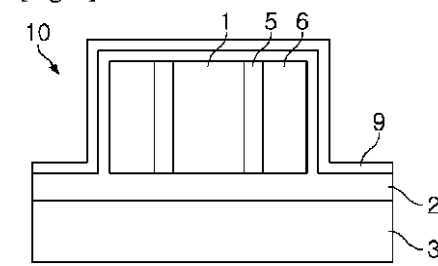
【図 3】

[Fig. 3]



【図 4】

[Fig. 4]



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 6 V

(74)代理人 100185269
弁理士 小菅 一弘

(74)代理人 100202577
弁理士 林 浩

(72)発明者 キム キュン ロク
大韓民国 ウルサン ウルジューグン ボムソーウプ グヨンーロ 1 0 1 - 7 ナンバー 5 0 2
- 6 0 1 (グヨン 2 チャ プルギオ)

(72)発明者 キム スン ホ
大韓民国 デジョン ソーグ チョンサーロ 2 5 4 ナンバー 1 0 7 - 7 0 6 (ドゥンサンー
ドン ドゥンジ アパートメント)

(72)発明者 パク ジョン ユル
大韓民国 ソウル ガンナムーグ ハクドンーロ 3 0 - ギル 2 1 ナンバー 2 0 7 (ノンヒ
ョンードン ノンヒョン ベルビル)

審査官 脇水 佳弘

(56)参考文献 国際公開第 2 0 0 7 / 0 4 6 1 5 0 (WO, A 1)
米国特許出願公開第 2 0 1 4 / 0 1 5 1 8 1 4 (US, A 1)
特開 2 0 1 0 - 2 5 8 4 4 3 (JP, A)
米国特許出願公開第 2 0 1 2 / 0 0 7 4 3 8 6 (US, A 1)
特開 2 0 1 4 - 1 6 5 4 9 5 (JP, A)
米国特許出願公開第 2 0 0 8 / 0 2 3 7 5 7 7 (US, A 1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6