

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7297923号  
(P7297923)

(45)発行日 令和5年6月26日(2023.6.26)

(24)登録日 令和5年6月16日(2023.6.16)

(51)国際特許分類	F I
H 1 0 B 43/27 (2023.01)	H 1 0 B 43/27
H 1 0 B 41/27 (2023.01)	H 1 0 B 41/27
H 1 0 B 41/40 (2023.01)	H 1 0 B 41/40
H 1 0 B 41/50 (2023.01)	H 1 0 B 41/50
H 1 0 B 43/40 (2023.01)	H 1 0 B 43/40

請求項の数 16 (全67頁) 最終頁に続く

(21)出願番号	特願2021-557455(P2021-557455)	(73)特許権者	519237948
(86)(22)出願日	令和2年7月7日(2020.7.7)		長江存儲科技有限責任公司
(65)公表番号	特表2022-538954(P2022-538954 A)		Yangtze Memory Technologies Co., Ltd.
(43)公表日	令和4年9月7日(2022.9.7)		中華人民共和国湖北省武漢市東湖新技術開發区未来三路88号
(86)国際出願番号	PCT/CN2020/100561		No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(87)国際公開番号	WO2021/237883	(74)代理人	100109210
(87)国際公開日	令和3年12月2日(2021.12.2)		弁理士 新居 広守
審査請求日	令和3年9月27日(2021.9.27)	(72)発明者	チャン・クン
(31)優先権主張番号	PCT/CN2020/092499		中華人民共和国、フベイ 430223
(32)優先日	令和2年5月27日(2020.5.27)		最終頁に続く
(33)優先権主張国・地域又は機関	中国(CN)		
(31)優先権主張番号	PCT/CN2020/092501		
(32)優先日	令和2年5月27日(2020.5.27)		

最終頁に続く

(54)【発明の名称】 3次元メモリデバイス及び方法

(57)【特許請求の範囲】

【請求項1】

3次元メモリデバイスであって、  
 基板と、  
 前記基板の上方にある周辺回路と、  
 前記周辺回路の上方にある交互配置された導電層および誘電体層を備えるメモリスタックと、  
 各々が前記メモリスタックを貫通して垂直に延在する複数のチャネル構造と、  
前記メモリスタックの上方にあり、前記複数のチャネル構造に電氣的に接続された第1のソースコンタクトと、  
 前記メモリスタックの上方にあり、前記複数のチャネル構造に電氣的に接続された第2のソースコンタクトと、  
前記第1のソースコンタクトに接触する第1の相互接続部と、  
前記第2のソースコンタクトに接触する第2の相互接続部と、  
前記メモリスタックの上方にあるP型ドープ半導体層であって、前記第1のソースコンタクトは、前記P型ドープ半導体層に接触する、P型ドープ半導体層と、  
 を備える、3次元メモリデバイス。

【請求項2】

前記複数のチャネル構造の上端に接触する導電層を備える  
請求項1に記載の3次元メモリデバイス。

## 【請求項 3】

前記 P 型ドープ半導体層内の N ウェルであって、前記第 2 のソースコンタクトは、前記 N ウェルに接触する、N ウェル、

をさらに備える、請求項 2 に記載の 3 次元メモリデバイス。

## 【請求項 4】

前記 P 型ドープ半導体層の上方にある 1 つまたは複数の層間誘電体 ( I L D ) 層であって、

前記第 1 のソースコンタクトは、前記 1 つまたは複数の I L D 層および前記導電層を貫通して、前記 P 型ドープ半導体層内に垂直に延在し、

前記第 2 のソースコンタクトは、前記 1 つまたは複数の I L D 層、前記導電層、および前記 P 型ドープ半導体層を貫通して、前記 N ウェル内に垂直に延在する、層間誘電体 ( I L D ) 層を、さらに備える、請求項 3 に記載の 3 次元メモリデバイス。

10

## 【請求項 5】

前記第 2 のソースコンタクトは、前記 P 型ドープ半導体層から電氣的に分離されるように、前記第 2 のソースコンタクトの側壁を囲むスペーサを備える、請求項 3 または 4 に記載の 3 次元メモリデバイス。

## 【請求項 6】

3 次元メモリデバイスであって、

基板と、

前記基板の上方にある周辺回路と、

前記周辺回路の上方にある交互配置された導電層および誘電体層を備えるメモリスタックと、

20

各々が前記メモリスタックを貫通して垂直に延在する複数のチャンネル構造と、

前記複数のチャンネル構造の上端に接触する導電層と、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 1 のソースコンタクトと、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 2 のソースコンタクトと、

前記第 1 のソースコンタクトに接触する第 1 の相互接続部と、

前記第 2 のソースコンタクトに接触する第 2 の相互接続部と、

30

を備え、

前記第 1 のソースコンタクトは、前記複数のチャンネル構造と垂直に整列していない、3 次元メモリデバイス。

## 【請求項 7】

前記周辺回路と前記メモリスタックとの間の接合インターフェイスをさらに備える、請求項 1 から 4 のいずれか一項に記載の 3 次元メモリデバイス。

## 【請求項 8】

前記 P 型ドープ半導体層を貫通する第 1 のコンタクトであって、前記 P 型ドープ半導体層は、少なくとも前記第 1 のソースコンタクト、前記第 1 の相互接続部、および前記第 1 のコンタクトを介して、前記周辺回路に電氣的に接続される、第 1 のコンタクトと、

40

前記 P 型ドープ半導体層を貫通する第 2 のコンタクトであって、前記 N ウェルは、少なくとも前記第 2 のソースコンタクト、前記第 2 の相互接続部、および前記第 2 のコンタクトを介して、前記周辺回路に電氣的に接続される、第 2 のコンタクトと、

をさらに備える、請求項 3 または 4 に記載の 3 次元メモリデバイス。

## 【請求項 9】

3 次元メモリデバイスを形成するための方法であって、

基板の上方にある周辺回路を形成するステップと、

前記周辺回路の上方にあり、交互配置された導電層および誘電体層を備えるメモリスタックを形成するステップと、

各々が前記メモリスタックを貫通して垂直に延在する複数のチャンネル構造を形成するス

50

テップと、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 1 のソースコンタクトを形成するステップと、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 2 のソースコンタクトを形成するステップと、

前記第 1 のソースコンタクトに接触する第 1 の相互接続部を形成するステップと、

前記第 2 のソースコンタクトに接触する第 2 の相互接続部を形成するステップと、

前記メモリスタックの上方にあり、P 型ドーブ半導体層を形成するステップであって、前記第 1 のソースコンタクトは、前記 P 型ドーブ半導体層に接触する、ステップと、

を含む方法。

10

【請求項 1 0】

前記複数のチャンネル構造の上端に接触する導電層を形成するステップを含む請求項 9 に記載の方法。

【請求項 1 1】

前記 P 型ドーブ半導体層内に N ウェルを形成するステップであって、前記第 2 のソースコンタクトは、前記 N ウェルに接触する、ステップ

をさらに含む請求項 1 0 に記載の方法。

【請求項 1 2】

前記 P 型ドーブ半導体層の上方にある 1 つまたは複数の層間誘電体 ( I L D ) 層を形成するステップであって、

20

前記第 1 のソースコンタクトは、前記 1 つまたは複数の I L D 層および前記導電層を貫通して、前記 P 型ドーブ半導体層内に垂直に延在し、

前記第 2 のソースコンタクトは、前記 1 つまたは複数の I L D 層、前記導電層、および前記 P 型ドーブ半導体層を貫通して、前記 N ウェル内に垂直に延在する、ステップを、さらに含む請求項 1 1 に記載の方法。

【請求項 1 3】

前記第 2 のソースコンタクトの側壁を囲むスペーサを形成するステップを、さらに含む、請求項 1 1 または 1 2 に記載の方法。

【請求項 1 4】

3 次元メモリデバイスを形成するための方法であって、

30

基板の上方にある周辺回路を形成するステップと、

前記周辺回路の上方にあり、交互配置された導電層および誘電体層を備えるメモリスタックを形成するステップと、

各々が前記メモリスタックを貫通して垂直に延在する複数のチャンネル構造を形成するステップと、

前記複数のチャンネル構造の上端に接触する導電層を形成するステップと、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 1 のソースコンタクトを形成するステップと、

前記メモリスタックの上方にあり、前記複数のチャンネル構造に電氣的に接続された第 2 のソースコンタクトを形成するステップと、

40

前記第 1 のソースコンタクトに接触する第 1 の相互接続部を形成するステップと、

前記第 2 のソースコンタクトに接触する第 2 の相互接続部を形成するステップと、

を含み、

前記第 1 のソースコンタクトを形成するステップは、前記第 1 のソースコンタクトが前記複数のチャンネル構造と垂直に整列しないように、前記第 1 のソースコンタクトを形成するステップを含む方法。

【請求項 1 5】

前記周辺回路と前記メモリスタックとの間に接合インターフェイスを形成するステップをさらに含む、請求項 9 から 1 2 のいずれか一項に記載の方法。

【請求項 1 6】

50

前記P型ドーブ半導体層を貫通して第1のコンタクトを形成するステップであって、  
前記P型ドーブ半導体層は、少なくとも前記第1のソースコンタクト、前記第1の相互接続部、および前記第1のコンタクトを介して、前記周辺回路に電氣的に接続される、ステップと、

前記P型ドーブ半導体層を貫通して第2のコンタクトを形成するステップであって、  
前記Nウェルは、少なくとも前記第2のソースコンタクト、前記第2の相互接続部、および前記第2のコンタクトを介して、前記周辺回路に電氣的に接続される、ステップと、  
をさらに含む請求項1.1または1.2に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

[関連出願の相互参照]

本出願は、2020年5月27日に出願された「3次元メモリデバイス」と題する国際出願第PCT/CN2020/092499号、2020年5月27日に出願された「3次元メモリデバイスを形成するための方法」と題する国際出願第PCT/CN2020/092501号、2020年5月27日に出願された「3次元メモリデバイス」と題する国際出願第PCT/CN2020/092504号、2020年5月27日に出願された「3次元メモリデバイスを形成するための方法」と題する国際出願第PCT/CN2020/092506号、2020年5月27日に出願された「3次元メモリデバイス」と題する国際出願第PCT/CN2020/092512号、および、2020年5月27日に出願された「3次元メモリデバイスを形成するための方法」と題する国際出願第PCT/CN2020/092513号、の優先権の利益を主張し、その全体が参照により本明細書に組み込まれる。

20

【背景技術】

【0002】

本開示の実施形態は、3次元(3D)メモリデバイスおよびその製造方法に関する。

【0003】

平面メモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製造プロセスを改善することによって、より小さいサイズに縮小される。しかしながら、メモリセルの特徴サイズが下限に近づくにつれて、平面プロセスおよび製造技術は困難になり、費用がかかるようになる。その結果、平面メモリセルのメモリ密度は、上限に近づく。

30

【0004】

3Dメモリ構造は、平面メモリセルにおける密度限界に対処できる。3Dメモリ構造は、メモリアレイへの信号、およびメモリアレイからの信号を制御する周辺デバイスを含む。

【発明の概要】

【発明が解決しようとする課題】

【0005】

3Dメモリデバイスおよびそれを形成するための方法の実施形態が本明細書に開示される。

【課題を解決するための手段】

40

【0006】

一例では、3Dメモリデバイスは、基板と、基板上の周辺回路と、周辺回路の上方にある交互配置された導電層および誘電体層を含むメモリスタックと、メモリスタック上方にあるP型ドーブ半導体層と、P型ドーブ半導体層内のNウェルと、各々がメモリスタックを貫通してP型ドーブ半導体層内に垂直に延在する複数のチャンネル構造と、複数のチャンネル構造の上端に接触しその少なくとも一部がP型ドーブ半導体層上にある導電層と、メモリスタック上方にありP型ドーブ半導体層に接触する第1のソースコンタクトと、メモリスタック上方にありNウェルに接触する第2のソースコンタクトと、を含む。

【0007】

別の例では、3Dメモリデバイスは、基板と、基板の上方にある交互配置された導電層

50

および誘電体層を含むメモリスタックと、メモリスタック上のP型ドープ半導体層と、P型ドープ半導体層内のNウェルと、各々がメモリスタックを貫通してP型ドープ半導体層内に垂直に延在する複数のチャンネル構造と、を含む。複数のチャンネル構造のそれぞれは、メモリ膜と半導体チャンネルとを含む。メモリ膜の上端は、半導体チャンネルの上端よりも下方にある。3Dメモリデバイスは、複数のチャンネル構造の半導体チャンネルに接触する導電層をさらに含む。導電層の少なくとも一部は、P型ドープ半導体層上にある。

【0008】

さらに別の例では、3Dメモリデバイスは、第1の半導体構造と、第2の半導体構造と、第1の半導体構造と第2の半導体構造との間の接合インターフェイスと、を含む。第1半導体構造は、周辺回路を含む。第2の半導体構造は、交互配置された導電層および誘電体層を含むメモリスタックと、P型ドープ半導体層と、P型ドープ半導体層内のNウェルと、各々がメモリスタックを貫通してP型ドープ半導体層内に垂直に延在し、周辺回路に電氣的に接続された複数のチャンネル構造と、金属シリサイド層および複数のチャンネル構造を電氣的に接続する金属層を含む導電層と、を含む。

10

【図面の簡単な説明】

【0009】

本明細書に組み込まれ、本明細書の一部を形成する添付図面は、本開示の実施形態を示し、本開示の原理を説明し、説明と共に、当業者が本開示の作成し使用できるように、さらに役立つ。

【図1A】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスの断面の側面図である。

20

【図1B】本開示のいくつかの実施形態による、別の例示的な3Dメモリデバイスの断面の側面図である。

【図1C】本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイスの断面の側面図である。

【図2A】本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイスの断面の側面図である。

【図2B】本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイスの断面の側面図である。

【図2C】本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイスの断面の側面図である。

30

【図3A】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3B】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3C】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3D】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3E】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

40

【図3F】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3G】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3H】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3I】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図3J】本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成する

50



ための別の方法のフローチャートである。

【図6A】本開示のいくつかの実施形態による、別の例示的な3Dメモリデバイスを形成するための方法のフローチャートである。

【図6B】本開示のいくつかの実施形態による、別の例示的な3Dメモリデバイスを形成するための別の方法のフローチャートである。

【発明を実施するための形態】

【0010】

本開示の実施形態は、添付の図面を参照して説明される。

【0011】

特定の構成および配置について説明するが、これは例示のみを目的として行われることを理解されたい。当業者は、本開示の要旨および範囲から逸脱することなく、他の構成および配置を使用できることを認識されよう。本開示が他の様々な用途にも使用できることも、当業者には明らかであろう。

10

【0012】

本明細書における「一実施形態 (one embodiment)」、「実施形態 (an embodiment)」、「例示的な実施形態 (an example embodiment)」、「いくつかの実施形態 (some embodiments)」などへの言及は、記載された実施形態が特定の特徵、構造、または特性を含み得るが、必ずしも全ての実施形態が、この特定の特徵、構造、または特性を含むとは限らないことに留意されたい。さらに、そのような語句は、必ずしも同じ実施形態を指すとは限らない。さらに、特定の特徵、構造、または特性が実施形態に関連して記載されている場合、それは、明示的に記載されているか否かにかかわらず、他の実施形態に関連してそのような特徴、構造、または特性を達成することは、当業者の知識の範囲内である。

20

【0013】

一般に、専門用語は、文脈における使用から少なくとも部分的に理解され得る。例えば、本明細書で使用される「1つまたは複数の」という用語は、文脈に少なくとも部分的に応じて、単数形の意味で、任意の特徵、構造、または特性を説明するために使用されてもよく、あるいは、複数形の意味で特徴、構造、または特性の組み合わせを説明するために使用され得る。同様に、「1つの (a)」、「1つの (an)」、または「その (the)」などの用語は、やはり、文脈に少なくとも部分的に応じて、単数用法または複数用法を伝えると理解され得る。さらに、「に基づく」という用語は、必ずしも排他的な要因のセットを伝えることを意図していないと理解されてもよく、代わりに、文脈に少なくとも部分的に応じて、必ずしも明示的に説明されていない追加の要因の存在を可能にし得る。

30

【0014】

本開示における「の上に (on)」、「の上方に (above)」、および「より上に (over)」の意味は、最も広い形で解釈されるべきであり、それにより、「の上に (on)」は、何か「の直接上に (directly on)」を意味するだけでなく、それらの間にある中間の特徵または層と共に何かの「の上に (on)」の意味も含み、「の上方に (above)」または「より上に (over)」は、何か「の上方に (above)」または「より上に (over)」の意味を意味するだけでなく、それらの間にある中間の特徵または層なしに何かの「の上方に (above)」または「より上に (over)」(すなわち、何かの直接上に) あるという意味もみ得ることが、容易に理解できるはずである。

40

【0015】

さらに、「の真下に (beneath)」、「の下方に (below)」、「の下側に (lower)」、「の上方に (above)」、「の上側に (upper)」などの空間的に相対的な用語は、本明細書では、図に示すように、1つの要素または特徴と別の要素または特徴との相対関係を説明するのに容易にするために使用され得る。この空間的に相対的な用語は、図に示す向きに加えて、使用中または動作中のデバイスの異なる向きを包含することを意図している。装置は、他の方向 (90度回転されて、または他の向きに

50

)に向けられてもよく、本明細書で使用される空間的に相対的な記述語は、それに応じて同様に解釈され得る。

【0016】

本明細書で使用される場合、「基板」という用語は、後続の材料層がその上に追加される材料を指す。基板自体は、パターンニングされ得る。基板の上部に加えられる材料は、パターンニングされてもよく、またはパターンニングされないままであってもよい。さらに、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウム等などの広範囲の半導体材料を含み得る。あるいは、基板は、ガラス、プラスチック、またはサファイアウェハなどの非導電性材料から作製され得る。

【0017】

本明細書で使用される場合、「層」という用語は、厚さを有する領域を含む材料部分を指す。層は、下部構造または上部構造の全体にわたって延在し得、あるいは、下部構造または上部構造の範囲よりも小さい範囲を有し得る。さらに、層は、均一な連続構造、または、この連続構造の厚さよりも薄い厚さを有する不均一な連続構造の領域であり得る。例えば、層は、連続構造の間、連続構造の天面および底面において、任意の一对の水平平面に位置し得る。層は、水平方向、垂直方向、および/またはテーパ面に沿って延びることができる。基板は、1層であってもよく、その中に1つまたは複数の層を含むことができ、および/または、1つまたは複数の層を、その上、その上方、および/または、その下方に有することができる。層は複数の層を含み得る。例えば、相互接続層は、(相互接続線、および/または、垂直相互接続アクセス(ビア)コンタクトが形成される)1つまたは複数の導体およびコンタクト層と、1つまたは複数の誘電体層を含み得る。

【0018】

本明細書で使用される場合、「公称/公称で」という用語は、製品またはプロセスの設計段階中に設定される、構成要素またはプロセス動作の特性またはパラメータの所望のまたは目標の値を、所望の値の上方および/または下方の値の範囲と共に指す。値の範囲は、製造プロセスまたは公差のわずかな変動に起因し得る。本明細書で使用される場合、「約」という用語は、対象の半導体デバイスに関連する特定の技術ノードに基づいて変化し得る所与の量の値を示す。特定の技術ノードに基づいて、「約」という用語は、例えば、値の10~30%(例えば、値の±10%、±20%、または±30%)の範囲内で変化する所与の量の値を示し得る。

【0019】

本明細書で使用される場合、用語「3Dメモリデバイス」は、メモリストリングが基板に対して垂直方向に延在するように、横方向に向けられた基板上のメモリ・セル・トランジスタの垂直に向けられたストリング(NANDメモリストリングなどの「メモリストリング」と本明細書では呼ばれる)を有する半導体デバイスを指す。本明細書で使用される場合、用語「垂直の/垂直に」は、基板の側面に対して、公称で直交していることを意味する。

【0020】

3D NANDメモリデバイスなどのいくつかの3Dメモリデバイスでは、スリット構造(例えば、ゲート線スリット(GLS))を使用して、デバイス前面からアレイ共通ソース(ACS)などのメモリアレイのソースへの電氣的接続を提供する。しかしながら、前面ソースコンタクトは、ワード線とソースコンタクトとの間にリーク電流および寄生容量の両方をもたらすので、間にスペーサが存在する場合でも、3Dメモリデバイスの電氣的性能に影響を及ぼす可能性がある。スペーサの形成はまた、製造プロセスを複雑にする。電氣的性能に影響を及ぼすことに加えて、スリット構造は通常、壁状ポリシリコンおよび/または金属充填を含み、それは、局所的な応力を導入してウェハの曲がりまたは反りを引き起こし、それによって製造歩留まりを低下させる可能性がある。

【0021】

さらに、いくつかの3D NANDメモリデバイスでは、例えば側壁選択エピタキシャル成長(SEG)として知られるチャネル構造の側壁を囲むように、半導体プラグが選択

10

20

30

40

50

的に成長される。チャンネル構造の下端、例えば底部SEG、に形成される別のタイプの半導体プラグと比較して、側壁SEGの形成は、チャンネルホール（「SONO」パンチとしても知られる）の底面でのメモリ膜および半導体チャンネルのエッチングを回避する。それによって、特に、マルチデッキ構造を有する96以上のレベルを有するなどの高度な技術を備える3D NANDメモリデバイスを製造する場合に、プロセスウィンドウを増加させる。基板とスタック構造との間の犠牲層を、スリット開口部を介する複数の堆積およびエッチングプロセスを含む側壁SEGで置き換えることによって、側壁SEGが、通常、形成される。しかしながら、3D NANDメモリデバイスのレベルが増加し続けるにつれて、スタック構造を貫通して延在するスリット開口部のアスペクト比が大きくなるので、コスト増加および歩留り低下の理由から、既知の手法を使用して側壁SEGを形成することにおいて、スリット開口部を介する堆積およびエッチングプロセスは、困難かつ望ましくないものになる。

10

**【0022】**

さらに、側壁SEG構造は、裏面プロセスと組み合わせることができ、基板の裏面からソースコンタクトを形成して、前面ソースコンタクトとワード線との間の漏れ電流および寄生容量を回避し、有効デバイス面積を増加させることができる。しかしながら、裏面プロセスは基板を薄くする必要があるため、薄化プロセスにおいてウェハレベルで厚さの均一性を制御することは困難であり、それによって側壁SEG構造および裏面プロセスを有する3D NANDメモリデバイスの製造歩留まりが制限される。

**【0023】**

本開示による様々な実施形態は、裏面ソースコンタクトを有する3Dメモリデバイスを提供する。ソースコンタクトを表面側から裏面側に移動させることにより、実効的なメモリ・セル・アレイ面積を大きくできるので、メモリセル当たりのコストを低減でき、スペーサ形成プロセスを省略できる。例えば、ワード線とソースコンタクトとの間のリーク電流および寄生容量を回避し、（ソースコンタクトとしての）前側スリット構造により引き起こされる局所的な応力を低減することによって、デバイス性能も改善できる。側壁SEG（例えば、半導体プラグ）は、基板前面でスタック構造を貫通して延在する開口部を介する、堆積またはエッチングプロセスを回避するために、基板裏面から形成できる。その結果、製造プロセスの複雑さおよびコストを低減でき、製品歩留まりを引き上げることができる。また、側壁SEGの製造プロセスは、もはやスタック構造を貫通する開口部のアスペクト比の影響を受けない、すなわち、メモリストックのレベルによって制限されない

20

30

**【0024】**

メモリストックが形成される基板は、側壁SEG形成前に裏面から除去され、チャンネル構造を露出させることができる。これにより、コスト低減のために、例えばダミーウェハに、基板の選択を拡大できる。いくつかの実施形態では、裏面薄化プロセスを自動的に停止するために、1つまたは複数の停止層が使用され、それにより、基板が完全に除去され、ウェハ厚さ均一性制御の課題を回避し、裏面プロセスの製造の複雑さを低減できる。いくつかの実施形態では、同一停止層または別の停止層が使用され、チャンネルホールのエッチングを自動的に停止し、これにより、異なるチャンネル構造間の溝切り変動をより良好に制御し、裏面プロセスウィンドウをさらに増加できる。

40

**【0025】**

基板を除去した後、導電層を裏面から形成して、複数のチャンネル構造のソースを電氣的に接続し、それによって、チャンネル構造のアレイ共通ソース（ACS）の伝導度を増加できる。いくつかの実施形態では、導電層は、チャンネル構造の半導体チャンネルに接触して接触抵抗を低減する金属シリサイド層と、金属シリサイド層に接触して全抵抗をさらに低減する金属層とを備える。その結果、半導体層（N型ドープまたはP型ドープのいずれか）の厚さは、ACSの一部として、ACS伝導度に影響を与えずに低減できる。

**【0026】**

例えば、異なる消去動作機構を有する様々な3Dメモリデバイス構造およびその製造方

50

法が、異なる要件および用途に対応するために本開示で開示される。いくつかの実施形態では、側壁SEGは、3Dメモリデバイスによるゲート誘起ドレインリーク(GIDL)消去を有効にするための、N型ドープ半導体層の一部である。いくつかの実施形態では、側壁SEGは、3DメモリデバイスによるPウェル・バルク消去を有効にするための、P型ドープ半導体層の一部である。

#### 【0027】

図1Aは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイス100の断面の側面図を示す。いくつかの実施形態では、3Dメモリデバイス100は、第1の半導体構造102と、第1の半導体構造102より上に積層された第2の半導体構造104とを含む接合チップである。いくつかの実施形態によれば、第1および第2の半導体構造102および104は、それらの間の接合インターフェイス106で連結される。図1に示すように、第1の半導体構造102は、シリコン(例えば、単結晶シリコン、c-Si)、シリコンゲルマニウム(SiGe)、ヒ化ガリウム(GaAs)、ゲルマニウム(Ge)、SOI、または任意の他の適切な材料を含み得る基板101を含むことができる。

#### 【0028】

3Dメモリデバイス100の第1の半導体構造102は、基板101上に周辺回路108を含むことができる。基板101を有する3Dメモリデバイス100内の構成要素の空間的關係をさらに示すために、x軸およびy軸が、図1に含まれていることに留意されたい。基板101は、x方向に横(すなわち、横方向)に延在する二つの横方向の面(例えば、天面および底面)を含む。本明細書で使用される場合、1つの構成要素(例えば、層またはデバイス)が、半導体デバイス(例えば、3Dメモリデバイス100)の他の構成要素(例えば、層またはデバイス)の「上に」、「上方に」、または「下方に」あるかどうかは、基板が半導体デバイスのy方向の最下面に位置決めされるとき、半導体デバイス(例えば、基板101)の基板に対して、y方向(すなわち、垂直方向)に判定される。空間的關係を説明するための同じ概念が、本開示全体にわたって適用される。

#### 【0029】

いくつかの実施形態では、周辺回路108は、3Dメモリデバイス100を制御および検知するように構成される。周辺回路108は、ページバッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、センス増幅器、ドライバ(例えば、ワード線ドライバ)、チャージポンプ、電流もしくは電圧基準、または回路の任意の能動もしくは受動構成要素(例えば、トランジスタ、ダイオード、抵抗器、またはコンデンサ)を含むが、これらに限定されない、3Dメモリデバイス100の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号制御および検知回路とすることができる。周辺回路108は、基板101上に形成されたトランジスタを含むことができ、その中で、トランジスタの全体または一部は、基板101内に(例えば、基板101の天面の下)および/または基板101上に、直接形成される。分離領域(例えば、シャロー・トレンチ・アイソレーション(STI))およびドープ領域(例えば、トランジスタのソース領域およびドレイン領域)も基板101内に形成できる。いくつかの実施形態によれば、トランジスタは、高度な論理プロセス(例えば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nmなどの技術ノード)備えており、高速である。いくつかの実施形態では、周辺回路108は、プロセッサおよびプログラマブル論理デバイス(PLD)などの論理回路、またはスタティック・ランダム・アクセス・メモリ(SRAM)およびダイナミックRAM(DRAM)などのメモリ回路を含む、高度な論理プロセスと互換性のある任意の他の回路をさらに含み得ることが理解されよう。

#### 【0030】

いくつかの実施形態では、3Dメモリデバイス100の第1の半導体構造102は、周辺回路108との間で電気信号を転送するために、周辺回路108の上方に相互接続層(図示せず)を、さらに含む。相互接続層は、横方向の相互接続線および垂直方向の相互接続アクセス(VIA)コンタクトを含む複数の相互接続(本明細書では「コンタクト」と

10

20

30

40

50

も呼ばれる)を含むことができる。本明細書で使用される場合、「相互接続」という用語は、ミドル・エンド・オブ・ライン(MEOL)相互接続、およびバック・エンド・オブ・ライン(BEOL)相互接続などの任意の適切なタイプの相互接続を広く含むことができる。相互接続層は、相互接続線およびVIAコンタクトが形成され得る1つまたは複数の層間誘電体(ILD)層(「金属間誘電体(IMD)層」としても知られる)を、さらに含むことができる。すなわち、相互接続層は、複数のILD層内に相互接続線およびVIAコンタクトを含むことができる。相互接続層内の相互接続線およびVIAコンタクトは、タングステン(W)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。相互接続層内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低誘電率(low-k)誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

10

#### 【0031】

図1Aに示すように、3Dメモリデバイス100の第1の半導体構造102は、接合インターフェイス106において、相互接続層および周辺回路108の上方に、接合層110をさらに含むことができる。接合層110は、複数の接合コンタクト111、および接合コンタクト111を電気的に絶縁する誘電体を含むことができる。接合コンタクト111は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。接合層110の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体で形成することができる。接合コンタクト111、および接合層110内の周囲の誘電体は、ハイブリッド接合に使用することができる。

20

#### 【0032】

同様に、図1Aに示すように、3Dメモリデバイス100の第2の半導体構造104はまた、接合インターフェイス106、および第1の半導体構造102の接合層110の上方に、接合層112を含むことができる。接合層112は、複数の接合コンタクト113、および接合コンタクト113を電気的に絶縁する誘電体を含むことができる。接合コンタクト113は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。接合層112の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体で形成することができる。接合コンタクト113、および接合層112内の周囲の誘電体は、ハイブリッド接合に使用することができる。いくつかの実施形態によれば、接合コンタクト113は、接合インターフェイス106で接合コンタクト111に接触している。

30

#### 【0033】

以下で詳細に説明するように、第2の半導体構造104は、接合インターフェイス106で、対面方式で第1の半導体構造102の上に接合することができる。いくつかの実施形態では、接合インターフェイス106は、ハイブリッド接合(「金属/誘電体ハイブリッド接合」としても知られる)の結果として、接合層110と112との間に配置される。これは、直接接合技術(例えば、はんだまたは接着剤などの中間層を使用せずに、表面間の接合を形成する)であり、金属-金属接合および誘電体-誘電体接合を、同時に達成できる。いくつかの実施形態では、接合インターフェイス106は、接合層112および110が接触し、接合される場所である。実際には、接合インターフェイス106は、第1の半導体構造102の接合層110の天面、および第2の半導体構造104の接合層112の底面を含む、特定の厚さを有する層であり得る。

40

#### 【0034】

いくつかの実施形態では、3Dメモリデバイス100の第2の半導体構造104は、電気信号を転送するために、接合層112の上方に相互接続層(図示せず)を、さらに含む。相互接続層は、MEOL相互接続、およびBEOL相互接続などの複数の相互接続を含

50

むことができる。相互接続層は、相互接続線、およびVIAコンタクトが形成され得る1つまたは複数のILD層を、さらに含むことができる。相互接続層内の相互接続線、およびVIAコンタクトは、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。相互接続層内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

#### 【0035】

いくつかの実施形態では、3Dメモリデバイス100は、メモリセルがNANDメモリストリングのレイの形態で提供されるNANDフラッシュ・メモリ・デバイスである。図1Aに示すように、3Dメモリデバイス100の第2の半導体構造104は、NANDメモリストリングのレイとして機能するチャンネル構造124のレイを含むことができる。図1Aに示すように、各チャンネル構造124は、それぞれが導電層116および誘電体層118を含む複数の対を貫通して、垂直に延在できる。交互配置された導電層116および誘電体層118は、メモリスタック114の一部である。メモリスタック114内の導電層116および誘電体層118の対の数（例えば、32、64、96、128、160、192、224、256、またはそれ以上）は、3Dメモリデバイス100内のメモリセル数を決定する。いくつかの実施形態では、メモリスタック114は、互いに積み重ねられた複数のメモリデッキを含む、マルチデッキ構造（図示せず）を有してもよいことが理解されよう。各メモリデッキ内の導電層116および誘電体層118の対の数は、同じであっても異なってもよい。

#### 【0036】

メモリスタック114は、複数の交互配置された導電層116および誘電体層118を含むことができる。メモリスタック114内の導電層116および誘電体層118は、垂直方向に交互であり得る。言い換えれば、メモリスタック114の頂部または底部のものを除いて、各導電層116は、両側で2つの誘電体層118と隣接でき、各誘電体層118は両側で2つの導電層116と隣接できる。導電層116は、W、Co、Cu、Al、ポリシリコン、ドーパシリコン、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。各導電層116は、接着層およびゲート誘電体層によって囲まれたゲート電極（ゲート線）を含むことができる。導電層116のゲート電極は、ワード線として横方向に延在し、メモリスタック114の1つまたは複数の階段構造で終わることができる。誘電体層118は、酸化シリコン、窒化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

#### 【0037】

図1Aに示すように、3Dメモリデバイス100の第2の半導体構造104はまた、メモリスタック114の上方に、N型ドーパ半導体層120を含むことができる。N型ドーパ半導体層120は、上述したような「側壁SEG」の一例であり得る。N型ドーパ半導体層120は、シリコンなどの半導体材料を含むことができる。いくつかの実施形態では、N型ドーパ半導体層120は、以下で詳細に説明するように、堆積技術によって形成されたポリシリコンを含む。N型ドーパ半導体層120は、リン（P）、ヒ素（Ar）、またはアンチモン（Sb）などの任意の適切なN型ドーパントでドーパすることができ、これは、自由電子に寄与し、真性半導体の導電率を増加させる。例えば、N型ドーパ半導体層120は、P、Ar、またはSbなどのN型ドーパントでドーパされたポリシリコン層であってもよい。

#### 【0038】

いくつかの実施形態では、各チャンネル構造124は、半導体層（例えば、半導体チャンネル128）および複合誘電体層（例えば、メモリ膜126）で、充填されたチャンネルホールを含む。いくつかの実施形態では、半導体チャンネル128は、アモルファスシリコン、ポリシリコン、または単結晶シリコンなどのシリコンを含む。いくつかの実施形態では、メモリ膜126は、トンネル層、記憶層（「電荷トラップ層」としても知られる）、およ

びブロッキング層を含む複合層である。チャンネル構造 1 2 4 の残りの空間は、酸化シリコンなどの誘電体材料を含むキャップ層、および/またはエアギャップで部分的または完全に充填することができる。チャンネル構造 1 2 4 は、円筒形状（例えば、ピラー形状）を有することができる。いくつかの実施形態によれば、メモリ膜 1 2 6 のキャップ層、半導体チャンネル 1 2 8、トンネル層、記憶層、およびブロッキング層は、ピラーの中心から外面に向かって半径方向に、この順序で配置される。トンネル層は、酸化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むことができる。記憶層は、窒化シリコン、酸窒化シリコン、ケイ素、またはそれらの任意の組み合わせを含むことができる。ブロッキング層は、酸化シリコン、酸窒化シリコン、高 k 誘電体、またはそれらの任意の組み合わせを含むことができる。一例では、メモリ膜 1 2 6 は、酸化シリコン/酸窒化シリコン/酸化シリコン (ONO) の複合層を含むことができる。

10

#### 【0039】

いくつかの実施形態では、チャンネル構造 1 2 4 は、チャンネル構造 1 2 4 の底部（例えば、下端）に、チャンネルプラグ 1 2 9 をさらに含む。本明細書で使用される場合、構成要素（例えば、チャンネル構造 1 2 4）の「上端」は、基板 1 0 1 が 3 D メモリデバイス 1 0 0 の最下面に位置するとき、y 方向において基板 1 0 1 からより遠い端部であり、構成要素（例えば、チャンネル構造 1 2 4）の「下端」は、y 方向において基板 1 0 1 により近い端部である。チャンネルプラグ 1 2 9 は、半導体材料（例えば、ポリシリコン）を含むことができる。いくつかの実施形態では、チャンネルプラグ 1 2 9 は、NAND メモリストリングのドレインとして機能する。

20

#### 【0040】

図 1 A に示すように、各チャンネル構造 1 2 4 は、メモリスタック 1 1 4 の交互配置された導電層 1 1 6 および誘電体層 1 1 8 を貫通して N 型ドープ半導体層 1 2 0 に垂直に延在できる。各チャンネル構造 1 2 4 の上端は、N 型ドープ半導体層 1 2 0 の天面と同一平面またはその下方にあり得る。すなわち、いくつかの実施形態によれば、チャンネル構造 1 2 4 は、N 型ドープ半導体層 1 2 0 の天面を超えて延在しない。いくつかの実施形態では、メモリ膜 1 2 6 の上端は、図 1 A に示すように、チャンネル構造 1 2 4 内の半導体チャンネル 1 2 8 の上端より下方にある。いくつかの実施形態では、メモリ膜 1 2 6 の上端は、N 型ドープ半導体層 1 2 0 の天面より下方にあり、半導体チャンネル 1 2 8 の上端は、N 型ドープ半導体層 1 2 0 の天面と同一平面またはそれより下方にある。例えば、図 1 A に示すように、メモリ膜 1 2 6 は N 型ドープ半導体層 1 2 0 の底面で終了してもよく、一方で、半導体チャンネル 1 2 8 は N 型ドープ半導体層 1 2 0 の底面の上方に延在してもよく、それにより、N 型ドープ半導体層 1 2 0 は、N 型ドープ半導体層 1 2 0 内へ延在する半導体チャンネル 1 2 8 の頂部 1 2 7 を囲んでもよい。いくつかの実施形態では、N 型ドープ半導体層 1 2 0 内に延在する半導体チャンネル 1 2 8 の頂部 1 2 7 のドーピング濃度は、半導体チャンネル 1 2 8 の残りのドーピング濃度とは異なる。例えば、半導体チャンネル 1 2 8 は、頂部 1 2 7 を除いて非ドープのポリシリコンを含むことができ、これは、周囲の N 型ドープ半導体層 1 2 0 との電氣的接続を形成する際にその導電性を高めるために、ドープされたポリシリコンを含むことができる。

30

#### 【0041】

いくつかの実施形態では、3 D メモリデバイス 1 0 0 の第 2 の半導体構造 1 0 4 は、チャンネル構造 1 2 4 の上端の上方にあり、かつ接触する導電層 1 2 2 を含む。導電層 1 2 2 は、複数のチャンネル構造 1 2 4 を電氣的に接続できる。図 1 A の側面図には示されていないが、導電層 1 2 2 は、複数のチャンネル構造 1 2 4 に接触する連続導電層（例えば、平面図では、ソースコンタクト 1 3 2 が通過することを可能にするための穴（メッシュ）を、その中に有する導電性プレート）であってもよいことが理解されよう。その結果、導電層 1 2 2 および N 型ドープ半導体層 1 2 0 は、同一ブロック内の NAND メモリストリングのアレイのソース間、すなわち ACS 間、の電気接続を共に提供することができる。図 1 A に示すように、いくつかの実施形態では、導電層 1 2 2 は、横方向に 2 つの部分、すなわち、N 型ドープ半導体層 1 2 0 上の第 1 の部分（チャンネル構造 1 2 4 の領域の外側）と

40

50

、N型ドーブ半導体層120に当接し、チャンネル構造124の上端に接触する第2の部分（チャンネル構造124の領域内）とを含む。すなわち、いくつかの実施形態によれば、導電層122の少なくとも一部（すなわち、第1の部分）は、N型ドーブ半導体層120上にある。いくつかの実施形態によれば、N型ドーブ半導体層120内に延在する各チャンネル構造124の上端を囲む導電層122の残りの部分（すなわち、第2の部分）は、半導体チャンネル128の頂部127に接触している。以下で詳細に説明するように、メモリスタック114の形成、ならびに半導体チャンネル128の導電層122および頂部127の形成は、N型ドーブ半導体層120の対向する両側で行われ、これにより、メモリスタック114を貫通して延在する開口部を介しての堆積またはエッチングプロセスを回避することができ、これにより、製造の複雑さおよびコストが低減され、歩留まりおよび垂直スケラビリティを向上できる。

10

#### 【0042】

いくつかの実施形態では、導電層122は、金属シリサイド層121および金属シリサイド層121の上方の金属層123を含む、垂直方向の複数の層を含む。金属シリサイド層121および金属層123のそれぞれは、連続膜であり得る。金属シリサイド層121は、N型ドーブ半導体層120（導電層122の第1の部分内）、およびチャンネル構造124（導電層122の第2の部分内）の上端の上方にあり、かつ接触して配置できる。いくつかの実施形態では、金属シリサイド層121の一部は、N型ドーブ半導体層120内に延在する半導体チャンネル128の頂部127を取り囲んで接触し、複数のチャンネル構造124と電気的接続を行う。金属シリサイド層121は、金属シリサイド、例えば、銅シリサイド、コバルト・シリサイド、ニッケル・シリサイド、チタン・シリサイド、タンゲステン・シリサイド、銀シリサイド、アルミニウム・シリサイド、金シリサイド、白金シリサイド、任意の他の適切な金属シリサイド、またはそれらの任意の組み合わせを含むことができる。いくつかの実施形態によれば、金属層123は、金属シリサイド層121の上方にあり、かつ接触する。金属層123は、金属、例えば、W、Co、Cu、Al、ニッケル（Ni）、チタン（Ti）、任意の他の適切な金属、またはそれらの任意の組み合わせを含むことができる。金属層123内の金属は、任意の適切な導電性金属化合物および金属合金、例えば、窒化チタンおよび窒化タンタル、も広く含むことができることが理解されよう。金属シリサイド層121は、導電層122と半導体チャンネル128の頂部127との間の接触抵抗を低減でき、導電層122内の金属層123のバリア層として機能することができる。

20

30

#### 【0043】

導電層122とN型ドーブ半導体層120とを組み合わせることによって、チャンネル構造124間（すなわち、同一ブロック内のNANDメモリスタックのACSにおいて）の伝導度を、N型ドーブ半導体層120単独と比較して増加させることができ、これによって、3Dメモリデバイス100の電気的性能を改善できる。導電層122を導入することによって、チャンネル構造124間で同一伝導度/抵抗を維持するために、N型ドーブ半導体層120の厚さを、例えば、50nm未満などの、約50nm未満に低減することができる。いくつかの実施形態では、N型ドーブ半導体層120の厚さは、約10nm~約30nm、例えば10nm~30nm（例えば、10nm、11nm、12nm、13nm、14nm、15nm、16nm、17nm、18nm、19nm、20nm、21nm、22nm、23nm、24nm、25nm、26nm、27nm、28nm、29nm、30nm、これらのいずれかの値によって下限で区切られた任意の範囲、またはこれらの値のいずれか2つによって定義される任意の範囲）である。チャンネル構造124の半導体チャンネル128の頂部127を囲む導電層122と組み合わせたN型ドーブ半導体層120は、3Dメモリデバイス100の消去動作のためのGIDL支援ボディバイアスを有効にできる。NANDメモリスタックのソース選択ゲートの周りのGIDLは、NANDメモリスタック内にホール電流を生成して、消去動作のボディ電位を上昇させることができる。すなわち、いくつかの実施形態によれば、3Dメモリデバイス100は、消去動作を実行するときに、GIDL支援ボディバイアスを生成するように構成される。

40

50

## 【 0 0 4 4 】

図 1 A に示すように、3 D メモリデバイス 1 0 0 の第 2 の半導体構造 1 0 4 は、各々がメモリスタック 1 1 4 の交互配置された導電層 1 1 6 および誘電体層 1 1 8 を貫通して垂直に延在する絶縁構造 1 3 0 を、さらに含むことができる。いくつかの実施形態によれば、N 型ドープ半導体層 1 2 0 内にさらに延在するチャンネル構造 1 2 4 とは異なり、絶縁構造 1 3 0 は、N 型ドープ半導体層 1 2 0 の底面で停止する、すなわち、N 型ドープ半導体層 1 2 0 内に垂直に延在しない。すなわち、絶縁構造 1 3 0 の天面は、N 型ドープ半導体層 1 2 0 の底面と同一平面上にあり得る。各絶縁構造 1 3 0 はまた、横方向に延在し、チャンネル構造 1 2 4 を複数のブロックに分離することができる。すなわち、メモリスタック 1 1 4 は、絶縁構造 1 3 0 によって複数のメモリブロックに分割することができ、それにより、チャンネル構造 1 2 4 のアレイを、各メモリブロックに分離することができる。いくつかの実施形態によれば、前面 A C S コンタクトを含む上述の既存の 3 D N A N D メモリデバイスのスリット構造とは異なり、絶縁構造 1 3 0 は、その中に（すなわち、ソースコンタクトとして機能しない）コンタクトを含まず、したがって、導電層 1 1 6（ワード線を含む）との寄生容量および漏れ電流をもたらさない。いくつかの実施形態では、各絶縁構造 1 3 0 は、酸化シリコン、窒化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むが、これらに限定されない、1 つまたは複数の誘電体材料で充填された開口部（例えば、スリット）を含む。一例では、各絶縁構造 1 3 0 は、酸化シリコンで充填されてもよい。

10

## 【 0 0 4 5 】

さらに、以下で詳細に説明するように、絶縁構造 1 3 0 を形成するための開口部は、N 型ドープ半導体層 1 2 0 および導電層 1 2 2 の第 2 の部分を形成するために使用されないため、交互配置された導電層 1 1 6 および誘電体層 1 1 8 の数が増加するにつれて、開口部（例えば、5 0 より大きい）のアスペクト比が増加しても、N 型ドープ半導体層 1 2 0 および導電層 1 2 2 の形成に影響を与えないであろう。

20

## 【 0 0 4 6 】

図 1 に示すように、3 D メモリデバイス 1 0 0 は、前面ソースコンタクトの代わりに、メモリスタック 1 1 4 の上方にあり、N 型ドープ半導体層 1 2 0 に接触する裏面ソースコンタクト 1 3 2 を含むことができる。ソースコンタクト 1 3 2 およびメモリスタック 1 1 4（およびそれを貫通する絶縁構造 1 3 0）は、N 型ドープ半導体層 1 2 0 の両側に配置することができ、したがって「裏面」ソースコンタクトと見なすことができる。いくつかの実施形態では、ソースコンタクト 1 3 2 は、N 型ドープ半導体層 1 2 0 を介して、チャンネル構造 1 2 4 の半導体チャンネル 1 2 8 に電氣的に接続される。いくつかの実施形態では、ソースコンタクト 1 3 2 は、絶縁構造 1 3 0 と横方向に整列しておらず、それらの間の電氣的接続の抵抗を低減するためにチャンネル構造 1 2 4 に接近している。例えば、ソースコンタクト 1 3 2 は、絶縁構造 1 3 0 とチャンネル構造 1 2 4 との間に横方向（例えば、図 1 の x 方向）に、あってもよい。ソースコンタクト 1 3 2 は、任意の適切なタイプのコンタクトを含むことができる。いくつかの実施形態では、ソースコンタクト 1 3 2 は V I A コンタクトを含む。いくつかの実施形態では、ソースコンタクト 1 3 2 は、横方向に延在する壁状コンタクトを含む。ソースコンタクト 1 3 2 は、金属層（例えば、W、Co、Cu、もしくは Al）または接着層（例えば、窒化チタン（TiN））に囲まれたシリサイド層などの、1 つまたは複数の導電層を含むことができる。

30

40

## 【 0 0 4 7 】

図 1 A に示すように、3 D メモリデバイス 1 0 0 は、例えば、3 D メモリデバイス 1 0 0 と外部回路との間で電気信号を転送する、信号出力パッド用のソースコンタクト 1 3 2 の上方にあり、かつ電氣的に接続された B E O L 相互接続層 1 3 3 をさらに含むことができる。いくつかの実施形態では、相互接続層 1 3 3 は、N 型ドープ半導体層 1 2 0 上の 1 つまたは複数の I L D 層 1 3 4、および I L D 層 1 3 4 上の再配線層 1 3 6 を含む。いくつかの実施形態によれば、ソースコンタクト 1 3 2 の上端は、I L D 層 1 3 4 の天面および再配線層 1 3 6 の底面と同一平面上にあり、ソースコンタクト 1 3 2 は、I L D 層 1 3

50

4 および導電層 1 2 2 を貫通して N 型ドープ半導体層 1 2 0 に垂直に延在する。相互接続層 1 3 3 内の I L D 層 1 3 4 は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。相互接続層 1 3 3 内の再配線層 1 3 6 は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。一例では、再配線層 1 3 6 は Al を含むことができる。いくつかの実施形態では、相互接続層 1 3 3 は、3 D メモリデバイス 1 0 0 の不動態化および保護のための最外層として、パッシベーション層 1 3 8 をさらに含む。再配線層 1 3 6 の一部は、コンタクトパッド 1 4 0 としてパッシベーション層 1 3 8 から露出することができる。すなわち、3 D メモリデバイス 1 0 0 の相互接続層 1 3 3 はまた、ワイヤボンディングおよび/またはインターポーザとのボンディングのためのコンタクトパッド 1 4 0 を含むことができる。

10

#### 【 0 0 4 8 】

いくつかの実施形態では、3 D メモリデバイス 1 0 0 の第 2 の半導体構造 1 0 4 は、N 型ドープ半導体層 1 2 0 を貫通するコンタクト 1 4 2 および 1 4 4 を、さらに含む。いくつかの実施形態によれば、N 型ドープ半導体層 1 2 0 はポリシリコンを含むことができるので、コンタクト 1 4 2 および 1 4 4 は、シリコン貫通コンタクト ( T S C ) である。いくつかの実施形態では、コンタクト 1 4 2 は、N 型ドープ半導体層 1 2 0 および I L D 層 1 3 4 を貫通して延在し、再配線層 1 3 6 に接触しており、それにより、N 型ドープ半導体層 1 2 0 は、相互接続層 1 3 3 のソースコンタクト 1 3 2 および再配線層 1 3 6 を介して、コンタクト 1 4 2 に電氣的に接続される。いくつかの実施形態では、コンタクト 1 4 4 は、コンタクトパッド 1 4 0 に接触するように N 型ドープ半導体層 1 2 0 および I L D 層 1 3 4 を貫通して延在する。コンタクト 1 4 2 および 1 4 4 はそれぞれ、金属層 ( 例えば、W、Co、Cu、もしくは Al )、または接着層 ( 例えば、TiN ) によって囲まれたシリサイド層などの 1 つまたは複数の導電層を含むことができる。いくつかの実施形態では、少なくともコンタクト 1 4 4 は、コンタクト 1 4 4 を N 型ドープ半導体層 1 2 0 から電氣的に分離するためのスペーサ ( 例えば、誘電体層 ) をさらに含む。

20

#### 【 0 0 4 9 】

いくつかの実施形態では、3 D メモリデバイス 1 0 0 は、各々がメモリスタック 1 1 4 の外側で垂直に延在する周辺コンタクト 1 4 6 および 1 4 8 をさらに含む。各周辺コンタクト 1 4 6 または 1 4 8 は、メモリスタック 1 1 4 の外側の周辺領域において、接合層 1 1 2 から N 型ドープ半導体層 1 2 0 まで垂直に延在するように、メモリスタック 1 1 4 の深さよりも大きい深さを有することができる。いくつかの実施形態では、コンタクト 1 4 2 は周辺コンタクト 1 4 6 の下方にあり、かつ接触しており、それにより、N 型ドープ半導体層 1 2 0 は、少なくともソースコンタクト 1 3 2、相互接続層 1 3 3、コンタクト 1 4 2、および周辺コンタクト 1 4 6 を介して、第 1 の半導体構造 1 0 2 内の周辺回路 1 0 8 に電氣的に接続される。いくつかの実施形態では、周辺コンタクト 1 4 8 はコンタクト 1 4 4 の下方にあり、かつ接触しており、それにより、第 1 の半導体構造 1 0 2 内の周辺回路 1 0 8 は、少なくともコンタクト 1 4 4 および周辺コンタクト 1 4 8 を介して、信号出力パッド用のコンタクトパッド 1 4 0 に電氣的に接続される。周辺コンタクト 1 4 6 および 1 4 8 はそれぞれ、金属層 ( 例えば、W、Co、Cu、もしくは Al )、または接着層 ( 例えば、TiN ) によって囲まれたシリサイド層などの 1 つまたは複数の導電層を含むことができる。いくつかの実施形態では、導電層 1 2 2 はメモリスタック 1 1 4 の領域内にあり、すなわち、周辺領域内に横方向に延在せず、それにより、コンタクト 1 4 2 および 1 4 4 は、それぞれ周辺コンタクト 1 4 8 および 1 4 4 に接触するために導電層 1 2 2 を貫通して垂直に延在しない。

30

40

#### 【 0 0 5 0 】

図 1 に示すように、3 D メモリデバイス 1 0 0 はまた、メモリスタック 1 1 4 内の構造と直接接触する、相互接続構造の一部としての様々なローカルコンタクト ( 「 C 1 」 としても知られる ) を含む。いくつかの実施形態では、ローカルコンタクトは、それぞれのチ

50

チャンネル構造 124 の下端の下方あり、かつ接触するチャンネル・ローカル・コンタクト 150 を含む。各チャンネル・ローカル・コンタクト 150 は、ビット線ファンアウトのためのビット線コンタクト（図示せず）に、電氣的に接続することができる。いくつかの実施形態では、ローカルコンタクトは、ワード線ファンアウトのためにメモリスタック 114 の階段構造において、それぞれの導電層 116（ワード線を含む）の下方にあり、かつ接触するワード線ローカルコンタクト 152 をさらに含む。チャンネル・ローカル・コンタクト 150 およびワード線ローカルコンタクト 152 などのローカルコンタクトは、少なくとも接合層 112 および 110 を介して、第 1 の半導体構造 102 の周辺回路 108 に電氣的に接続することができる。チャンネル・ローカル・コンタクト 150 およびワード線ローカルコンタクト 152 などのローカルコンタクトはそれぞれ、金属層（例えば、W、Co、Cu、もしくは Al）または接着層（例えば、TiN）によって囲まれたシリサイド層などの 1 つまたは複数の導電層を含むことができる。

10

#### 【0051】

図 1 B は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイス 150 の断面の側面図を示す。3D メモリデバイス 150 は、導電層 122 およびチャンネル構造 124 の上端の異なる構造を除いて、3D メモリデバイス 100 と同様である。説明を容易にするために、3D メモリデバイス 150 および 100 の両方における他の同一構造の詳細は、繰り返さないことが理解されよう。

#### 【0052】

図 1 B に示すように、いくつかの実施形態によれば、各チャンネル構造 124 は、N 型ドープ半導体層 120 に当接するチャンネルプラグ 125 をさらに含む。いくつかの実施形態では、各チャンネルプラグ 125 は、半導体チャンネル 128 のそれぞれの頂部 127 を取り囲んで接触する。チャンネルプラグ 125 の天面は、N 型ドープ半導体層 120 の天面と同一平面とすることができる。チャンネルプラグ 125 は、半導体チャンネル 128 の頂部 127 と同一材料、例えば、ドープされたポリシリコンを有することができる。したがって、チャンネル構造 124 の半導体チャンネル 128 の一部として見るることができる。すなわち、N 型ドープ半導体層 120 によって囲まれたドープポリシリコン構造全体は、本開示におけるチャンネル構造 124 の上端として見るることができる。したがって、いくつかの実施形態によれば、3D メモリデバイス 100 および 150 の両方の導電層 122（およびその中の金属シリサイド層 121）は、チャンネル構造 124 の上端に接触している。

20

30

#### 【0053】

図 1 A に示す、導電層 122 の第 2 の部分が N 型ドープ半導体層 120 の天面の下方にあり、チャンネル構造 124 の上端を囲む 3D メモリデバイス 100 の導電層 122 とは異なり、図 1 B においては、チャンネル構造 124 の上端もチャンネルプラグ 125 を含むために、導電層 122 全体は、N 型ドープ半導体層 120 の天面の上方にある。図 1 B に示すように、チャンネル構造 124 の上端の天面は、N 型ドープ半導体層 120 の天面と同一平面上にあり、導電層 122 は、N 型ドープ半導体層 120 およびチャンネル構造 124 の上端上に配置される。言い換えれば、N 型ドープ半導体層 120 と半導体チャンネル 128 の頂部 127 との間の凹部を充填する 3D メモリデバイス 100 内の導電層 122 の一部は、3D メモリデバイス 150 内のチャンネルプラグ 125 によって置き換えることができ、それにより、導電層 122 は、N 型ドープ半導体層 120 およびチャンネル構造 124 の天面上の同一平面内に形成することができる。

40

#### 【0054】

図 1 C は、本開示のいくつかの実施形態による、さらに別の例示的な 3D メモリデバイス 160 の断面の側面図を示す。3D メモリデバイス 160 は、導電層 122 の異なる構造を除いて、3D メモリデバイス 100 と同様である。説明を容易にするために、3D メモリデバイス 160 および 100 の両方における他の同一構造の詳細は、繰り返さないことが理解されよう。

#### 【0055】

図 1 C に示すように、いくつかの実施形態によれば、導電層 122 の金属層 123 は、

50

半導体チャンネル 128 に接触しており、金属層 123 の一部は、金属シリサイド層 121 の上方にあり、かつ接触する。金属シリサイド層 121 の一部が N 型ドープ半導体層 120 の天面の下方にあり、半導体チャンネル 128 の頂部 127 を囲む 3D メモリデバイス 100 の導電層 122 とは異なり、3D メモリデバイス 160 では、金属層 123 のみが N 型ドープ半導体層 120 の天面の下方にあり、半導体チャンネル 128 の頂部 127 を囲む。それでもなお、導電層 122 の第 1 の部分は、3D メモリデバイス 100、150、および 160 において同一構造を有し、すなわち、N 型ドープ半導体層 120 上の金属シリサイド層 121 と、金属シリサイド層 121 の上方にあり、かつ接触する金属層 123 と、を有する。導電層 122 の第 2 の部分（チャンネル構造 124 の領域内）に関しては、製造プロセス（例えば、N 型ドープ半導体層 120 と半導体チャンネル 128 の頂部 127 との間の凹部がどのように充填されるか）に対応して、以下に詳細に説明する導電層 122 を形成するための異なる例が、3D メモリデバイス 100、150、および 160 の様々な構造の原因となり得る。

10

#### 【0056】

例えば、以下で詳細に説明するように、図 1C の 3D メモリデバイス 160 の金属シリサイド層 121 は、チャンネル構造 124 のチャンネルホールのエッチングを自動的に停止するための停止層の一部であってもよい。停止層は、N 型ドープ半導体層 120 の裏面からチャンネル構造 124 の上端を露出させるようにパターニングされてもよく、停止層の残りの部分は、金属シリサイド層 121 として 3D メモリデバイス 160 内に残ってもよい。次いで、金属層 123 を形成して、N 型ドープ半導体層 120 と半導体チャンネル 128 の頂部 127 との間、ならびに金属シリサイド層 121 上の凹部を充填することができる。対照的に、3D メモリデバイス 100 および 150 の同一停止層は、導電層 122 の形成前に除去されてもよい。したがって、3D メモリデバイス 100 および 150 内の金属シリサイド層 121 は、3D メモリデバイス 100 内のチャンネルプラグ 125 なし、または 3D メモリデバイス 150 内のチャンネルプラグ 125 ありのいずれかで、チャンネル構造 124 の上端に接触するように、N 型ドープ半導体層 120 の裏面から停止層を除去した後形成することができ、これにより、チャンネル構造 124 との接触抵抗を低下させることができるが、3D メモリデバイス 160 内の導電層 122 と比較してプロセス数が増加する。

20

#### 【0057】

図 2A は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイス 200 の断面の側面図を示す。いくつかの実施形態では、3D メモリデバイス 200 は、第 1 の半導体構造 202 と、第 1 の半導体構造 202 の上に積層された第 2 の半導体構造 204 とを含む接合チップである。いくつかの実施形態によれば、第 1 および第 2 の半導体構造 202 および 204 は、それらの間の接合インターフェイス 206 で連結される。図 2A に示すように、第 1 の半導体構造 202 は、基板 201 を含むことができ、それは、シリコン（例えば、単結晶シリコン、c-Si）、SiGe、GaAs、Ge、SOI、または任意の他の適切な材料を含むことができる。

30

#### 【0058】

3D メモリデバイス 200 の第 1 の半導体構造 202 は、基板 201 上に周辺回路 208 を含むことができる。いくつかの実施形態では、周辺回路 208 は、3D メモリデバイス 200 を制御および検知するように構成される。周辺回路 208 は、ページバッファ、デコーダ（例えば、行デコーダおよび列デコーダ）、検知増幅器、ドライバ（例えば、ワード線ドライバ）、チャージポンプ、電流もしくは電圧基準、または回路の任意の能動もしくは受動構成要素（例えば、トランジスタ、ダイオード、抵抗器、またはコンデンサ）を含むが、これらに限定されない、3D メモリデバイス 200 の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号制御および検知回路とすることができる。周辺回路 208 は、基板 201 上に形成されたトランジスタを含むことができ、その中で、トランジスタの全体または一部は、基板 201 内に（例えば、基板 201 の天面の下）および/または基板 201 上に、直接形成される。分離領域（例

40

50

例えば、シャロー・トレンチ・アイソレーション（STI）およびドープ領域（例えば、トランジスタのソース領域およびドレイン領域）も、基板201内に形成できる。いくつかの実施形態によれば、トランジスタは、高度な論理プロセス（例えば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nmなどの技術ノード）備えており、高速である。いくつかの実施形態では、周辺回路208は、プロセッサおよびPLDなどの論理回路、またはSRAMおよびDRAMなどのメモリ回路を含む、高度な論理プロセスと互換性のある任意の他の回路をさらに含み得ることが理解されよう。

#### 【0059】

いくつかの実施形態では、3Dメモリデバイス200の第1の半導体構造202は、周辺回路208との間で電気信号を転送するために、周辺回路208の上方に相互接続層（図示せず）をさらに含む。相互接続層は、横方向の相互接続線およびVIAコンタクトを含む複数の相互接続（本明細書では「コンタクト」とも呼ばれる）を含むことができる。本明細書で使用される場合、「相互接続」という用語は、MEOL相互接続、およびBEOL相互接続などの任意の適切なタイプの相互接続を広く含むことができる。相互接続層は、相互接続線およびVIAコンタクトが形成され得る1つまたは複数のILD層（「IMD層」としても知られる）をさらに含むことができる。すなわち、相互接続層は、複数のILD層内に相互接続線およびVIAコンタクトを含むことができる。相互接続層内の相互接続線およびVIAコンタクトは、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。相互接続層内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

#### 【0060】

図2Aに示すように、3Dメモリデバイス200の第1の半導体構造202は、接合インターフェイス206において、相互接続層および周辺回路208の上方に、接合層210をさらに含むことができる。接合層210は、複数の接合コンタクト211と、接合コンタクト211を電気的に絶縁する誘電体とを含むことができる。接合コンタクト211は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。接合層210の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体で形成することができる。接合コンタクト211および接合層210内の周囲の誘電体は、ハイブリッド接合に使用することができる。

#### 【0061】

同様に、図2Aに示すように、3Dメモリデバイス200の第2の半導体構造204はまた、接合インターフェイス206、および第1の半導体構造202の接合層210の上方に接合層212を含むことができる。接合層212は、複数の接合コンタクト213と、接合コンタクト213を電気的に絶縁する誘電体とを含むことができる。接合コンタクト213は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。接合層212の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体で形成することができる。接合コンタクト213および接合層212内の周囲の誘電体は、ハイブリッド接合に使用することができる。いくつかの実施形態によれば、接合コンタクト213は、接合インターフェイス206で接合コンタクト211に接触している。

#### 【0062】

以下で詳細に説明するように、第2の半導体構造204は、接合インターフェイス206で、対面方式で第1の半導体構造202の上に接合することができる。いくつかの実施形態では、接合インターフェイス206は、ハイブリッド接合（「金属/誘電体ハイブリ

ッド接合」としても知られる)の結果として、接合層210と212との間に配置される。これは、直接接合技術(例えば、はんだまたは接着剤などの中間層を使用せずに表面間の接合を形成する)であり、金属-金属接合および誘電体-誘電体接合を同時に達成できる。いくつかの実施形態では、接合インターフェイス206は、接合層212および210が接触し、接合される場所である。実際には、接合インターフェイス206は、第1の半導体構造202の接合層210の天面および第2の半導体構造204の接合層212の底面を含む、特定の厚さを有する層であり得る。

#### 【0063】

いくつかの実施形態では、3Dメモリデバイス200の第2の半導体構造204は、電気信号を転送するために、接合層212の上方に相互接続層(図示せず)をさらに含む。相互接続層は、MEO L相互接続、およびBEO L相互接続などの複数の相互接続を含むことができる。相互接続層は、相互接続線、およびVIAコンタクトが形成され得る1つまたは複数のILD層を、さらに含むことができる。相互接続層内の相互接続線、およびVIAコンタクトは、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。相互接続層内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

#### 【0064】

いくつかの実施形態では、3Dメモリデバイス200は、メモリセルがNANDメモリストリングのアレイの形態で提供されるNANDフラッシュ・メモリ・デバイスである。図2Aに示すように、3Dメモリデバイス200の第2の半導体構造204は、NANDメモリストリングのアレイとして機能するチャンネル構造224のアレイを含むことができる。図2Aに示すように、各チャンネル構造224は、それぞれが導電層216および誘電体層218を含む複数の対を貫通して垂直に延在できる。交互配置された導電層216および誘電体層218は、メモリスタック214の一部である。メモリスタック214内の導電層216および誘電体層218の対の数(例えば、32、64、96、128、160、192、224、256、またはそれ以上)は、3Dメモリデバイス200内のメモリセル数を決定する。いくつかの実施形態では、メモリスタック214は、互いに積み重ねられた複数のメモリデッキを含む、マルチデッキ構造(図示せず)を有してもよいことが理解されよう。各メモリデッキ内の導電層216および誘電体層218の対の数は、同じであっても異なってもよい。

#### 【0065】

メモリスタック214は、複数の交互配置された導電層216および誘電体層218を含むことができる。メモリスタック214内の導電層216および誘電体層218は、垂直方向に交互であり得る。言い換えれば、メモリスタック214の頂部または底部のものを除いて、各導電層216は両側で2つの誘電体層218と隣接でき、各誘電体層218は両側で2つの導電層216と隣接できる。導電層216は、W、Co、Cu、Al、ポリシリコン、ドーパシリコン、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。各導電層216は、接着層およびゲート誘電体層によって囲まれたゲート電極(ゲート線)を含むことができる。導電層216のゲート電極は、ワード線として横方向に延在し、メモリスタック214の1つまたは複数の階段構造で終わることができる。誘電体層218は、酸化シリコン、窒化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。

#### 【0066】

図2Aに示すように、3Dメモリデバイス200の第2の半導体構造204はまた、メモリスタック114の上方に、P型ドーパ半導体層220を含むことができる。P型ドーパ半導体層220は、上述したような「側壁SEG」の一例であり得る。P型ドーパ半導体層220は、シリコンなどの半導体材料を含むことができる。いくつかの実施形態では、P型ドーパ半導体層220は、以下で詳細に説明するように、堆積技術によって形成さ

10

20

30

40

50

れたポリシリコンを含む。P型ドーパント半導体層220は、ホウ素(B)、ガリウム(Ga)、またはアルミニウム(Al)などの任意の適切なP型ドーパントでドーパすることができ、真性半導体には「正孔」と呼ばれる価電子の欠損を作り出す。例えば、P型ドーパント半導体層220は、B、Ga、またはAlなどのP型ドーパントでドーパされたポリシリコン層であってもよい。

#### 【0067】

いくつかの実施形態では、3Dメモリデバイス200の第2の半導体構造204は、P型ドーパント半導体層220内に、Nウェル221をさらに含む。Nウェル221は、リン(P)、ヒ素(As)、またはアンチモン(Sb)などの任意の適切なN型ドーパントでドーパすることができ、これは、自由電子に寄与し、真性半導体の導電率を増加させる。いくつかの実施形態では、Nウェル221は、P型ドーパント半導体層220の底面からドーパされる。Nウェル221は、P型ドーパント半導体層220の厚さ全体に、すなわちP型ドーパント半導体層220の天面に、またはP型ドーパント半導体層220の厚さ全体の一部に、垂直に延在してもよいことが理解されよう。

#### 【0068】

いくつかの実施形態では、各チャンネル構造224は、半導体層(例えば、半導体チャンネル228)および複合誘電体層(例えば、メモリ膜226)で、充填されたチャンネルホールを含む。いくつかの実施形態では、半導体チャンネル228は、アモルファスシリコン、ポリシリコン、または単結晶シリコンなどのシリコンを含む。いくつかの実施形態では、メモリ膜226は、トンネル層、記憶層(「電荷トラップ層」としても知られる)、およびブロッキング層を含む複合層である。チャンネル構造224の残りの空間は、酸化シリコンなどの誘電体材料を含むキャップ層、および/またはエアギャップで部分的または完全に充填することができる。チャンネル構造224は、円筒形状(例えば、ピラー形状)を有することができる。いくつかの実施形態によれば、メモリ膜226のキャップ層、半導体チャンネル228、トンネル層、記憶層、およびブロッキング層は、ピラーの中心から外面に向かって半径方向に、この順序で配置される。トンネル層は、酸化シリコン、酸化窒素シリコン、またはそれらの任意の組み合わせを含むことができる。記憶層は、窒素化シリコン、酸化窒素シリコン、ケイ素、またはそれらの任意の組み合わせを含むことができる。ブロッキング層は、酸化シリコン、酸化窒素シリコン、高k誘電体、またはそれらの任意の組み合わせを含むことができる。一例では、メモリ膜226は、酸化シリコン/酸化窒素シリコン/酸化シリコン(ONO)の複合層を含むことができる。

#### 【0069】

いくつかの実施形態では、チャンネル構造224は、チャンネル構造224の底部(例えば、下端)にチャンネルプラグ227をさらに含む。本明細書で使用される場合、構成要素(例えば、チャンネル構造224)の「上端」は、基板201が3Dメモリデバイス200の最下面に位置するとき、y方向において基板201からより遠い端部であり、構成要素(例えば、チャンネル構造224)の「下端」は、y方向において基板201により近い端部である。チャンネルプラグ227は、半導体材料(例えば、ポリシリコン)を含むことができる。いくつかの実施形態では、チャンネルプラグ227は、NANDメモリストリングのドレインとして機能する。

#### 【0070】

図2Aに示すように、各チャンネル構造224は、メモリスタック214の交互配置された導電層216および誘電体層218を通してP型ドーパント半導体層220に垂直に延在できる。各チャンネル構造224の上端は、P型ドーパント半導体層220の天面と同一平面またはそれより下方にあり得る。すなわち、いくつかの実施形態によれば、チャンネル構造224は、P型ドーパント半導体層220の天面を超えて延在しない。いくつかの実施形態では、メモリ膜226の上端は、図2Aに示すように、チャンネル構造224内の半導体チャンネル228の上端より下方にある。いくつかの実施形態では、メモリ膜226の上端は、P型ドーパント半導体層220の天面より下方にあり、半導体チャンネル228の上端は、P型ドーパント半導体層220の天面と同一平面またはそれより下方にある。例えば、図2Aに示すよ

10

20

30

40

50

うに、メモリ膜 226 は、P 型ドープ半導体層 220 の底面で終了してもよく、一方で、半導体チャンネル 228 は、P 型ドープ半導体層 220 の底面の上方に延在してもよく、それにより、P 型ドープ半導体層 220 は、P 型ドープ半導体層 220 内に延在する半導体チャンネル 228 の頂部 229 を囲んで、かつ接触してもよい。いくつかの実施形態では、P 型ドープ半導体層 220 内に延在する半導体チャンネル 228 の頂部 229 のドーピング濃度は、半導体チャンネル 228 の残りのドーピング濃度とは異なる。例えば、半導体チャンネル 228 は、頂部 229 を除いて非ドープのポリシリコンを含むことができ、これは、周囲の P 型ドープ半導体層 220 との電氣的接続を形成する際にその導電性を高めるために、ドープされたポリシリコンを含むことができる。

#### 【0071】

いくつかの実施形態では、3Dメモリデバイス 200 の第 2 の半導体構造 204 は、チャンネル構造 224 の上端の上方にあり、かつ接触する導電層 222 を含む。導電層 222 は、複数のチャンネル構造 224 を電氣的に接続できる。図 2A の側面図には示されていないが、導電層 222 は、複数のチャンネル構造 224 に接触する連続導電層（例えば、平面図では、ソースコンタクト 232 が通過することを可能にするための穴（メッシュ）を、その中に有する導電性プレート）であってもよいことが理解されよう。その結果、導電層 222 および P 型ドープ半導体層 220 は、同一ブロック内の NAND メモリストリングのアレイのソース間、すなわち ACS 間、の電気接続を共に提供することができる。図 2A に示すように、いくつかの実施形態では、導電層 222 は、横方向に 2 つの部分、すなわち、P 型ドープ半導体層 220 上の第 1 の部分（チャンネル構造 224 の領域の外側）、P 型ドープ半導体層 220 に当接し、チャンネル構造 224 の上端に接触する第 2 の部分（チャンネル構造 224 の領域内）を含む。すなわち、いくつかの実施形態によれば、導電層 222 の少なくとも一部（すなわち、第 1 の部分）は、P 型ドープ半導体層 220 上にある。いくつかの実施形態によれば、P 型ドープ半導体層 220 内に延在する各チャンネル構造 224 の上端を囲む導電層 222 の残りの部分（すなわち、第 2 の部分）は、半導体チャンネル 228 の頂部 229 に接触している。以下で詳細に説明するように、メモリストック 214 の形成、ならびに半導体チャンネル 228 の導電層 222 および頂部 229 の形成は、P 型ドープ半導体層 220 の対向する両側で行われ、これにより、メモリストック 114 を貫通して延在する開口部を介しての堆積またはエッチングプロセスを回避することができ、それにより、製造の複雑さおよびコストが低減され、歩留まりおよび垂直スケラビリティを向上できる。

#### 【0072】

いくつかの実施形態では、導電層 222 は、金属シリサイド層 219 および金属シリサイド層 219 の上方の金属層 223 を含む、垂直方向の複数の層を含む。金属シリサイド層 219 および金属層 223 のそれぞれは、連続膜であり得る。金属シリサイド層 219 は、P 型ドープ半導体層 220（導電層 222 の第 1 の部分内）、およびチャンネル構造 224（導電層 222 の第 2 の部分内）の上端の上方にあり、かつ接触して配置することができる。いくつかの実施形態では、金属シリサイド層 219 の一部は、P 型ドープ半導体層 220 内に延在する半導体チャンネル 228 の頂部 229 を取り囲んで接触し、複数のチャンネル構造 224 との電氣的接続を行う。金属シリサイド層 219 は、金属シリサイド、例えば、銅シリサイド、コバルト・シリサイド、ニッケル・シリサイド、チタン・シリサイド、タングステン・シリサイド、銀シリサイド、アルミニウム・シリサイド、金シリサイド、白金シリサイド、任意の他の適切な金属シリサイド、またはそれらの任意の組み合わせを含むことができる。いくつかの実施形態によれば、金属層 223 は、金属シリサイド層 219 の上方にあり、かつ接触する。金属層 223 は、金属、例えば、W、Co、Cu、Al、Ni、Ti、任意の他の適切な金属、またはそれらの任意の組み合わせを含むことができる。金属層 223 内の金属は、任意の適切な導電性金属化合物および金属合金、例えば、窒化チタンおよび窒化タンタルも、広く含むことができることが理解されよう。金属シリサイド層 219 は、導電層 222 と半導体チャンネル 228 の頂部 229 との間の接触抵抗を低減でき、導電層 222 内の金属層 223 のバリア層として機能することが

10

20

30

40

50

できる。

#### 【0073】

導電層222とP型ドーブ半導体層220とを組み合わせることによって、チャンネル構造224間(すなわち、同一ブロック内のNANDメモリストリングのACSにおいて)の伝導度を、P型ドーブ半導体層220単独と比較して増加させることができ、それによって3Dメモリデバイス200の電気的性能を改善できる。導電層222を導入することによって、チャンネル構造224間で同一伝導度/抵抗を維持するために、P型ドーブ半導体層220の厚さを、例えば、50nm未満などの、約50nm未満に低減することができる。いくつかの実施形態では、P型ドーブ半導体層220の厚さは、約10nm~約30nm、例えば10nm~30nm(例えば、10nm、11nm、12nm、13nm、14nm、15nm、16nm、17nm、18nm、19nm、20nm、21nm、22nm、23nm、24nm、25nm、26nm、27nm、28nm、29nm、30nm、これらのいずれかの値によって下限で区切られた任意の範囲、またはこれらの値のいずれか2つによって定義される任意の範囲)である。チャンネル構造224の半導体チャンネル228の頂部229を囲む導電層222と組み合わせたN型ドーブ半導体層220は、3Dメモリデバイス200のPウェル・バルク消去動作を有効にできる。本明細書で開示される3Dメモリデバイス200の設計は、消去動作および読み出し動作をそれぞれ形成するために、正孔電流経路および電子電流経路の分離を達成することができる。いくつかの実施形態では、3Dメモリデバイス200は、電子源(例えば、Nウェル221)とチャンネル構造224の半導体チャンネル228との間に電子電流経路を形成して、いくつかの実施形態よる、読み出し動作を実行するときに、NANDメモリストリングに電子を提供するように構成される。逆に、いくつかの実施形態によれば、3Dメモリデバイス200は、正孔ソース(例えば、P型ドーブ半導体層220)とチャンネル構造224の半導体チャンネル228との間に正孔電流経路を形成して、Pウェル・バルク消去動作を実行するときに、NANDメモリストリングに正孔を提供するように構成される。

#### 【0074】

図2Aに示すように、3Dメモリデバイス200の第2の半導体構造204は、各々がメモリストック214の交互配置された導電層216および誘電体層218を貫通して垂直に延在する絶縁構造230を、さらに含むことができる。いくつかの実施形態によれば、P型ドーブ半導体層220内にさらに延在するチャンネル構造224とは異なり、絶縁構造230は、P型ドーブ半導体層220の底面で停止する、すなわちP型ドーブ半導体層220内に垂直に延在しない。すなわち、絶縁構造230の天面は、P型ドーブ半導体層220の底面と同一平面上にあり得る。各絶縁構造230はまた、横方向に延在し、チャンネル構造224を複数のブロックに分離することができる。すなわち、メモリストック214は、絶縁構造230によって複数のメモリブロックに分割することができ、それにより、チャンネル構造224のアレイを、各メモリブロックに分離することができる。いくつかの実施形態によれば、前面ACSコンタクトを含む上述の既存の3DNANDメモリデバイスのスリット構造とは異なり、絶縁構造230は、その中に(すなわち、ソースコンタクトとして機能しない)コンタクトを含まず、したがって、導電層216(ワード線を含む)との寄生容量および漏れ電流を、もたらさない。いくつかの実施形態では、各絶縁構造230は、酸化シリコン、窒化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の誘電体材料で充填された開口部(例えば、スリット)を含む。一例では、各絶縁構造230は、酸化シリコンで充填されてもよい。

#### 【0075】

さらに、以下で詳細に説明するように、絶縁構造230を形成するための開口部は、P型ドーブ半導体層220を形成するために使用されないため、交互配置された導電層216および誘電体層218の数が増加するにつれて、開口部(例えば、50より大きい)のアスペクト比が増加しても、P型ドーブ半導体層220および導電層222の形成に影響を与えないであろう。

10

20

30

40

50

## 【 0 0 7 6 】

図 2 A に示すように、3 D メモリデバイス 2 0 0 は、前面ソースコンタクトの代わりに、メモリスタック 2 1 4 の上方にあり、それぞれ N ウェル 2 2 1 および P 型ドーブ半導体層 2 2 0 に接触する裏面ソースコンタクト 2 3 1 および 2 3 2 を含むことができる。ソースコンタクト 2 3 1 および 2 3 2、ならびにメモリスタック 2 1 4 ( およびそれらを貫通する絶縁構造 2 3 0 ) は、P 型ドーブ半導体層 2 2 0 の両側に配置することができ、したがって「裏面」ソースコンタクトとして見なすことができる。いくつかの実施形態では、P 型ドーブ半導体層 2 2 0 に接触するソースコンタクト 2 3 2 は、P 型ドーブ半導体層 2 2 0 を介して、チャンネル構造 2 2 4 の半導体チャンネル 2 2 8 に電氣的に接続される。いくつかの実施形態では、N ウェル 2 2 1 に接触するソースコンタクト 2 3 1 は、P 型ドーブ半導体層 2 2 0 を介して、チャンネル構造 2 2 4 の半導体チャンネル 2 2 8 に電氣的に接続される。いくつかの実施形態では、ソースコンタクト 2 3 2 は、絶縁構造 2 3 0 と横方向に整列しておらず、それらの間の電氣的接続の抵抗を低減するためにチャンネル構造 2 2 4 に接近している。図 2 A に示すように、ソースコンタクト 2 3 1 は絶縁構造 2 3 0 と横方向に整列しているが、いくつかの例では、ソースコンタクト 2 3 1 は絶縁構造 2 3 0 と横方向に整列しておらず、チャンネル構造 2 2 4 ( 例えば、絶縁構造 2 3 0 とチャンネル構造 2 2 4 との間で横方向 ) に接近して、それらの間の電氣的接続の抵抗も低減することができる。図 2 A に示すように、ソースコンタクト 2 3 1 および 2 3 2 は、それぞれ読み出し動作および消去動作中に、電子電流および正孔電流を別々に制御するために使用することができる。ソースコンタクト 2 3 1 および 2 3 2 は、任意の適切なタイプのコンタクトを含むことができる。いくつかの実施形態では、ソースコンタクト 2 3 1 および 2 3 2 は V I A コンタクトを含む。いくつかの実施形態では、ソースコンタクト 2 3 1 および 2 3 2 は、横方向に延在する壁状コンタクトを含む。ソースコンタクト 2 3 1 および 2 3 2 は、金属層 ( 例えば、W、C o、C u、もしくは A l )、または接着層 ( 例えば、T i N ) によって囲まれたシリサイド層などの 1 つまたは複数の導電層を含むことができる。

10

20

## 【 0 0 7 7 】

図 2 に示すように、3 D メモリデバイス 1 0 0 は、例えば、3 D メモリデバイス 2 0 0 と外部回路との間で電気信号を転送する、信号出力パッド用のソースコンタクト 2 3 1 および 2 3 2 の上方にあり、かつ電氣的に接続された B E O L 相互接続層 2 3 3 を、さらに含むことができる。いくつかの実施形態では、相互接続層 2 3 3 は、P 型ドーブ半導体層 2 2 0 上の 1 つまたは複数の I L D 層 2 3 4、および I L D 層 2 3 4 上の再配線層 2 3 6 を含む。ソースコンタクト 2 3 1 または 2 3 2 の上端は、I L D 層 2 3 4 の天面および再配線層 2 3 6 の底面と同一平面上にある。ソースコンタクト 2 3 1 および 2 3 2 は、I L D 層 2 3 4 上で電氣的に分離することができる。いくつかの実施形態では、ソースコンタクト 2 3 2 は、I L D 層 2 3 4 および導電層 2 2 2 を貫通して P 型ドーブ半導体層 2 2 0 内に垂直に延在し、P 型ドーブ半導体層 2 2 0 と電氣的接続を行う。いくつかの実施形態では、ソースコンタクト 2 3 1 は、I L D 層 2 3 4、導電層 2 2 2、および P 型ドーブ半導体層 2 2 0 を貫通して N ウェル 2 2 1 内に垂直に延在し、N ウェル 2 2 1 と電氣的接続を行う。ソースコンタクト 2 3 1 は、その側壁を囲んで P 型ドーブ半導体層 2 2 0 から電氣的に分離されるスペーサ ( 例えば、誘電体層 ) を含むことができる。再配線層 2 3 6 は、2 つの電氣的に分離された相互接続、すなわち、ソースコンタクト 2 3 2 に接触する第 1 の相互接続部 2 3 6 - 1、およびソースコンタクト 2 3 1 に接触する第 2 の相互接続部 2 3 6 - 2、を含むことができる。

30

40

## 【 0 0 7 8 】

相互接続層 2 3 3 内の I L D 層 2 3 4 は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むが、これらに限定されない、誘電体材料を含むことができる。相互接続層 2 3 3 内の再配線層 2 3 6 は、W、C o、C u、A l、シリサイド、またはそれらの任意の組み合わせを含むが、これらに限定されない、導電性材料を含むことができる。一例では、再配線層 2 3 6 は A l を含む。いくつかの

50

実施形態では、相互接続層 233 は、3Dメモリデバイス 200 の不動態化および保護のための最外層として、パッシベーション層 238 をさらに含む。再配線層 236 の一部は、コンタクトパッド 240 としてパッシベーション層 238 から露出することができる。すなわち、3Dメモリデバイス 200 の相互接続層 233 はまた、ワイヤボンディングおよび/またはインターポーザとのボンディングのためのコンタクトパッド 240 を含むことができる。

#### 【0079】

いくつかの実施形態では、3Dメモリデバイス 200 の第2の半導体構造 204 は、P型ドープ半導体層 220 を貫通する、コンタクト 242, 243 および 244 をさらに含む。いくつかの実施形態によれば、P型ドープ半導体層 220 はポリシリコンを含むことができるので、コンタクト 242, 243 および 244 は、TSC である。いくつかの実施形態では、コンタクト 242 は、P型ドープ半導体層 220 およびILD層 234 を貫通して延在し、再配線層 236 の第1の相互接続部 236-1 に接触しており、それにより、P型ドープ半導体層 220 は、相互接続層 233 のソースコンタクト 232 および第1の相互接続部 236-1 を介して、コンタクト 242 に電氣的に接続される。いくつかの実施形態では、コンタクト 243 は、P型ドープ半導体層 220 およびILD層 234 を貫通して延在し、再配線層 236 の第2の相互接続部 236-2 に接触しており、それにより、Nウェル 221 は、ソースコンタクト 231 および相互接続層 233 の第2の相互接続部 236-2 を介して、コンタクト 243 に電氣的に接続される。いくつかの実施形態では、コンタクト 244 は、コンタクトパッド 240 に接触するようにP型ドープ半導体層 220 およびILD層 234 を貫通して延在する。コンタクト 242, 243、および 244 はそれぞれ、金属層（例えば、W、Co、Cu、もしくはAl）、または接着層（例えば、TiN）によって囲まれたシリサイド層などの1つまたは複数の導電層を含むことができる。いくつかの実施形態では、少なくともコンタクト 243 および 244 は各々、コンタクト 243 および 244 をP型ドープ半導体層 220 から電氣的に分離するためのスペーサ（例えば、誘電体層）をさらに含む。

#### 【0080】

いくつかの実施形態では、3Dメモリデバイス 200 は、各々がメモリスタック 214 の外側に垂直に延在する周辺コンタクト 246, 247, 248 をさらに含む。各周辺コンタクト 246, 247、または 248 は、メモリスタック 214 の外側の周辺領域において、接合層 212 からP型ドープ半導体層 220 まで垂直に延在するように、メモリスタック 214 の深さよりも大きい深さを有することができる。いくつかの実施形態では、周辺コンタクト 242 はコンタクト 242 の下方にあり、かつ接触しており、それにより、P型ドープ半導体層 220 は、少なくともソースコンタクト 232、相互接続層 233 の第1の相互接続部 236-1、コンタクト 246、および周辺コンタクト 246 を介して、第1の半導体構造 202 内の周辺回路 208 に電氣的に接続される。いくつかの実施形態では、周辺コンタクト 247 はコンタクト 243 の下方にあり、かつ接触しており、それにより、Nウェル 221 は、少なくともソースコンタクト 231、相互接続層 233 の第2の相互接続部 236-2、コンタクト 243、および周辺コンタクト 247 を介して、第1の半導体構造 202 内の周辺回路 208 に電氣的に接続される。すなわち、読み出し動作および消去動作のための電子電流および正孔電流は、異なる電気接続を介して、周辺回路 208 によって別々に制御することができる。いくつかの実施形態では、周辺コンタクト 248 はコンタクト 244 の下方にあり、かつ接触しており、それにより、第1の半導体構造 202 内の周辺回路 208 は、少なくともコンタクト 244 および周辺コンタクト 248 を介して、信号出力パッド用のコンタクトパッド 240 に電氣的に接続される。周辺コンタクト 246、247、248 はそれぞれ、金属層（例えば、W、Co、Cu、もしくはAl）、または接着層（例えば、TiN）によって囲まれたシリサイド層などの1つまたは複数の導電層を含むことができる。いくつかの実施形態では、導電層 222 は、メモリスタック 214 の領域内にあり、すなわち、周辺領域内に横方向に延在せず、それにより、コンタクト 242、244、および 243 は、それぞれ周辺コンタクト 2

10

20

30

40

50

46、248、および247に接触するために導電層222を貫通して垂直に延在しない。  
【0081】

図2Aに示すように、3Dメモリデバイス200はまた、メモリスタック214内の構造と直接接触する、相互接続構造の一部としての様々なローカルコンタクト(「C1」としても知られる)を含む。いくつかの実施形態では、ローカルコンタクトは、それぞれのチャンネル構造224の下端の下方にあり、かつ接触するチャンネル・ローカル・コンタクト250を含む。各チャンネル・ローカル・コンタクト250は、ビット線ファンアウトのためのビット線コンタクト(図示せず)に、電氣的に接続することができる。いくつかの実施形態では、ローカルコンタクトは、ワード線ファンアウトのためにメモリスタック214の階段構造において、それぞれの導電層216(ワード線を含む)の下方にあり、かつ  
10  
接触するワード線ローカルコンタクト252をさらに含む。チャンネル・ローカル・コンタクト250およびワード線ローカルコンタクト252などのローカルコンタクトは、少なくとも接合層212および210を介して、第1の半導体構造202の周辺回路208に電氣的に接続することができる。チャンネル・ローカル・コンタクト250およびワード線ローカルコンタクト252などのローカルコンタクトはそれぞれ、金属層(例えば、W、Co、Cu、もしくはAl)または接着層(例えば、TiN)によって囲まれたシリサイド層などの1つまたは複数の導電層を含むことができる。

【0082】

図2Bは、本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイス250の断面の側面図を示す。3Dメモリデバイス250は、導電層222およびチャンネル構造224の上端の異なる構造を除いて、3Dメモリデバイス200と同様である。説明を容易にするために、3Dメモリデバイス250および200の両方における他の同一構造の詳細は、繰り返さないことが理解されよう。  
20

【0083】

図2Bに示すように、いくつかの実施形態によれば、各チャンネル構造224は、P型ドーブ半導体層220に当接するチャンネルプラグ225をさらに含む。いくつかの実施形態では、各チャンネルプラグ225は、半導体チャンネル228のそれぞれの頂部229を取り囲んで接触する。チャンネルプラグ225の天面は、P型ドーブ半導体層220の天面と同一平面とすることができる。チャンネルプラグ225は、半導体チャンネル228の頂部229と同一材料、例えば、ドーブされたポリシリコンを有することができる。したがって、チャンネル構造224の半導体チャンネル228の一部として見る  
30  
ことができる。すなわち、P型ドーブ半導体層220によって囲まれたドーブされたポリシリコン構造全体を、本開示におけるチャンネル構造224の上端として見る  
ことができる。したがって、いくつかの実施形態によれば、3Dメモリデバイス200および250の両方の導電層222(およびその中の金属シリサイド層219)は、チャンネル構造224の上端に接触している。

【0084】

図2Aに示される、導電層222の第2の部分がP型ドーブ半導体層220の天面の下方にあり、チャンネル構造224の上端を囲む3Dメモリデバイス200の導電層222とは異なり、図2Bにおいては、チャンネル構造224の上端もチャンネルプラグ225を含むため、導電層222全体は、P型ドーブ半導体層220の天面の上方にある。図2Bに示すように、チャンネル構造224の上端の天面は、P型ドーブ半導体層220の天面と同一平面上にあり、導電層222は、P型ドーブ半導体層220およびチャンネル構造224の上端上に配置される。言い換えれば、P型ドーブ半導体層220と半導体チャンネル228の頂部229との間の凹部を充填する3Dメモリデバイス200内の導電層222の一部は、3Dメモリデバイス250内のチャンネルプラグ225によって置き換えることができ、それにより、導電層222は、P型ドーブ半導体層220およびチャンネル構造224の天面上の同一平面内に形成することができる。  
40

【0085】

図2Cは、本開示のいくつかの実施形態による、さらに別の例示的な3Dメモリデバイス260の断面の側面図を示す。3Dメモリデバイス260は、導電層222の異なる構  
50

造を除いて、3Dメモリデバイス100と同様である。説明を容易にするために、3Dメモリデバイス260および200の両方における他の同一構造の詳細は、繰り返さないことが理解さよう。

【0086】

図2Cに示すように、いくつかの実施形態によれば、導電層222の金属層223は、半導体チャンネル228に接触しており、金属層223の一部は、金属シリサイド層219の上方にあり、かつ接触する。金属シリサイド層219の一部がP型ドープ半導体層220の天面の下方にあり、半導体チャンネル228の頂部229を囲む3Dメモリデバイス200の導電層222とは異なり、3Dメモリデバイス260では、金属層223のみがP型ドープ半導体層220の天面の下方にあり、半導体チャンネル228の頂部229を囲む。それでもなお、導電層222の第1の部分は、3Dメモリデバイス200、250、および260において同一構造を有し、すなわち、P型ドープ半導体層220上の金属シリサイド層219と、金属シリサイド層219の上方にあり、かつに接触する金属層223と、を有する。導電層222の第2の部分(チャンネル構造224の領域内)に関しては、製造プロセス(例えば、P型ドープ半導体層220と半導体チャンネル228の頂部229との間の凹部がどのように充填されるか)に対応して、以下に詳細に説明する導電層222を形成するための異なる例が、3Dメモリデバイス200、250、および260の様々な構造の原因となり得る。

10

【0087】

例えば、以下で詳細に説明するように、図2Cの3Dメモリデバイス260の金属シリサイド層219は、チャンネル構造224のチャンネルホールのエッチングを自動的に停止するための停止層の一部であってもよい。停止層は、P型ドープ半導体層220の裏面からチャンネル構造224の上端を露出させるようにパターニングされてもよく、停止層の残りの部分は、金属シリサイド層219として3Dメモリデバイス260内に残ってもよい。次いで、金属層223を形成して、P型ドープ半導体層220と半導体チャンネル228の頂部229との間、ならびに金属シリサイド層219上の凹部を充填することができる。対照的に、3Dメモリデバイス200および250の同一停止層は、導電層222の形成前に除去されてもよい。したがって、3Dメモリデバイス200および250内の金属シリサイド層219は、3Dメモリデバイス200内のチャンネルプラグ225なし、または3Dメモリデバイス250内のチャンネルプラグ225ありのいずれかで、チャンネル構造224の上端に接触するように、P型ドープ半導体層220の裏面から停止層を除去した後形成することができ、これにより、チャンネル構造224との接触抵抗を低下させることができるが、3Dメモリデバイス260内の導電層222と比較してプロセス数が増加する。

20

30

【0088】

図3Aは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Bは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Cは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Dは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Eは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Fは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Gは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Hは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Iは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Jは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Kは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Lは、本開示のいくつかの実施

40

50

形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Mは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Nは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Oは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図3Pは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための製造プロセスを示す。図5Aは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための方法500のフローチャートを示す。図5Bは、本開示のいくつかの実施形態による、例示的な3Dメモリデバイスを形成するための別の方法501のフローチャートを示す。図3A~図3P、図5A、および図5Bに示す3Dメモリデバイスの例は、図1A~図1Cに示す3Dメモリデバイス100, 150、および160を含む。図3A~図3P、図5A、および図5Bを一緒に説明する。方法500および501に示される工程は網羅的ではなく、図示された工程のいずれかの前、後、または間に他の工程も実行できることが理解されよう。さらに、工程のいくつかは、同時に、または図5Aおよび図5Bに示す順序とは異なる順序で、実行されてもよい。

#### 【0089】

図5Aを参照すると、方法500は工程502で開始し、周辺回路が、第1の基板上に形成される。第1の基板はシリコン基板とすることができる。図3Gに示すように、複数のトランジスタは、フォトリソグラフィ、エッチング、薄膜堆積、熱成長、注入、化学機械研磨(CMP)、および任意の他の適切なプロセスを含むが、これらに限定されない、複数のプロセスを使用してシリコン基板350上に形成される。いくつかの実施形態では、ドープ領域(図示せず)は、例えば、トランジスタのソース領域および/またはドレイン領域として機能する、イオン注入および/または熱拡散によって、シリコン基板350内に形成される。いくつかの実施形態では、分離領域(例えば、STI)もまた、ウェットエッチングおよび/またはドライエッチング、ならびに薄膜堆積によって、シリコン基板350内に形成される。トランジスタは、シリコン基板350上に周辺回路352を形成できる。

#### 【0090】

図3Gに示すように、周辺回路352の上方に接合層348が形成される。接合層348は、周辺回路352に電氣的に接続された接合コンタクトを含む。接合層348を形成するために、ILD層は、化学蒸着(CVD)、物理蒸着(PVD)、原子層堆積(ALD)、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して堆積される。ILD層を貫通する接合コンタクトは、ウェットエッチングおよび/またはドライエッチング、例えば反応性イオンエッチング(RIE)を使用して形成され、その後、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスが続く。

#### 【0091】

各々がメモリスタックおよびN型ドープ半導体層を貫通して垂直に延在するチャネル構造を、第2の基板の上方に形成することができる。方法500は、図5Aに示すように、工程504に進み、ここでは、第2の基板上に犠牲層、犠牲層上に第1の停止層、第1の停止層上にN型ドープ半導体層、そして、N型ドープ半導体層上に誘電体スタックが、順次形成される。犠牲層は、半導体デバイスを形成できる第2の基板の前面に形成できる。第2の基板は、シリコン基板とすることができる。第2の基板は最終製品から除去されるため、第2の基板のコストを低減するために、第2の基板は、ダミーウェハ(例えばキャリア基板、いくつか例を挙げると、ガラス、サファイア、プラスチック、シリコンなどの任意の適切な材料で作られる)の一部であってもよいことが理解されよう。いくつかの実施形態では、基板はキャリア基板であり、N型ドープ半導体層はポリシリコンを含み、誘電体スタックは、交互配置されたスタック誘電体層およびスタック犠牲層を含む。いくつかの実施形態では、スタック誘電体層およびスタック犠牲層は、N型ドープ半導体層上に交互に堆積されて、誘電体スタックを形成する。いくつかの実施形態では、犠牲層は、2

10

20

30

40

50

つのパッド酸化物層（バッファ層としても知られる）と、2つのパッド酸化物層の間に挟まれた第2の停止層とを含む。いくつかの実施形態では、第1の停止層は高k誘電体を含み、第2の停止層は窒化シリコンを含み、2つのパッド酸化物層の各々は、酸化シリコンを含む。

#### 【0092】

図3Aに示すように、キャリア基板302上に犠牲層303が形成され、犠牲層303上に停止層305が形成され、停止層305上にN型ドープ半導体層306が形成される。N型ドープ半導体層306は、P、As、またはSbなどのN型ドーパントでドープされたポリシリコンを含むことができる。犠牲層303は、後に選択的に除去することができ、N型ドープ半導体層306の材料とは異なる、任意の適切な犠牲材料を含むことができる。いくつかの実施形態では、犠牲層303は、2つのパッド酸化物層の間に挟まれた停止層304を有する複合誘電体層である。以下で詳細に説明するように、停止層304は、キャリア基板302を裏面から除去するときにCMP/エッチング停止層として機能でき、したがって、窒化シリコンなどのキャリア基板302の材料以外の任意の適切な材料を含むことができる。同様に、停止層305は、チャンネルホールを前面からエッチングするときにエッチング停止層として機能でき、したがって、ポリシリコン（停止層305上のN型ドープ半導体層306の材料）に対して高いエッチング選択性（例えば、約5超）を有する任意の適切な材料を含むことができる。一例では、停止層305は、後のプロセスで最終製品から除去されてもよく、例えば、いくつか例を挙げると、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、または酸化チタンなどの高k誘電体を含んでもよい。別の例では、停止層305の少なくとも一部は最終製品中に残っていてもよく、金属シリサイド、例えば、いくつか例を挙げると、銅シリサイド、コバルト・シリサイド、ニッケル・シリサイド、チタン・シリサイド、タングステン・シリサイド、銀シリサイド、アルミニウム・シリサイド、金シリサイド、白金シリサイド、を含んでもよい。いくつかの例では、異なる層の間の応力を緩和し、剥離を回避するために、キャリア基板302と停止層304との間、および停止層304と停止層305との間、にパッド酸化物層（例えば、酸化シリコン層）を、形成することができることが理解されよう。

#### 【0093】

犠牲層303を形成するために、いくつかの実施形態によれば、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、酸化シリコン、窒化シリコン、および酸化シリコンが、キャリア基板302上に順次堆積される。いくつかの実施形態によれば、停止層305を形成するために、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、高k誘電体が犠牲層303上に堆積される。いくつかの実施形態では、N型ドープ半導体層306を形成するために、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むがこれらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、ポリシリコンが停止層305上に堆積され、続いてイオン注入および/または熱拡散を使用して、P、AsまたはSbなどのN型ドーパントを、堆積されたポリシリコンにドープする。いくつかの実施形態では、N型ドープ半導体層306を形成するために、P、As、またはSbなどのN型ドーパントの*in-situ*方式ドーピングは、停止層305上にポリシリコンを堆積するときに実行される。停止層305が金属シリサイドを含むいくつかの実施形態では、犠牲層303上に金属層が堆積され、続いて、ポリシリコンが堆積されて金属層上にN型ドープ半導体層306が形成される。次いで、金属層を停止層305としての金属シリサイド層に変換するために、熱処理（例えば、アニーリング、焼結、または任意の他の適切なプロセス）によって、ポリシリコンおよび金属層に対して、シリサイド化（ケイ素化）プロセスを実行することができる。

#### 【0094】

図3Bに示すように、第1の誘電体層（本明細書では「スタック犠牲層」312と呼ぶ）および第2の誘電体層（本明細書では「スタック誘電体層（stack dielec

10

20

30

40

50

tr ic layers)」310と呼び、本明細書では共に「誘電体層対 (dielectric layer pairs)」と呼ぶ)の複数の対を含む誘電体スタック308が、N型ドーブ半導体層306上に形成される。いくつかの実施形態によれば、誘電体スタック308は、交互配置されたスタック犠牲層312およびスタック誘電体層310を含む。スタック誘電体層310およびスタック犠牲層312は、キャリア基板302の上方のN型ドーブ半導体層306上に交互に堆積されて、誘電体スタック308を形成することができる。いくつかの実施形態では、各スタック誘電体層310は酸化シリコンの層を含み、各スタック犠牲層312は窒化シリコンの層を含む。誘電体スタック308は、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスによって形成することができる。図3Bに示すように、誘電体スタック308の縁部に階段構造を形成できる。階段構造は、複数のいわゆる「トリムエッチング」サイクルを、誘電体スタック308の誘電体層対に対して、キャリア基板302に向かって実行することによって形成することができる。誘電体スタック308の誘電体層対に繰り返しトリムエッチサイクルが適用されるため、誘電体スタック308は、図3Bに示すように、1つまたは複数の傾斜した縁部と、底部よりも短い上部誘電体層対とを有することができる。

10

#### 【0095】

方法500は、図5Aに示すように、工程506に進み、各々が誘電体スタックおよびN型ドーブ半導体層を貫通して垂直に延在し、第1の停止層で停止する、複数のチャンネル構造が形成される。いくつかの実施形態では、チャンネル構造を形成するために、各々が誘電体スタックおよびN型ドーブ半導体層を貫通して垂直に延在し、第1の停止層で停止するチャンネルホールがエッチングされ、メモリ膜および半導体チャンネルが各チャンネルホールの側壁に沿って順次堆積される。

20

#### 【0096】

図3Bに示すように、各チャンネルホールは、誘電体スタック308およびN型ドーブ半導体層306を貫通して垂直に延在し、停止層305で停止する開口部である。いくつかの実施形態では、複数の開口部が形成され、それにより、各開口部が後のプロセスで個々のチャンネル構造314を成長させるための位置になる。いくつかの実施形態では、チャンネル構造314のチャンネルホールを形成するための製造プロセスは、深堀りディープRIE (DRIE)などのウェットエッチングおよび/またはドライエッチングを含む。いくつかの実施形態によれば、チャンネルホールのエッチングは、停止層305の材料(例えば、酸化アルミニウムまたは金属シリサイド)とN型ドーブ半導体層306の材料(すなわち、ポリシリコン)との間のエッチング選択性のために、高k誘電体層(例えば、酸化アルミニウム層)または金属シリサイド層などの停止層305によって停止されるまで継続する。いくつかの実施形態では、エッチング速度およびエッチング時間などのエッチング条件は、そこに形成されたチャンネルホールおよびチャンネル構造314間の溝切り変動を最小にするように、各チャンネルホールが停止層305に到達し、停止層305によって確実に停止するように、制御できる。特定のエッチング選択性に応じて、1つまたは複数のチャンネルホールが停止層305内にわずかに延在することができ、これは本開示では依然として、停止層305によって停止していると思なされることが理解されよう。

30

40

#### 【0097】

図3Bに示すように、ブロッキング層317、記憶層316、およびトンネル層315を含むメモリ膜と、半導体チャンネル318とが、チャンネルホールの側壁および底面に沿って、この順序で形成される。いくつかの実施形態では、ブロッキング層317、記憶層316、およびトンネル層315は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、チャンネルホールの側壁および底面に沿って、この順序で最初に堆積され、メモリ膜を形成する。次いで、半導体チャンネル318は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、トンネル層315より上にポリシリコン(例えば、ドーブされていないポリシ

50

リコン)などの半導体材料を堆積することによって形成することができる。いくつかの実施形態では、第1の酸化シリコン層、窒化シリコン層、第2の酸化シリコン層、およびポリシリコン層(「SONO」構造)が順次堆積されて、メモリ膜のブロッキング層317、記憶層316、およびトンネル層315、ならびに半導体チャンネル318を形成する。  
【0098】

図3Bに示すように、チャンネルホール内および半導体チャンネル318より上にキャップ層を形成して、(例えば、エアギャップの有無にかかわらず)チャンネルホールを完全にまたは部分的に充填する。キャップ層は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンなどの誘電材料を堆積させることによって形成できる。次いで、チャンネルホールの頂部にチャンネルプラグを形成できる。いくつかの実施形態では、誘電体スタック308の天面にあるメモリ膜、半導体チャンネル318、およびキャップ層の一部は、CMP、ウェットエッチング、および/またはドライエッチングによって除去され、平坦化される。次いで、半導体チャンネル318の一部およびチャンネルホールの頂部のキャップ層をウェットエッチングおよび/またはドライエッチングすることによって、チャンネルホールの頂部に凹部を形成できる。次いで、CVD、PVD、ALD、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスによって、ポリシリコンなどの半導体材料を凹部に堆積させることによって、チャンネルプラグを形成できる。いくつかの実施形態によれば、これにより、誘電体スタック308およびN型ドープ半導体層306を貫通してチャンネル構造314が形成され、停止層305で停止する。

【0099】

方法500は、図5Aに示すように、工程508に進み、チャンネル構造がメモリスタックおよびN型ドープ半導体層を貫通して垂直に延在するように、誘電体スタックが、例えばいわゆる「ゲート置換」プロセスを使用してメモリスタックと置き換えられる。いくつかの実施形態では、誘電体スタックをメモリスタックと置き換えるために、誘電体スタックを貫通して垂直に延在し、N型ドープ半導体層で停止する開口部がエッチングされる。そして、スタック犠牲層が、開口部を介してスタック導電層と置き換えられて、交互配置されたスタック誘電体層およびスタック導電層を含むメモリスタックが形成される。

【0100】

図3Cに示すように、スリット320は、誘電体スタック308を通して垂直に延在し、N型ドープ半導体層306で停止する開口部である。いくつかの実施形態では、スリット320を形成するための製造プロセスは、DRIEなどのウェットエッチングおよび/またはドライエッチングを含む。次に、スリット320を介してゲート置換を実行して、誘電体スタック308をメモリスタック330(図3Eに示す)に置換することができる。

【0101】

図3Dに示すように、スリット320を介してスタック犠牲層312(図3Cに示す)を除去することによって、横方向凹部322が最初に形成される。いくつかの実施形態では、スタック犠牲層312は、スリット320を介してエッチング液を適用することによって除去され、スタック誘電体層310の間に交互配置された横方向凹部322を生成する。エッチング液は、スタック誘電体層310に選択的なスタック犠牲層312をエッチングする任意の適切なエッチング液を含むことができる。

【0102】

図3Eに示すように、スタック導電層328(ゲート電極および接着層を含む)は、スリット320を介して、横方向凹部322(図3Dに示す)内に堆積される。いくつかの実施形態では、ゲート誘電体層332は、スタック導電層328の前に横方向凹部322内に堆積され、それにより、スタック導電層328がゲート誘電体層332上に堆積される。金属層などのスタック導電層328は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して堆積させることができる。いくつかの実施形態では、高k誘電体層などのゲート誘電体層332は、側壁に沿ってスリット320の底部にも形成される。いくつかの実施

形態によれば、交互配置されたスタック導電層 3 2 8 およびスタック誘電体層 3 1 0 を含むメモリストック 3 3 0 がこれにより形成され、誘電体スタック 3 0 8 ( 図 3 D に示す ) が置き換えられる。

【 0 1 0 3 】

方法 5 0 0 は、図 5 A に示すように、工程 5 1 0 に進み、メモリストックを貫通して垂直に延在する絶縁構造が形成される。いくつかの実施形態では、絶縁構造を形成するために、メモリストックを形成した後、1 つまたは複数の誘電体材料が開口部内に堆積され、開口部を充填する。図 3 E に示すように、メモリストック 3 3 0 を貫通し垂直に延在し、N 型ドープ半導体層 3 0 6 の天面で停止する、絶縁構造 3 3 6 が形成される。絶縁構造 3 3 6 は、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンなどの 1 つまたは複数の誘電材料をスリット 3 2 0 内に堆積させることにより形成され、( エアギャップの有無にかかわらず ) スリット 3 2 0 を完全にまたは部分的に充填できる。いくつかの実施形態では、絶縁構造 3 3 6 は、ゲート誘電体層 3 3 2 ( 例えば、高 k 誘電体を含む ) および誘電体キャップ層 3 3 4 ( 例えば、酸化シリコンを含む ) を含む。

10

【 0 1 0 4 】

図 3 F に示すように、絶縁構造 3 3 6 の形成後、チャンネル・ローカル・コンタクト 3 4 4 およびワード線ローカルコンタクト 3 4 2 を含むローカルコンタクト、ならびに周辺コンタクト 3 3 8 および 3 4 0 が形成される。C V D、P V D、A L D、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンまたは窒化シリコンなどの誘電体材料をメモリストック 3 3 0 の上部に堆積させることによって、メモリストック 3 3 0 上にローカル誘電体層を形成することができる。チャンネル・ローカル・コンタクト 3 4 4、ワード線ローカルコンタクト 3 4 2、ならびに周辺コンタクト 3 3 8 および 3 4 0 は、ウェットエッチングおよび / またはドライエッチング、例えば R I E を使用して、ローカル誘電体層 ( および任意の他の I L D 層 ) を介してコンタクト開口部をエッチングすることによって形成でき、続いて、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、コンタクト開口部を導電性材料で充填する。

20

【 0 1 0 5 】

図 3 F に示すように、接合層 3 4 6 は、チャンネル・ローカル・コンタクト 3 4 4、ワード線ローカルコンタクト 3 4 2、ならびに周辺コンタクト 3 3 8 および 3 4 0 の上方に形成される。接合層 3 4 6 は、チャンネル・ローカル・コンタクト 3 4 4、ワード線ローカルコンタクト 3 4 2、ならびに周辺コンタクト 3 3 8 および 3 4 0 に、電氣的に接続された接合コンタクトを含む。接合層 3 4 6 を形成するために、I L D 層は、C V D、P V D、A L D、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して堆積され、接合コンタクトは、ウェットエッチングおよび / またはドライエッチング、例えば R I E を使用して I L D 層を通して形成され、その後、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスが続く。

30

【 0 1 0 6 】

方法 5 0 0 は、図 5 A に示すように、工程 5 1 2 に進み、メモリストックが周辺回路の上方にあるように、第 1 の基板および第 2 の基板が対面方式で接合される。接合は、ハイブリッド接合を含むことができる。図 3 G に示すように、キャリア基板 3 0 2 およびその上に形成された構成要素 ( 例えば、メモリストック 3 3 0 およびそれを貫通して形成されたチャンネル構造 3 1 4 ) は、上下反対に裏返される。いくつかの実施形態によれば、下向きの接合層 3 4 6 は、上向きの接合層 3 4 8 と、すなわち対面方式で、接合され、それによってキャリア基板 3 0 2 とシリコン基板 3 5 0 との間に接合インターフェイス 3 5 4 を形成する。いくつかの実施形態では、処理プロセス、例えばプラズマ処理、湿式処理、および / または熱処理が、接合前に接合面に適用される。接合後、接合層 3 4 6 内の接合コンタクトおよび接合層 3 4 8 内の接合コンタクトは、整列され、互いに接触しており、そ

40

50

れにより、それを通して形成されたメモリスタック 3 3 0 およびチャネル構造 3 1 4 は、周辺回路 3 5 2 に電氣的に接続され、周辺回路 3 5 2 の上方にあることができる。

【 0 1 0 7 】

方法 5 0 0 は、図 5 A に示すように、工程 5 1 4 に進み、第 2 の基板、犠牲層、および第 1 の停止層が順次除去されて、複数のチャネル構造の各々の端部が露出される。除去は、第 2 の基板の裏面から実行できる。いくつかの実施形態では、第 2 の基板、犠牲層、および第 1 の停止層を順次除去するために、第 2 の基板が除去され、犠牲層の第 2 の停止層で停止し、犠牲層の残りの部分が除去され、第 1 の停止層で停止する。

【 0 1 0 8 】

図 3 H に示すように、キャリア基板 3 0 2 ( 図 3 G に示すキャリア基板 3 0 2 と停止層 3 0 4 との間のパッド酸化物層 ) は、停止層 3 0 4 ( 例えば、窒化シリコン層 ) によって停止されるまで裏面から完全に除去される。キャリア基板 3 0 2 は、CMP、研削、ドライエッチング、および/またはウェットエッチングを使用して完全に除去することができる。いくつかの実施形態では、キャリア基板 3 0 2 は、剥離される。キャリア基板 3 0 2 がシリコンを含み、停止層 3 0 4 が窒化シリコンを含むいくつかの実施形態では、キャリア基板 3 0 2 はシリコン CMP を使用して除去され、シリコン CMP は、シリコン以外の材料を有する停止層 3 0 4 に到達するとき、すなわち、裏面 CMP 停止層として作用するときに、自動的に停止できる。いくつかの実施形態では、基板 3 0 2 ( シリコン基板 ) は、水酸化テトラ・メチル・アンモニウム ( TMAH ) によるウェットエッチングを使用して除去され、TMAH は、シリコン以外の材料を有する停止層 3 0 4 に到達するとき、すなわち、裏面エッチング停止層として作用するときに、自動的に停止される。停止層 3 0 4 は、薄化後の厚さ均一性の懸念なしに、キャリア基板 3 0 2 を完全に確実に除去できる。

【 0 1 0 9 】

図 3 I に示すように、次いで、リン酸およびフッ化水素酸などの適切なエッチング液を用いたウェットエッチングを使用して、犠牲層 3 0 3 の残りの部分 ( 例えば、図 3 H に示す、停止層 3 0 4 、および停止層 3 0 4 と停止層 3 0 5 との間の別のパッド酸化物層 ) を、異なる材料 ( 例えば、高 k 誘電体 ) を有する停止層 3 0 5 によって停止されるまで、同様に完全に除去できる。上述したように、各チャネル構造 3 1 4 は停止層 3 0 5 を超えて犠牲層 3 0 3 またはキャリア基板 3 0 2 内に延在していないため、キャリア基板 3 0 2 および犠牲層 3 0 3 の除去は、チャネル構造 3 1 4 に影響を及ぼさない。図 3 J に示すように、停止層 3 0 5 が ( 金属シリサイドを含む導電層とは対照的に ) 高 k 誘電体を含むいくつかの実施形態では、停止層 3 0 5 ( 図 3 I に示す ) は、ウェットエッチングおよび/またはドライエッチングを使用して完全に除去され、チャネル構造 3 1 4 の上端を露出させる。

【 0 1 1 0 】

方法 5 0 0 は、図 5 A に示すように、工程 5 1 6 に進み、複数のチャネル構造の端部に接触する導電層が形成される。いくつかの実施形態では、導電層は、複数のチャネル構造および N 型ドープ半導体層の端部に接触する金属シリサイド層と、金属シリサイド層に接触する金属層とを含む。いくつかの実施形態では、導電層を形成するために、N 型ドープ半導体層に当接するメモリ膜の一部が除去されて、半導体チャネルの一部を囲む凹部が形成され、半導体チャネルの一部がドープされる。いくつかの実施形態では、導電層を形成するために、金属シリサイド層は、半導体チャネルのドープ部分に接触する凹部内、および N 型ドープ半導体層に接触する凹部の外側に、形成される。

【 0 1 1 1 】

図 3 J に示すように、N 型ドープ半導体層 3 0 6 に当接する記憶層 3 1 6、プロッキング層 3 1 7、およびトンネル層 3 1 5 ( 図 3 I に示す ) の一部が除去されて、N 型ドープ半導体層 3 0 6 内に延在する半導体チャネル 3 1 8 の頂部を囲む凹部 3 5 7 が形成される。いくつかの実施形態では、2 つのウェットエッチング・プロセスが順次実行される。例えば、ポリシリコンを含む N 型ドープ半導体層 3 0 6 をエッチングすることなく、リン酸などの適切なエッチング液を用いたウェットエッチングを使用して、窒化シリコンを含む

10

20

30

40

50

記憶層 3 1 6 が、選択的に除去される。エッチングがメモリストック 3 3 0 によって囲まれた記憶層 3 1 6 の残りの部分に影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、記憶層 3 1 6 のエッチングを制御できる。次に、N型ドーパ半導体層 3 0 6 およびポリシリコンを含む半導体チャネル 3 1 8 をエッチングすることなく、フッ化水素酸などの適切なエッチング液を用いたウェットエッチングを使用して、酸化シリコンを含むブロッキング層 3 1 7 およびトンネル層 3 1 5 を、選択的に除去できる。エッチングがメモリストック 3 3 0 によって囲まれた残りのブロッキング層 3 1 7 およびトンネル層 3 1 5 に影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、ブロッキング層 3 1 7 およびトンネル層 3 1 5 のエッチングを制御できる。いくつかの実施形態では、パターニングされた停止層 3 0 5 をエッチングマスクとして使用して、単一のドライエッチングプロセスが実行される。例えば、停止層 3 0 5 は、ドライエッチングを実行するときに除去されなくてもよく、代わりに、エッチングマスクとして他の領域を依然として覆いながら、チャネル構造 3 1 4 の上端で記憶層 3 1 6、ブロッキング層 3 1 7、およびトンネル層 3 1 5 のみを露出させるようにパターニングされてもよい。次に、ドライエッチングを実行して、N型ドーパ半導体層 3 0 6 に当接する記憶層 3 1 6、ブロッキング層 3 1 7、およびトンネル層 3 1 5 の一部をエッチングできる。エッチングがメモリストック 3 3 0 によって囲まれた記憶層 3 1 6、ブロッキング層 3 1 7、およびトンネル層 3 1 5 の残りに影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、ドライエッチングを制御できる。パターニングされた停止層 3 0 5 は、ドライエッチングが終了した後に、除去できる。

10

20

#### 【0112】

それでもなお、N型ドーパ半導体層 3 0 6 に当接する記憶層 3 1 6、ブロッキング層 3 1 7、およびトンネル層 3 1 5 の部分を裏面から除去することは、それほど困難ではなく、高アスペクト比（例えば、50より大きい）の誘電体スタック 3 0 8 /メモリストック 3 3 0 を貫通する開口部（例えば、図 3 Dのスリット 3 2 0）を介した表面ウェットエッチングを使用する既知の解決策と比較して、より高い生産収率を有する。スリット 3 2 0 の高アスペクト比によってもたらされる問題を回避することで、製造の複雑さおよびコストを低減することができ、歩留まりを高めることができる。また、垂直方向のスケラビリティ（例えば、誘電体スタック 3 0 8 /メモリストック 3 3 0 のレベルの増加）も、向上できる。

30

#### 【0113】

いくつかの実施形態によれば、図 3 Jに示すように、N型ドーパ半導体層 3 0 6 に当接する各チャネル構造 3 1 4 のメモリ膜（ブロッキング層 3 1 7、記憶層 3 1 6、およびトンネル層 3 1 5 を含む）の頂部を除去して凹部 3 5 7 を形成し、半導体チャネル 3 1 8 の頂部を露出させることができる。いくつかの実施形態では、凹部 3 5 7 によって露出された半導体チャネル 3 1 8 の頂部は、その導電性を高めるためにドーパされる。例えば、傾斜イオン注入プロセスを実行して、凹部 3 5 7 によって露出された半導体チャネル 3 1 8 の頂部（例えば、ポリシリコンを含む）に、任意の適切なドーパントを所望のドーピング濃度にドーパすることができる。

40

#### 【0114】

図 3 Kに示すように、導電層 3 5 9 は、半導体チャネル 3 1 8 のドーパされた頂部を囲み、かつ接触する凹部 3 5 7（図 3 Jに示す）内に、ならびにN型ドーパ半導体層 3 0 6 上の凹部 3 5 7 の外側に、形成される。いくつかの実施形態では、導電層 3 5 9 を形成するために、半導体チャネル 3 1 8 のドーパされた頂部に接触する凹部 3 5 7 内、およびN型ドーパ半導体層 3 0 6 に接触する凹部 3 5 7 の外側に、金属シリサイド層 3 6 0 が形成され、金属シリサイド層 3 6 0 上に金属層 3 6 2 が形成される。一例では、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、凹部 3 5 7 の側壁および底面上、ならびにN型ドーパ半導体層 3 0 6 上に、金属膜（例えば、Co、Ni、またはTi）を、堆積できる

50

。金属膜は、N型ドーパ半導体層306のポリシリコン、および半導体チャネル318のドーパされた頂部と接触できる。次いで、熱処理（例えば、アニーリング、焼結、または任意の他の適切なプロセス）によって金属膜およびポリシリコン上に、シリサイド化プロセスを実行して、凹部357の側壁および底面に沿って、かつN型ドーパ半導体層306上に、金属シリサイド層360を形成できる。次いで、凹部357の残りの空間を充填するために、金属シリサイド層360上に、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、別の金属膜（例えば、W、Al、Ti、TiN、Co、および/またはNi）を堆積することによって、金属層362を金属シリサイド層360上に形成できる。別の例では、2つの金属膜を別々に堆積する代わりに、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、単一の金属膜（例えば、Co、Ni、またはTi）を、凹部357内に堆積させて凹部357を充填し、N型ドーパ半導体層306上に堆積できる。次いで、熱処理（例えば、アニーリング、焼結、または任意の他の適切なプロセス）によって、金属膜およびポリシリコン上に、シリサイド化プロセスを実行することができ、それにより、金属膜の一部が、凹部357の側壁および底面に沿って、かつN型ドーパ半導体層306上に金属シリサイド層360を形成し、一方で、金属膜の残りが、金属シリサイド層360上の金属層362になる。CMPプロセスを実行して、余分な金属層362を除去できる。いくつかの実施形態によれば、図3Kに示すように、これにより、金属シリサイド層360および金属層362を含む導電層359（図1Aの3Dメモリデバイス100の導電層122の一例として）が、形成される。いくつかの実施形態では、導電層359は、周辺領域を覆わないようにパターニングおよびエッチングされる。

#### 【0115】

いくつかの実施形態では、導電層を形成するために、ドーパされたポリシリコンが半導体チャネルのドーパされた部分に接触するように凹部内に堆積され、金属シリサイド層がドーパされたポリシリコンおよびN型ドーパされた半導体層に接触して形成される。図3Oに示すように、半導体チャネル318のドーパされた頂部を囲み、かつ接触するチャネルプラグ365が、凹部357（図3Jに示す）に形成される。その結果、いくつかの実施形態によれば、N型ドーパ半導体層306に当接するチャネル構造314（図3Hに示す）の除去された頂部は、それによってチャネルプラグ365に置き換えられる。いくつかの実施形態では、チャネルプラグ365を形成するために、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、ポリシリコンが凹部357内に堆積されて凹部357を充填し、続いて、CMPプロセスによって、N型ドーパ半導体層306の天面上の余分なポリシリコンを除去する。いくつかの実施形態では、P、As、またはSbなどのN型ドーパントのin-situ方式ドーピングは、チャネルプラグ365をドーパするためにポリシリコンを凹部357内に堆積するときに行われる。チャネルプラグ365および半導体チャネル318のドーパされた頂部は、ドーパされたポリシリコンなどの同一材料を含むことができるので、チャネルプラグ365は、チャネル構造314の半導体チャネル318の一部として見ることもできる。

#### 【0116】

図3Oに示すように、金属シリサイド層360および金属層362を含む導電層359が、N型ドーパ半導体層306およびチャネルプラグ365上に形成される。いくつかの実施形態では、金属膜が最初にN型ドーパ半導体層306およびチャネルプラグ365上に堆積され、続いて、シリサイド化プロセスが行われ、チャネルプラグ365およびN型ドーパ半導体層306に接触する金属シリサイド層360が形成される。次いで、別の金属膜を金属シリサイド層360上に堆積させて、金属層362を形成できる。いくつかの実施形態では、N型ドーパ半導体層306およびチャネルプラグ365上に金属膜が堆積され、続いて、シリサイド化プロセスが行われ、それにより、N型ドーパ半導体層306およびチャネルプラグ365に接触する金属膜の一部が金属シリサイド層360を形成し

10

20

30

40

50

、金属膜の残りの部分が金属層 362 になる。いくつかの実施形態によれば、図 30 に示すように、これにより、金属シリサイド層 360 および金属層 362 を含む導電層 359 (図 1B の 3D メモリデバイス 150 の導電層 122 の一例として) が、形成される。いくつかの実施形態では、導電層 359 は、周辺領域を覆わないようにパターニングおよびエッチングされる。

【0117】

方法 500 は、図 5A に示すように、工程 518 に進み、ソースコンタクトが、メモリスタックの上方にあり、N 型ドープ半導体層に接触して形成される。図 3L に示すように、N 型ドープ半導体層 306 上に 1 つまたは複数の ILD 層 356 が形成される。ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、N 型ドープ半導体層 306 の天面に誘電体材料を堆積することによって、ILD 層 356 が形成できる。ソースコンタクト開口部 358 は、ILD 層 356 および導電層 359 を貫通して N 型ドープ半導体層 306 に形成できる。いくつかの実施形態では、RIE などのウェットエッチングおよび/またはドライエッチングを使用して、ソースコンタクト開口部 358 が形成される。いくつかの実施形態では、ソースコンタクト開口部 358 は、N 型ドープ半導体層 306 の頂部内にさらに延在する。ILD 層 356 を貫通するエッチングプロセスは、N 型ドープ半導体層 306 の一部をエッチングし続けることができる。いくつかの実施形態では、ILD 層 356 および導電層 359 を貫通してエッチングした後に、別個のエッチングプロセスを使用して、N 型ドープ半導体層 306 の一部をエッチングする。

【0118】

図 3M に示すように、ソースコンタクト 364 は、N 型ドープ半導体層 306 の裏面のソースコンタクト開口部 358 (図 3L に示す) 内に形成される。いくつかの実施形態によれば、ソースコンタクト 364 は、メモリスタック 330 の上方にあり、かつ N 型ドープ半導体層 306 に接触する。いくつかの実施形態では、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、ソースコンタクト開口部 358 内に 1 つまたは複数の導電性材料を堆積させて、ソースコンタクト開口部 358 を接着層 (例えば、TiN) および導体層 (例えば、W) で充填する。次いで、CMP などの平坦化プロセスを実行して、ソースコンタクト 364 の天面が ILD 層 356 の天面と同一平面になるように、過剰な導電性材料を除去できる。

【0119】

方法 500 は、図 5A に示すように、工程 520 に進み、相互接続層がソースコンタクトの上方にあり、かつ接触して形成される。いくつかの実施形態では、N 型ドープ半導体層を貫通して相互接続層に接触するコンタクトが形成され、それにより、N 型ドープ半導体層が、ソースコンタクトおよび相互接続層を介してコンタクトに電氣的に接続される。

【0120】

図 3N に示すように、再配線層 370 がソースコンタクト 364 の上方に、かつ接触して形成される。いくつかの実施形態では、再配線層 370 は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、ILD 層 356 およびソースコンタクト 364 の天面に、Al などの導電性材料を堆積することによって形成される。再配線層 370 上に、パッシベーション層 372 を形成できる。いくつかの実施形態では、パッシベーション層 372 は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、窒化シリコンなどの誘電材料を堆積することによって形成される。いくつかの実施形態によれば、これにより、ILD 層 356、再配線層 370、およびパッシベーション層 372 を含む相互接続層 376 が、形成される。

【0121】

図 3L に示すように、ILD 層 356 および N 型ドープ半導体層 306 をそれぞれ貫通

して延在するコンタクト開口部 3 6 3 および 3 6 1 が形成される。いくつかの実施形態では、コンタクト開口部 3 6 3 および 3 6 1 は、R I E などのウェットエッチングおよび/またはドライエッチングを使用して、I L D 層 3 5 6 および N 型ドープ半導体層 3 0 6 を貫通して形成される。いくつかの実施形態では、コンタクト開口部 3 6 3 および 3 6 1 は、それぞれ周辺コンタクト 3 3 8 および 3 4 0 と位置合わせされるように、リソグラフィを使用してパターンングされる。コンタクト開口部 3 6 3 および 3 6 1 のエッチングは、周辺コンタクト 3 3 8 および 3 4 0 の上端で停止して、周辺コンタクト 3 3 8 および 3 4 0 を露出させることができる。図 3 L に示すように、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、コンタクト開口部 3 6 3 および 3 6 1 の側壁に沿ってスペーサ 3 6 2 が形成され、N 型ドープ半導体層 3 0 6 を電氣的に分離する。いくつかの実施形態では、スペーサ 3 6 2 が、ソースコンタクト開口部 3 5 8 の側壁に沿って形成されず、ソースコンタクト 3 6 4 と N 型ドープ半導体層 3 0 6 との間の接触面積を増加させるように、ソースコンタクト開口部 3 5 8 のエッチングは、スペーサ 3 6 2 の形成後に実行される。

#### 【 0 1 2 2 】

図 3 M に示すように、コンタクト 3 6 6 および 3 6 8 は、N 型ドープ半導体層 3 0 6 の裏面のコンタクト開口部 3 6 3 および 3 6 1 ( 図 3 L に示す ) にそれぞれ形成される。いくつかの実施形態によれば、コンタクト 3 6 6 および 3 6 8 は、I L D 層 3 5 6 および N 型ドープ半導体層 3 0 6 を貫通して垂直に延在する。コンタクト 3 6 6 および 3 6 8 ならびにソースコンタクト 3 6 4 は、堆積プロセスの数を減らすために、同一の堆積プロセスを使用して形成できる。いくつかの実施形態では、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、コンタクト開口部 3 6 3 および 3 6 1 内に 1 つまたは複数の導電性材料を堆積させて、コンタクト開口部 3 6 3 および 3 6 1 を、接着層 ( 例えば、T i N ) および導体層 ( 例えば、W ) で充填する。次いで、C M P などの平坦化プロセスを実行して、コンタクト 3 6 6 および 3 6 8 の天面 ( ならびにソースコンタクト 3 6 4 の天面 ) が、I L D 層 3 5 6 の天面と同一平面になるように、過剰な導電性材料を除去できる。いくつかの実施形態では、コンタクト開口部 3 6 3 および 3 6 1 がそれぞれ周辺コンタクト 3 3 8 および 3 4 0 と位置合わせされると、コンタクト 3 6 6 および 3 6 8 もそれぞれ周辺コンタクト 3 3 8 および 3 4 0 の上方にあり、かつ接触する。

#### 【 0 1 2 3 】

図 3 N に示すように、再配線層 3 7 0 もまた、コンタクト 3 6 6 の上方に、かつ接触して形成される。その結果、N 型ドープ半導体層 3 0 6 は、ソースコンタクト 3 6 4、相互接続層 3 7 6 の再配線層 3 7 0、およびコンタクト 3 6 6 を介して、周辺コンタクト 3 3 8 に電氣的に接続できる。いくつかの実施形態では、N 型ドープ半導体層 3 0 6 は、ソースコンタクト 3 6 4、相互接続層 3 7 6、コンタクト 3 6 6、周辺コンタクト 3 3 8、ならびに接合層 3 4 6 および 3 4 8 を介して、周辺回路 3 5 2 に電氣的に接続される。

#### 【 0 1 2 4 】

図 3 N に示すように、コンタクトパッド 3 7 4 は、コンタクト 3 6 8 の上方に、かつ接触して形成される。いくつかの実施形態では、コンタクト 3 6 8 を覆うパッシベーション層 3 7 2 の一部がウェットエッチングおよび/またはドライエッチングによって除去されて、下層の再配線層 3 7 0 の一部が露出し、コンタクトパッド 3 7 4 が形成される。その結果、信号出力パッド用のコンタクトパッド 3 7 4 を、コンタクト 3 6 8、周辺コンタクト 3 4 0、ならびに接合層 3 4 6 および 3 4 8 を介して、周辺回路 3 5 2 に電氣的に接続できる。

#### 【 0 1 2 5 】

方法 5 0 0 における第 1 の停止層は、第 1 の導電層、例えば金属シリサイド層であってもよく、その一部は、方法 5 0 1 に関して以下に説明するように、最終製品中の導電層に残ることが理解されよう。方法 5 0 0 と方法 5 0 1 との間の同様の工程の詳細は、説明を容易にするために繰り返さなくてもよい。図 5 B を参照すると、方法 5 0 1 は工程 5 0 2

10

20

30

40

50

で開始し、周辺回路が第1の基板上に形成される。第1の基板はシリコン基板とすることができる。

【0126】

方法501は、図5Bに示すように、工程505に進み、第2の基板上の犠牲層、犠牲層上の第1の導電層、第1の導電層上のN型ドープ半導体層、およびN型ドープ半導体層上の誘電体スタックが、順次形成される。いくつかの実施形態では、第1の導電層は金属シリサイドを含む。図3Aに示すように、停止層305は、金属シリサイドを含む導電層、すなわち金属シリサイド層であってもよい。キャリア基板302、犠牲層303、およびN型ドープ半導体層306の形成に関する上記の説明は、方法501に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。

10

【0127】

方法501は、図5Bに示すように、工程507に進み、各々が誘電体スタックおよびN型ドープ半導体層を貫通し垂直に延在し、第1の導電層で停止する、複数のチャネル構造が形成される。いくつかの実施形態では、チャネル構造を形成するために、各々が誘電体スタックおよびドープされたデバイス層を貫通して垂直に延在し、第1の導電層で停止する複数のチャネルホールが形成され、そして、メモリ膜および半導体チャネルが各チャネルホールの側壁に沿って堆積される。

【0128】

方法501は、図5Bに示すように、工程508に進み、各チャネル構造が、メモリスタックおよびN型ドープ半導体層を貫通して垂直に延在するように、誘電体スタックがメモリスタックに置き換えられる。いくつかの実施形態では、誘電体スタックをメモリスタックと置き換えるために、誘電体スタックを貫通して垂直に延在する開口部がエッチングされ、N型ドープ半導体層で停止する。そして、スタック犠牲層が開口部を介してスタック導電層と置き換えられて、交互配置されたスタック誘電体層およびスタック導電層を含むメモリスタックが形成される。

20

【0129】

方法501は、図5Bに示すように、工程510に進み、メモリスタックを貫通して垂直に延在する絶縁構造が形成される。いくつかの実施形態では、絶縁構造を形成するために、メモリスタックを形成した後、1つまたは複数の誘電体材料が開口部内に堆積され、開口部を充填する。方法501は、図5Bに示すように、工程512に進み、メモリスタックが周辺回路の上方にあるように、第1の基板および第2の基板ウェハが対面方式で接合される。接合は、ハイブリッド接合を含むことができる。

30

【0130】

方法501は、図5Bに示すように、工程515に進み、第2の基板、犠牲層、および第1の導電層の一部を順次除去して、複数のチャネル構造の各々の端部を露出させる。除去は、第2の基板の裏面から実行できる。いくつかの実施形態では、第2の基板、犠牲層、および第1の導電層の一部を順次除去するために、第2の基板が除去され、停止層で停止し、犠牲層の残りの部分が除去され、第1の導電層で停止し、第1の導電層の一部が除去されて複数のチャネル構造の各々の端部が露出する。

【0131】

キャリア基板302および犠牲層303の除去に関する上記の説明は、方法501に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。図3Pに示すように、犠牲層303（図3Gに示す）を除去した後、導電層305の一部（例えば、金属シリサイド層）を除去して、チャネル構造314の上端を露出させる。導電層305は、パターニングすることができ、それにより、例えばリソグラフィ、ウェットエッチング、および/またはドライエッチングを使用して、各チャネル構造314の真上の部分を除去して、各チャネル構造314を露出できる。いくつかの実施形態によれば、導電層305の残りの部分は、N型ドープ半導体層306上に残る。

40

【0132】

方法501は、図5Bに示すように、工程517に進み、第2の導電層が、複数のチャ

50

ネル構造の端部および第 1 の導電層に接触して形成される。第 2 の導電層は、金属を含むことができる。いくつかの実施形態では、第 2 の導電層を形成するために、N 型ドープ半導体層に当接するメモリ膜の一部がエッチングされて半導体チャネルの一部を囲む凹部を形成し、半導体チャネルの一部がドープされる。そして、半導体チャネルのドープされた部分に接触するように凹部内に、および第 1 の導電層に接触するように凹部の外側に、金属が堆積される。

#### 【0133】

凹部 357 を形成するために N 型ドープ半導体層 306 に当接する記憶層 316、ブロッキング層 317、およびトンネル層 315 の一部の除去に関する上記の説明は、方法 501 に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。図 3P に示すように、金属層 362 は、半導体チャネル 318 のドープされた頂部を囲み、かつ接触する凹部 357 (図 3J に示す) 内、ならびに導電層 305 上の凹部 357 の外側 (例えば、金属シリサイド層) に、形成される。金属層 362 は、凹部 357 内のチャネル構造 314 (例えば、半導体チャネル 318 のドープ部分) の端部を、囲んで接触できる。金属層 362 はまた、凹部 357 の外側の導電層 305 の上方にあり、かつ接触できる。金属層 362 は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、金属膜 (例えば、W、Al、Ti、TiN、Co、および / または Ni) を堆積することによって形成でき、導電層 305 上の凹部 357 および凹部 357 の外側を充填する。CMP プロセスを実行して、余分な金属層 362 を除去できる。いくつかの実施形態によれば、これにより、金属層 362 および導電層 305 を含む導電層 359 (図 1C の 3D メモリデバイス 160 の導電層 122 の一例として) が、形成される。いくつかの実施形態では、導電層 359 は、周辺領域を覆わないようにパターニングおよびエッチングされる。方法 500 と比較して、方法 501 における製造プロセス数は、最終製品中の導電層の第 1 の停止層 (例えば、金属シリサイド層) 部分を保持することによって、減らすことができる。

#### 【0134】

方法 501 は、図 5B に示すように、工程 518 に進み、メモリストックの上方にあり、N 型ドープ半導体層に接触するソースコンタクトが形成される。方法 501 は、図 5B に示すように、工程 520 に進み、相互接続層がソースコンタクトの上方にあり、かつ接触して形成される。いくつかの実施形態では、N 型ドープ半導体層を貫通して相互接続層に接触するコンタクトが形成され、それにより、N 型ドープ半導体層が、ソースコンタクトおよび相互接続層を介してコンタクトに電氣的に接続される。

#### 【0135】

図 4A は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4B は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4C は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4D は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4E は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4F は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4G は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4H は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4I は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4J は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4K は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデバイスを形成するための製造プロセスを示す。図 4L は、本開示のいくつかの実施形態による、別の例示的な 3D メモリデ

10

20

30

40

50

バイスを形成するための製造プロセスを示す。図 4 M は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 4 N は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 4 O は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 4 P は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 4 Q は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 6 A は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための方法 6 0 0 のフローチャートを示す。図 6 B は、本開示のいくつかの実施形態による、別の例示的な 3 D メモリデバイスを形成するための別の方法 6 0 1 のフローチャートを示す。図 4 A ~ 図 4 Q、図 6 A、および図 6 B に示す 3 D メモリデバイスの例は、図 2 A ~ 図 2 C に示す 3 D メモリデバイス 2 0 0、2 5 0、および 2 6 0 を含む。図 4 A ~ 図 4 Q、図 6 A、および図 6 B を一緒に説明する。方法 6 0 0 および 6 0 1 に示される工程は網羅的ではなく、図示された工程のいずれかの前、後、または間に他の工程も実行できることが理解されよう。さらに、工程のいくつかは、同時に、または図 6 A および図 6 B に示す順序とは異なる順序で実行されてもよい。

10

#### 【 0 1 3 6 】

図 6 A を参照すると、方法 6 0 0 は工程 6 0 2 で開始し、周辺回路が第 1 の基板上に形成される。第 1 の基板はシリコン基板とすることができる。図 4 G に示すように、フォトリソグラフィ、エッチング、薄膜堆積、熱成長、注入、CMP、および任意の他の適切なプロセスを含むが、これらに限定されない、複数のプロセスを使用して、シリコン基板 4 5 0 上に複数のトランジスタが形成される。いくつかの実施形態では、例えばトランジスタのソース領域および/またはドレイン領域として機能するイオン注入および/または熱拡散によって、ドープ領域（図示せず）が、シリコン基板 4 5 0 内に形成される。いくつかの実施形態では、分離領域（例えば、STI）もまた、ウェットエッチングおよび/またはドライエッチングおよび薄膜堆積によって、シリコン基板 4 5 0 内に形成される。トランジスタは、シリコン基板 4 5 0 上に周辺回路 4 5 2 を形成できる。

20

#### 【 0 1 3 7 】

図 4 G に示すように、周辺回路 4 5 2 の上方に接合層 4 4 8 が形成される。接合層 4 4 8 は、周辺回路 4 5 2 に電氣的に接続された接合コンタクトを含む。接合層 4 4 8 を形成するために、ILD 層は、CVD、PVD、ALD、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して堆積される。ILD 層を貫通する接合コンタクトは、ウェットエッチングおよび/またはドライエッチング、例えばRIEを使用して形成され、その後、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスが続く。

30

#### 【 0 1 3 8 】

各々がメモリスタックおよびNウェルを有するP型ドープ半導体層を貫通して垂直に延在するチャンネル構造を、第 2 の基板の上方に形成することができる。方法 6 0 0 は、図 6 A に示すように、工程 6 0 4 に進み、基板上的犠牲層、犠牲層上の第 1 の停止層、第 1 の停止層上にNウェルを有するP型ドープ半導体層、およびP型ドープ半導体層上の誘電体スタックが、順次形成される。犠牲層は、半導体デバイスを形成できる第 2 の基板の前面に形成できる。第 2 の基板は、シリコン基板とすることができる。第 2 の基板は最終製品から除去されるため、第 2 の基板のコストを低減するために、第 2 の基板は、ダミーウェハ（例えばキャリア基板、いくつか例を挙げると、ガラス、サファイア、プラスチック、シリコンなどの任意の適切な材料で作られる）の一部であってもよいことが理解されよう。いくつかの実施形態では、基板はキャリア基板であり、P型ドープ半導体層はポリシリコンを含み、誘電体スタックは、交互配置されたスタック誘電体層およびスタック犠牲層を含む。いくつかの実施形態では、スタック誘電体層およびスタック犠牲層は、P型ドープ半導体層上に交互に堆積されて、誘電体スタックを形成する。いくつかの実施形態では、犠牲層は、2 つのパッド酸化物層（バッファ層としても知られる）と、2 つのパッド酸

40

50

化物層の間に挟まれた第2の停止層とを含む。いくつかの実施形態では、第1の停止層は高k誘電体を含み、第2の停止層は窒化シリコンを含み、2つのパッド酸化物層の各々は、酸化シリコンを含む。いくつかの実施形態では、誘電体スタックを形成する前に、P型ドーパント半導体層の一部にN型ドーパントをドーピングして、Nウェルを形成する。

#### 【0139】

図4Aに示すように、キャリア基板402上に犠牲層403が形成され、犠牲層403上に停止層405が形成され、停止層405上にP型ドーパント半導体層406が形成される。P型ドーパント半導体層406は、B、Ga、またはAlなどのP型ドーパントでドーピングされたポリシリコンを含むことができる。犠牲層403は、後に選択的に除去することができ、P型ドーパント半導体層406の材料とは異なる任意の適切な犠牲材料を含むことができる。いくつかの実施形態では、犠牲層403は、2つのパッド酸化物層の間に挟まれた停止層404を有する複合誘電体層である。以下で詳細に説明するように、停止層404は、キャリア基板402を裏面から除去するときにCMP/エッチング停止層として機能することができる、したがって、窒化シリコンなどのキャリア基板402の材料以外の任意の適切な材料を含むことができる。同様に、停止層405は、チャンネルホールを前面からエッチングするときに、エッチング停止層として機能することができる、したがって、ポリシリコン(停止層405上のP型ドーパント半導体層406の材料)に対して高いエッチング選択性(例えば、約5超)を有する任意の適切な材料を含むことができる。一例では、停止層405は、後のプロセスで最終製品から除去されてもよく、例えば、いくつかの例を挙げると、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、または酸化チタンなどの高k誘電体を含んでもよい。別の例では、停止層405の少なくとも一部は最終製品中に残っていてもよく、金属シリサイド、例えば、いくつかの例を挙げると、銅シリサイド、コバルト・シリサイド、ニッケル・シリサイド、チタン・シリサイド、タングステン・シリサイド、銀シリサイド、アルミニウム・シリサイド、金シリサイド、白金シリサイド、を含んでもよい。いくつかの例では、異なる層の間の応力を緩和し、剥離を回避するために、キャリア基板402と停止層404との間、および停止層404と停止層405との間、にパッド酸化物層(例えば、酸化シリコン層)を、形成することができることが理解されよう。

#### 【0140】

いくつかの実施形態によれば、犠牲層403を形成するために、酸化シリコン、窒化シリコン、および酸化シリコンは、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、キャリア基板402上に順次堆積される。いくつかの実施形態によれば、停止層405を形成するために、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、犠牲層403上に高k誘電体が堆積される。いくつかの実施形態では、P型ドーパント半導体層406を形成するために、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスを使用して、ポリシリコンが停止層405上に堆積され、その後、イオン注入および/または熱拡散を使用して、堆積されたポリシリコンをB、Ga、またはAlなどのP型ドーパントでドーピングする。いくつかの実施形態では、P型ドーパント半導体層406を形成するために、B、Ga、またはAlなどのP型ドーパントの*in-situ*方式ドーピングは、停止層405上にポリシリコンを堆積するときに実行される。停止層405が金属シリサイドを含むいくつかの実施形態では、犠牲層403上に金属層が堆積され、続いて、ポリシリコンが堆積されて、金属層上にP型ドーパント半導体層406が形成される。次いで、熱処理(例えば、アニーリング、焼結、または任意の他の適切なプロセス)によってポリシリコンおよび金属層に対してシリサイド化プロセスを実行し、金属層を停止層405としての金属シリサイド層に変換できる。

#### 【0141】

図4Aに示すように、P型ドーパント半導体層406の一部は、P、As、またはSbなど

のN型ドーパントでドーブされて、P型ドーブ半導体層406内にNウェル407を形成する。いくつかの実施形態では、Nウェル407は、イオン注入および/または熱拡散を使用して形成される。イオン注入および/または熱拡散プロセスは、P型ドーブ半導体層406またはその一部の厚さ全体を貫通して、Nウェル407の厚さを制御するように制御できる。

#### 【0142】

図4Bに示すように、第1の誘電体層(本明細書では「スタック犠牲層」412と呼ぶ)および第2の誘電体層(本明細書では「スタック誘電体層(stack dielectric layers)」410と呼び、本明細書では共に「誘電体層対(dielectric layer pairs)」と呼ぶ)の複数の対を含む誘電体スタック408が、P型ドーブ半導体層406上に形成される。いくつかの実施形態によれば、誘電体スタック408は、交互配置されたスタック犠牲層412およびスタック誘電体層410を含む。スタック誘電体層410およびスタック犠牲層412は、キャリア基板402の上方のP型ドーブ半導体層406上に交互に堆積されて、誘電体スタック408を形成することができる。いくつかの実施形態では、各スタック誘電体層410は酸化シリコンの層を含み、各スタック犠牲層412は窒化シリコンの層を含む。誘電体スタック408は、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むが、これらに限定されない、1つまたは複数の薄膜堆積プロセスによって形成できる。図4Bに示すように、誘電体スタック408の縁部に階段構造を形成できる。階段構造は、複数のいわゆる「トリムエッチング」サイクルを、誘電体スタック408の誘電体層対に対して、キャリア基板402に向かって実行することによって形成できる。誘電体スタック408の誘電体層対に繰り返しトリムエッチサイクルが適用されるため、誘電体スタック408は、図4Bに示すように、1つまたは複数の傾斜した縁部と、底部よりも短い上部誘電体層対とを有することができる。

#### 【0143】

方法600は、図6Aに示すように、工程606に進み、各々が誘電体スタックおよびP型ドーブ半導体層を貫通して垂直に延在し、第1の停止層で停止する、チャンネル構造が形成される。いくつかの実施形態では、チャンネル構造を形成するために、各々が誘電体スタックおよびP型ドーブ半導体層を貫通して垂直に延在するチャンネルホールがエッチングされ、第1の停止層で停止し、その後、メモリ膜および半導体チャンネルが各チャンネルホールの側壁に沿って堆積される。

#### 【0144】

図4Bに示すように、各チャンネルホールは、誘電体スタック408およびP型ドーブ半導体層406を貫通し垂直に延在し、停止層405で停止する開口部である。いくつかの実施形態では、各開口部が後のプロセスで個々のチャンネル構造414を成長させるための位置になるように、複数の開口部が形成される。いくつかの実施形態では、チャンネル構造414のチャンネルホールを形成するための製造プロセスは、DRIEなどのウェットエッチングおよび/またはドライエッチングを含む。いくつかの実施形態によれば、停止層405の材料(例えば、酸化アルミニウムまたは金属シリサイド)とP型ドーブ半導体層406の材料(すなわち、ポリシリコン)との間のエッチング選択性のために、高k誘電体層(例えば、酸化アルミニウム層)または金属シリサイド層などの停止層405によって停止されるまで、チャンネルホールのエッチングが継続する。いくつかの実施形態では、エッチング速度およびエッチング時間などのエッチング条件は、そこに形成されたチャンネルホールおよびチャンネル構造414間の溝切り変動を最小にするように、各チャンネルホールが停止層405に到達し、停止層405によって確実に停止するように、制御できる。特定のエッチング選択性に応じて、1つまたは複数のチャンネルホールが停止層405内にわずかに延在することができ、これは本開示では依然として、停止層405によって停止していると見なされることが理解されよう。

#### 【0145】

図4Bに示すように、ブロッキング層417、記憶層416、およびトンネル層415

を含むメモリ膜と、半導体チャネル418とが、チャネルホールの側壁および底面に沿って、この順序で形成される。いくつかの実施形態では、ブロッキング層417、記憶層416、およびトンネル層415は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、チャネルホールの側壁および底面に沿って、この順序で最初に堆積され、メモリ膜を形成する。次いで、半導体チャネル418は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、トンネル層415の上にポリシリコン（例えば、ドーブされていないポリシリコン）などの半導体材料を堆積することによって形成できる。いくつかの実施形態では、第1の酸化シリコン層、窒化シリコン層、第2の酸化シリコン層、およびポリシリコン層（「SONO」構造）が順次堆積されて、メモリ膜および半導体チャネル418のブロッキング層417、記憶層416、およびトンネル層415を形成する。

10

#### 【0146】

図4Bに示すように、チャネルホール内および半導体チャネル418の上にキャップ層を形成して、（例えば、エアギャップの有無にかかわらず）チャネルホールを完全にまたは部分的に充填する。キャップ層は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンなどの誘電材料を堆積させることによって形成できる。次いで、チャネルホールの頂部にチャネルプラグを形成できる。いくつかの実施形態では、誘電体スタック408の天面上にあるメモリ膜、半導体チャネル418、およびキャップ層の一部は、CMP、ウェットエッチング、および/またはドライエッチングによって除去され、平坦化される。次いで、半導体チャネル418の一部およびチャネルホールの頂部のキャップ層をウェットエッチングおよび/またはドライエッチングすることによって、チャネルホールの頂部に凹部を形成できる。次いで、CVD、PVD、ALD、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスによって、ポリシリコンなどの半導体材料を凹部に堆積させることによって、チャネルプラグを形成できる。いくつかの実施形態によれば、これにより、誘電体スタック408およびP型ドーブ半導体層406を貫通してチャネル構造414が形成され、停止層405で停止する。

20

#### 【0147】

方法600は、図6Aに示すように、工程608に進み、チャネル構造がメモリスタックおよびP型ドーブ半導体層を貫通して垂直に延在するように、誘電体スタックが、例えばいわゆる「ゲート置換」プロセスを使用して、メモリスタックと置き換えられる。いくつかの実施形態では、誘電体スタックをメモリスタックと置き換えるために、誘電体スタックを貫通して垂直に延在し、P型ドーブ半導体層で停止する開口部がエッチングされる。そして、スタック犠牲層が、開口部を介してスタック導電層と置き換えられて、交互配置されたスタック誘電体層およびスタック導電層を含むメモリスタックが形成される。

30

#### 【0148】

図4Cに示すように、スリット420は、誘電体スタック408を貫通して垂直に延在し、P型ドーブ半導体層406で停止する開口部である。いくつかの実施形態では、スリット420を形成するための製造プロセスは、DRIEなどのウェットエッチングおよび/またはドライエッチングを含む。図4Cに示すように、スリット420はNウェル407と横方向に整列しているが、他の例では、スリット420はNウェル407と横方向に整列していなくてもよいことが理解されよう。次に、スリット420を介してゲート置換を実行して、誘電体スタック408をメモリスタック430（図4Eに示す）に置換することができる。

40

#### 【0149】

図4Dに示すように、スリット420を介してスタック犠牲層412（図4Cに示す）を除去することによって、横方向凹部422が最初に形成される。いくつかの実施形態では、スタック犠牲層412は、スリット420を介してエッチング液を適用することによって除去され、スタック誘電体層410の間に交互配置された横方向凹部422を生成す

50

る。エッチング液は、誘電体層 4 1 0 をスタックするために、スタック犠牲層 4 1 2 を選択的にエッチングする任意の適切なエッチング液を含むことができる。

【 0 1 5 0 】

図 4 E に示すように、スタック導電層 4 2 8 ( ゲート電極および接着層を含む ) は、スリット 4 2 0 を介して、横方向凹部 4 2 2 ( 図 4 D に示す ) 内に堆積される。いくつかの実施形態では、ゲート誘電体層 4 3 2 は、スタック導電層 4 2 8 の前に横方向凹部 4 2 2 内に堆積され、それにより、スタック導電層 4 2 8 がゲート誘電体層 4 3 2 上に堆積される。金属層などのスタック導電層 4 2 8 は、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、堆積させることができる。いくつかの実施形態では、高 k 誘電体層などのゲート誘電体層 4 3 2 は、側壁に沿ってスリット 4 2 0 の底部にも形成される。いくつかの実施形態によれば、交互配置されたスタック導電層 4 2 8 およびスタック誘電体層 4 1 0 を含むメモリストック 4 3 0 がこれにより形成され、誘電体スタック 4 0 8 ( 図 4 D に示す ) が置き換えられる。

10

【 0 1 5 1 】

方法 6 0 0 は、図 6 A に示すように、工程 6 1 0 に進み、メモリストックを貫通して垂直に延在する絶縁構造が形成される。いくつかの実施形態では、絶縁構造を形成するために、メモリストックを形成した後、1 つまたは複数の誘電体材料が開口部内に堆積され、開口部を充填する。図 4 E に示すように、メモリストック 4 3 0 を貫通して垂直に延在し、P 型ドープ半導体層 4 0 6 の天面で停止する、絶縁構造 4 3 6 が形成される。絶縁構造 4 3 6 は、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンなどの 1 つまたは複数の誘電材料をスリット 4 2 0 内に堆積させることにより形成され、( エアギャップの有無にかかわらず ) スリット 4 2 0 を完全にまたは部分的に充填できる。いくつかの実施形態では、絶縁構造 4 3 6 は、ゲート誘電体層 4 3 2 ( 例えば、高 k 誘電体を含む ) および誘電体キャップ層 4 3 4 ( 例えば、酸化シリコンを含む ) を含む。

20

【 0 1 5 2 】

図 4 F に示すように、絶縁構造 4 3 6 の形成後、チャンネル・ローカル・コンタクト 4 4 4 およびワード線ローカルコンタクト 4 4 2 を含むローカルコンタクト、ならびに周辺コンタクト 4 3 8、4 3 9、4 4 0 が形成される。C V D、P V D、A L D、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、酸化シリコンまたは窒化シリコンなどの誘電体材料をメモリストック 4 3 0 上に堆積させることによって、メモリストック 4 3 0 上にローカル誘電体層を形成できる。チャンネル・ローカル・コンタクト 4 4 4、ワード線ローカルコンタクト 4 4 2、ならびに周辺コンタクト 4 3 8、4 3 9、および 4 4 0 は、ウェットエッチングおよび / またはドライエッチング、例えば R I E を使用して、ローカル誘電体層 ( および任意の他の I L D 層 ) を介してコンタクト開口部をエッチングすることによって形成でき、続いて、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、コンタクト開口部を導電性材料で充填する。

30

【 0 1 5 3 】

図 4 F に示すように、接合層 4 4 6 は、チャンネル・ローカル・コンタクト 4 4 4、ワード線ローカルコンタクト 4 4 2、ならびに周辺コンタクト 4 3 8、4 3 9、および 4 4 0 の上方に形成される。接合層 4 4 6 は、チャンネル・ローカル・コンタクト 4 4 4、ワード線ローカルコンタクト 4 4 2、ならびに周辺コンタクト 4 3 8、4 3 9、および 4 4 0 に電氣的に接続された接合コンタクトを含む。接合層 4 4 6 を形成するために、I L D 層は、C V D、P V D、A L D、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して堆積される。I L D 層を貫通する接合コンタクトは、ウェットエッチングおよび / またはドライエッチング、例えば R I E を使用して形成され、その後、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスが続く。

40

50

## 【 0 1 5 4 】

方法 6 0 0 は、図 6 A に示すように、工程 6 1 2 に進み、メモリストックが周辺回路の上方にあるように、第 1 の基板および第 2 の基板が対面方式で接合される。接合は、ハイブリッド接合を含むことができる。図 4 G に示すように、キャリア基板 4 0 2 およびその上に形成された構成要素（例えば、メモリストック 4 3 0 およびそれを貫通して形成されたチャンネル構造 4 1 4）は、上下反対に裏返される。いくつかの実施形態によれば、下向きの接合層 4 4 6 は、上向きの接合層 4 4 8 と、すなわち対面方式で、接合され、それによってキャリア基板 4 0 2 とシリコン基板 4 5 0 との間に接合インターフェイス 4 5 4 を形成する。いくつかの実施形態では、処理プロセス、例えばプラズマ処理、湿式処理、および/または熱処理が、接合前に接合面に適用される。接合後、接合層 4 4 6 内の接合コンタクトおよび接合層 4 4 8 内の接合コンタクトは、整列され、互いに接触し、それによって、それを通して形成されたメモリストック 4 3 0 およびチャンネル構造 4 1 4 は、周辺回路 4 5 2 に電氣的に接続でき、周辺回路 4 5 2 の上方にあることができる。

10

## 【 0 1 5 5 】

方法 6 0 0 は、図 6 A に示すように、工程 6 1 4 に進み、第 2 の基板、犠牲層、および第 1 の停止層が順次除去され、複数のチャンネル構造の各々の端部を露出させる。除去は、第 2 の基板の裏面から実行できる。いくつかの実施形態では、第 2 の基板、犠牲層、および第 1 の停止層を順次除去するために、第 2 の基板が除去され、犠牲層の第 2 の停止層で停止し、犠牲層の残りの部分が除去され、第 1 の停止層で停止する。

20

## 【 0 1 5 6 】

図 4 H に示すように、キャリア基板 4 0 2（および、図 4 G に示す、キャリア基板 4 0 2 と停止層 4 0 4 との間のパッド酸化物層）は、停止層 4 0 4（例えば、窒化シリコン層）によって停止されるまで裏面から完全に除去される。キャリア基板 4 0 2 は、CMP、研削、ドライエッチング、および/またはウェットエッチングを使用して、完全に除去できる。いくつかの実施形態では、キャリア基板 4 0 2 を剥離する。キャリア基板 4 0 2 がシリコンを含み、停止層 4 0 4 が窒化シリコンを含むいくつかの実施形態では、キャリア基板 4 0 2 はシリコン CMP を使用して除去され、シリコン CMP は、シリコン以外の材料を有する停止層 4 0 4 に到達するとき、すなわち、裏面 CMP 停止層として作用するときに、自動的に停止できる。いくつかの実施形態では、基板 4 0 2（シリコン基板）は、TMAH によるウェットエッチングを使用して除去され、TMAH は、シリコン以外の材料を有する停止層 4 0 4 に到達するとき、すなわち、裏面エッチング停止層として作用するときに、自動的に停止する。停止層 4 0 4 は、薄化後の厚さ均一性の懸念なしに、キャリア基板 4 0 2 を完全に確実に除去できる。

30

## 【 0 1 5 7 】

図 4 I に示すように、次いで、リン酸およびフッ化水素酸などの適切なエッチング液を用いたウェットエッチングを使用して、犠牲層 4 0 3 の残りの部分（例えば、図 4 H に示す停止層 4 0 4 および停止層 4 0 4 と停止層 4 0 5 との間の別のパッド酸化物層）を、異なる材料（例えば、高 k 誘電体）を有する停止層 4 0 5 によって停止されるまで、同様に完全に除去できる。上述したように、各チャンネル構造 4 1 4 は停止層 4 0 5 を超えて犠牲層 4 0 3 またはキャリア基板 4 0 2 内に延在していないため、キャリア基板 4 0 2 および犠牲層 4 0 3 の除去は、チャンネル構造 4 1 4 に影響を及ぼさない。図 4 J に示すように、停止層 4 0 5 が（金属シリサイドを含む導電層とは対照的に）高 k 誘電体を含むいくつかの実施形態では、停止層 4 0 5（図 3 I に示す）は、ウェットエッチングおよび/またはドライエッチングを使用して完全に除去され、チャンネル構造 4 1 4 の上端を露出させる。

40

## 【 0 1 5 8 】

方法 6 0 0 は、図 6 A に示すように、工程 6 1 6 に進み、導電層が、複数のチャンネル構造の端部に接触して形成される。いくつかの実施形態では、導電層は、複数のチャンネル構造および P 型ドープ半導体層の端部に接触する金属シリサイド層と、金属シリサイド層に接触する金属層とを含む。いくつかの実施形態では、導電層を形成するために、P 型ドープ半導体層に当接するメモリ膜の一部が除去されて、半導体チャンネルの一部を囲む凹部が

50

形成され、半導体チャネルの一部がドーブされる。いくつかの実施形態では、導電層を形成するために、金属シリサイド層は、半導体チャネルのドーブ部分に接触する凹部内、およびP型ドーブ半導体層に接触する凹部の外側に、形成される。

【0159】

図4Jに示すように、P型ドーブ半導体層406に当接する記憶層416、ブロッキング層417、およびトンネル層415(図4Iに示す)の一部が除去されて、P型ドーブ半導体層406内に延在する半導体チャネル418の頂部を囲む凹部457が形成される。いくつかの実施形態では、2つのウェットエッチング・プロセスが順次実行される。例えば、ポリシリコンを含むP型ドーブ半導体層406をエッチングすることなく、リン酸などの適切なエッチング液を用いたウェットエッチングを使用して、窒化シリコンを含む記憶層416が、選択的に除去される。エッチングがメモリスタック430によって囲まれた記憶層416の残りの部分に影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、記憶層416のエッチングを制御できる。次に、P型ドーブ半導体層406およびポリシリコンを含む半導体チャネル418をエッチングすることなく、フッ化水素酸などの適切なエッチング液を用いたウェットエッチングを使用して、酸化シリコンを含むブロッキング層417およびトンネル層415を、選択的に除去できる。エッチングがメモリスタック430によって囲まれた残りのブロッキング層417およびトンネル層415に影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、ブロッキング層417およびトンネル層415のエッチングを制御できる。いくつかの実施形態では、パターニングされた停止層405をエッチングマスクとして使用して、単一のドライエッチングプロセスが実行される。例えば、停止層405は、ドライエッチングを実行するときに除去されなくてもよく、代わりに、エッチングマスクとして他の領域を依然として覆いながら、チャネル構造414の上端で記憶層416、ブロッキング層417、およびトンネル層415のみを露出させるようにパターニングされてもよい。次に、ドライエッチングを実行して、P型ドーブ半導体層406に当接する記憶層416、ブロッキング層417、およびトンネル層415の一部をエッチングできる。エッチングがメモリスタック430によって囲まれた記憶層416、ブロッキング層417、およびトンネル層415の残りに影響を及ぼし続けないように、エッチング時間および/またはエッチング速度を制御することによって、ドライエッチングを制御できる。パターニングされた停止層405は、ドライエッチングが終了した後、除去できる。

【0160】

それでもなお、P型ドーブ半導体層406に当接する記憶層416、ブロッキング層417、およびトンネル層415の部分を裏面から除去することは、それほど困難ではなく、高アスペクト比(例えば、50より大きい)の誘電体スタック408/メモリスタック430を貫通する開口部(例えば、図4Dのスリット420)を介した表面ウェットエッチングを使用する既知の解決策と比較して、より高い生産収率を有する。スリット420の高アスペクト比によってもたらされる問題を回避することで、製造の複雑さおよびコストを低減することができ、歩留まりを高めることができる。また、垂直方向のスケラビリティ(例えば、誘電体スタック408/メモリスタック430のレベルの増加)も、向上できる。

【0161】

いくつかの実施形態によれば、図4Jに示すように、P型ドーブ半導体層406に当接する各チャネル構造414のメモリ膜(ブロッキング層417、記憶層416、およびトンネル層415を含む)の頂部を除去して凹部457を形成し、半導体チャネル418の頂部を露出させることができる。いくつかの実施形態では、凹部457によって露出された半導体チャネル418の頂部は、その導電性を高めるためにドーブされる。例えば、傾斜イオン注入プロセスを実行して、凹部457によって露出された半導体チャネル418の頂部(例えば、ポリシリコンを含む)に、任意の適切なドーパントを所望のドーピング濃度にドーブすることができる。

10

20

30

40

50

## 【 0 1 6 2 】

図 4 K に示すように、導電層 4 5 9 は、半導体チャネル 4 1 8 のドーブされた頂部を囲み、かつ接触する凹部 4 5 7 ( 図 4 J に示す ) 内に、ならびに P 型ドーブ半導体層 4 0 6 上の凹部 4 5 7 の外側に、形成される。いくつかの実施形態では、導電層 4 5 9 を形成するために、半導体チャネル 4 1 8 のドーブされた頂部に接触する凹部 4 5 7 内、および P 型ドーブ半導体層 4 0 6 に接触する凹部 4 5 7 の外側に、金属シリサイド層 4 7 6 が形成され、金属シリサイド層 4 7 6 上に金属層 4 7 8 が形成される。一例では、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、凹部 4 5 7 の側壁および底面上、ならびに P 型ドーブ半導体層 4 0 6 上に、金属膜 ( 例えば、C o、N i、または T i ) を堆積できる。金属膜は、P 型ドーブ半導体層 4 0 6 のポリシリコンおよび半導体チャネル 4 1 8 のドーブされた頂部と接触できる。次いで、熱処理 ( 例えば、アニーリング、焼結、または任意の他の適切なプロセス ) によって金属膜およびポリシリコン上に、シリサイド化プロセスを実行して、凹部 4 5 7 の側壁および底面に沿って、かつ P 型ドーブ半導体層 4 0 6 上に、金属シリサイド層 4 7 6 を形成できる。次いで、凹部 4 5 7 の残りの空間を充填するために、金属シリサイド層 4 7 6 上に、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、別の金属膜 ( 例えば、W、A l、T i、T i N、C o、および / または N i ) を堆積することによって、金属層 4 7 8 を金属シリサイド層 4 7 6 上に形成できる。別の例では、2 つの金属膜を別々に堆積する代わりに、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、単一の金属膜 ( 例えば、C o、N i、または T i ) を、凹部 4 5 7 内に堆積させて凹部 4 5 7 を充填し、P 型ドーブ半導体層 4 0 6 上に堆積できる。次いで、熱処理 ( 例えば、アニーリング、焼結、または任意の他の適切なプロセス ) によって、金属膜およびポリシリコン上に、シリサイド化プロセスを実行することができ、それにより、金属膜の一部が、凹部 4 5 7 の側壁および底面に沿って、かつ P 型ドーブ半導体層 4 0 6 上に金属シリサイド層 4 7 6 を形成し、一方で、金属膜の残りが、金属シリサイド層 4 7 6 上の金属層 4 7 8 になる。C M P プロセスを実行して、余分な金属層 4 7 8 を除去できる。いくつかの実施形態によれば、図 4 K に示すように、これにより、金属シリサイド層 4 7 6 および金属層 4 7 8 を含む導電層 4 5 9 ( 図 2 A の 3 D メモリデバイス 2 0 0 の導電層 2 2 2 の一例として ) が、形成される。いくつかの実施形態では、導電層 4 5 9 は、周辺領域を覆わないようにパターニングおよびエッチングされる。

## 【 0 1 6 3 】

いくつかの実施形態では、導電層を形成するために、ドーブされたポリシリコンが半導体チャネルのドーブされた部分に接触するように凹部内に堆積され、金属シリサイド層がドーブされたポリシリコンおよび P 型ドーブ半導体層に接触して形成される。図 4 P に示すように、半導体チャネル 4 1 8 のドーブされた頂部を囲み、かつ接触するチャンネルプラグ 4 8 0 が、凹部 4 5 7 ( 図 4 J に示す ) に形成される。その結果、いくつかの実施形態によれば、P 型ドーブ半導体層 4 0 6 に当接するチャンネル構造 4 1 4 ( 図 4 H に示す ) の除去された頂部は、それによってチャンネルプラグ 4 8 0 に置き換えられる。いくつかの実施形態では、チャンネルプラグ 4 8 0 を形成するために、A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、ポリシリコンが凹部 4 5 7 内に堆積されて凹部 4 5 7 を充填し、続いて、C M P プロセスによって、P 型ドーブ半導体層 4 0 6 の天面上の任意の余分なポリシリコンを除去する。いくつかの実施形態では、B、G a、または A l などの P 型ドーパントの *i n - s i t u* 方式ドーピングは、チャンネルプラグ 4 8 0 をドーブするためにポリシリコンを凹部 4 5 7 内に堆積するときに行われる。チャンネルプラグ 4 8 0 および半導体チャネル 4 1 8 のドーブされた頂部は、ドーブされたポリシリコンなどの同一の材料を含むことができるので、チャンネルプラグ 4 8 0 は、チャンネル構造 4 1 4 の半導体チャネル 4 1 8 の一部として見ることもできる。

10

20

30

40

50

## 【 0 1 6 4 】

図 4 P に示すように、金属シリサイド層 4 7 6 および金属層 4 7 8 を含む導電層 4 5 9 が、P 型ドーブ半導体層 4 0 6 およびチャンネルプラグ 4 8 0 上に形成される。いくつかの実施形態では、金属膜が最初に P 型ドーブ半導体層 4 0 6 およびチャンネルプラグ 4 8 0 上に堆積され、続いて、シリサイド化プロセスが行われ、チャンネルプラグ 4 8 0 および P 型ドーブ半導体層 4 0 6 に接触する金属シリサイド層 4 7 6 が形成される。次いで、別の金属膜を金属シリサイド層 4 7 6 上に堆積させて、金属層 4 7 8 を形成できる。いくつかの実施形態では、P 型ドーブ半導体層 4 0 6 およびチャンネルプラグ 4 8 0 上に金属膜が堆積され、続いて、シリサイド化プロセスが行われ、それにより、P 型ドーブ半導体層 4 0 6 およびチャンネルプラグ 4 8 0 に接触する金属膜の一部が金属シリサイド層 4 7 6 を形成し、金属膜の残りの部分が金属層 4 7 8 になる。いくつかの実施形態によれば、図 4 P に示すように、これにより、金属シリサイド層 4 7 6 および金属層 4 7 8 を含む導電層 4 5 9 (図 2 B の 3 D メモリデバイス 2 5 0 の導電層 2 2 2 の一例として) が、形成される。いくつかの実施形態では、導電層 4 5 9 は、周辺領域を覆わないようにパターニングおよびエッチングされる。

10

## 【 0 1 6 5 】

方法 6 0 0 は、図 6 A に示すように、工程 6 1 8 に進み、第 1 のソースコンタクトが、メモリスタックの上方あり、P 型ドーブ半導体層に接触して形成され、第 2 のソースコンタクトが、メモリスタックの上方にあり、N ウェルに接触して形成される。図 4 L に示すように、P 型ドーブ半導体層 4 0 6 上に 1 つまたは複数の I L D 層 4 5 6 が形成される。A L D、C V D、P V D、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、P 型ドーブ半導体層 4 0 6 の天面に誘電体材料を堆積することによって、I L D 層 4 5 6 が形成できる。

20

## 【 0 1 6 6 】

図 4 M に示すように、ソースコンタクト開口部 4 5 8 は、I L D 層 4 5 6 および導電層 4 5 9 を貫通して P 型ドーブ半導体層 4 0 6 に形成できる。いくつかの実施形態では、R I E などのウェットエッチングおよび/またはドライエッチングを使用して、ソースコンタクト開口部 4 5 8 が形成される。いくつかの実施形態では、ソースコンタクト開口部 4 5 8 は、P 型ドーブ半導体層 4 0 6 の頂部内にさらに延在する。I L D 層 4 5 6 および導電層 4 5 9 を貫通するエッチングプロセスは、P 型ドーブ半導体層 4 0 6 の一部をエッチングし続けることができる。いくつかの実施形態では、I L D 層 4 5 6 および導電層 4 5 9 を介してエッチングした後に、別個のエッチングプロセスが使用して、P 型ドーブ半導体層 4 0 6 の一部をエッチングする。

30

## 【 0 1 6 7 】

図 4 M に示すように、ソースコンタクト開口部 4 6 5 は、I L D 層 4 5 6 および導電層 4 5 9 を貫通して N ウェル 4 0 7 に形成できる。いくつかの実施形態では、R I E などのウェットエッチングおよび/またはドライエッチングを使用して、ソースコンタクト開口部 4 6 5 が形成される。いくつかの実施形態では、ソースコンタクト開口部 4 6 5 は、N ウェル 4 0 7 の頂部内にさらに延在する。I L D 層 4 5 6 および導電層 4 5 9 を貫通するエッチングプロセスは、N ウェル 4 0 7 の一部をエッチングし続けることができる。いくつかの実施形態では、I L D 層 4 5 6 および導電層 4 5 9 を貫通してエッチングした後に、別個のエッチングプロセスが使用して、N ウェル 4 0 7 の一部をエッチングする。ソースコンタクト開口部 4 5 8 のエッチングは、ソースコンタクト開口部 4 6 5 のエッチングの後に実行でき、またはその逆も可能である。いくつかの例では、ソースコンタクト開口部 4 5 8 および 4 6 5 は、エッチングプロセス数を減らすために、同一のエッチングプロセスによってエッチングされてもよいことが理解されよう。

40

## 【 0 1 6 8 】

図 4 N に示すように、ソースコンタクト 4 6 4 および 4 7 8 は、P 型ドーブ半導体層 4 0 6 の裏面のソースコンタクト開口部 4 5 8 および 4 6 5 (図 4 M に示す) にそれぞれ形成される。いくつかの実施形態によれば、ソースコンタクト 4 6 4 は、メモリスタック 4

50

30の上方にあり、かつP型ドーブ半導体層406に接触する。いくつかの実施形態によれば、ソースコンタクト479は、メモリストック430の上方にあり、かつNウェル407に接触する。いくつかの実施形態では、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、ソースコンタクト開口部458および465内に1つまたは複数の導電性材料を堆積させて、ソースコンタクト開口部458および465を、接着層（例えば、TiN）および導体層（例えば、W）で充填する。次いで、CMPなどの平坦化プロセスを実行して、ソースコンタクト464および478の天面が互いに同一平面であり、ILD層456の天面と同一平面になるように、過剰な導電性材料を除去することができる。いくつかの例では、ソースコンタクト464および478は、製造プロセス数を減らすために同一の堆積およびCMPプロセスによって形成されてもよいことが理解されよう。

10

【0169】

方法600は、図6Aに示すように、工程620に進み、相互接続層が、第1のソースコンタクトおよび第2のソースコンタクトの上方にあり、かつ接触して形成される。いくつかの実施形態では、相互接続層は、それぞれ第1および第2のソースコンタクトの上方にあり、かつ接触する、第1の相互接続部および第2の相互接続部を含む。

【0170】

図4Oに示すように、再配線層470がソースコンタクト464および478の上方に、かつ接触して形成される。いくつかの実施形態では、再配線層470は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、ILD層456およびソースコンタクト364の天面に、Alなどの導電性材料を堆積することによって形成される。いくつかの実施形態では、再配線層470は、リソグラフィおよびエッチングプロセスによってパターンニングされて、ソースコンタクト464の上方あり、かつ接触する第1の相互接続部470-1と、ソースコンタクト479の上方にあり、かつ接触する第2の相互接続部470-2とを、形成する。第1および第2の相互接続部470-1および470-2は、互いに電氣的に分離できる。再配線層470上に、パッシベーション層472を形成できる。いくつかの実施形態では、パッシベーション層472は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、窒化シリコンなどの誘電材料を堆積することによって形成される。いくつかの実施形態によれば、これにより、ILD層456、再配線層470、およびパッシベーション層472を含む相互接続層476が、形成される。

20

30

【0171】

図4Lに示すように、ILD層456およびP型ドーブ半導体層406をそれぞれ貫通して延在するコンタクト開口部460、461、および463が形成される。いくつかの実施形態では、コンタクト開口部460、461、および463は、RIEなどのウェットエッチングおよび/またはドライエッチングを使用して、ILD層456およびP型ドーブ半導体層406を貫通して形成される。いくつかの実施形態では、コンタクト開口部460、461、および463は、それぞれ周辺コンタクト438、440、および439と位置合わせされるように、リソグラフィを使用してパターンニングされる。コンタクト開口部460、461、および463のエッチングは、周辺コンタクト438、439、および440の上端で停止して、周辺コンタクト438、439、および440を露出させることができる。コンタクト開口部460、461、および463のエッチングは、エッチングプロセス数を減らすために、同一のエッチングプロセスによって実行できる。エッチング深さが異なるため、コンタクト開口部460、461、および463のエッチングは、ソースコンタクト開口部465のエッチングの前に実行されてもよく、またはその逆であってもよいが、同時に実行されなくてもよいことが理解されよう。

40

【0172】

図4Mに示すように、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスを使用して、コンタク

50

ト開口部 460、461、および 463、ならびにソースコンタクト開口部 465 の側壁に沿ってスペーサ 462 が形成され、P 型ドープ半導体層 406 を電氣的に分離する。いくつかの実施形態では、スペーサ 462 は、製造プロセス数を減らすために、同一の堆積プロセスによって、コンタクト開口部 460、461、および 463、ならびにソースコンタクト開口部 465 の側壁に沿って形成される。いくつかの実施形態では、スペーサ 462 が、ソースコンタクト開口部 458 の側壁に沿って形成されず、ソースコンタクト 464 と P 型ドープ半導体層 406 との間の接触面積を増加させるように、ソースコンタクト開口部 458 のエッチングは、スペーサ 462 の形成後に実行される。

#### 【0173】

図 4N に示すように、コンタクト 466、468、および 469 は、P 型ドープ半導体層 406 の裏面のコンタクト開口部 460、461 および 463 (図 4M に示す) にそれぞれ形成される。いくつかの実施形態によれば、コンタクト 466、468、および 469 は、ILD 層 456 および P 型ドープ半導体層 406 を貫通して垂直に延在する。コンタクト 466、468、および 469、ならびにソースコンタクト 464 および 478 は、堆積プロセスの数を減らすために、同一の堆積プロセスを使用して形成できる。いくつかの実施形態では、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、コンタクト開口部 460、461、および 463 内に 1 つまたは複数の導電性材料を堆積させて、コンタクト開口部 460、461、および 463 を、接着層 (例えば、TiN) および導体層 (例えば、W) で充填する。次いで、CMP などの平坦化プロセスを実行して、コンタクト 466、468 および 469 の天面 (ならびにソースコンタクト 464 および 478 の天面) が、ILD 層 456 の天面と同一平面になるように、過剰な導電性材料を除去できる。いくつかの実施形態では、コンタクト開口部 460、461、および 463 が、それぞれ周辺コンタクト 438、440、および 439 と位置合わせされると、コンタクト 466、468、および 469 もそれぞれ周辺コンタクト 438、440、および 439 の上方にあり、かつ接触する。

#### 【0174】

図 4O に示すように、再配線層 470 の第 1 の相互接続部 470-1 は、コンタクト 466 の上方に、かつ接触して形成される。その結果、P 型ドープ半導体層 406 は、ソースコンタクト 464、相互接続層 476 の第 1 の相互接続部 470-1、およびコンタクト 466 を介して、周辺コンタクト 438 に電氣的に接続できる。いくつかの実施形態では、P 型ドープ半導体層 406 は、ソースコンタクト 464、相互接続層 476 の第 1 の相互接続部 470-1、コンタクト 466、周辺コンタクト 438、ならびに接合層 446 および 448 を介して、周辺回路 452 に電氣的に接続される。同様に、再配線層 470 の第 2 の相互接続部 470-2 は、コンタクト 469 の上方に、かつ接触して形成される。その結果、N ウェル 407 は、ソースコンタクト 479、相互接続層 476 の第 2 の相互接続部 470-2、およびコンタクト 469 を介して、周辺コンタクト 438 に電氣的に接続できる。いくつかの実施形態では、N ウェル 407 は、ソースコンタクト 479、相互接続層 476 の第 2 の相互接続部 470-2、コンタクト 469、周辺コンタクト 439、ならびに接合層 446 および 448 を介して、周辺回路 452 に電氣的に接続される。

#### 【0175】

図 4O に示すように、コンタクトパッド 474 は、コンタクト 468 の上方に、かつ接触して形成される。いくつかの実施形態では、コンタクト 468 を覆うパッシベーション層 472 の一部がウェットエッチングおよび/またはドライエッチングによって除去されて、下層の再配線層 470 の一部が露出し、コンタクトパッド 474 が形成される。その結果、信号出力パッド用のコンタクトパッド 474 を、コンタクト 468、周辺コンタクト 440、接合層 446、448 を介して、周辺回路 452 に電氣的に接続できる。

#### 【0176】

方法 600 における第 1 の停止層は、第 1 の導電層、例えば金属シリサイド層であって

10

20

30

40

50

もよく、その一部は、方法 601 に関して以下に説明するように、最終製品中の導電層に残ることが理解されよう。方法 600 と方法 601 との間の同様の工程の詳細は、説明を容易にするために繰り返さなくてもよい。図 6 B を参照すると、方法 601 は工程 602 で開始し、周辺回路が第 1 の基板上に形成される。第 1 の基板はシリコン基板とすることができる。

【0177】

方法 601 は、図 6 B に示すように、工程 605 に進み、第 2 の基板上の犠牲層、犠牲層上の第 1 の導電層、第 1 の導電層上に N ウェルを有する P 型ドープ半導体層、および P 型ドープ半導体層上の誘電体スタックが、順次形成される。いくつかの実施形態では、第 1 の導電層は金属シリサイドを含む。図 4 A に示すように、停止層 405 は、金属シリサイドを含む導電層、すなわち金属シリサイド層であってもよい。キャリア基板 402、犠牲層 403、および P 型ドープ半導体層 406 の形成に関する上記の説明は、方法 601 に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。

10

【0178】

方法 601 は、図 6 B に示すように、工程 607 に進み、各々が誘電体スタックおよび P 型ドープ半導体層を貫通して垂直に延在し、第 1 の導電層で停止する、複数のチャンネル構造が形成される。いくつかの実施形態では、チャンネル構造を形成するために、各々が誘電体スタックおよびドープされたデバイス層を貫通して垂直に延在し、第 1 の導電層で停止する複数のチャンネルホールが形成され、そして、メモリ膜および半導体チャンネルが各チャンネルホールの側壁に沿って堆積される。

20

【0179】

方法 601 は、図 6 B に示すように、工程 608 に進み、各チャンネル構造が、メモリスタックおよび P 型ドープ半導体層を貫通して垂直に延在するように、誘電体スタックがメモリスタックに置き換えられる。いくつかの実施形態では、誘電体スタックをメモリスタックと置き換えるために、誘電体スタックを貫通して垂直に延在する開口部がエッチングされ、P 型ドープ半導体層で停止する。そして、スタック犠牲層が開口部を介してスタック導電層と置き換えられて、交互配置されたスタック誘電体層およびスタック導電層を含むメモリスタックが形成される。

【0180】

30

方法 601 は、図 6 B に示すように、工程 610 に進み、メモリスタックを貫通して垂直に延在する絶縁構造が形成される。いくつかの実施形態では、絶縁構造を形成するために、メモリスタックを形成した後、1 つまたは複数の誘電体材料が開口部内に堆積され、開口部を充填する。方法 601 は、図 6 B に示すように、工程 612 に進み、メモリスタックが周辺回路の上方にあるように、第 1 の基板および第 2 の基板ウェハが対面方式で接合される。接合は、ハイブリッド接合を含むことができる。

【0181】

方法 601 は、図 6 B に示すように、工程 615 に進み、第 2 の基板、犠牲層、および第 1 の導電層の一部を順次除去して、複数のチャンネル構造の各々の端部を露出させる。除去は、第 2 の基板の裏面から実行できる。いくつかの実施形態では、第 2 の基板、犠牲層、および第 1 の導電層の一部を順次除去するために、第 2 の基板が除去され、停止層で停止し、犠牲層の残りの部分が除去され、第 1 の導電層で停止し、第 1 の導電層の一部が除去されて複数のチャンネル構造の各々の端部が露出する。

40

【0182】

キャリア基板 402 および犠牲層 403 の除去に関する上記の説明は、方法 601 に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。図 4 Q に示すように、犠牲層 403 (図 4 G に示す) を除去した後、導電層 405 の一部 (例えば、金属シリサイド層) を除去して、チャンネル構造 414 の上端を露出させる。導電層 405 は、パターニングすることができ、それにより、例えばリソグラフィ、ウェットエッチング、および/またはドライエッチングを使用して、各チャンネル構造 414 の真

50

上の部分を除去して、各チャンネル構造 4 1 4 を露出させることができる。いくつかの実施形態によれば、導電層 4 0 5 の残りの部分は、P 型ドーブ半導体層 4 0 6 上に残る。

【 0 1 8 3 】

方法 6 0 1 は、図 6 B に示すように、工程 6 1 7 に進み、第 2 の導電層が、複数のチャンネル構造の端部および第 1 の導電層に接触して形成される。第 2 の導電層は、金属を含むことができる。いくつかの実施形態では、第 2 の導電層を形成するために、P 型ドーブ半導体層に当接するメモリ膜の一部がエッチングされて半導体チャンネルの一部を囲む凹部を形成し、半導体チャンネルの一部がドーブされる。そして、半導体チャンネルのドーブされた部分に接触するように凹部内に、および第 1 の導電層に接触するように凹部の外側に、金属が堆積される。

10

【 0 1 8 4 】

凹部 4 5 7 を形成するために P 型ドーブ半導体層 4 0 6 に当接する記憶層 4 1 6、ブロッキング層 4 1 7、およびトンネル層 4 1 5 の一部の除去に関する上記の説明は、方法 6 0 1 に同様に適用でき、したがって、説明を容易にするために繰り返さないことが理解されよう。図 4 Q に示すように、金属層 4 7 8 は、半導体チャンネル 4 1 8 のドーブされた頂部を囲み、かつ接触する凹部 4 5 7 (図 4 J に示す) 内、ならびに導電層 4 0 5 上の凹部 4 5 7 の外側 (例えば、金属シリサイド層) に、形成される。金属層 4 7 8 は、凹部 4 5 7 内のチャンネル構造 4 1 4 (例えば、半導体チャンネル 4 1 8 のドーブ部分) の端部を、囲んで接触することができる。金属層 4 7 8 はまた、凹部 4 5 7 の外側の導電層 4 0 5 の上方にあり、かつ接触できる。金属層 4 7 8 は、ALD、CVD、PVD、任意の他の適切なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、金属膜 (例えば、W、Al、Ti、TiN、Co、および/または Ni) を堆積することによって形成でき、導電層 4 0 5 上の凹部 4 5 7 および凹部 4 5 7 の外側を充填する。CMP プロセスを実行して、余分な金属層 4 7 8 を除去できる。いくつかの実施形態によれば、これにより、金属層 4 7 8 および導電層 4 0 5 を含む導電層 4 5 9 (図 2 C の 3 D メモリデバイス 2 6 0 の導電層 2 2 2 の一例として) が、形成される。いくつかの実施形態では、導電層 4 5 9 は、周辺領域を覆わないようにパターニングおよびエッチングされる。方法 6 0 0 と比較して、方法 6 0 1 における製造プロセス数は、最終製品中の導電層の第 1 の停止層 (例えば、金属シリサイド層) 部分を保持することによって、減らすことができる。

20

30

【 0 1 8 5 】

方法 6 0 1 は、図 6 B に示すように、工程 6 1 8 に進み、メモリストックの上方にあり、P 型ドーブ半導体層に接触する第 1 のソースコンタクトが形成され、メモリストックの上方にあり、N ウェルに接触する第 2 のソースコンタクトが形成される。方法 6 0 1 は、図 6 B に示すように、工程 6 2 0 に進み、相互接続層が、第 1 のソースコンタクトおよび第 2 のソースコンタクトの上方にあり、かつ接触して形成される。いくつかの実施形態では、相互接続層は、第 1 のソースコンタクトの上方にあり、かつ接触する第 1 の相互接続部と、第 2 のソースコンタクトの上方にあり、かつ接触する第 2 の相互接続部とを含む。いくつかの実施形態では、P 型ドーブ半導体層が第 1 のソースコンタクトおよび第 1 の相互接続部を介して第 1 のコンタクトに電氣的に接続されるように、P 型ドーブ半導体層を貫通して第 1 の相互接続部に接触する第 1 のコンタクトが形成される。いくつかの実施形態では、N ウェルが第 2 のソースコンタクトおよび第 2 の相互接続部を介して第 2 のコンタクトに電氣的に接続されるように、P 型ドーブ半導体層を貫通して第 2 の相互接続部に接触する第 2 のコンタクトが形成される。

40

【 0 1 8 6 】

本開示の一態様によれば、3 D メモリデバイスは、基板と、基板上の周辺回路と、周辺回路の上方にある交互配置された導電層および誘電体層を含むメモリストックと、メモリストック上の P 型ドーブ半導体層と、P 型ドーブ半導体層内の N ウェルと、各々がメモリストックを貫通して P 型ドーブ半導体層内に垂直に延在する複数のチャンネル構造と、複数のチャンネル構造の上端に接触しその少なくとも一部が P 型ドーブ半導体層上にある導電層

50

と、メモリスタック上方にありP型ドーブ半導体層に接触する第1のソースコンタクトと、メモリスタック上方にありNウェルに接触する第2のソースコンタクトと、を含む。

【0187】

いくつかの実施形態では、P型ドーブ半導体層は、ポリシリコンを含む。

【0188】

いくつかの実施形態では、3Dメモリデバイスは、消去動作を実行するときに、P型ドーブ半導体層とチャンネル構造との間に正孔電流経路を形成するように構成される。

【0189】

いくつかの実施形態では、チャンネル構造の各々は、メモリ膜および半導体チャンネルを含み、メモリ膜の上端は半導体チャンネルの上端より下方にある。

10

【0190】

いくつかの実施形態では、導電層は、金属シリサイド層および金属層を含む。

【0191】

いくつかの実施形態では、金属シリサイド層は半導体チャンネルに接触し、金属層は金属シリサイド層の上方にあり、かつ接触する。

【0192】

いくつかの実施形態では、P型ドーブ半導体層内に延在する半導体チャンネルの一部は、ドーブポリシリコンを含む。

【0193】

いくつかの実施形態では、P型ドーブ半導体層の厚さは約50nm未満である。

20

【0194】

いくつかの実施形態では、3Dメモリデバイスは、ソースコンタクトの上方にあり、ソースコンタクトに電氣的に接続された相互接続層をさらに含む。いくつかの実施形態では、相互接続層は、第1のソースコンタクトに接触する第1の相互接続部と、第2のソースコンタクトに接触する第2の相互接続部とを含む。

【0195】

いくつかの実施形態では、3Dメモリデバイスは、P型ドーブ半導体層を貫通する第1のコンタクトをさらに含む。いくつかの実施形態によれば、P型ドーブ半導体層は、少なくとも第1のソースコンタクト、第1の相互接続部、および第1のコンタクトを介して、周辺回路に電氣的に接続される。いくつかの実施形態では、3Dメモリデバイスは、P型ドーブ半導体層を貫通する第2のコンタクトをさらに含む。いくつかの実施形態によれば、Nウェルは、少なくとも第2のソースコンタクト、第2の相互接続部、および第2のコンタクトを介して、周辺回路に電氣的に接続される。

30

【0196】

いくつかの実施形態では、3Dメモリデバイスは、P型ドーブ半導体層を貫通する第3のコンタクトをさらに含む。いくつかの実施形態によれば、相互接続層は、第3のコンタクトに電氣的に接続されたコンタクトパッドを含む。

【0197】

いくつかの実施形態では、3Dメモリデバイスは、複数のチャンネル構造を複数のブロックに分離するために、メモリスタックを貫通して垂直に延在し、横方向に延在する絶縁構造をさらに含む。いくつかの実施形態では、絶縁構造の天面は、P型ドーブ半導体層の底面と同一平面上にある。

40

【0198】

いくつかの実施形態では、3Dメモリデバイスは、周辺回路とメモリスタックとの間の接合インターフェイスをさらに含む。

【0199】

いくつかの実施形態では、複数のチャンネル構造の各々の上端は、P型ドーブ半導体層の天面と同一平面、または、その下方にある。

【0200】

本開示の別の態様によれば、3Dメモリデバイスは、基板と、基板上の交互配置された

50

導電層および誘電体層を含むメモリスタックと、メモリスタック上のP型ドーブ半導体層と、P型ドーブ半導体層内のNウェルと、各々がメモリスタックを貫通してP型ドーブ半導体層内に垂直に延在する複数のチャンネル構造と、を含む。複数のチャンネル構造のそれぞれは、メモリ膜と半導体チャンネルとを含む。メモリ膜の上端は、半導体チャンネルの上端よりも下方にある。3Dメモリデバイスは、複数のチャンネル構造の半導体チャンネルに接触する導電層をさらに含む。導電層の少なくとも一部は、P型ドーブ半導体層上にある。

【0201】

いくつかの実施形態では、導電層は、金属シリサイド層および金属層を含む。

【0202】

いくつかの実施形態では、金属シリサイド層は半導体チャンネルに接触し、金属層は金属シリサイド層の上方にあり、かつ接触する。

10

【0203】

いくつかの実施形態では、金属層は半導体チャンネルに接触し、金属層の一部は金属シリサイド層の上方にあり、かつ接触する。

【0204】

いくつかの実施形態では、P型ドーブ半導体層の厚さは約50nm未満である。

【0205】

いくつかの実施形態では、3Dメモリデバイスは、複数のチャンネル構造を複数のブロックに分離するために、メモリスタックを貫通して垂直に延在し、横方向に延在する絶縁構造をさらに含む。いくつかの実施形態では、絶縁構造の天面は、P型ドーブ半導体層の底面と同一平面上にある。

20

【0206】

いくつかの実施形態では、3Dメモリデバイスは、メモリスタックの上方にありP型ドーブ半導体層に接触する第1のソースコンタクトと、メモリスタックの上方にありNウェルに接触する第2のソースコンタクトと、をさらに含む。

【0207】

いくつかの実施形態では、3Dメモリデバイスは、基板の上方にある周辺回路と、周辺回路とメモリスタックとの間の接合インターフェイスと、をさらに含む。

【0208】

いくつかの実施形態では、3Dメモリデバイスは、ソースコンタクトの上方にあり、ソースコンタクトに電氣的に接続された相互接続層をさらに含む。いくつかの実施形態では、相互接続層は、第1のソースコンタクトに接触する第1の相互接続部と、第2のソースコンタクトに接触する第2の相互接続部とを含む。

30

【0209】

いくつかの実施形態では、3Dメモリデバイスは、P型ドーブ半導体層を貫通する第1のコンタクトをさらに含む。いくつかの実施形態によれば、P型ドーブ半導体層は、少なくとも第1のソースコンタクト、第1の相互接続部、および第1のコンタクトを介して、周辺回路に電氣的に接続される。いくつかの実施形態では、3Dメモリデバイスは、P型ドーブ半導体層を貫通する第2のコンタクトをさらに含む。いくつかの実施形態によれば、Nウェルは、少なくとも第2のソースコンタクト、第2の相互接続部、および第2のコンタクトを介して、周辺回路に電氣的に接続される。

40

【0210】

本開示のさらに別の態様によれば、3Dメモリデバイスは、第1の半導体構造と、第2の半導体構造と、第1の半導体構造と第2の半導体構造との間の接合インターフェイスと、を含む。第1半導体構造は、周辺回路を含む。第2の半導体構造は、交互配置された導電層および誘電体層を含むメモリスタックと、P型ドーブ半導体層と、P型ドーブ半導体層内のNウェルと、各々がメモリスタックを貫通してP型ドーブ半導体層内に垂直に延在し、周辺回路に電氣的に接続された複数のチャンネル構造と、金属シリサイド層および複数のチャンネル構造を電氣的に接続する金属層を含む導電層と、を含む。

【0211】

50

いくつかの実施形態では、P型ドープ半導体層の厚さは約50nm未満である。

【0212】

いくつかの実施形態では、チャンネル構造の各々は、メモリ膜および半導体チャンネルを含み、金属シリサイド層は、複数のチャンネル構造の半導体チャンネルに接触している。

【0213】

いくつかの実施形態では、チャンネル構造の各々は、メモリ膜および半導体チャンネルを含み、金属層は、複数のチャンネル構造の半導体チャンネルに接触している。

【0214】

いくつかの実施形態では、第2の半導体構造は、複数のチャンネル構造を複数のブロックに分離するために、メモリストックを貫通して垂直に延在し、横方向に延在する絶縁構造をさらに含む。

10

【0215】

いくつかの実施形態では、絶縁構造は、P型ドープ半導体層内に垂直に延在していない。

【0216】

いくつかの実施形態では、第2の半導体構造は、P型ドープ半導体層に接触する第1のソースコンタクトと、Nウェルに接触する第2のソースコンタクトと、をさらに含む。

【0217】

いくつかの実施形態では、第2の半導体構造は、第1のソースコンタクトに接触する第1の相互接続部と、第2のソースコンタクトに接触する第2の相互接続部と、を含む相互接続層をさらに含む。

20

【0218】

いくつかの実施形態では、3Dメモリデバイスは、P型ドープ半導体層を貫通する第1のコンタクトをさらに含む。いくつかの実施形態によれば、P型ドープ半導体層は、少なくとも第1のソースコンタクト、第1の相互接続部、および第1のコンタクトを介して、周辺回路に電氣的に接続される。いくつかの実施形態では、3Dメモリデバイスは、P型ドープ半導体層を貫通する第2のコンタクトをさらに含む。いくつかの実施形態によれば、Nウェルは、少なくとも第2のソースコンタクト、第2の相互接続部、および第2のコンタクトを介して、周辺回路に電氣的に接続される。

【0219】

いくつかの実施形態では、チャンネル構造の各々は、P型ドープ半導体層を超えて延在していない。

30

【0220】

特定の実施形態の前述の説明は、本開示の一般的な性質を明らかにするので、他者は、当業者の技術の範囲内で知識を適用することによって、本開示の一般的な概念から逸脱することなく、過度の実験を行うことなく、そのような特定の実施形態を様々な用途に容易に修正および/または適合できる。したがって、そのような適合および修正は、本明細書に提示された教示および指示に基づいて、開示された実施形態の同等物の意味および範囲内にあることが意図されている。本明細書の表現または用語は、本明細書の用語または表現が教示および指示に照らして当業者によって解釈されるように、限定ではなく説明を目的とするものであることを理解されたい。

40

【0221】

本開示の実施形態は、指定された機能およびその関係の実装を示す機能的構成要素を用いて上述されている。これらの機能的構成要素の境界は、説明の便宜上、本明細書では任意に定義されている。指定された機能およびそれらの関係が適切に実行される限り、代替の境界を定義することができる。

【0222】

発明の概要および要約の部分は、発明者によって企図される本開示のすべてではないが1つまたは複数の例示的な実施形態を記載することができ、したがって、本開示および添付の特許請求の範囲を決して限定することを意図するものではない。

【0223】

50

本開示の幅および範囲は、上述の例示的な実施形態のいずれによっても限定されるべきではなく、以下の特許請求の範囲およびそれらの同等物に従ってのみ定義されるべきである。

【図面】

【図 1 A】

【図 1 B】

100

150

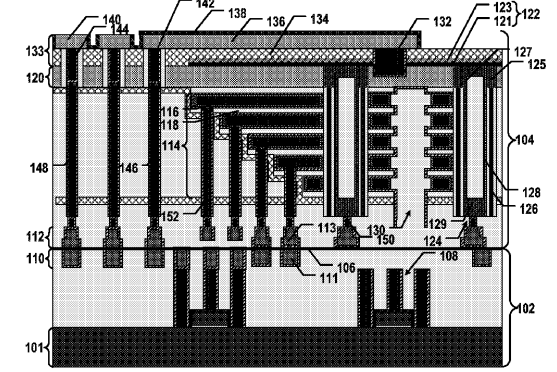
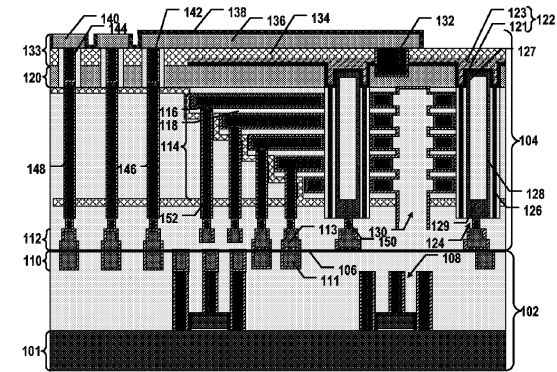


FIG. 1A

FIG. 1B

【図 1 C】

【図 2 A】

160

200

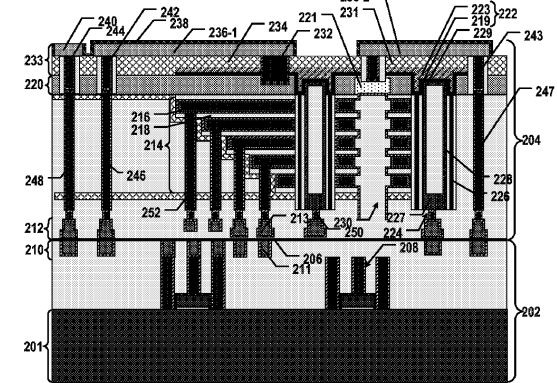
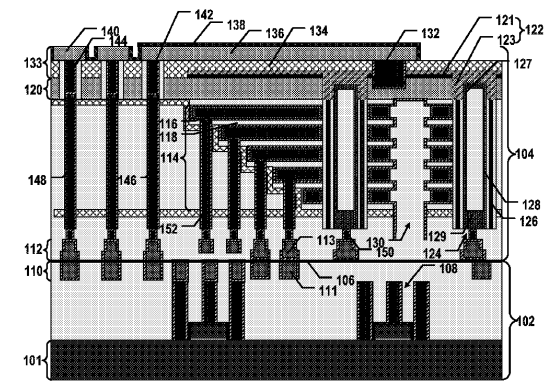


FIG. 1C

FIG. 2A

10

20

30

40

50

【 図 2 B 】

250

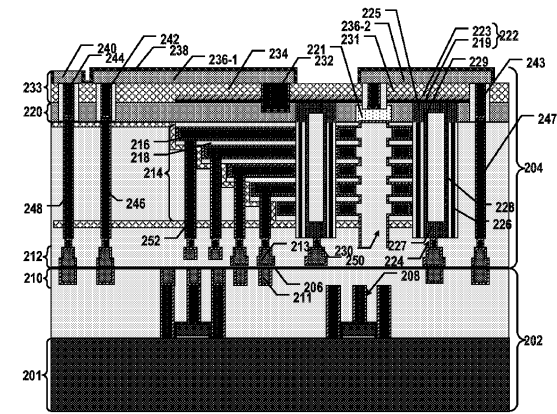


FIG. 2B

【 図 2 C 】

260

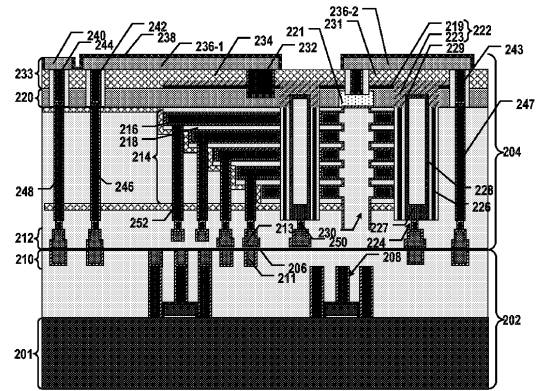


FIG. 2C

10

20

【 図 3 A 】

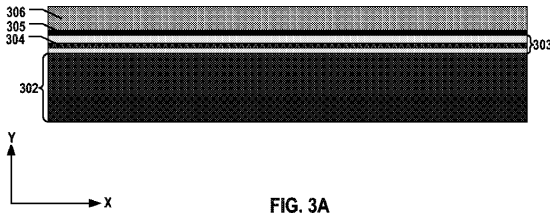


FIG. 3A

【 図 3 B 】

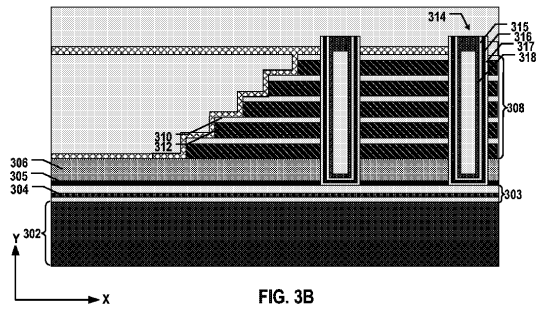


FIG. 3B

30

40

50

【図 3 C】

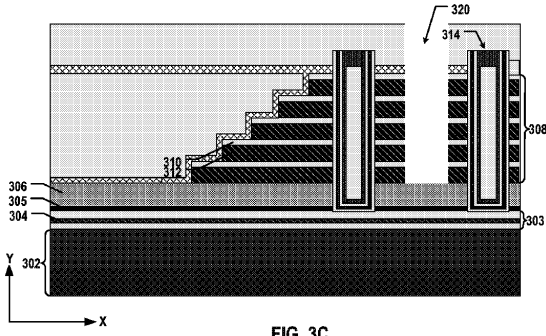


FIG. 3C

【図 3 D】

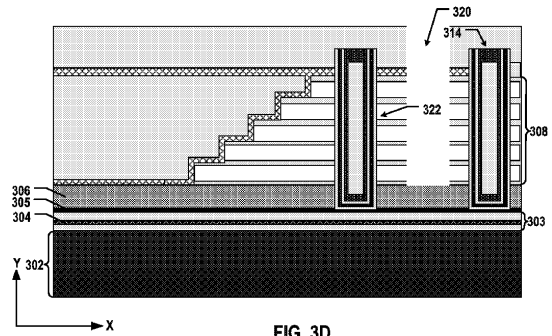


FIG. 3D

10

【図 3 E】

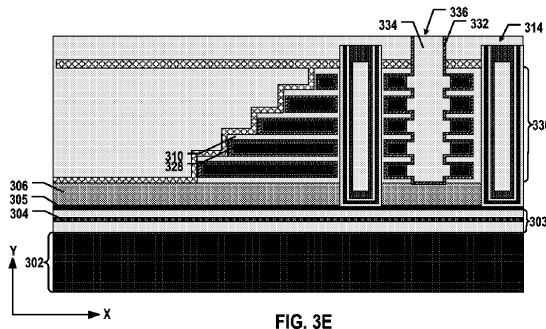


FIG. 3E

【図 3 F】

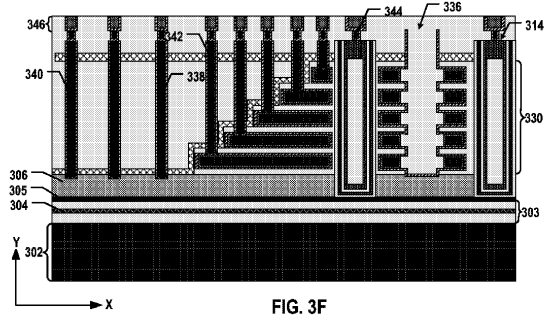


FIG. 3F

20

30

40

50

【 3 G 】

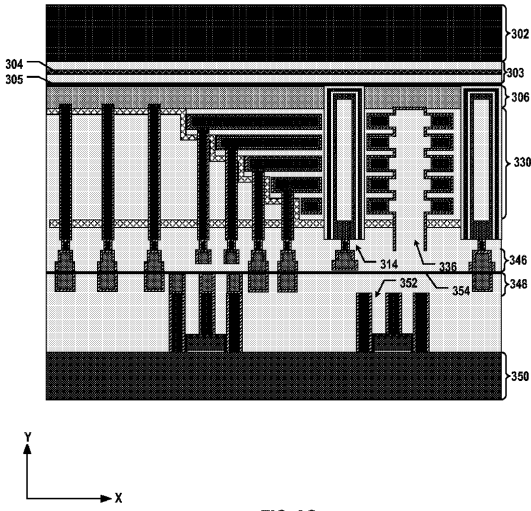


FIG. 3G

【 3 H 】

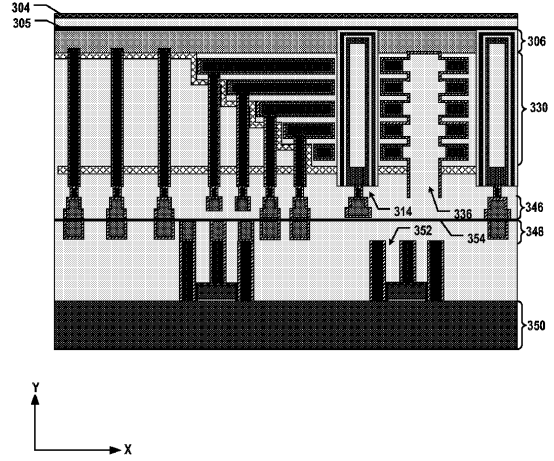


FIG. 3H

10

【 3 I 】

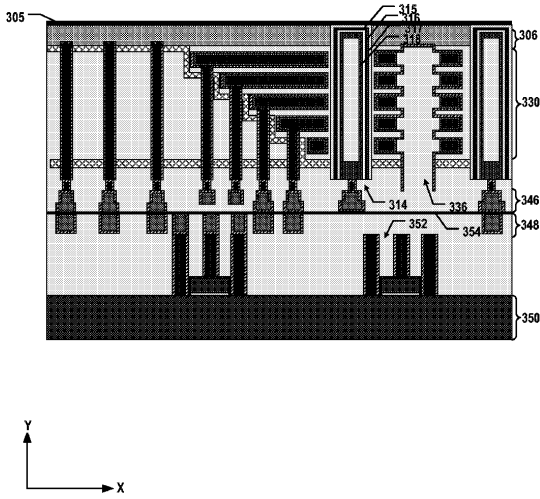


FIG. 3I

【 3 J 】

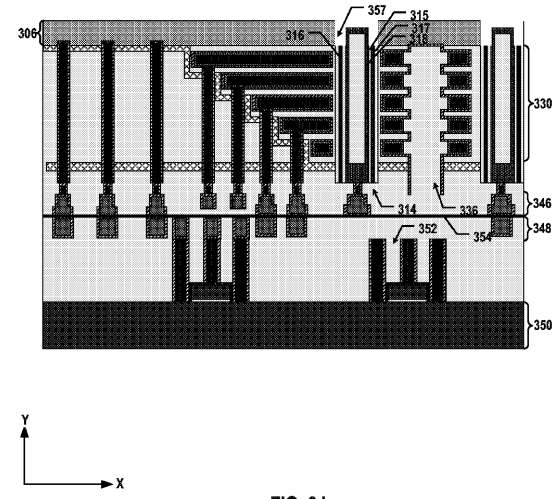


FIG. 3J

20

30

40

50



【 3 O 】

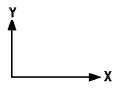
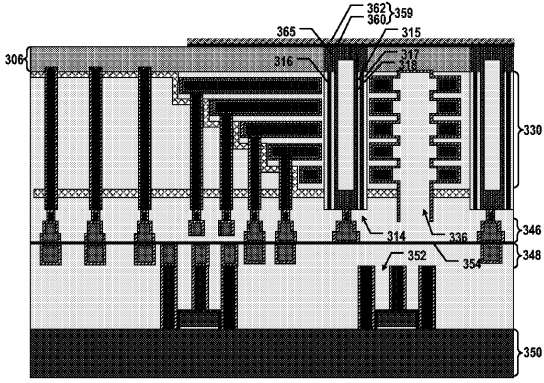


FIG. 3O

【 3 P 】

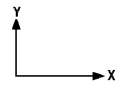
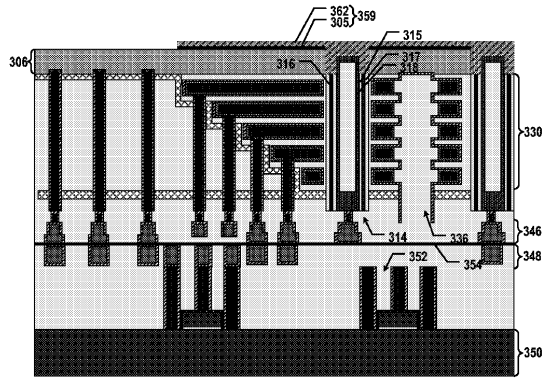


FIG. 3P

10

【 4 A 】

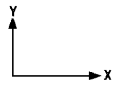
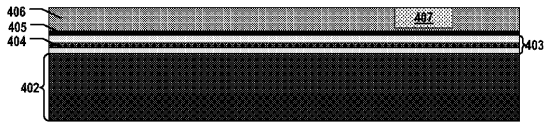


FIG. 4A

【 4 B 】

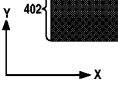
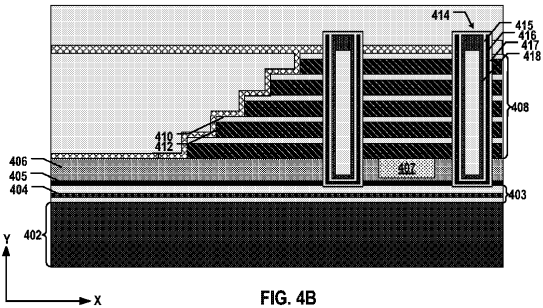


FIG. 4B

20

30

40

50

【 4 C 】

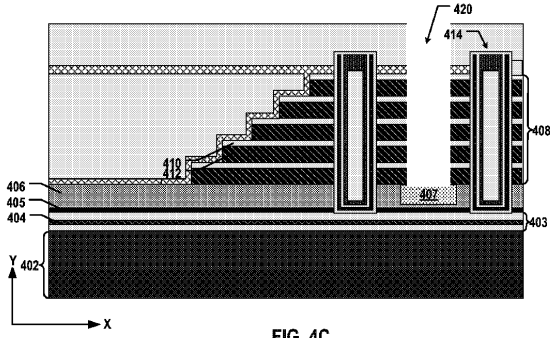


FIG. 4C

【 4 D 】

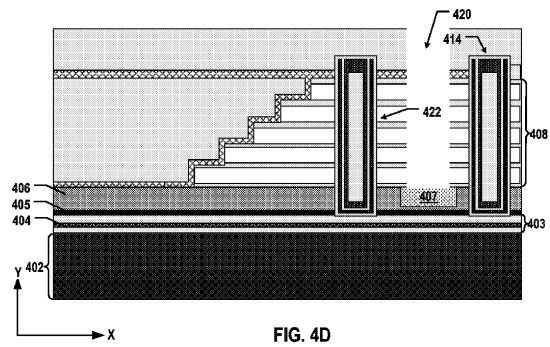


FIG. 4D

10

【 4 E 】

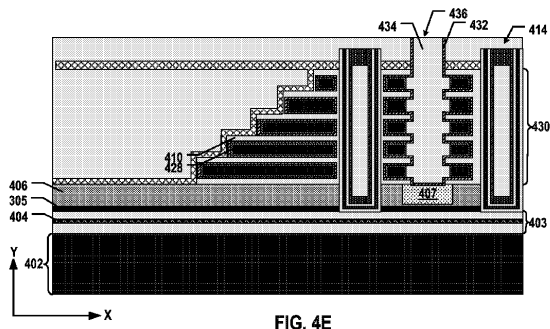


FIG. 4E

【 4 F 】

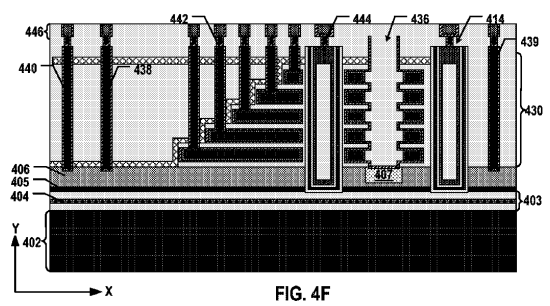


FIG. 4F

20

【 4 G 】

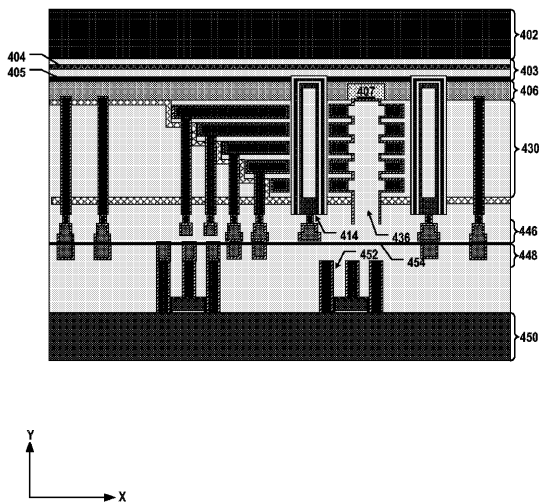


FIG. 4G

【 4 H 】

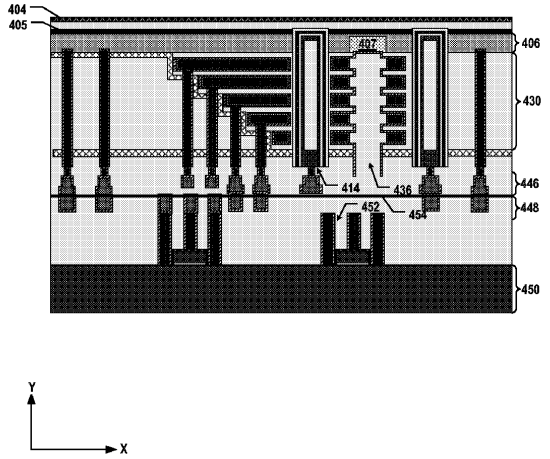


FIG. 4H

30

40

50

【 4 I 】

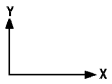
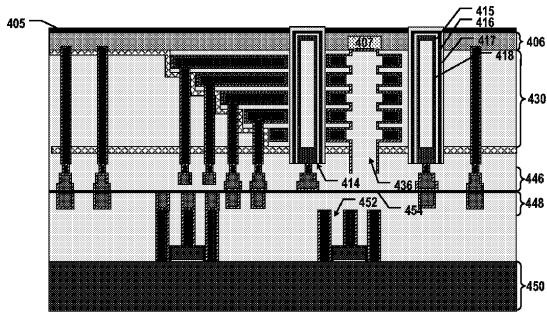


FIG. 4I

【 4 J 】

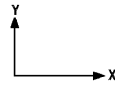
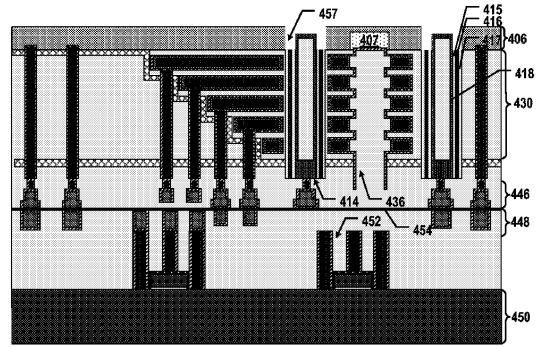


FIG. 4J

10

【 4 K 】

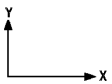
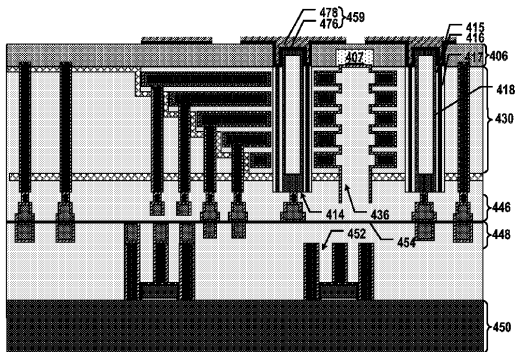


FIG. 4K

【 4 L 】

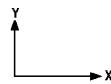
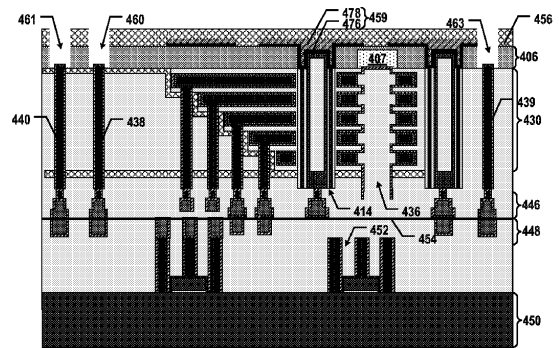


FIG. 4L

20

30

40

50

【 4 M 】

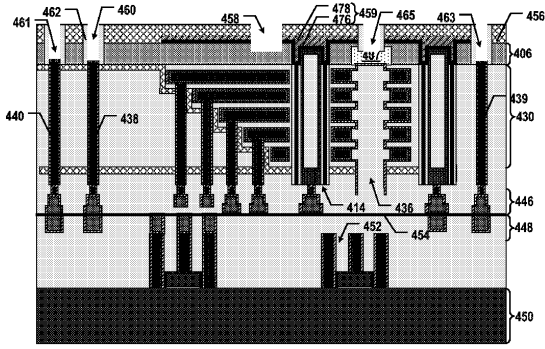
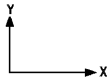


FIG. 4M



【 4 N 】

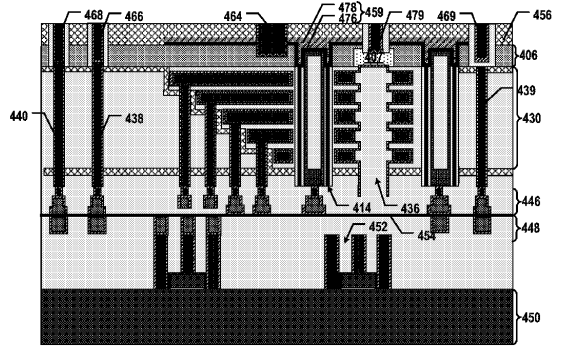
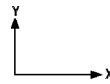


FIG. 4N



10

【 4 O 】

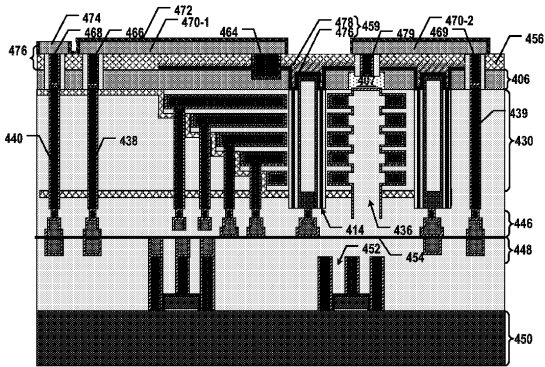
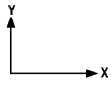


FIG. 4O



【 4 P 】

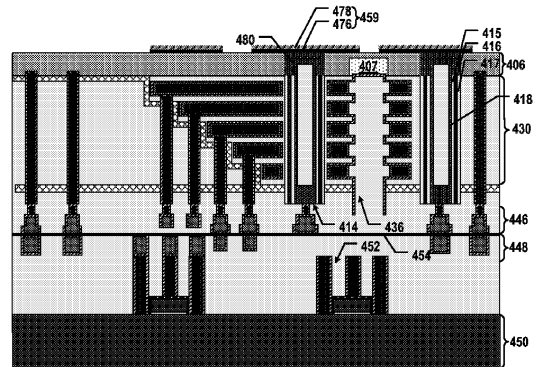


FIG. 4P



20

30

40

50

【図 4 Q】

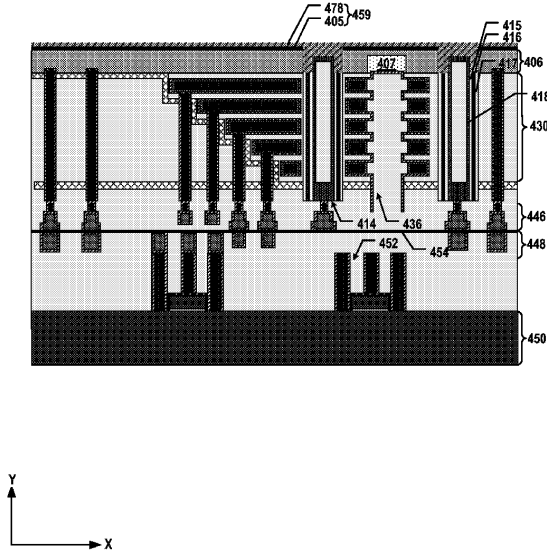
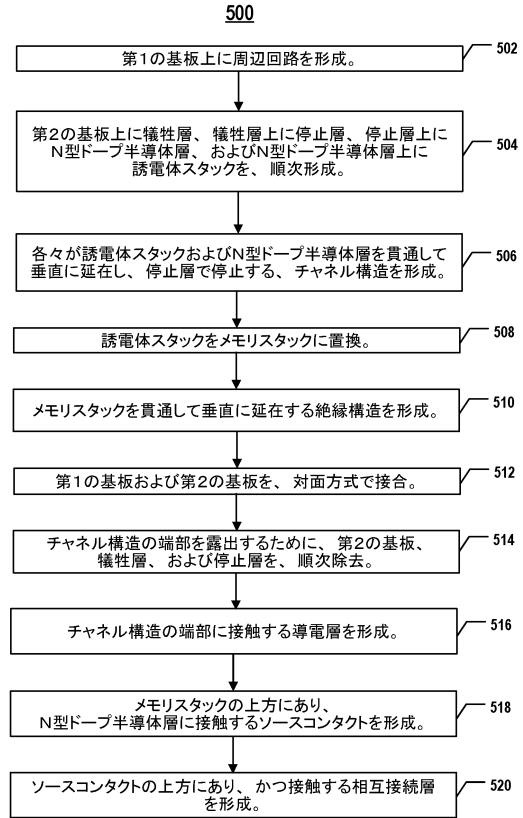


FIG. 4Q

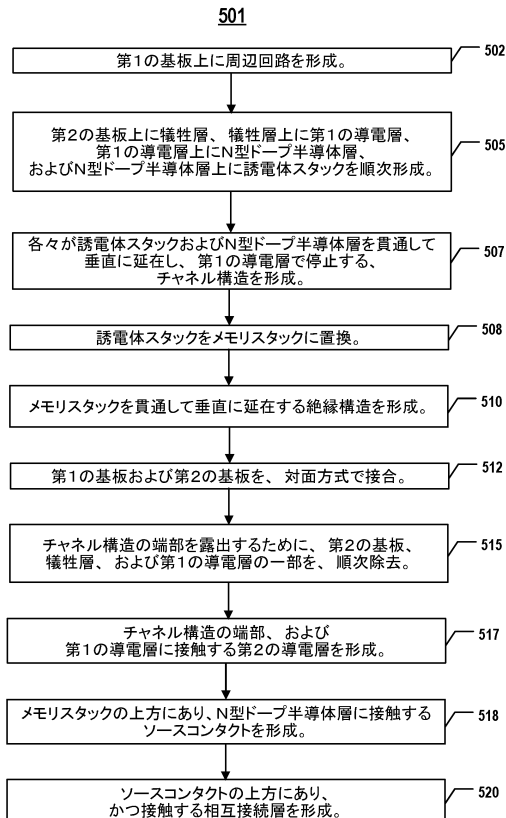
【図 5 A】



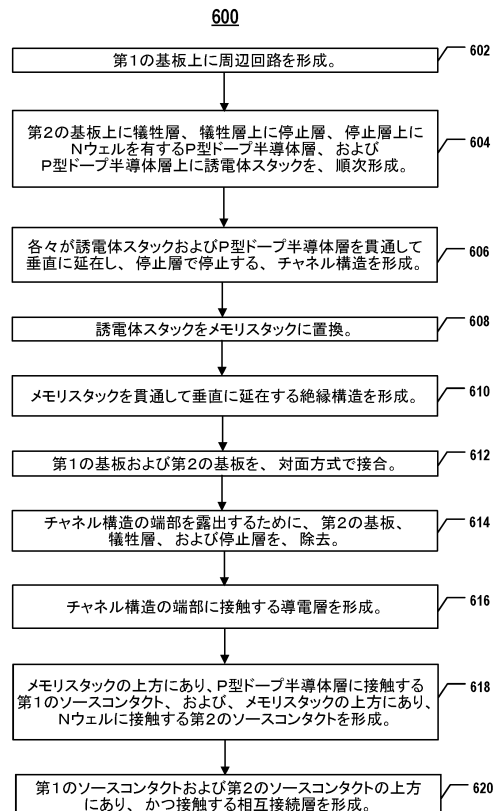
10

20

【図 5 B】



【図 6 A】

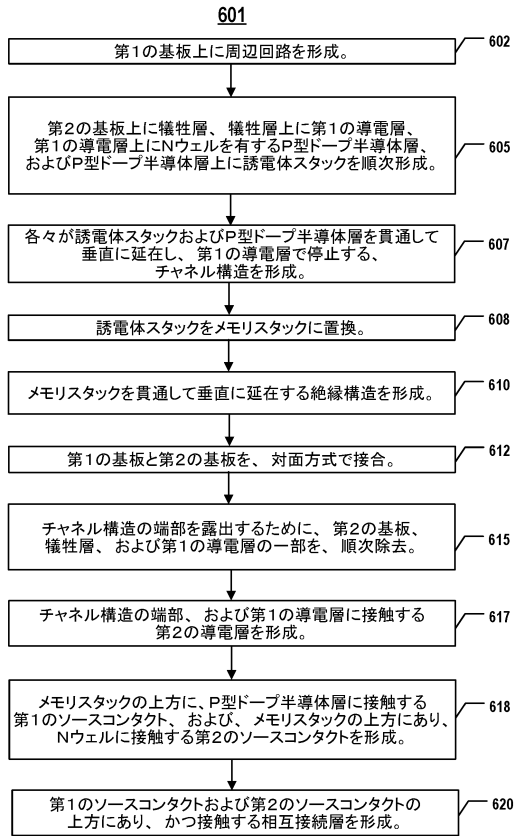


30

40

50

【 図 6 B 】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

H 1 0 B	43/50 (2023.01)	H 1 0 B	43/50	
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/788(2006.01)	H 0 1 L	27/00	3 0 1 B
H 0 1 L	29/792(2006.01)	H 0 1 L	27/00	3 0 1 C
H 0 1 L	27/00 (2006.01)	H 0 1 L	27/088	E
H 0 1 L	21/8234(2006.01)			
H 0 1 L	27/088(2006.01)			

## (33)優先権主張国・地域又は機関

中国(CN)

(31)優先権主張番号 PCT/CN2020/092504

(32)優先日 令和2年5月27日(2020.5.27)

## (33)優先権主張国・地域又は機関

中国(CN)

(31)優先権主張番号 PCT/CN2020/092506

(32)優先日 令和2年5月27日(2020.5.27)

## (33)優先権主張国・地域又は機関

中国(CN)

(31)優先権主張番号 PCT/CN2020/092512

(32)優先日 令和2年5月27日(2020.5.27)

## (33)優先権主張国・地域又は機関

中国(CN)

(31)優先権主張番号 PCT/CN2020/092513

(32)優先日 令和2年5月27日(2020.5.27)

## (33)優先権主張国・地域又は機関

中国(CN)

、ウーハン、イースト レイク ハイ - テク デベロップメント ゾーン、ナンバー 88 ウェイライ  
サード ロード

審査官 宮本 博司

## (56)参考文献

特開 2 0 1 4 - 1 8 7 3 2 1 ( J P , A )

特開 2 0 1 3 - 0 9 3 5 7 7 ( J P , A )

中国特許出願公開第 1 0 9 6 8 6 7 3 9 ( C N , A )

中国特許出願公開第 1 0 9 8 6 0 1 9 7 ( C N , A )

## (58)調査した分野 (Int.Cl., D B 名)

H 1 0 B 4 3 / 2 7

H 0 1 L 2 1 / 3 3 6

H 1 0 B 4 3 / 5 0

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 0

H 1 0 B 4 1 / 2 7

H 1 0 B 4 1 / 5 0

H 1 0 B 4 3 / 4 0

H 1 0 B 4 1 / 4 0