【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和4年5月18日(2022.5.18)

【国際公開番号】WO2019/229593
【出願番号】特願2020-521636(P2020-521636)
【国際特許分類】
H01L 29/786(2006.01)
H01L 21/822(2006.01)
H01L 21/8234(2006.01)
H01L 27/088(2006.01)
H01L 21/8242(2006.01)
H01L 27/1156(2017.01)
H01L 21/336(2006.01)
【FI】
H01L 29/78 614
H01L 29/78 618B
H01L 29/78 617N
H01L 27/04 F
H01L 27/04 B
H01L 27/04 G
H01L 27/06 102A
H01L 27/088 E
H01L 27/088331E
H01L 27/088 J
H01L 27/1083 21
H01L 27/1156
H01L 29/78 371

【手続補正書】
【提出日】令和4年5月10日(2022.5.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１電流源回路と、第２電流源回路と、を有し、
前記第２電流源回路は、前記第１電流源回路と同一の構成を有し、
前記第１電流源回路は、第１乃至第４トランジスタと、第１容量素子と、第２容量素子と、第１乃至第３ノードと、を有し、
前記第１トランジスタの第１端子は、前記第２トランジスタの第１端子と、前記第１ノードと、に電気的に接続され、
前記第１トランジスタのバックゲートは、前記第３トランジスタの第１端子と、前記第１容量素子の第１端子と、に電気的に接続され、
前記第３トランジスタの第２端子は、前記第２ノードに電気的に接続され、
前記第１トランジスタのゲートは、前記第３ノードに電気的に接続され、
前記第１容量素子の第２端子は、前記第１トランジスタの第２端子に電気的に接続され、
前記第２トランジスタのゲートは、前記第４トランジスタの第１端子と、前記第２容量素

子の第１端子と、に電気的に接続され、
前記第２容量素子の第２端子は、前記第２トランジスタの第１端子に電気的に接続され、
前記第１電流源回路は、
前記第３トランジスタがオン状態のときに、前記第２ノードから前記第１トランジスタのバックゲートに第１補正電圧を書き込んで、前記第１トランジスタのしきい値電圧を変動させる機能と、
前記第３トランジスタがオフ状態のときに、前記第１容量素子によって前記第１トランジスタの第２端子とバックゲートとの間の電圧を保持する機能と、を有し、
前記第１電流源回路の前記第１ノードは、前記第１電流源回路の前記第３ノードと、前記第２電流源回路の前記第３ノードと、に電気的に接続されている、半導体装置。
【請求項２】
第１電流源回路と、第２電流源回路と、を有し、
前記第２電流源回路は、前記第１電流源回路と同一の構成を有し、
前記第１電流源回路は、第１乃至第５トランジスタと、第１容量素子と、第２容量素子と、第１乃至第５ノードと、を有し、
前記第１トランジスタの第１端子は、前記第５トランジスタの第１端子と、前記第５ノードと、に電気的に接続され、
前記第２トランジスタの第１端子は、前記第５トランジスタの第２端子と、前記第１ノードと、に電気的に接続され、
前記第１トランジスタのバックゲートは、前記第３トランジスタの第１端子と、前記第１容量素子の第１端子と、に電気的に接続され、
前記第３トランジスタの第２端子は、前記第２ノードに電気的に接続され、
前記第１トランジスタのゲートは、前記第３ノードに電気的に接続され、
前記第１容量素子の第２端子は、前記第１トランジスタの第２端子に電気的に接続され、
前記第５トランジスタのゲートは、前記第４ノードに電気的に接続され、
前記第２トランジスタのゲートは、前記第４トランジスタの第１端子と、前記第２容量素子の第１端子と、に電気的に接続され、
前記第２容量素子の第２端子は、前記第２トランジスタの第１端子に電気的に接続され、
前記第１電流源回路は、
前記第３トランジスタがオン状態のときに、前記第２ノードから前記第１トランジスタのバックゲートに第１補正電圧が書き込まれることで、前記第１トランジスタのしきい値電圧を変動させる機能と、
前記第３トランジスタがオフ状態のときに、前記第１容量素子によって前記第１トランジスタの第２端子とバックゲートとの間の電圧を保持する機能と、を有し、
前記第１電流源回路の前記第１ノードは、前記第１電流源回路の前記第４ノードと、前記第２電流源回路の前記第４ノードと、に電気的に接続され、
前記第１電流源回路の前記第５ノードは、前記第１電流源回路の前記第３ノードと、前記第２電流源回路の前記第３ノードと、に電気的に接続されている、半導体装置。
【請求項３】
請求項２において、
前記第１電流源回路は、第６トランジスタを有し、
前記第６トランジスタの第１端子は、前記第１トランジスタの第１端子に電気的に接続され、
前記第５トランジスタをオフ状態にし、前記第６トランジスタをオン状態にして、前記第１トランジスタの第２端子と前記第６トランジスタの第２端子との間に流れる電流をモニターすることで、前記電流に応じて前記第１補正電圧を定める機能を有する、半導体装置。
【請求項４】
請求項１乃至請求項３のいずれか一において、
第１回路と、第２回路と、読み出し回路を有し、

前記第１回路は、前記第１電流源回路の前記第１ノードに電気的に接続され、
前記第２回路は、前記第２電流源回路の前記第１ノードに電気的に接続され、
前記読み出し回路は、前記第２電流源回路の前記第１ノードに電気的に接続され、
前記第１回路は、前記第１電流源回路の前記第１ノードから第１電流、又は第２電流を吸出する機能を有し、
前記第２回路は、前記第２電流源回路の前記第１ノードから第３電流、又は第４電流を吸出する機能を有し、
前記第１電流源回路の前記第２トランジスタは、前記第１電流源回路の前記第１ノードから前記第１電流が吸出されたときに、前記第１電流源回路の前記第２トランジスタのゲート‐ソース電圧に応じた、第５電流を流す機能を有し、
前記第１電流源回路の前記第１トランジスタは、
前記第１電流源回路の前記第１ノードから前記第１電流が吸出されたときに、前記第５電流と前記第１電流との第１差分電流を流す機能と、
前記第１電流源回路の前記第１ノードから前記第２電流が吸出されたときに、前記第５電流と前記第２電流との第２差分電流を流す機能と、を有し、
前記第２電流源回路の前記第１トランジスタは、
前記第１電流源回路の前記第１ノードから前記第１電流が吸出されたときに、前記第１差分電流を流す機能と、
前記第１電流源回路の前記第１ノードから前記第２電流が吸出されたときに、前記第２差分電流を流す機能と、を有し、
前記第２電流源回路の前記第２トランジスタは、前記第２電流源回路の前記第１ノードから前記第３電流及び前記第１差分電流が吸出されたときに、前記第２電流源回路の前記第２トランジスタのゲート‐ソース電圧に応じた、第６電流を流す機能を有し、
前記第１電流源回路の前記第１ノードから吸出されている前記第１電流が前記第２電流に変動し、かつ前記第２電流源回路の前記第１ノードから吸出されている前記第３電流が前記第４電流に変動したとき、前記読み出し回路は、前記第６電流から、前記第２差分電流と前記第４電流との和を差し引いた第７電流を吸出する機能を有する、半導体装置。
【請求項５】
請求項４において、
前記第２回路は、前記第１回路と同一の構成を有し、
前記第１回路は、第７トランジスタと、第８トランジスタと、第３容量素子と、を有し、
前記第７トランジスタのゲートは、前記第８トランジスタの第１端子と、前記第３容量素子の第１端子と、に電気的に接続され、
前記第１回路の前記第７トランジスタの第１端子は、前記第１電流源回路の前記第１ノードに電気的に接続され、
前記第２回路の前記第７トランジスタの第１端子は、前記第２電流源回路の前記第１ノードに電気的に接続され、
前記第１回路の前記第７トランジスタは、
前記第１回路の前記第７トランジスタのゲートに第１電位が印加され、かつ前記第３容量素子の第２端子に第２電位が印加されたときに、前記第１電流を流す機能と、
前記第１回路の前記第７トランジスタのゲートに前記第１電位が印加され、かつ前記第３容量素子の第２端子に第３電位が印加されたときに、前記第２電流を流す機能と、を有し、
前記第２回路の前記第７トランジスタは、
前記第２回路の前記第７トランジスタのゲートに第４電位が印加され、かつ前記第３容量素子の第２端子に前記第２電位が印加されたときに、前記第３電流を流す機能と、
前記第２回路の前記第７トランジスタのゲートに前記第４電位が印加され、かつ前記第３容量素子の第２端子に前記第３電位が印加されたときに、前記第４電流を流す機能と、を有し、
前記第１電位と前記第４電位との差は、第１データに応じた電位差であり、

前記第２電位と前記第３電位との差は、第２データに応じた電位差であり、
前記第７電流は、前記第１データと前記第２データとの積に応じた電流である、半導体装置。
【請求項６】
請求項１乃至請求項５のいずれか一において、
前記第１電流源回路は、第５容量素子を有し、
前記第５容量素子の第１端子は、前記第２トランジスタのゲートに電気的に接続されている、半導体装置。
【請求項７】
請求項１乃至請求項５のいずれか一において、
前記第１回路は、第１０トランジスタを有し、
前記第１０トランジスタのソースとドレインとは、互いに電気的に接続され、
前記第１０トランジスタのゲート、又は、ソースの一方は、前記第２トランジスタのゲートに電気的に接続され、
前記第１０トランジスタのチャネル幅は、前記第４トランジスタのチャネル幅の０．５倍以下である、半導体装置。
【請求項８】
請求項１乃至請求項７のいずれか一の半導体装置に含まれている全てのトランジスタは、チャネル形成領域に金属酸化物を有し、かつ互いに同一の極性である、半導体装置。