

이 발명을 지원한 국가연구개발사업

과제고유번호 2009-0084522

부처명 교육과학기술부

연구관리전문기관

연구사업명 기초연구사업

연구과제명 저전력 나노 전기기계 비휘발성 메모리 소자 개발

기여율

주관기관 서강대학교산학협력단

연구기간 2009년 09월 01일 ~ 2012년 08월 31일

특허청구의 범위

청구항 1

소정의 평탄면을 갖는 기관;

상기 기관 상에서 x축 방향으로 형성된 하부 보조 워드라인;

상기 하부 보조 워드라인과 수직으로 이격되며 y축 방향으로 형성된 비트라인;

상기 비트라인과 절연되며 수평으로 이웃하여 y축 방향으로 형성된 주요 워드라인;

상기 주요 워드라인의 하부에 형성된 하부 절연막;

상기 비트라인에 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 x축 방향으로 부양되도록 형성된 하부 캔틸레버 전극; 및

상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 층간절연막을 포함하여 구성된 것을 특징으로 하는 전기기계 메모리 소자.

청구항 2

제 1 항 에 있어서,

상기 주요 워드라인은 상기 비트라인 좌우 양측에 형성된 좌측 주요 워드라인과 우측 주요 워드라인으로 구성되고,

상기 하부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 하부에 형성된 하부 좌측 절연막과 하부 우측 절연막으로 구성되고,

상기 하부 보조 워드라인은 상기 하부 좌측 절연막, 상기 비트라인 및 상기 하부 우측 절연막과 수직으로 이격되며 x축 방향으로 형성되고,

상기 하부 캔틸레버 전극은 상기 비트라인의 하측에 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기 하부 좌측 절연막 사이 및 상기 하부 보조 워드라인과 상기 하부 우측 절연막 사이에서 서로 반대 방향으로 부양되도록 형성된 하부 좌측 캔틸레버 전극과 하부 우측 캔틸레버 전극으로 구성되고,

상기 층간절연막은 상기 비트라인, 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인을 지지하며 서로 절연시키는 것을 특징으로 하는 전기기계 메모리 소자.

청구항 3

소정의 평탄면을 갖는 기관;

상기 기관 상에서 y축 방향으로 형성된 비트라인;

상기 비트라인과 절연되며 수평으로 이웃하여 y축 방향으로 형성된 주요 워드라인;

상기 주요 워드라인의 상부에 형성된 상부 절연막;

상기 비트라인 및 상기 상부 절연막과 수직으로 이격되며 x축 방향으로 형성된 상부 보조 워드라인;

상기 비트라인에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이에서 x축 방향으로 부양되도록 형성된 상부 캔틸레버 전극; 및

상기 상부 보조 워드라인을 지지하며 상기 비트라인 및 상기 주요 워드라인을 서로 절연시키는 층간절연막을 포함하여 구성된 것을 특징으로 하는 전기기계 메모리 소자.

청구항 4

제 3 항에 있어서,

상기 주요 워드라인은 상기 비트라인 좌우 양측에 형성된 좌측 주요 워드라인과 우측 주요 워드라인으로 구성되고,

상기 상부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 상부에 형성된 상부 좌측 절연막과 상부 우측 절연막으로 구성되고,

상기 상부 보조 워드라인은 상기 상부 좌측 절연막, 상기 비트라인 및 상기 상부 우측 절연막과 수직으로 이격되며 x축 방향으로 형성되고,

상기 상부 캔틸레버 전극은 상기 비트라인의 상측에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 좌측 절연막 사이 및 상기 상부 보조 워드라인과 상기 상부 우측 절연막 사이에서 서로 반대 방향으로 분할되도록 형성된 상부 좌측 캔틸레버 전극과 상부 우측 캔틸레버 전극으로 구성되고,

상기 층간절연막은 상기 비트라인, 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인을 서로 절연시키는 것을 특징으로 하는 전기기계 메모리 소자.

청구항 5

제 4 항에 있어서,

상기 상부 좌측 절연막 및 상기 상부 우측 절연막은 각각 전하가 저장되어 있지 않아 휘발성 메모리 특성을 갖는 것을 특징으로 하는 전기기계 메모리 소자.

청구항 6

제 4 항에 있어서,

상기 상부 좌측 절연막 및 상기 상부 우측 절연막은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성된 것을 특징으로 하는 전기기계 메모리 소자.

청구항 7

제 6 항에 있어서,

상기 전하트랩층은 실리콘 질화막인 것을 특징으로 하는 전기기계 메모리 소자.

청구항 8

제 4 항에 의한 전기기계 메모리 소자의 동작방법에 있어서,

쓰기 동작시는 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고,

읽기 동작시는 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

청구항 9

제 8 항에 있어서,

지우고자 하는 블록을 지나가는 상부 보조 워드라인 및 비트라인에는 모두 동일한 기준전압 V_{REF} 을 인가하고,

상기 블록을 지나가는 좌측 주요 워드라인 및 우측 주요 워드라인은 모두 상기 기준전압 V_{REF} 보다 충분히 높거나 충분히 낮은 전압 V_{ERS} 을 인가하여, 상기 블록을 한꺼번에 지우기 동작을 하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

청구항 10

제 9 항에 있어서,

상기 지우기 동작이 수행된 블록에 있는 특정 셀의 일측에 '1'을 쓰기 위하여 상기 셀이 공유하는 비트라인에는 음의 전압을, 상기 셀의 일측을 지나가는 주요 워드라인과 보조 워드라인에는 양의 전압을 각각 인가하고, 나머지 라인들은 접지전압을 인가하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

청구항 11

제 10 항에 있어서,

특정 셀의 일측 상태를 읽기 위하여 상기 셀이 공유하는 비트라인에는 접지전압을, 상기 셀의 일측을 지나가는 보조 워드라인에는 충분히 높은 전압 V_{PGM} 을, 상기 셀의 타측을 지나가는 주요 워드라인에는 상기 접지전압보다 높고 상기 전압 V_{PGM} 보다 낮은 전압 V_{UNS} 을 각각 인가하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

청구항 12

기판 상에 y축 방향으로 좌측 주요 워드라인/상부 좌측 절연막 및 우측 주요 워드라인/상부 우측 절연막을 각각 순차적으로 적층 형성하는 제 1 단계;

상기 기판 전면에 제 1 층간절연막을 증착하고 평탄화시키는 제 2 단계;

상기 기판 전면에 제 1 희생막을 증착하고, 상기 제 1 희생막 및 상기 제 1 층간절연막을 순차 식각하여 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 사이에 y축 방향으로 비트라인을 형성하는 제 3 단계;

상기 기판 전면에 캔틸레버 전극물질을 증착하고, 상기 캔틸레버 전극물질 및 상기 제 1 희생막을 순차 식각하여 x축 방향으로 복수개의 캔틸레버 전극을 형성하는 제 4 단계;

상기 각 캔틸레버 전극을 둘러싸며 제 2 희생막을 형성하고, 상기 기판 전면에 제 2 층간절연막을 증착하고, 상기 제 2 희생막이 드러나도록 평탄화시키는 제 5 단계;

상기 제 2 층간절연막 및 상기 제 2 희생막 상에 x축 방향으로 상부 보조 워드라인을 형성하는 제 6 단계;

상기 기판 전면에 제 3 층간절연막을 증착하고 식각하여 상기 비트라인 상의 상기 제 2 희생막이 드러나도록 트렌치를 형성하는 제 7 단계;

상기 트렌치를 통하여 상기 제 1 희생막 및 상기 제 2 희생막을 제거하는 제 8 단계; 및

상기 기판 전면에 제 4 층간절연막을 증착하고 평탄화시키는 제 9 단계를 포함하여 구성된 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

청구항 13

제 12 항에 있어서,

상기 제 1 희생막 및 상기 제 2 희생막은 실리콘계물질이고,

상기 제 1 희생막 및 상기 제 2 희생막의 제거는 등방성 식각용액 또는 등방성 반응 가스를 이용하는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 상부 보조 워드라인 및 상기 복수개의 캔틸레버 전극은 서로 동일한 선폭을 갖는 것을 특징으로 하는 전기 기계 메모리 소자의 제조방법.

청구항 15

제 15 항에 있어서,

상기 제 4 층간절연막은 상기 상부 보조 워드라인 상에서 평탄화되어 다음층의 기판으로 사용하여 상기 제 1 단계 내지 상기 제 9 단계를 반복하며 2개 이상의 층으로 적층하는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 도전성 캔틸레버 빔(conductive cantilever beam; 이하, '캔틸레버 전극'이라 함)을 이용한 전기기계 메모리(electro-mechanical memory) 소자와 그 동작방법 및 제조방법에 관한 것으로, 더욱 상세하게는 하나의 셀에 2 비트까지 구현이 가능한 "ㄱ형" 또는 "T형" 전기기계 메모리 소자와 그 동작방법 및 제조방법에 관한 것이다.

배경기술

[0002] 최근 고용량, 저전력 메모리 칩에 대한 시장의 수요는 폭발적으로 증가하고 있다. 따라서 DRAM을 비롯한 휘발성 메모리와 flash 메모리와 같은 비휘발성 메모리 기술은 비약적으로 발전하여 소자의 축소화가 가속되고 있는 형국이다.

[0003] 그러나, 메모리 소자의 크기가 수십 나노미터의 영역으로 축소화됨에 따라 칩면적의 한계, 높은 쓰기/지우기 전압, 낮은 쓰기/지우기 속도, 낮은 센싱 마진, 기존 CMOS 칩과의 집적의 어려움 등의 문제가 커지고 있고 이는 더 이상의 메모리 소자 축소화를 어렵게 하고 있다.

[0004] 이를 극복하기 위하여 최근 다양한 메모리 소자가 연구되고 있다. 특히, 그 중에서도 반도체 소자가 아닌 기계적으로 움직이는 소자를 이용하여 메모리를 구현하려는 전기기계 메모리 소자에 대한 연구가 최근 활발히 진행되고 있다.

[0005] 그 대표적인 것이 도 1 및 도 2에 도시된 구조를 갖는 비휘발성 전기기계 메모리 소자이다.

[0006] 도 1은 PCT 공개번호 제2007/130919호(이하, '선행기술 1'이라 함)에 개시된 것으로, 상부에 읽기 워드라인(172), 중앙부 갭(188) 사이에 비트라인(174)과 연결된 가요성 기계적 빔(176), 하부에 쓰기 워드라인(186)이 있는 3층의 금속선으로 구성되어 있고, 비휘발성을 위해 쓰기 워드라인(186) 상부에 전하 저장이 가능한 ONO 층(178)이 존재한다.

[0007] 한편, 도 2는 한국 등록특허 제0842730호(이하, '선행기술 2'라 함)에 개시된 것으로, 기본적인 동작 원리는 선행기술 1과 동일하나 집적도를 높이기 위해 별도의 비트라인(220)을 하부에 구현하고 캔틸레버 전극 두개(250 A)가 하나의 패드전극(252)을 공유하고 있다는 구조적 특징만이 존재한다.

[0008] 그러나, 상기 선행기술 1 및 2를 포함한 종래기술은 다음과 같은 문제점 및 한계가 있다.

[0009] 첫째로, 전기기계 메모리 소자는 캔틸레버 전극의 상하 이동으로 정보를 저장하므로 가급적 전극을 얇게 만들고 유연하면서도 피로도에 강한 전극물질을 사용하는 것이 저전력과 고신뢰성 구현에 핵심적인 관건이나, 종래 전

기기계 메모리 소자는 비트라인에 캔틸레버 전극이 형성되는 관계로 캔틸레버 전극을 얇게 하고 새로운 전극물질 사용하게 되면 비트라인이 제대로 형성되지 않거나 높은 저항을 갖게 되는 문제가 있어, 종래기술로는 캔틸레버 전극 디자인의 최적화에 일정한 한계가 있을 수 밖에 없다.

[0010] 둘째로, 고집적 메모리의 구현을 위하여 셀면적의 최소화는 매우 중요하나, 종래 전기기계 메모리 소자는 이에 충분히 부응하지 못하는 문제점이 있다. 예를 들어 선행기술 1의 전기기계 메모리 소자는 비트라인(174)과 가요성 기계적 빔(176)이 동일한 금속층에 형성되어 셀과 셀을 연결하기 위해서 가요성 기계적 빔을 우회하는 비트라인이 형성되어야 하므로, 이는 면적의 손실을 가져온다. 또한 선행기술 2의 전기기계 메모리 소자는 비트라인(220)이 별도의 금속층에 형성되어 비트라인의 우회로 인한 면적손실은 없으나 컨택홀을 형성하여 패드전극(252)에 캔틸레버 전극(250A)이 위치하여야 하는 관계로 정렬오차 등으로 인해 면적의 손실이 발생한다.

[0011] 셋째로, 삼차원 집적 메모리 소자는 1 비트를 저장하기 위해 필요한 셀의 부피도 중요한 고려 요소가 되는데(이는 1 비트의 저장을 위한 면적이 작더라도 높이가 높게 되면 수직 적층이 어려워 고용량 메모리의 구현이 어렵기 때문임), 종래 전기기계 메모리 소자는 1 비트의 저장을 위해 적어도 3층의 금속 라인 층이 필요하여 3 비트를 수직으로 쌓으려면 적어도 9층의 금속선이 필요한 문제점이 있다.

[0012] 또한, 상기 종래기술의 문제점을 해결하고자, 동일 발명자에 의하여 도 3과 같은 H셀 구조를 갖는 전기기계 메모리 소자가 제안되어 한국 특허출원 제10-2009-0074168호로 특허출원된 바 있는데, 이에 의하면 단위 셀당 4비트 저장이 가능하여 고용량의 메모리 구현이 가능한 장점은 있으나, 이러한 구조를 구현하기 위한 공정이 복잡하고, 비트라인 상하로 캔틸레버 빔이 부착되어 동작시 구조적으로 고정대 역할을 하는 비트라인이 상당한 스트레스를 받게 될 수 밖에 없어, 신뢰성 저하를 가져오게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0013] 따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 창안된 것으로, 각 비트라인의 상부 또는 하부에 일측 혹은 좌우 대칭적으로 캔틸레버 전극을 2개까지 형성하고, 상부 보조 워드라인 또는 하부 보조 워드라인을 구비함으로써, 단위셀 당 2 비트까지 구현이 가능하면서도, 비트라인의 스트레스를 최소화 하여 구동 신뢰도를 높이며, 제조 공정의 난이도를 상당히 낮출 수 있는 "ㄱ형" 또는 "T형" 전기기계 메모리 소자와 그 동작방법 및 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0014] 상기 목적을 달성하기 위하여, 본 발명에 의한 전기기계 메모리 소자는 소정의 평탄면을 갖는 기판; 상기 기판 상에서 x축 방향으로 형성된 하부 보조 워드라인; 상기 하부 보조 워드라인과 수직으로 이격되며 y축 방향으로 형성된 비트라인; 상기 비트라인과 절연되며 수평으로 이웃하여 y축 방향으로 형성된 주요 워드라인; 상기 주요 워드라인의 하부에 형성된 하부 절연막; 상기 비트라인에 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 x축 방향으로 부양되도록 형성된 하부 캔틸레버 전극; 및 상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 층간절연막을 포함하여 구성된 것을 특징으로 한다.

[0015] 그리고, 본 발명에 의한 전기기계 메모리 소자의 동작방법은 쓰기 동작시 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고, 읽기 동작시 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 특징으로 한다.

[0016] 한편, 본 발명에 의한 전기기계 메모리 소자의 제조방법은 기판 상에 y축 방향으로 좌측 주요 워드라인/상부 좌측 절연막 및 우측 주요 워드라인/상부 우측 절연막을 각각 순차적으로 적층 형성하는 제 1 단계; 상기 기판 전면에 제 1 층간절연막을 증착하고 평탄화시키는 제 2 단계; 상기 기판 전면에 제 1 회생막을 증착하고, 상기 제 1 회생막 및 상기 제 1 층간절연막을 순차 식각하여 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 사이에 y축 방향으로 비트라인을 형성하는 제 3 단계; 상기 기판 전면에 캔틸레버 전극물질을 증착하고, 상기 캔틸레버 전극물질 및 상기 제 1 회생막을 순차 식각하여 x축 방향으로 복수개의 캔틸레버 전극을 형성하는 제 4 단계; 상기 각 캔틸레버 전극을 둘러싸며 제 2 회생막을 형성하고, 상기 기판 전면에 제 2 층간절연막을 증착하고, 상기 제 2 회생막이 드러나도록 평탄화시키는 제 5 단계; 상기 제 2 층간절연막 및 상기 제 2 회생막 상에 x축 방향으로 상부 보조 워드라인을 형성하는 제 6 단계; 상기 기판 전면에 제 3 층간절연막을 증착하고 식각하여 상기 비트라인 상의 상기 제 2 회생막이 드러나도록 트렌치를 형성하는 제 7 단계; 상기 트렌치를 통하여 상기 제 1 회생막 및 상기 제 2 회생막을 제거하는 제 8 단계; 및 상기 기판 전면에 제 4 층간절연막을 증

착하고 평탄화시키는 제 9 단계를 포함하여 구성된 것을 특징으로 한다.

효 과

- [0017] 본 발명은 각 비트라인의 상부 또는 하부에 일측 혹은 좌우 대칭적으로 캔틸레버 전극을 2개까지 형성하고, 상부 보조 워드라인 또는 하부 보조 워드라인을 구비함으로써, 단위셀 당 2 비트까지 구현이 가능하고, 얼마든지 수직 적층이 가능하므로, 고용량 메모리 구현이 가능함은 물론, 비트라인의 스트레스 최소화로 구동 신뢰도를 높인 효과가 있다.
- [0018] 또한, 본 발명에 의한 동작방법은 다중 비트 및 저전력 구동이 가능하며, 캔틸레버 전극과 보조 워드라인의 접촉에 의한 전류 센싱으로 읽기 동작을 하므로, 우주선 등의 영향으로 종래 메모리 소자가 사용될 수 없는 극한 상황에서도 동작 가능한 효과가 있다.
- [0019] 그리고, 본 발명에 의한 제조방법은 고온 공정이 필요없으므로, CMOS 공정에 의한 소자에 삼차원적으로 집적 가능한 고용량의 저전력 내장형 메모리를 제조할 수 있을 뿐만 아니라, 종래보다 제조 공정을 상당히 단순화시킨 효과도 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.
- [0021] 도 4는 본 발명에 따른 전기기계 메모리 소자의 일 실시예인 T 셀을 단위 셀로 하는 소자 구조를 보여주는 각 층의 어레이 레이아웃이고, 도 5 및 도 6은 도 4의 AA' 선 단면도로 서로 다른 일 실시 예시도이고, 도 7은 도 6의 구조를 갖는 셀을 2층으로 수직 적층한 메모리의 일 요부 사시도이고, 도 8은 종래기술과 본 발명에 의한 T 셀 소자의 동작원리를 비교하기 위한 개념도이고, 도 9 내지 도 11은 본 발명에 의한 T 셀 소자의 동작을 예시적으로 보여주는 레이아웃 및 단면도이고, 도 12 내지 도 21은 도 4의 절단선(1)에 따른 본 발명에 의한 T 셀 소자의 제조공정을 보여주는 공정 사시도이고, 도 22는 도 21의 BB' 선 단면도이고, 도 23은 도 21의 CC' 선 단면도이다.
- [0022] 첨부된 도면에서 공정을 거치며 형태는 달라져도 동일한 물질층이면 동일한 도면부호를 사용하였다.
- [0023] [전기기계 메모리 소자 구조에 관한 제 1 실시예]
- [0024] 본 발명의 일 실시예에 의한 전기기계 메모리 소자는, 도 5와 같이, 소정의 평탄면을 갖는 기판(미도시); 상기 기판 상에서 x축 방향으로 형성된 하부 보조 워드라인(73); 상기 하부 보조 워드라인과 수직으로 이격되며 y축 방향으로 형성된 비트라인(25); 상기 비트라인과 절연되며 수평으로 이웃하여 y축 방향으로 형성된 주요 워드라인(21 또는 23); 상기 주요 워드라인의 하부에 형성된 하부 절연막(31); 상기 비트라인에 일단이 연결되고 타단은 상기 하부 보조 워드라인(73)과 상기 하부 절연막(31) 사이에서 x축 방향으로 부양되도록 형성된 하부 캔틸레버 전극(63); 및 상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 중간절연막(41, 43, 45)을 포함하여 구성된 것을 특징으로 한다.
- [0025] 상기 실시예에 의한 전기기계 메모리 소자는 하나의 단위셀 당 중간절연막(41, 43, 45)으로 지지되며 y축 방향으로 형성된 비트라인(25)의 하부 일측 또는 좌우 대칭되도록 제 1 방향으로 캔틸레버 전극을 1개(63A 또는 63B) 혹은 2개(63A 및 63B) 형성하며, 상기 캔틸레버 전극의 동작을 독립적으로 제어하며 쓰기와 읽기를 하기 위해 하부에 보조워드라인(73)을 둔 것을 핵심 기술적 사상으로 한다.
- [0026] 따라서, 상기 실시예는 하나의 단위셀에 캔틸레버 전극(63)이 비트라인(25)에 부착되는 모습에 따라 다음 두가지로 구체화될 수 있다.
- [0027] 첫째는, 하나의 단위셀에 캔틸레버 전극(63)이 비트라인(25)의 하부 일측에 연결되어 있는 구조(이하, '회전된 T 셀 소자'라 함)이고, 둘째는 하나의 단위셀에 캔틸레버 전극(63)이 비트라인(25)의 하부 좌우로 연결되어 있는 구조(이하, '회전된 T 셀 소자'라 함)이다.
- [0028] 상기 회전된 T 셀 소자는 도 5와 같이 구체화 될 수 있다.
- [0029] 즉, 상기 주요 워드라인은 상기 비트라인(25) 좌우 양측에 형성된 좌측 주요 워드라인(21)과 우측 주요 워드라인(23)으로 구성되고, 상기 하부 절연막은 상기 좌측 주요 워드라인(21) 및 상기 우측 주요 워드라인(23) 각각

의 하부에 형성된 하부 좌측 절연막(31A)과 하부 우측 절연막(31B)으로 구성되고, 상기 하부 보조 워드라인(73)은 상기 하부 좌측 절연막(31A), 상기 비트라인(25) 및 상기 하부 우측 절연막(31B)과 수직으로 이격되며 x축 방향으로 형성되고, 상기 하부 캔틸레버 전극(73)은 상기 비트라인(25)의 하측에 일단이 연결되고 타단은 상기 하부 보조 워드라인(73)과 상기 하부 좌측 절연막(31A) 사이 및 상기 하부 보조 워드라인(73)과 상기 하부 우측 절연막(31B) 사이에서 서로 반대 방향으로 부양되도록 형성된 하부 좌측 캔틸레버 전극(63A)과 하부 우측 캔틸레버 전극(63B)으로 구성되고, 상기 충전절연막(41, 43, 45)은 상기 비트라인(25), 상기 좌측 주요 워드라인(21) 및 상기 우측 주요 워드라인(23)을 지지하며 서로 절연시키게 된다.

[0030] 상기 회전된 T 셀 소자의 실시예가 후술할 T 셀 소자와의 구조적 차이점은 보조 워드라인과 좌, 우측 절연막이 상하 대칭된다는 점에서 큰 차이가 있고, 제조공정상 차이로 인하여 충전절연막(45)이 비트라인(25)을 감싸며 캔틸레버 전극(63)까지 채워진다는 점에 있다.

[0031] 후자의 차이점은 회전된 T 셀 소자의 제조시 희생막을 제거하기 위해 비트라인 주변으로 관통공을 형성한 다음 충전절연막을 채우기 때문인데, 이는 제조공정을 달리 할 경우 다른 구조를 가질 수 있음은 물론이다.

[전기기계 메모리 소자 구조에 관한 제 2 실시예]

[0033] 본 발명의 다른 실시예에 의한 전기기계 메모리 소자는, 도 6과 같이, 소정의 평탄면을 갖는 기판(10); 상기 기판 상에서 y축 방향으로 형성된 비트라인(26); 상기 비트라인과 절연되며 수평으로 이웃하여 y축 방향으로 형성된 주요 워드라인(22 또는 24); 상기 주요 워드라인의 상부에 형성된 상부 절연막(30); 상기 비트라인 및 상기 상부 절연막과 수직으로 이격되며 x축 방향으로 형성된 상부 보조 워드라인(74); 상기 비트라인에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이에서 x축 방향으로 부양되도록 형성된 상부 캔틸레버 전극(64); 및 상기 상부 보조 워드라인을 지지하며 상기 비트라인 및 상기 주요 워드라인을 서로 절연시키는 충전절연막(40, 42)을 포함하여 구성된 것을 특징으로 한다.

[0034] 상기 실시예에 의한 전기기계 메모리 소자 또한 하나의 단위셀 당 y축 방향으로 형성된 비트라인(26)의 상부 일측 또는 좌우 대칭되도록 제 1 방향으로 캔틸레버 전극을 1개(64A 또는 64B) 혹은 2개(64A 및 64B) 형성하며, 상기 캔틸레버 전극의 동작을 독립적으로 제어하며 쓰기와 읽기를 하기 위해 상부에 보조워드라인(74)을 둔 것을 핵심 기술적 사상으로 한다.

[0035] 따라서, 상기 실시예도 하나의 단위셀에 캔틸레버 전극(64)이 비트라인(26)에 부착되는 모습에 따라 다음 두가지로 구체화될 수 있다.

[0036] 첫째는, 하나의 단위셀에 캔틸레버 전극(64)이 비트라인(26)의 상부 일측에 연결되어 있는 구조(이하, '┐ 셀 소자'라 함)이고, 둘째는 하나의 단위셀에 캔틸레버 전극(64)이 비트라인(26)의 상부 좌우로 연결되어 있는 구조(이하, 'T 셀 소자'라 함)이다.

[0037] 상기 T 셀 소자는 도 6과 같이 구체화 될 수 있다.

[0038] 즉, 상기 주요 워드라인은 상기 비트라인(26) 좌우 양측에 형성된 좌측 주요 워드라인(22)과 우측 주요 워드라인(24)으로 구성되고, 상기 상부 절연막은 상기 좌측 주요 워드라인(22) 및 상기 우측 주요 워드라인(24) 각각의 상부에 형성된 상부 좌측 절연막(30A)과 상부 우측 절연막(30B)으로 구성되고, 상기 상부 보조 워드라인(74)은 상기 상부 좌측 절연막(30A), 상기 비트라인(26) 및 상기 상부 우측 절연막(30B)과 수직으로 이격되며 x축 방향으로 형성되고, 상기 상부 캔틸레버 전극(64)은 상기 비트라인(26)의 상측에 일단이 연결되고 타단은 상기 상부 보조 워드라인(74)과 상기 상부 좌측 절연막(30A) 사이 및 상기 상부 보조 워드라인(74)과 상기 상부 우측 절연막(30B) 사이에서 서로 반대 방향으로 부양되도록 형성된 상부 좌측 캔틸레버 전극(64A)과 상부 우측 캔틸레버 전극(64B)으로 구성되고, 상기 충전절연막(40, 42)은 상기 비트라인(26), 상기 좌측 주요 워드라인(22) 및 상기 우측 주요 워드라인(24)을 서로 절연시키게 된다.

[0039] 상기 ┐ 셀 소자 및 T 셀 소자 모두 다음과 같은 구조적 특징을 가질 수 있다(상기 소자 구조에 관한 제 1 실시예의 회전된 ┐ 셀 소자 및 회전된 T 셀 소자도 같은 원리로 생각할 수 있는바, 이에 대한 설명은 생략한다).

[0040] 도 21에서, 상부 절연막(30)에 전하가 저장되어 있지 않아, 비트라인(26)과 주요 워드라인(22 또는/및 24) 사이에 전위차가 없을 경우 즉, 전원이 인가되지 않을 경우엔 캔틸레버 전극(64A 또는/및 64B)의 복원력으로 풀아웃(pull-out)되며 메모리 기능을 상실하는 휘발성 메모리 특성을 가지게 할 수 있다.

- [0041] 반대로, 비트라인(26)과 주요 워드라인(22 또는/및 24) 사이에 전위차가 없을 경우 즉, 전원이 인가되지 않을 경우라도 캔틸레버 전극(64A 또는/및 64B)이 복원력으로 풀아웃(pull-out)되는 것을 극복할 만한 일정 전하를 상부 절연막(30)에 주입하여 비휘발성 메모리 특성을 가질 수 있게 할 수도 있다. 상부 절연막(30)에의 전하 주입은 제조 공정시 또는 공정 후 F-N 터널링 등에 의하여 행할 수 있다.
- [0042] 후자의 경우 상기 상부 절연막(30)은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성되도록 하고, 상기 전하트랩층은 실리콘 질화막(nitride)으로 함이 바람직하다. 물론, 공지의 ONO(Oxide/Nitride/Oxide) 층을 이용할 수도 있다.
- [0043] 또한, 도 21과 같은 T 셀 소자의 실시예에 의한 단위셀의 단면도는 공정에 따라 달라질 수 있으나 예시적으로 도 6, 도 22 및 도 23과 같다.
- [0044] 따라서, 상기 T 셀 소자의 실시예는, 도 6에서 확인되는 바와 같이, 비트라인(26)의 상부에 좌우로 캔틸레버 전극 2개(64A, 64B)가 갭(air gap) 속에 부양되며 대칭적으로 연결되어 전체적으로 T자 형상을 하며, 상기 2개의 캔틸레버 전극(64A, 64B)을 독립적으로 제어하기 위한 상부 보조 워드라인(74)이 형성되어 있어, 단위셀 당 2비트 동작이 가능하게 한 것을 핵심 기술적 사상으로 한다.
- [0045] 상기 T 셀 소자의 제조방법은 본 발명의 다른 모습이므로 후술하기로 하나, 도 20 및 도 21에서 트렌치(45)를 메꾸기 위한 층간절연막(46)을 상기 상부 보조 워드라인(74) 상에도 증착되도록 하고, 이를 평탄화시켜 다음층에서의 기관(10)으로 사용하며, 도 7과 같이, 2개 이상의 층으로 적층함으로써, 종래보다 1 비트 저장하기 위한 셀부피를 현저히 감소시킬 수 있도록 함이 메모리의 구조적인 측면에서 바람직하다.
- [0046] **[전기기계 메모리 소자의 동작방법에 관한 실시예]**
- [0047] 상기 T 셀 소자의 동작방법에 관한 실시예는, 기본적으로 쓰기 동작시 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고, 읽기 동작시엔 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 핵심 기술적 사상으로 한다.
- [0048] 이에 대한 설명은 도 8 내지 도 11을 참조하며 설명한다.
- [0049] 우선, 도 8을 살펴보면, 주요 워드라인(MWL) 상부에 형성된 절연막에 전하가 없을 경우[도 8(a)]에는 비트라인(BL)과 주요 워드라인(MWL) 사이의 전압차(V_{BL-MWL})에 의하여 풀아웃(pull-out) 상태(본 명세서에서는 이를 '1 상태'라 함. 그러나 '0 상태'로 정의할 수도 있음)와 풀인(pull-in) 상태(본 명세서에서는 이를 '0 상태'라 함. 그러나 '1 상태'로 정의할 수도 있음)를 반복하며 히스테리시스(hysteresis) 커브를 그리게 되는데, $V_{BL-MWL}=0$ 일 때 풀아웃 됨으로써, 휘발성 특성을 가지게 됨을 알 수 있다.
- [0050] 도 8(a)에서 풀인될 때와 풀아웃될 때의 V_{BL-MWL} 전압차를 히스테리시스 전압이라 하는데, 히스테리시스 전압이 작을수록 쓰기/지우기 전압을 낮출 수 있다.
- [0051] 그런데, 도 8(b)와 같이, 상기 절연막에 트랩된 전하가 있을 경우에는 히스테리시스 커브가 좌측으로 이동(shift)하게 됨으로써, $V_{BL-MWL}=0$ 일 때 풀인 방향으로 캔틸레버 전극이 절연막을 향하여 휘어진 상태를 유지하게 되어 비휘발성 특성을 가지게 된다.
- [0052] 나아가, 도 8(c)와 같이, 보조 워드라인(AWL)을 더 형성시켜 이에 전압(V_{AWL})을 인가할 경우($V_{AWL}>0V$) 히스테리시스 커브가 우측으로 이동되는 효과를 가져오게 됨으로써, 보조 워드라인(AWL)에 전압인가에 따라 히스테리시스 전압을 작게하여 쓰기/지우기 전압(구동전압)을 더욱 낮추어 저전력 구동이 가능한 장점이 있고, T 셀 소자에서 2개의 캔틸레버 전극을 독립적으로 제어할 수 있게 되어 2 비트 구동이 가능한 장점이 있다.
- [0053] 본 발명에 의한 T 셀 소자의 구체적 구동의 일례는 블록의 모든 셀 지우기, 선별적 쓰기, 읽기 3단계로 진행할 수 있다.
- [0054] 본 명세서에서는 캔틸레버 전극이 풀인 상태로 될 때, 지운 상태로 정의하고, 풀아웃 상태를 쓴 상태로 정의하여 기술하나, 서로 반대로 정의하여 기술될 수 있음은 물론이다.
- [0055] 먼저, 지우기 동작은, 도 9와 같이, 지우고자 하는 특정 층의 블록을 지나가는 상부 보조 워드라인(AWL 1, 2, 3; 74) 및 비트라인(BL 1, 2, 3; 26)에는 모두 동일한 기준전압 V_{REF} (예컨대, 접지전압; 0V)을 인가하고, 상기

블록을 지나가는 모든 좌측 주요 워드라인(Left MWL 1, 2, 3; 22) 및 우측 주요 워드라인(Right MWL 1, 2, 3; 24)은 블록내의 모든 캔틸레버 전극(64A, 64B)을 풀인 상태로 할 수 있을 정도로 절연막(30)에 트랩된 전하에 따라 상기 기준전압 V_{REF} 보다 충분히 높거나 충분히 낮은 전압 V_{ERS} (예컨대, 높은 음의 전압)을 인가함으로써, 상기 블록을 한꺼번에 지운다.

[0056] 여기서, 블록이라 함은 하나 이상의 셀 조합을 말하므로, 하나의 셀, 더 나아가 하나의 셀 중 일측 캔틸레버 전극을 풀인시키며 지우기를 행할 때에도 마찬가지로 할 수 있다.

[0057] 다음, 쓰기 동작은, 도 10과 같이, 지우기 동작이 수행된 블록에 있는 특정 셀의 일측에 '1'을 쓰기 위하여 상기 셀이 공유하는 비트라인(BL2; 26)에는 음의 전압을, 상기 셀의 일측을 지나가는 주요 워드라인(Right MWL2; 24)과 보조 워드라인(AWL2; 74)에는 양의 전압을 각각 인가하고, 나머지 라인들은 접지전압(0V)을 인가하여 상기 셀의 일측 캔틸레버 전극(64B)만 풀아웃시킴으로써 행하게 된다.

[0058] 그리고, 읽기 동작은, 도 11과 같이, 특정 셀의 일측 상태를 읽기 위하여 상기 셀이 공유하는 비트라인(BL2; 26)에는 접지전압(0V)을, 상기 셀의 일측을 지나가는 보조 워드라인(AWL2; 74)에는 충분히 높은 전압 V_{PGM} 을, 상기 셀의 타측을 지나가는 주요 워드라인(Left MWL2; 22)에는 상기 접지전압보다 높고 상기 전압 V_{PGM} 보다 낮은 전압 V_{UNS} 을 각각 인가하여, 선택된 측의 주요 워드라인(Right MWL2; 24)과 동일한 전위차를 가지는 반대측 캔틸레버 전극(64A)은 그 상태를 유지한 채 읽고자 하는 측의 캔틸레버 전극(64B)만 선택된 보조 워드라인(AWL2; 74)에 닿았는지 여부로 행하게 된다.

[0059] 상기와 같이, 읽기 동작시 선택된 주요 워드라인(Right MWL2; 24)과 그렇지 않은 비선택된 주요 워드라인(Left MWL2; 22)에도 서로 다른 전압을 인가함으로써, 도 7(c)와 같은 원리로 동일한 단위셀 내에 있는 2개의 캔틸레버 전극을 각각 독립적으로 선택된 보조 워드라인에 닿도록 하며 쓰기 동작을 할 수 있게 된다.

[0060] 도 11과 같이 상부 보조 워드라인(AWL2; 74)을 읽고자 선택하였을 경우 각 셀의 좌, 우 주요 워드라인에 전압을 서로 바꾸어 가며 순차적으로 읽어 나갈 수 있어, 빠른 읽기 동작을 할 수 있는 장점이 있다.

[0061] 상기와 같이 읽기 동작을 할 경우 전기기계 메모리 소자의 특성인 인접 셀과의 간섭을 전혀 받지 않게 되는 장점을 살릴 수 있다. 도 11에서 BL2에서만 I_2 전류를 센상하게 되고, BL1의 I_1 및 BL3의 I_3 는 누설전류 크기를 갖는 것에 불과하여 무시할 수 있게 된다.

[0062] 기타, 도 9 내지 도 11에서 작은 원 속에 0은 접지전압, +는 낮은 양의 전압, ++는 높은 양의 전압, -은 낮은 음의 전압, --는 높은 음의 전압을 각각 나타낸다.

[전기기계 메모리 소자의 제조방법에 관한 실시예]

[0064] 이하, 상기 T 셀 소자의 제조방법에 관한 실시예에 대하여 도 12 내지 도 23을 참조하며 설명한다.

[0065] 먼저, 도 12와 같은 기판(10) 상에, 도 13과 같이, y축 방향으로 좌측 주요 워드라인(22)/상부 좌측 절연막(30) 및 우측 주요 워드라인(24)/상부 우측 절연막(30)을 각각 순차적으로 적층 형성한다(제 1 단계).

[0066] 여기서, 상기 좌, 우측 주요 워드라인(22)(24)은 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같이 도전성 금속 재질 뿐만 아니라 불순물이 도핑된 실리콘계 물질(다결정 실리콘, 비정질 실리콘 등)로 형성될 수 있다.

[0067] 또한, 상기 좌, 우측 절연막(30)은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성되고, 상기 전하트랩층은 실리콘 질화막(nitride)으로 함이 바람직하다. 물론, 공지의 ONO(Oxide/Nitride/Oxide) 층으로 형성할 수도 있다.

[0068] 이어, 상기 기판 전면에 제 1 층간절연막(40)을 증착하고, 도 14와 같이, 평탄화시킨다(제 2 단계).

[0069] 다음, 도 15와 같이, 상기 기판 전면에 제 1 희생막(50)을 증착하고, 도 16과 같이, 상기 제 1 희생막(50) 및 상기 제 1 층간절연막(40)을 순차 식각하여 상기 좌측 주요 워드라인(22) 및 상기 우측 주요 워드라인(24) 사이에 y축 방향으로 비트라인(26)을 형성한다(제 3 단계).

[0070] 여기서, 상기 제 1 희생막(50)은 상기 제 1 층간절연막(40)과 식각 선택비가 높은 물질로 예컨대, 실리콘계 물

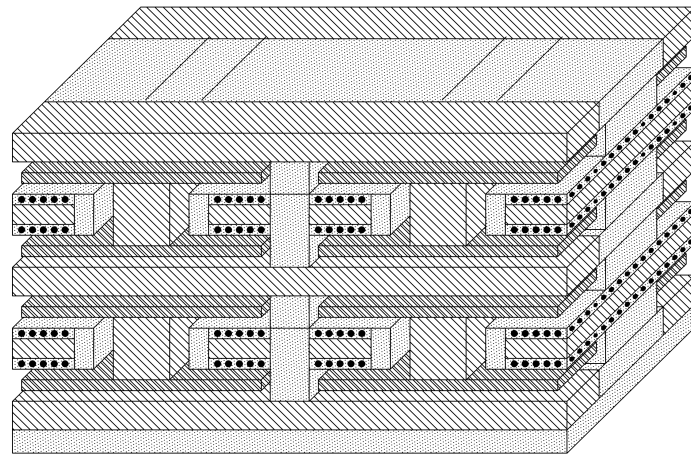
질(다결정 실리콘, 비정질 실리콘 등)로 형성될 수 있다.

- [0071] 이어, 상기 기판 전면에 캔틸레버 전극물질을 증착하고, 상기 캔틸레버 전극물질 및 상기 제 1 희생막을 순차 식각하여, 도 17과 같이, x축 방향으로 복수개의 캔틸레버 전극(62, 64)을 형성한다(제 4 단계).
- [0072] 여기서, 상기 캔틸레버 전극(62, 64)은 타타늄, 질화 티타늄과 같이 도전성 금속재질 또는 탄소 나노튜브 재질로 형성될 수 있다.
- [0073] 이후, 상기 각 캔틸레버 전극을 둘러싸며 제 2 희생막(54)을 형성하고, 상기 기판 전면에 제 2 층간절연막(42)을 증착하고, 도 18과 같이, 상기 제 2 희생막(54)이 드러나도록 평탄화시킨다(제 5 단계).
- [0074] 여기서, 상기 제 2 희생막(54)은 상기 제 1 희생막과 동일한 물질이다.
- [0075] 다음, 도 19와 같이, 상기 제 2 층간절연막(54) 및 상기 제 2 희생막(42) 상에 x축 방향으로 상부 보조 워드라인(72, 74)을 형성한다(제 6 단계).
- [0076] 여기서, 상기 상부 보조 워드라인(72, 74)은 상기 좌, 우측 주요 워드라인(22)(24)과 동일한 물질로 형성되고, 상기 각 캔틸레버 전극(62, 64) 상에 캔틸레버 전극과 동일한 선편을 갖도록 함이 바람직하다.
- [0077] 이어, 도 20과 같이, 상기 기판 전면에 제 3 층간절연막(44)을 증착하고 식각하여 상기 비트라인(26) 상의 상기 제 2 희생막(54)이 드러나도록 트렌치(45)를 형성한다(제 7 단계).
- [0078] 여기서, 상기 트렌치(45)는 후속공정에서 상기 제 1, 2 희생막(52)(54)을 식각시켜 돌출된 캔틸레버 전극(62, 64)을 부양시키기 위함이므로, 상기 비트라인(26) 상에서 최소 폭을 갖도록 트렌치(45)를 형성함이 바람직하다.
- [0079] 이후, 상기 트렌치(45)를 통하여 상기 제 1 희생막(52) 및 상기 제 2 희생(54)막을 제거한다(제 8 단계).
- [0080] 여기서, 상기 제 1, 2 희생막(52)(54)의 제거는 등방성 식각용액 또는 등방성 반응 가스를 이용함이 바람직하고, 상기 반응 가스로는 $CxHy$ 계나 $CaHbFc$ 계와 같은 불화 탄소계 가스를 이용할 수 있다.
- [0081] 다음, 도 21과 같이, 상기 기판 전면에 제 4 층간절연막(46)을 증착하고 평탄화시킨다(제 9 단계).
- [0082] 이때, 상기 제 4 층간절연막(46)은 상기 상부 보조 워드라인(72, 74) 상에서 평탄화되어 다음층의 기판으로 사용될 수 있도록 함이 바람직하다.
- [0083] 상기과 같이, 제 4 층간절연막(46)을 형성한 다음, 상기 제 1 단계 내지 상기 제 9 단계를 반복하면, 도 7과 같이, 2개 이상의 층으로 적층된 전기기계메모리를 구현할 수 있게 된다.
- [0084] 상기 제 1 내지 제 4 층간절연막(40, 42, 44, 46)은 동일한 물질로, 실리콘산화막 또는 TEOS 등으로 형성될 수 있다.
- [0085] 기타, 나머지 공정은 통상의 CMOS의 공정 및 공지의 전기기계 메모리 소자 공정에 의하므로, 이에 대한 설명은 생략한다.

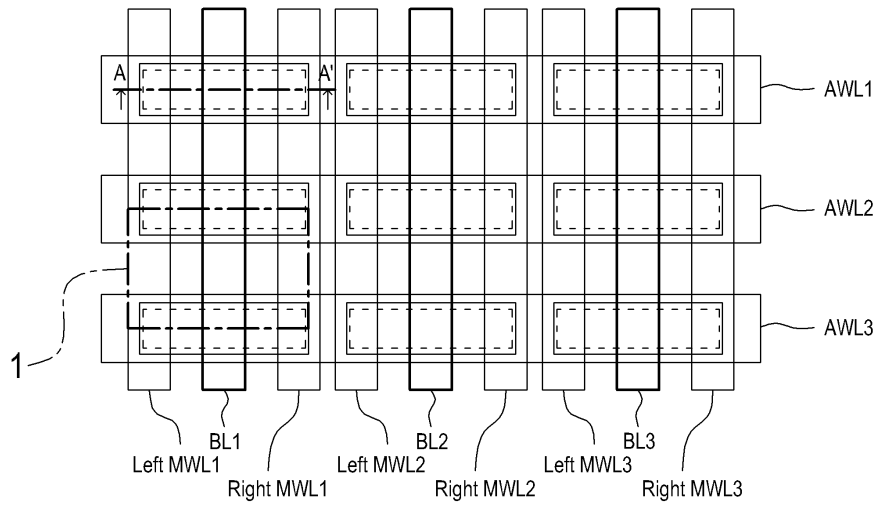
도면의 간단한 설명

- [0086] 도 1 및 도 2는 선행기술에 의한 비휘발성 전기기계 메모리 소자의 단면도이다.
- [0087] 도 3은 동일 발명자에 의하여 선출원된 H 셀을 단위 셀로 하는 전기기계 메모리 소자의 요부 사시도이다.
- [0088] 도 4는 본 발명에 따른 전기기계 메모리 소자의 일 실시예인 T 셀을 단위 셀로 하는 소자 구조를 보여주는 각 층의 어레이 레이아웃이다.
- [0089] 도 5 및 도 6은 도 4의 AA'선 단면도로 서로 다른 일 실시 예시도이다.
- [0090] 도 7은 도 6의 구조를 갖는 셀을 2층으로 수직 적층한 메모리의 일 요부 사시도이다.
- [0091] 도 8은 종래기술과 본 발명에 의한 T 셀 소자의 동작원리를 비교하기 위한 개념도이다.
- [0092] 도 9 내지 도 11은 본 발명에 의한 T 셀 소자의 동작을 예시적으로 보여주는 레이아웃 및 단면도이다.
- [0093] 도 12 내지 도 21은 도 4의 절단선(1)에 따른 본 발명에 의한 T 셀 소자의 제조공정을 보여주는 공정 사시도이다.
- [0094] 도 22는 도 21의 BB'선 단면도이다.

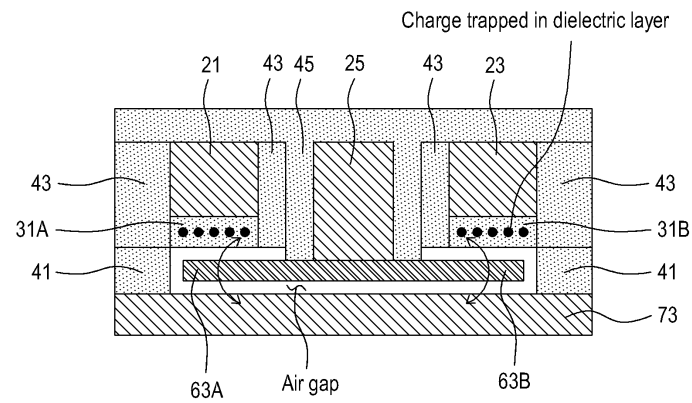
도면3



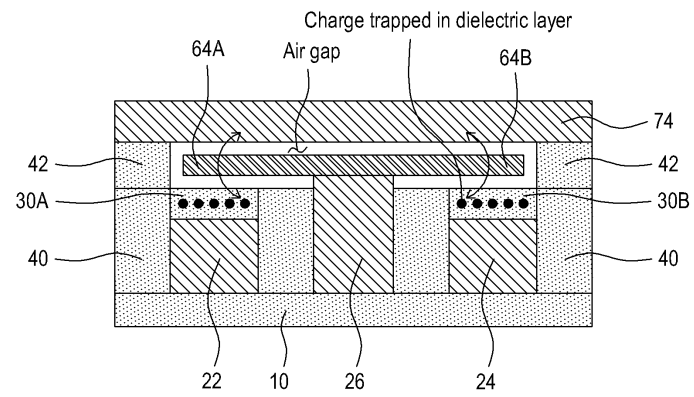
도면4



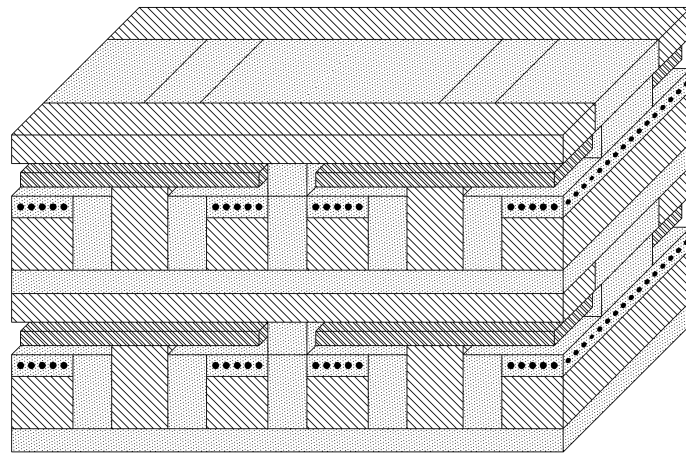
도면5



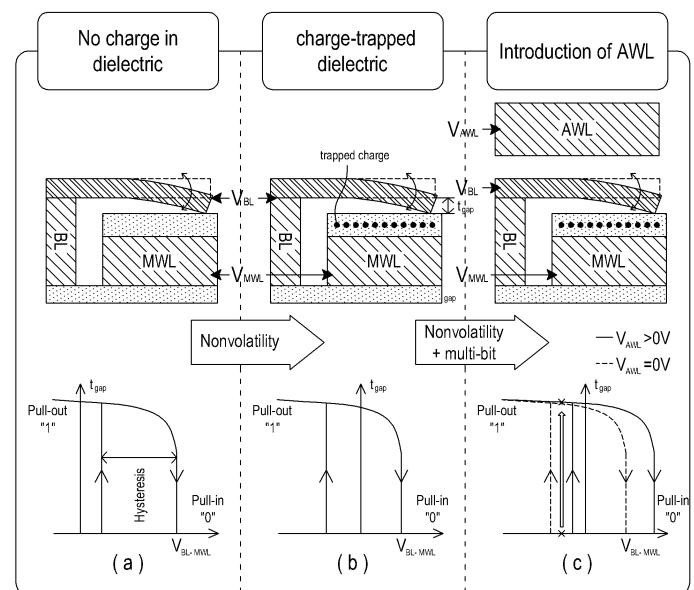
도면6



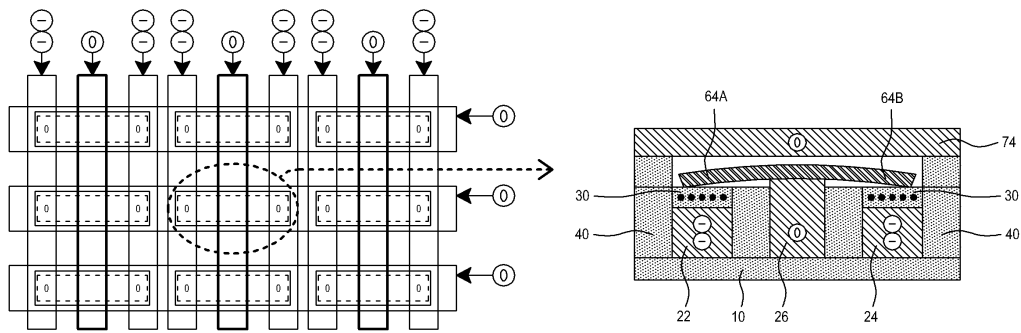
도면7



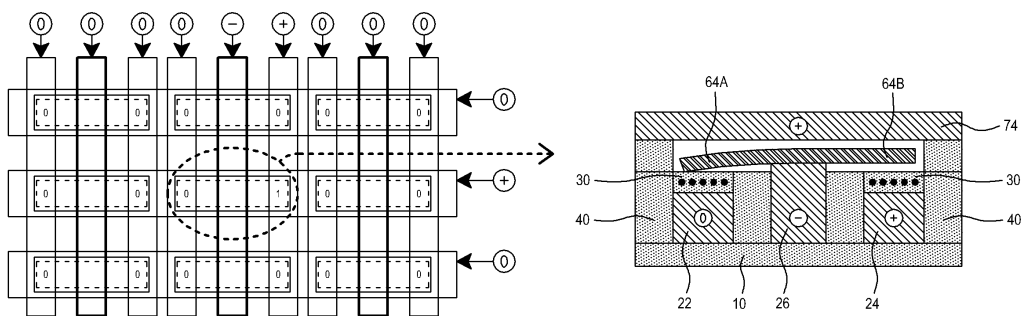
도면8



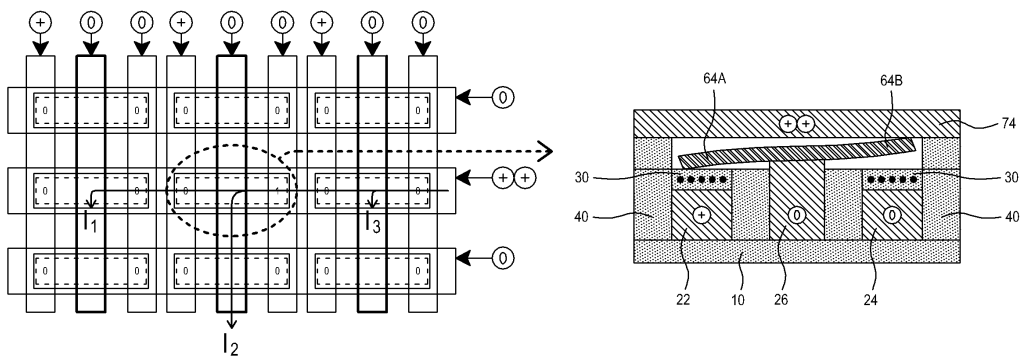
도면9



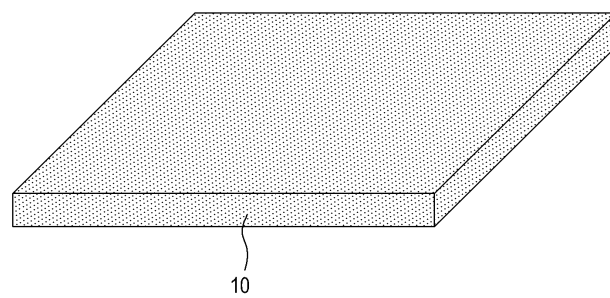
도면10



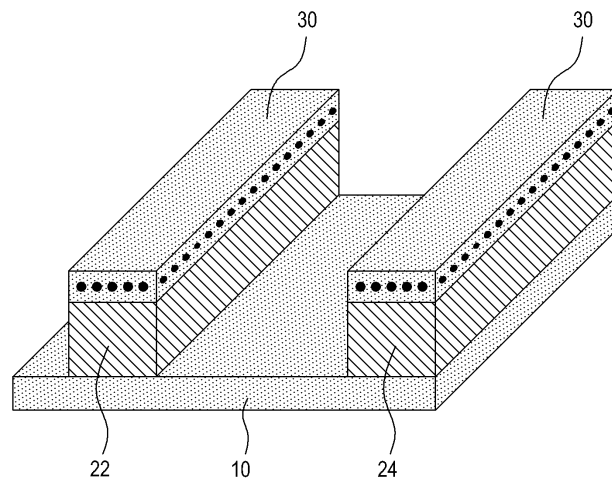
도면11



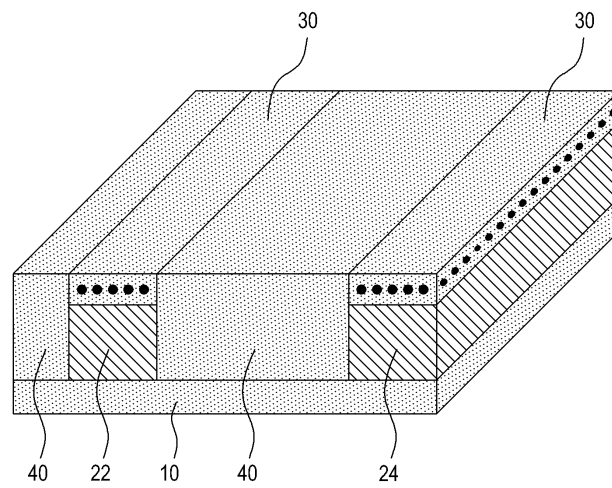
도면12



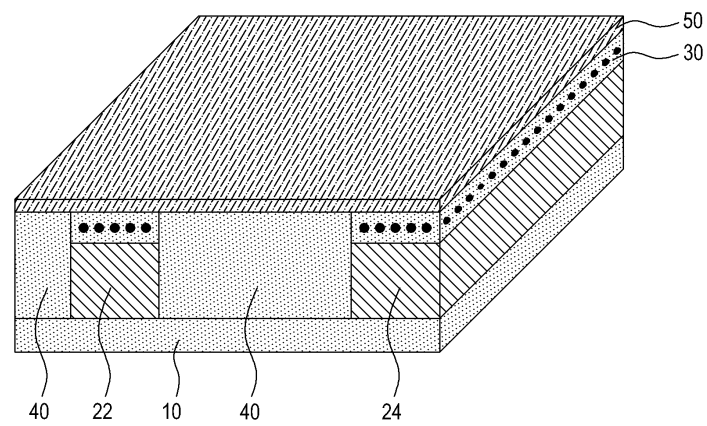
도면13



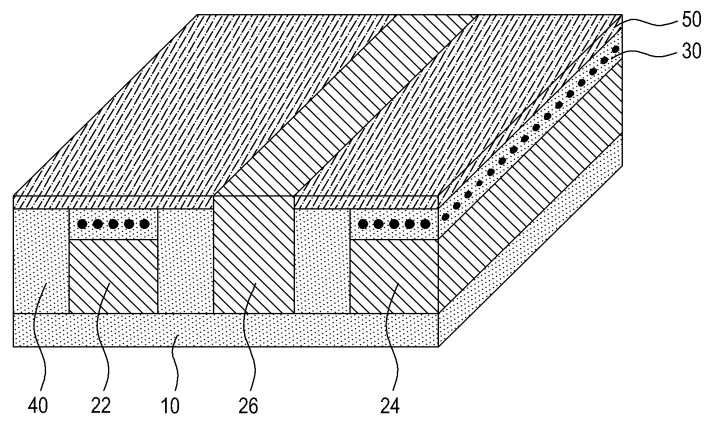
도면14



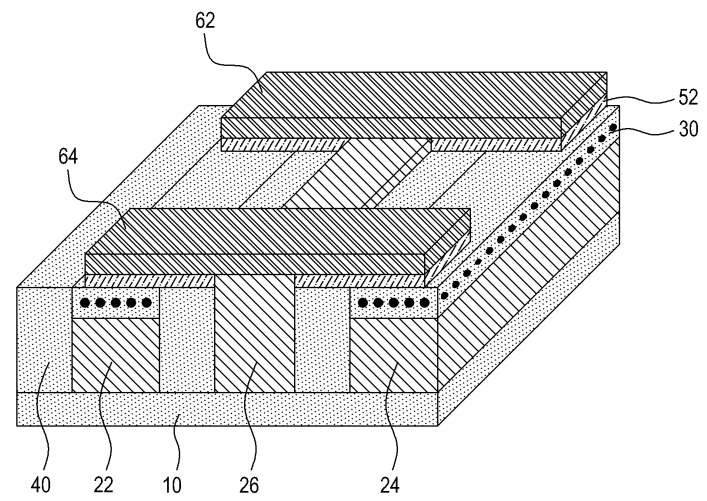
도면15



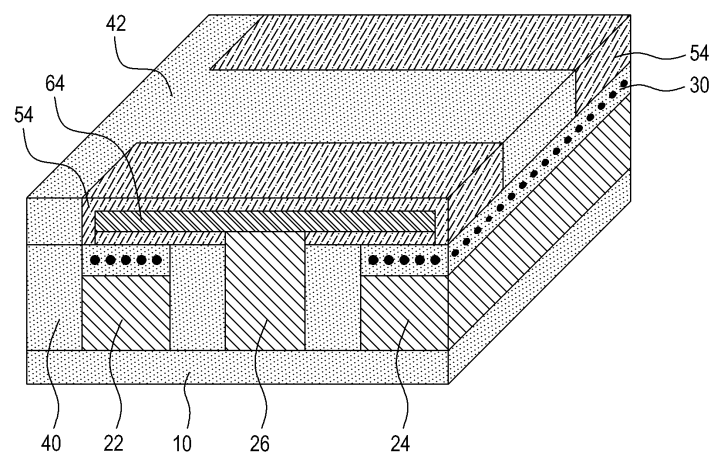
도면16



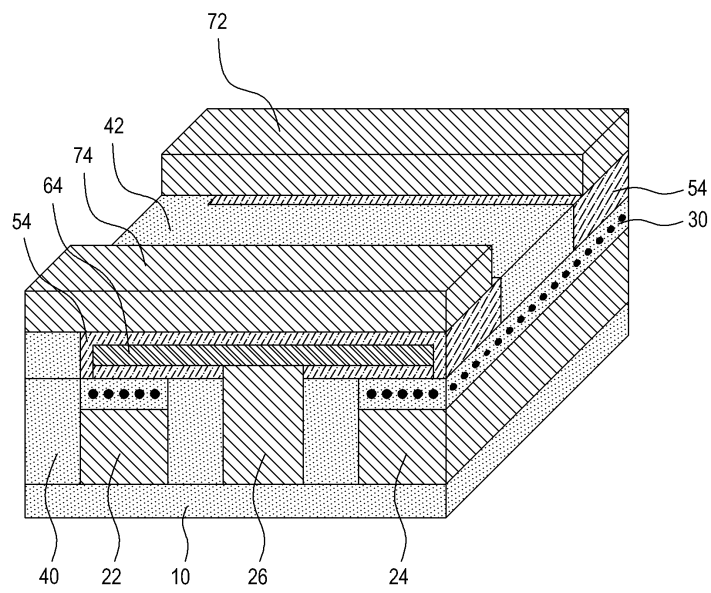
도면17



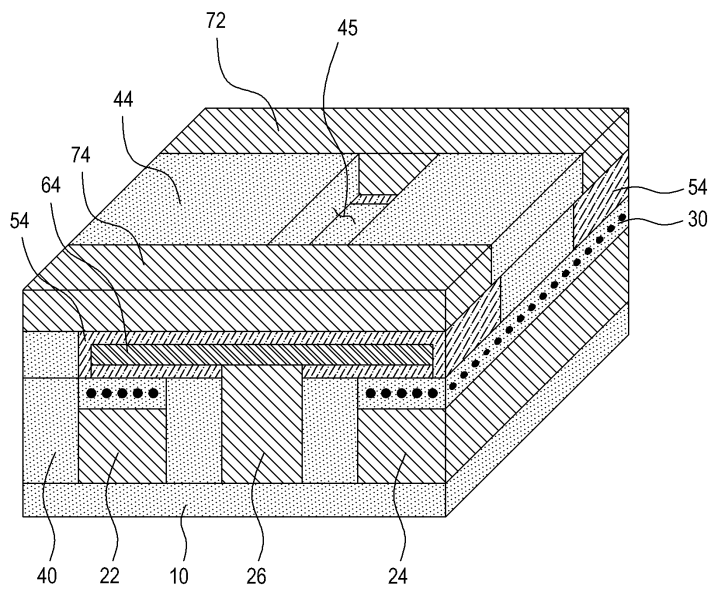
도면18



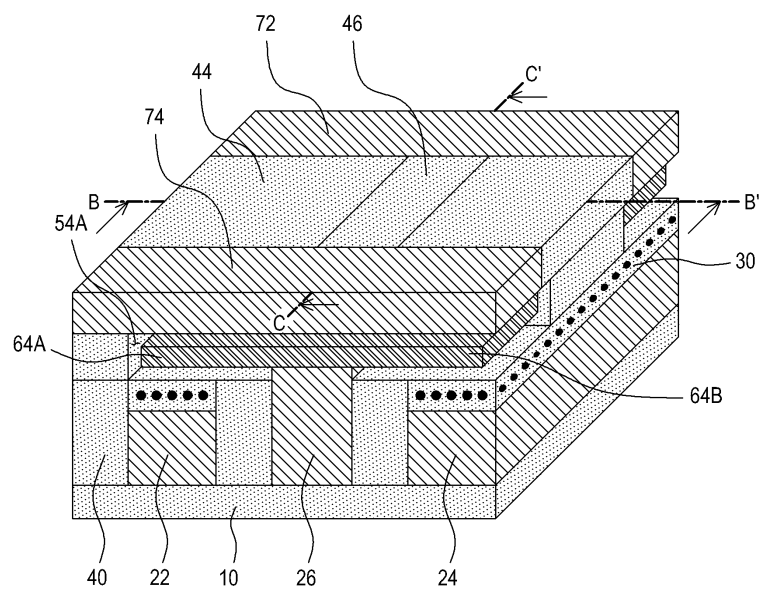
도면19



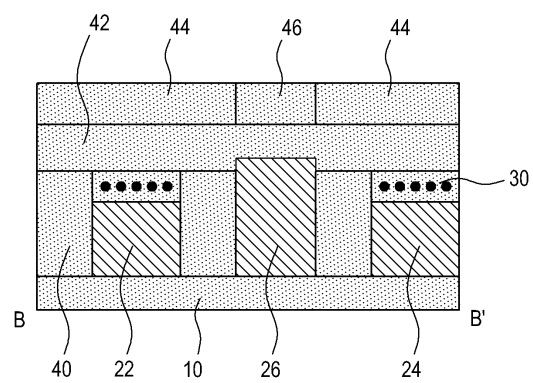
도면20



도면21



도면22



도면23

