



GRAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

240105  
(11) (B1)

[51] Int. Cl.<sup>4</sup>  
G 06 F 3/00

(22) Přihlášeno 05 07 82  
(21) [PV 5097-82]

(40) Zveřejněno 15 09 83

(45) Vydáno 15 06 87

(75)  
Autor vynálezu NITSCHÉ JIŘÍ ing.; ČÍHALÍK IVO ing., VELKÁ BYSTRICE

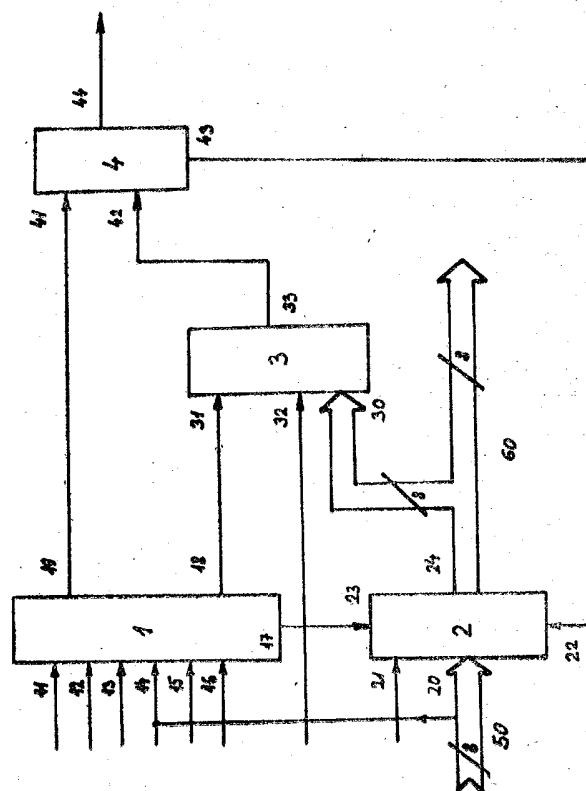
## (54) Zapojení pro hardwarové přerušení činnosti procesoru periferním zařízením

1

2

Zapojení umožňuje spolupráci malého počítačového systému se standardními perifériemi systémem přerušení s podstatným zjednodušením programového zabezpečení vstupně-výstupních operací a jejich zrychlením. Zapojení je tvořeno logickým obvodem pro zajištění počátečního nastavení po zapnutí systému, čítačem adres, pamětí masek přerušení a obvodem pro vytvoření signálu přerušení, které jsou propojeny dle obrázku.

Přerušení se realizuje periferním zařízením v závislosti na vyhledané adrese tohoto zařízení a na programově nastavené masce přerušení příslušného periferního zařízení.



Vynález se týká zapojení pro hardwarové přerušování činnosti procesoru periferním zařízením v závislosti na vyhledané adrese tohoto zařízení a na programově nastavené masce přerušování příslušného periferního zařízení.

Existuje skupina tzv. malých počítačů, respektive systémů pro přenos údajů, jejichž propojovací interface na příslušné periférie jsou kvůli jednoduchosti konstruovány tak, že negenerují signál přerušování. Svou připravenost k činnosti oznamují periférie procesoru stavovým slovem, přičemž vyhledání periferního zařízení, které je schopno spolupracovat s procesorem, případně vyčkáání procesoru na připravenost konkrétního zařízení, musí zajistit softwarově programátor.

Nevýhodou těchto zařízení je, že způsob práce s periferními zařízeními je pomalý a programově pracný, zvláště při programování vstupně-výstupních rutin pro multiplexní spolupráci s periferními zařízeními, kterých může být zvláště při řízení technických procesů značný počet.

Pro danou úlohu se nabízí řešení přestavování stávajících interface pomocí prvků na bázi tzv. inteligentních integrovaných obvodů LSI typu PIO, SIO, které umí generovat signál přerušování. Tyto obvody je možno řadit do kaskád podle priority, ovšem zde se projeví nevýhodně skutečnost, že tyto obvody pracují vesměs synchronně s procesorem a že z důvodu zpoždění signálu průchodem kaskádou inteligentních integrovaných obvodů není možné řadit za sebe více než šest těchto obvodů, při rychlejší verzi, případně jen čtyři.

Každé další rozšíření o novou šestici znamená zabudovat do systému řadič přerušování a dále pro každou šestici vyhradit speciální dvojici vodičů pro signály řídící priority těchto obvodů. Pro možnou konfiguraci 128 periferních zařízení, což je množství reálné pro řízení provozu technické konfigurace, kupříkladu pro centrální pořizovnu dat, to znamená vyhradit 44 vodičů jen pro řízení přerušování, což je u uvedených malých systémů nereálné.

Úkolem vynálezu je vytvořit zapojení, kterým se dosáhne požadovaného účinku bez nevýhodného použití soustav inteligentních integrovaných obvodů LSI a při zachování možnosti využití dostatečně velkého počtu periferních zařízení, která spolupracují se systémem.

Tento úkol řeší předmět vynálezu, kterým je zapojení pro hardwarové přerušování činnosti procesoru periferním zařízením v závislosti na vyhledané adrese tohoto zařízení a na programově nastavené masce přerušování příslušného periferního zařízení.

Podstatou vynálezu je, že je tvořen čtyřmi obvody, a to logickým obvodem pro zajištění počátečního nastavení po zapnutí systému, případně po restartu, kterýžto logický obvod obsahuje alespoň šest vstupů — první vstup

pro signál zápisu z centrální jednotky, druhý vstup pro signál výběrového cyklu, třetí vstup pro signál výběru požadavku na vstupní nebo výstupní periferní zařízení, čtvrtý vstup nejnižšího bitu A0 adresy periferního zařízení, pátý vstup pro signál nejnižšího bitu stavového slova periferního zařízení, který indikuje připravenost právě naadresovaného periferního zařízení a šestý vstup pro signál počátečního nastavení a tři výstupy — první výstup pro signál nastavení příslušné adresy periferního zařízení na zvláštní sběrnici pro adresaci periférie, druhý výstup pro signál zápisu masky a třetí výstup pro signál stavového bitu, čítačem adres, který obsahuje alespoň čtyři vstupy — první vstup pro sběrnici, kupříkladu osmi nižších bitů adresy periferního zařízení, druhý vstup pro připojení synchronizačního kmitočtu, třetí vstup pro signál hradlovacího impulsu čítače adres a čtvrtý vstup pro signál nastavení příslušné, kupříkladu osmi-bitové adresy periferního zařízení a alespoň jeden výstup pro napojení zvláštní osmi-bitové sběrnice pro adresaci periferních zařízení paměti masek přerušování, která obsahuje alespoň tři vstupy — první vstup pro signál zápisu masky, druhý vstup pro nejnižší bit výstupu neznázorněné sběrnice dat a třetí vstup pro napojení, kupříkladu osmi-bitové sběrnice adresy periferního zařízení a jeden výstup pro signál masky přerušování a tvořené dále obvodem pro vytvoření signálu přerušování, který obsahuje alespoň dva vstupy — první vstup pro signál stavového bitu periférie a druhý vstup pro signál masky přerušování a dva výstupy — první výstup signálu hradlovacího impulsu čítače adres a druhý výstup signálu přerušování, přičemž první výstup logického obvodu je spojen se čtvrtým vstupem čítače adres periférie, druhý výstup logického obvodu je spojen s prvním vstupem paměti masek a třetí výstup logického obvodu je spojen s prvním vstupem obvodu pro vytvoření signálu přerušování, výstup paměti masek přerušování je spojen se druhým vstupem obvodu pro vytvoření signálu přerušování, jehož první výstup je spojen se třetím vstupem čítače adres periférie, první vstup čítače adres periférie je připojen ke sběrnici nižších bitů adresy a výstup čítače adres periférie je spolu se třetím vstupem paměti masek připojen ke sběrnici adres periferního zařízení.

Realizací zapojení podle vynálezu se dosáhne vyššího účinku tím, že se umožní spolupráce malého počítačového systému se standardními perifériemi systémem přerušování, čímž se podstatně zjednoduší programové zabezpečení vstupně-výstupních operací a jejich zrychlení tím, že budou vypuštěny programové cykly pro vyhledávání periferního zařízení, případně pro čekání na připravenost příslušného žádaného periferního zařízení.

Další výhodou je možnost maskování periferních zařízení, tedy možnost programové

volby takové konfigurace zařízení, se kterou chce programátor v daném okamžiku pracovat, přičemž prioritu jednotlivých zařízení lze pomocí masky nastavit programem libovolně. Konečně se realizací zapojení podle vynálezu dosáhne toho, že se i pro jednoduché interface periferních zařízení vystačí kromě adresovacích vodičů pro adresu periférie s jediným vodičem pro signál přerušení.

Zapojení podle vynálezu je schematicky znázorněno na připojeném výkrese. Vzhledem k tomu, že zapojení může být realizováno běžnými známými obvody číslicové techniky, jsou jednotlivé funkční obvody znázorněny blokově s vyznačením jen těch vstupů a výstupů, které jsou pro předmět vynálezu nezbytné.

Příkladné zapojení je tvořeno čtyřmi obvody, a to logickým obvodem 1 pro zajištění počátečního nastavení po zapnutí systému, případně po restartu, čítačem 2 adres periférií, který zajišťuje postupné načítávání adres, případně nastavení adresy zvoleného periferního zařízení, pamětí 3 masek přerušení pro jednotlivá periferní zařízení a obvodem 4 pro vytvoření signálu přerušení v závislosti na masce a připravenosti příslušného periferního zařízení a pro generování signálu pro hradlovací čítače 2 adres.

Logický obvod 1 obsahuje alespoň šest vstupů — první vstup 11 pro signál zápisu z centrální jednotky, druhý vstup 12 pro signál výběrového cyklu, který v součinu se signálem výběru požadavku na vstupní nebo výstupní periferní zařízení vytváří signál odpovědi na přerušení, třetí vstup 13 pro signál výběru požadavku na vstupní nebo výstupní periferní zařízení, čtvrtý vstup 14 nejnižšího bitu adresy periferního zařízení, pátý vstup 15 pro signál nejnižšího bitu stavového slova periferního zařízení, který indikuje připravenost právě naadresovaného periferního zařízení a šestý vstup 16 pro signál počátečního nastavení.

Logický obvod 1 dále obsahuje alespoň tři výstupy — první výstup 17 pro signál nastavení příslušné, kupř. osmibitové adresy periferního zařízení na zvláštní sběrnici pro adresaci periférie, druhý výstup 18 pro signál zápisu masky a třetí výstup 19 pro signál stavového bitu.

Čítač 2 adres obsahuje alespoň čtyři vstupy — první vstup 20 pro sběrnici 50, kupříkladu osmi nižších bitů adresy periferního zařízení, druhý vstup 21 pro připojení synchronizačního kmitočtu, třetí vstup 22 pro signál hradlovacího impulsu čítače 2 adres a čtvrtý vstup 23 pro signál nastavení příslušné, kupř. osmibitové adresy periferního zařízení. Dále čítač 2 obsahuje alespoň výstup 24 pro napojení, kupř. osmibitové sběrnice 60 pro adresu periferního zařízení.

Paměť 3 masek přerušení obsahuje alespoň tři vstupy — první vstup 31 pro signál zápisu masky, druhý vstup 32 pro nejnižší bit výstupu neznázorněné sběrnice dat a třetí

vstup 30 pro napojení, kupř. osmibitové sběrnice 60 adresy periferního zařízení a jeden výstup 33 pro signál masky přerušení.

Obvod 4 pro vytvoření signálu přerušení obsahuje alespoň dva vstupy — první vstup 41 pro signál stavového bitu periférie a druhý vstup 42 pro signál masky přerušení a dva výstupy — první výstup 43 signálu hradlovacího impulsu čítače 2 adres a druhý výstup 44 signálu přerušení.

Příkladné zapojení je realizováno tak, že první výstup 17 logického obvodu 1 je spojen se čtvrtým vstupem 23 čítače 2 adres periférií, druhý výstup 18 logického obvodu 1 je spojen s prvním vstupem 31 paměti 3 masek a třetí výstup 19 logického obvodu 1 je spojen s prvním vstupem 41 obvodu 4 pro vytvoření signálu přerušení.

Dále je výstup 33 paměti 3 masek přerušení spojen se druhým vstupem 42 obvodu 4 pro vytvoření signálu přerušení, jehož první výstup 43 je spojen se třetím vstupem 22 čítače 2 adres periférií. Konečně je první vstup 20 čítače 2 adres periférií připojen ke sběrnici 50 nižších bitů adresy a výstup 24 čítače 2 je spolu se třetím vstupem 30 paměti 3 masek připojen ke sběrnici 60 adres periferního zařízení. Ostatní nejmenované vstupy jsou připojeny k neznázorněným zdrojům signálů, definovaných v předchozím textu.

Příklad funkce zapojení podle vynálezu je následující. Po zapnutí, nebo po příchodu signálu počátečního nastavení na šestý vstup 16 logického obvodu 1 se tento obvod uvede do počátečního stavu. Po ukončení signálu počátečního nastavení se automaticky rozběhne čítač 2 adres, který na sběrnici 60 postupně generuje adresy všech periférií, které mohou být maximálně připojeny k systému, ve kterém zapojení podle vynálezu pracuje.

V daném případě může jít o 128 periférií s 256 adresami. V okamžiku naadresování příslušné periférie se uvolní na neznázorněné vstupní stavové sběrnici stavové slovo periférie, jehož nejnižší bit, přivedený k pátému vstupu 15 logického obvodu 1, udává připravenost odpovídající periférie k činnosti. Odpovídající signál se pak přivede ze druhého výstupu 18 logického obvodu 1 na první vstup 41 obvodu 4, kde se srovnává s maskou, přivedenou na druhý vstup 42 obvodu 4 z výstupu 33 paměti 3 masek.

Příslušná maska je v paměti 3 vybírána adresou příslušné periférie ze sběrnice 60. Maskovací bit příslušné periférie se přitom do paměti 3 zapisuje přes její první vstup 31 signálem ze druhého výstupu 18 logického obvodu 1.

V případě, že je příslušná periférie připravena k činnosti a paměť 3 povoluje obsluhu této periférie, vygeneruje obvod 4 jednak na prvním výstupu 43 signál hradlovacího impulsu čítače 2 adres, který zahradluje další čítání čítače 2 adres, jednak na druhém výstupu 44 signál přerušení, což

je potřebný požadavek o přerušení práce neznázorněného procesoru, v jehož obvodu zapojení podle vynálezu pracuje.

Po obslužení příslušné periférie se automaticky vynuluje nejnižší bit stavového slova této periférie, což zjistí obvod 4 přes spoj třetího výstupu 19 logického obvodu 1 s prvním vstupem 41 obvodu 4, zruší signály přerušení a hradlovacího impulsu čítače 2 adres, čímž se odhradluje čítač 2 adres, rozeběhne se a generuje na sběrnici 60 adresy dalších možných periferních zařízení.

Adresu žádané periférie je také možno volit přímo softwarově příslušnou instrukcí vstup-výstup, zavedenou do sběrnice 50 adresy, přičemž se čítač 2 přednastaví adresou smluvní periférie, která musí být pro další funkci dána signálem nastavení adresy, generovaným ze sedmého výstupu 17 logického obvodu 1.

Signál adresy periferního zařízení, který je odvozen od nejnižšího bitu adresy a je přiveden na čtvrtý vstup 14 logického obvodu 1, rozhoduje o tom, zda neznázorněný procesor komunikuje s periférií, nebo zda se do paměti 3 masek zapisuje maska příslušné periférie.

Zapojení podle vynálezu lze výhodně použít u modifikace systému pro přenos údajů, kupříkladu u zařízení typu SPU 800.

Příkladné provedení zapojení je popsáno pro spojení s mikroprocesorem typu Z 80. Zapojení ovšem může být použito pro libovolný typ mikroprocesoru s tím, že postačí upravit popisované řídicí signály tak, jak plyne z popisu funkce použitého typu procesoru a jak vyplývá z popisu činnosti zapojení.

#### PŘEDMĚT VYNÁLEZU

Zapojení pro hardwarové přerušení činnosti procesoru periferním zařízením v závislosti na vyhledané adrese tohoto zařízení a na programově nastavené masce přerušení příslušného periferního zařízení, vyznačené tím, že je tvořeno čtyřmi obvody, a to logickým obvodem (1) pro zajištění počátečního nastavení po zapnutí systému, případně po restartu, kterýžto logický obvod (1) obsahuje alespoň šest vstupů — první vstup (11) pro signál zápisu z centrální jednotky, druhý vstup (12) pro signál výběrového cyklu, třetí vstup (13) pro signál výběru požadavku na vstupní nebo výstupní periferní zařízení, čtvrtý vstup (14) nejnižšího bitu adresy periferního zařízení, pátý vstup (15) pro signál nejnižšího bitu stavového slova periferního zařízení, který indikuje připravenost právě naadresovaného periferního zařízení a šestý vstup (16) pro signál počátečního nastavení a tři výstupy — první výstup (17) pro signál nastavení příslušné adresy periferního zařízení na zvláštní sběrnici (60) pro adresaci periférie, druhý výstup (18) pro signál zápisu masky a třetí výstup (19) pro signál stavového bitu, čítačem (2) adres, který obsahuje alespoň čtyři vstupy — první vstup (20) pro sběrnici (50), kupříkladu osmi nižších bitů adresy periferního zařízení, druhý vstup (21) pro připojení synchronizačního kmitočtu, třetí vstup (22) pro signál hradlovacího impulsu čítače (2) adres a čtvrtý vstup (23) pro signál nastavení příslušné, kupříkladu osmibitové adresy periferního zařízení a alespoň jeden výstup

(24) pro napojení zvláštní osmibitové sběrnice (60) pro adresaci periferních zařízení paměti (3) masek přerušení, která obsahuje alespoň tři vstupy — první vstup (31) pro signál zápisu masky, druhý vstup (32) pro nejnižší bit výstupu neznázorněné sběrnice dat a třetí vstup (30) pro napojení, kupříkladu osmibitové sběrnice (60) adresy periferního zařízení a jeden výstup (33) pro signál masky přerušení a tvořené dále obvodem (4) pro vytvoření signálu přerušení, který obsahuje alespoň dva vstupy — první vstup (41) pro signál stavového bitu periférie a druhý vstup (42) pro signál masky přerušení a dva výstupy — první výstup (43) signálu hradlovacího impulsu čítače (2) adres a druhý výstup (44) signálu přerušení, přičemž první výstup (17) logického obvodu (1) je spojen se čtvrtým vstupem (23) čítače (2) adres periférií, druhý výstup (18) logického obvodu (1) je spojen s prvním vstupem (31) paměti (3) masek a třetí výstup (19) logického obvodu (1) je spojen s prvním vstupem (41) obvodu (4) pro vytvoření signálu přerušení, výstup (33) paměti (3) masek přerušení je spojen se druhým vstupem (42) obvodu (4) pro vytvoření signálu přerušení, jehož první výstup (43) je spojen se třetím vstupem (22) čítače (2) adres periférií, první vstup (20) čítače (2) adres periférií je připojen ke sběrnici (50) nižších bitů adresy a výstup (24) čítače (2) adres periférií je spolu se třetím vstupem (30) paměti (3) masek připojen ke sběrnici (60) adres periferního zařízení.

