



(12)发明专利申请

(10)申请公布号 CN 107980127 A

(43)申请公布日 2018.05.01

(21)申请号 201680036148.8

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2016.06.17

代理人 袁逸 陈炜

(30)优先权数据

62/182,815 2015.06.22 US

15/184,181 2016.06.16 US

(51)Int.Cl.

G06F 12/14(2006.01)

G06F 13/40(2006.01)

G06F 13/42(2006.01)

(85)PCT国际申请进入国家阶段日 2017.12.20

(86)PCT国际申请的申请数据

PCT/US2016/038146 2016.06.17

(87)PCT国际申请的公布数据

W02016/209733 EN 2016.12.29

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·Y·伊弗拉奇 A·吉尔

J·L·帕尼安 O·罗森伯格

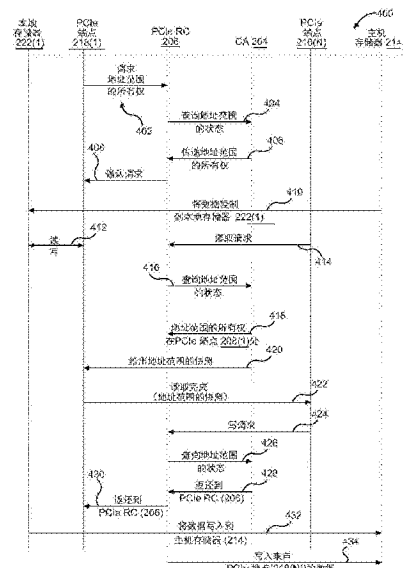
权利要求书4页 说明书8页 附图7页

(54)发明名称

对快速外围组件互连(PCI)(PCIe)事务层的一致性驱动增强

(57)摘要

公开了对PCIe事务层的一致性驱动增强。在一个示例性方面,一致性代理被添加到PCIe系统以支持在其中使用存储器的宽松的一致性模型。具体而言,端点可以请求存储器的各部分的所有权以从/向该存储器读取和写入。该一致性代理指派包括所请求部分的地址范围。该请求方端点将对应于所指派的地址范围的存储器内容复制到本地端点存储器中以在本地执行读和写操作。拥有方端点可以在请求之际提供所复制的存储器内容的经更新快照。在所复制的存储器内容的使用完成时,或者在来自该一致性代理的请求之际,该地址范围的所有权返回到根复合体,并且该端点将经更新的内容发送回系统存储器元件中的该地址范围。



1. 一种用于控制高速外围组件互连 (PCI) (PCIe) 系统中的主机存储器的方法,包括:
在主机中与所述主机中的主机存储器相关联的根复合体处接收来自第一端点的访问存储在所述主机存储器中的第一部分数据的请求;
向所述主机的一致性代理请求来自所述主机的与所述第一部分数据相关联的地址范围的所有权;
由所述一致性代理将所述地址范围的所有权从所述主机指派到所述第一端点;
向所述第一端点提供与所述地址范围相关联的数据;以及
当所述地址范围的所有权返回到所述主机时,从所述第一端点接收与所述地址范围相关联的经修改数据。
2. 如权利要求1所述的方法,其特征在于,进一步包括在所述主机存储器中存储与所述地址范围相关联的所述经修改数据。
3. 如权利要求1所述的方法,其特征在于,进一步包括在从所述第一端点接收与所述地址范围相关联的所述经修改数据之前,向所述第一端点请求将所述地址范围的所有权返回到所述主机。
4. 如权利要求1所述的方法,其特征在于,进一步包括在从所述第一端点接收与所述地址范围相关联的所述经修改数据之后,在所述根复合体处从所述第一端点接收所述地址范围的所有权并将所述地址范围的所有权返还到所述主机。
5. 如权利要求1所述的方法,其特征在于,进一步包括:
在所述根复合体处从第二端点接收读取存储在所述主机存储器中的第二部分数据的请求,所述第二部分数据与所述地址范围相关联;
向所述第一端点请求与所述地址范围相关联的数据的快照;以及
向所述第二端点提供与所述地址范围相关联的数据的快照。
6. 如权利要求1所述的方法,其特征在于,进一步包括:
在所述根复合体处从第二端点接收访问存储在所述主机存储器中的第二部分数据的请求,所述第二部分数据与所述地址范围相关联;
向所述一致性代理请求来自所述第一端点的所述地址范围的所有权;
向所述第一端点请求将所述地址范围的所有权返回到所述主机;
在从所述第一端点接收与所述地址范围相关联的所述经修改数据之后,由所述一致性代理将所述地址范围的所有权从所述第一端点指派到所述第二端点;以及
向所述第二端点提供与所述地址范围相关联的数据。
7. 一种快速外围组件互连 (PCI) (PCIe) 系统的主机系统,包括:
PCIe总线接口,其被配置成通过PCIe总线至少耦合到第一端点和第二端点;
主机存储器,包括存储于其中的数据,至少第一部分数据和第二部分数据与一地址范围相关联;
与所述主机存储器相关联的根复合体,其被配置成从所述PCIe总线接收来自所述第一端点的对与所述地址范围相关联的所述第一部分数据的所有权的请求;以及
一致性代理,其被配置成控制所述地址范围的所有权。
8. 如权利要求7所述的主机系统,其特征在于,所述根复合体被进一步配置成:
向所述一致性代理请求来自所述主机系统的与所述第一部分数据相关联的所述地址

范围的所有权；

向所述第一端点提供与所述地址范围相关联的数据；

所述一致性代理被进一步配置成将所述地址范围的所有权从所述主机系统指派到所述第一端点；以及

在所述主机存储器中存储与所述地址范围相关联的经修改数据。

9. 如权利要求8所述的主机系统，其特征在于，所述根复合体被进一步配置成：

向所述第一端点提供与所述地址范围相关联的数据；以及

当所述地址范围的所有权返回到所述主机系统时，从所述第一端点接收与所述地址范围相关联的经修改数据。

10. 如权利要求9所述的主机系统，其特征在于，所述根复合体被进一步配置成在所述主机存储器中存储与所述地址范围相关联的所述经修改数据。

11. 如权利要求9所述的主机系统，其特征在于，所述根复合体被进一步配置成在从所述第一端点接收与所述地址范围相关联的所述经修改数据之前，向所述第一端点请求将所述地址范围的所有权返还到所述主机系统。

12. 如权利要求9所述的主机系统，其特征在于，所述根复合体被进一步配置成在从所述第一端点接收与所述地址范围相关联的所述经修改数据之后，从所述第一端点接收所述地址范围的所有权并将所述地址范围的所有权返还到所述主机系统。

13. 如权利要求9所述的主机系统，其特征在于，所述根复合体被进一步配置成：

从所述第二端点接收读取存储在所述主机存储器中的第二部分数据的请求；

向所述第一端点请求与所述地址范围相关联的数据的快照；以及

向所述第二端点提供与所述地址范围相关联的数据的快照。

14. 如权利要求9所述的主机系统，其特征在于，所述根复合体被进一步配置成：

从所述第二端点接收访问存储在所述主机存储器中的第二部分数据的请求；

向所述一致性代理请求来自所述第一端点的所述地址范围的所有权；

向所述第一端点请求将所述地址范围的所有权返回到所述主机系统；以及

向所述第二端点提供与所述地址范围相关联的数据；

所述一致性代理被进一步配置成在从所述第一端点接收与所述地址范围相关联的所述经修改数据之后，将所述地址范围的所有权从所述第一端点指派到所述第二端点。

15. 如权利要求7所述的主机系统，其特征在于，所述主机系统被集成到集成电路 (IC) 中。

16. 如权利要求7所述的主机系统，其特征在于，所述主机系统被集成到选自下组的设备中：机顶盒；娱乐单元；导航设备；通信设备；固定位置数据单元；移动位置数据单元；移动电话；蜂窝电话；智能电话；平板电脑；平板手机；服务器；计算机；便携式计算机；台式计算机；个人数字助理 (PDA)；监视器；计算机监视器；电视机；调谐器；无线电；卫星无线电；音乐播放器；数字音乐播放器；便携式音乐播放器；数字视频播放器；视频播放器；数字视频碟 (DVD) 播放器；便携式数字视频播放器；以及汽车。

17. 一种用于管理高速外围组件互连 (PCI) (PCIe) 系统的端点中的数据的方法，包括：

由第一端点向与主机存储器相关联的根复合体请求访问存储在所述主机存储器中的部分数据；

从所述根复合体接收与地址范围相关联的数据和所述地址范围的所有权；
在所述第一端点的本地存储器处存储与所述地址范围相关联的数据；以及
响应于所述地址范围的所有权返回主机系统，向所述根复合体提供与所述地址范围相关联的经修改数据。

18. 如权利要求17所述的方法，其特征在于，进一步包括响应于从所述根复合体接收将所述地址范围的所有权返还到所述主机系统的请求而提供与所述地址范围相关联的所述经修改数据。

19. 如权利要求17所述的方法，其特征在于，进一步包括在向所述根复合体提供与所述地址范围相关联的所述经修改数据之后，由所述第一端点向所述主机系统返还所述地址范围的所有权。

20. 如权利要求17所述的方法，其特征在于，进一步包括：
在所述第一端点处从所述根复合体接收来自第二端点的对与所述地址范围相关联的所述数据的快照的请求；以及
向所述第二端点提供与所述地址范围相关联的所述数据的快照。

21. 如权利要求17所述的方法，其特征在于，进一步包括：
在所述第一端点处接收将所述地址范围的所有权返还到所述主机系统的请求；
向所述根复合体提供与所述地址范围相关联的数据；以及
由所述第一端点将所述地址范围的所有权返还到所述主机系统。

22. 一种快速外围组件互连 (PCI) (PCIe) 系统的端点，包括：
本地存储器；以及
处理电路系统，其耦合到所述本地存储器，并被配置成：
向与PCIe系统的主机存储器相关联的根复合体请求访问存储在所述主机存储器中的部分数据；

从所述根复合体接收与地址范围相关联的数据和所述地址范围的所有权；
在所述端点的本地存储器处存储与所述地址范围相关联的数据；以及
响应于所述地址范围的所有权返回所述PCIe系统，向所述根复合体提供与所述地址范围相关联的经修改数据。

23. 如权利要求22所述的端点，其特征在于，所述处理电路系统被进一步配置成响应于从所述根复合体接收将所述地址范围的所有权返还到所述PCIe系统的请求而提供与所述地址范围相关联的所述经修改数据。

24. 如权利要求22所述的端点，其特征在于，所述处理电路系统被进一步配置成在向所述根复合体提供与所述地址范围相关联的所述经修改数据之后，向所述PCIe系统返还所述地址范围的所有权。

25. 如权利要求22所述的端点，其特征在于，所述处理电路系统被进一步配置成：
响应于从所述根复合体接收来自第二端点的对与所述地址范围相关联的数据的快照的请求，向所述第二端点提供与所述地址范围相关联的数据的快照。

26. 如权利要求22所述的端点，其特征在于，所述处理电路系统被进一步配置成：
响应于接收向所述PCIe系统返还所述地址范围的所有权的请求，向所述根复合体提供与所述地址范围相关联的数据并向所述PCIe系统返还所述地址范围的所有权。

27. 一种快速外围组件互连 (PCI) (PCIe) 系统的主机系统, 包括:
用于通过PCIe总线与至少第一端点和第二端点对接的装置;
用于存储数据的装置, 至少第一部分数据和第二部分数据与一地址范围相关联;
用于处理对存储在所述用于存储数据的装置中的数据的数据所有权请求的装置, 其被配置成从所述PCIe总线接收来自所述第一端点的对与所述地址范围相关联的所述第一部分数据的所有权的请求; 以及
用于控制存储器的装置, 其被配置成控制所述地址范围的所有权。

28. 如权利要求27所述的主机系统, 其特征在于, 所述用于处理数据所有权请求的装置被进一步配置成:

向所述用于控制存储器的装置请求来自所述主机系统的与所述第一部分数据相关联的地址范围的所有权;

向所述第一端点提供与所述地址范围相关联的数据;

所述用于控制存储器的装置被进一步配置成将所述地址范围的所有权从所述主机系统指派到所述第一端点; 以及

在所述用于存储数据的装置中存储与所述地址范围相关联的经修改数据。

29. 一种快速外围组件互连 (PCI) (PCIe) 系统, 包括:

主机系统, 包括:

PCIe总线接口, 其被配置成通过PCIe总线至少耦合到PCIe系统的端点;

主机存储器, 其包括存储于其中的数据, 至少部分数据与地址范围相关联;

与所述主机存储器相关联的根复合体, 其被配置成从所述PCIe总线接收来自所述端点的对与所述地址范围相关联的所述部分数据的所有权的请求; 以及

一致性代理, 其被配置成控制所述地址范围的所有权; 以及所述端点, 其包括本地存储器和配置成执行以下操作的处理电路系统:

向所述根复合体请求访问存储在所述主机存储器中的所述部分数据;

从所述根复合体接收与所述地址范围相关联的数据和所述地址范围的所有权;

在所述本地存储器处存储与所述地址范围相关联的数据; 以及

响应于所述地址范围的所有权返回所述主机系统, 向所述根复合体提供与所述地址范围相关联的经修改数据。

对快速外围组件互连 (PCI) (PCIe) 事务层的一致性驱动增强

[0001] 优先权要求

[0002] 本申请依据35U.S.C. §119 (e) 要求2015年6月22日提交且题为“COHERENCY DRIVEN ENHANCEMENTS TO A PERIPHERAL COMPONENT INTERCONNECT (PCI) EXPRESS (PCIe) TRANSACTION LAYER (对快速外围组件互连 (PCI) (PCIe) 事务层的一致性驱动增强)”的美国临时专利申请S/N.62/182,815的优先权,其内容通过引用被全部纳入于此。

[0003] 本申请还要求2016年6月16日提交且题为“COHERENCY DRIVEN ENHANCEMENTS TO A PERIPHERAL COMPONENT INTERCONNECT (PCI) EXPRESS (PCIe) TRANSACTION LAYER (对快速外围组件互连 (PCI) (PCIe) 事务层的一致性驱动增强)”的美国专利申请S/N.15/184,181的优先权,其内容通过引用被全部纳入于此。

[0004] 背景

[0005] I. 公开领域

[0006] 本公开的技术一般涉及高速外围组件互连 (PCI) (PCIe) 系统。

II. 背景技术

[0007] 移动通信设备在现代社会已变得越来越普遍。此类移动通信设备的日益盛行部分地是由这些设备上可用的增加的功能性来推动的。此类增加的功能性是通过在移动通信设备内包括越来越复杂的集成电路 (IC) 来实现的。随着移动通信设备内的IC的数目和复杂度的增加,各种IC也需要彼此通信。

[0008] 已经公布了数个标准,其概述了允许IC彼此通信的各种协议。一种流行的协议是外围组件互连 (PCI) 协议,其存在各种类型,包括快速PCI (PCIe) 协议。在作为IC到IC通信协议很有用的同时,PCI和PCIe协议也可以被用来通过电缆或其他连接器将移动终端耦合到远程设备。

[0009] PCIe协议经常被用来控制对存储器元件的访问。在许多实例中,一个以上PCIe组件可能想要并发地访问存储器元件。在此类实例中,此类访问请求被发送到系统存储器(或设备存储器)以读/写数据。然而,PCIe被定义成非一致的。即,对系统存储器(或设备存储器)的修改不会自动地被传达到其他PCIe组件。简而言之,可能难以正确地管理和控制对存储器元件的访问。由此,需要籍以管理此类对存储器资源的并发使用的更好机制。

[0010] 公开概述

[0011] 详细描述中公开的诸方面包括对快速外围组件互连 (PCI) (PCIe) 事务层的一致性驱动增强在一个示例性方面,一致性代理被添加到PCIe系统以支持在该PCIe系统中使用存储器的宽松的一致性模型。该PCIe系统可以包括其中存储有数据的系统存储器元件。并非要求该PCIe系统的端点从/向该系统存储器元件读取和写入,本公开的示例性方面允许端点请求该系统存储器元件的各部分的所有权。此类部分可以由该系统存储器元件的地址范围来定义。该一致性代理向请求方端点指派所请求的地址范围。该指派有时可以被称作指派所有权。该请求方端点将该系统存储器元件中对应于所指派的地址范围的内容复制到本地端点存储器中。该请求方端点随后对所复制的存储器内容执行本地读和写操作。若根复

合体或其他端点请求,拥有方端点可以发送所复制的存储器内容的经更新的快照(如通过任何本地写操作所更新的)。在由端点对所复制的存储器内容的使用完成时,或者在来自该根复合体的一致性代理的指令之后,该地址范围的所有权返回到该根复合体,并且该端点将经更新的内容发送回该系统存储器元件中的该地址范围。

[0012] 就此而言,在一个方面,提供了一种用于控制PCIe系统中的主机存储器的方法。该方法包括在主机的与该主机中的主机存储器相关联的根复合体处接收来自第一端点的访问存储在该主机存储器中的第一部分数据的请求。该方法进一步包括向该主机的一致性代理请求来自该主机的与第一部分数据相关联的地址范围的所有权。该方法进一步包括由该一致性代理将该地址范围的所有权从该主机指派到第一端点,并向第一端点提供与该地址范围相关联的数据。该方法进一步包括当该地址范围的所有权返回到该主机时,从第一端点接收与该地址范围相关联的经修改数据。

[0013] 在另一方面,提供了一种PCIe系统的主机系统。该主机系统包括PCIe总线接口,其配置成通过PCIe总线耦合到至少第一端点和第二端点。该主机系统进一步包括主机存储器,该主机存储器包括存储于其中的数据,至少第一部分数据和第二部分数据与一地址范围相关联。该主机系统进一步包括与该主机存储器相关联的根复合体,其被配置成从该PCIe总线接收来自第一端点的对与该地址范围相关联的第一部分数据的所有权的请求。主机系统进一步包括被配置成控制该地址范围的所有权的一致性代理。

[0014] 在另一方面,提供了一种用于管理PCIe系统的端点中的数据的方法。该方法包括由第一端点向与主机存储器相关联的根复合体请求访问存储在该主机存储器中的部分数据。该方法进一步包括从该根复合体接收与地址范围相关联的数据和该地址范围的所有权。该方法进一步包括在第一端点的本地存储器处存储与该地址范围相关联的数据。该方法进一步包括响应于该地址范围的所有权返回主机系统,向该根复合体提供与该地址范围相关联的经修改数据。

[0015] 在另一方面,提供了一种PCIe系统的端点。该端点包括本地存储器。该端点还包括耦合到该本地存储器的处理电路系统。该端点的该处理电路系统被配置成向与PCIe系统的主机存储器相关联的根复合体请求访问存储在该主机存储器中的部分数据。该端点的该处理电路系统被进一步配置成从该根复合体接收与地址范围相关联的数据和该地址范围的所有权。该端点的该处理电路系统被进一步配置成在该端点的本地存储器处存储与该地址范围相关联的数据。该端点的该处理电路系统被进一步配置成响应于该地址范围的所有权返回该PCIe系统,向该根复合体提供与该地址范围相关联的经修改数据。

[0016] 在另一方面,提供了一种PCIe系统的主机系统。该主机系统包括用于通过PCIe总线与至少第一端点和第二端点对接的装置。该主机系统进一步包括用于存储数据的装置,至少第一部分数据和第二部分数据与一地址范围相关联。该主机系统进一步包括用于处理对存储在该用于存储数据的装置中的数据的数据所有权请求的装置,其被配置成从该PCIe总线接收来自第一端点的对与该地址范围相关联的第一部分数据的所有权的请求。该主机系统进一步包括用于控制存储器的装置,其被配置成控制该地址范围的所有权。

[0017] 在另一方面,提供了一种PCIe系统。该PCIe系统包括主机系统,其包括配置成通过PCIe总线至少耦合到PCIe系统的端点的PCIe总线接口。该主机系统进一步包括主机存储器,该主机存储器包括存储于其中的数据,至少一部分数据与地址范围相关联。该主机系统

进一步包括与该主机存储器相关联的根复合体,其被配置成从该PCIe总线接收来自该端点的对与该地址范围相关联的该部分数据的所有权的请求。主机系统进一步包括被配置成控制该地址范围的所有权的一致性代理。

[0018] 该PCIe系统进一步包括该端点,其包括本地存储器和被配置成向根复合体请求访问存储在该主机存储器中的该部分数据的处理电路系统。该处理电路系统被进一步配置成从该根复合体接收与该地址范围相关联的数据和该地址范围的所有权。该处理电路系统被进一步配置成在该本地存储器处存储与该地址范围相关联的数据。该处理电路系统被进一步配置成响应于该地址范围的所有权返回该主机系统,向该根复合体提供与该地址范围相关联的经修改数据。

[0019] 附图简述

[0020] 图1是常规快速外围组件互连 (PCI) (PCIe) 系统的框图;

[0021] 图2是包括对PCIe事务层的一致性驱动增强的示例性PCIe系统的框图;

[0022] 图3是图2的PCIe系统中的存储器元件的简化状态图;

[0023] 图4是用于图2的PCIe系统的元件之间的一致性信令的示例性消息信号图;

[0024] 图5是解说用于控制主机存储器的示例性方法的流程图;

[0025] 图6是解说用于管理示例性PCIe端点中的数据的数据的示例性方法的流程图;以及

[0026] 图7是可包括图2的PCIe系统的示例性基于处理器的系统的框图。

[0027] 详细描述

[0028] 现在参照附图,描述本公开的若干示例性方面。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何方面不必被解释为优于或胜过其他方面。

[0029] 详细描述中公开的诸方面包括对快速外围组件互连 (PCI) (PCIe) 事务层的一致性驱动增强在一个示例性方面,一致性代理被添加到PCIe系统以支持在PCIe系统中使用存储器的宽松的一致性模型。PCIe系统可以包括其中存储有数据的系统存储器元件。并非要求PCIe系统的端点从/向系统存储器元件读取和写入,本公开的示例性方面允许端点请求该系统存储器元件的各部分的所有权。此类部分可以由系统存储器元件的地址范围来定义。一致性代理向请求方端点指派所请求的地址范围。该指派有时可以被称作指派所有权。请求方端点将系统存储器元件中对应于所指派的地址范围的内容复制到本地端点存储器中。请求方端点随后对所复制的存储器内容执行本地读和写操作。若根复合体或其他端点请求,拥有方端点可以发送所复制的存储器内容的经更新的快照(如通过任何本地写操作所更新的)。在由端点对所复制的存储器内容的使用完成时,或者在来自根复合体的一致性代理的指令之后,该地址范围的所有权返回到根复合体,并且端点将经更新的内容发送回系统存储器元件中的该地址范围。

[0030] 在讨论对PCIe事务层的一致性驱动增强的示例性方面之前,首先在图1中提供了常规PCIe系统的简要概览。参照图2开始讨论对PCIe事务层的一致性驱动增强的具体示例性方面。

[0031] 就此而言,图1是常规PCIe系统100的框图。常规PCIe系统100包括主机系统102,其可以是中央处理单元(CPU)、片上系统(SoC)、或类似系统。主机系统102通过PCIe总线106耦合到多个PCIe端点104(1)-104(M)。在非限定性示例中,常规PCIe系统100包括控制PCIe端

点104 (N+1) -104 (M) 的PCIe交换器108。在该示例中,PCIe端点104 (N+1) -104 (M) 被配置成经由PCIe交换器108与主机系统102通信。应当领会,PCIe协议要求主机(诸如主机系统102)与端点(诸如多个PCIe端点104 (1) -104 (M))之间的点到点连接。由此,每个连接可以被认为是其自己的总线。然而,为了方便起见,此类多个连接在本文中被称为PCIe总线106。进一步,通过使用集线器或PCIe交换器108,可以达成点到多点能力。如所解说的,PCIe端点104 (1) -104 (N) 由PCIe总线106内的点到点连接来连接,而PCIe端点104 (N+1) -104 (M) 被耦合到PCIe交换器108。应当领会,PCIe系统100可以包括多个交换器(未解说)或不包括交换器(同样未解说),而不背离本公开的范围。类似地,耦合到任何交换器的端点的数目可以变化而不背离本公开的范围。多个PCIe端点104 (1) -104 (M) 中的每一者还可以被认为是相对于主机系统102的从动设备。

[0032] 继续参照图1,主机系统102包括至少一个处理器110、存储器控制器112、和存储器管理单元(MMU) 114。处理器110、存储器控制器112、和MMU 114被耦合到内部总线116(例如,片上系统网络(SNoC)总线)。例如,存储器控制器112被配置成控制存储器118,诸如动态随机存取存储器(DRAM)或双数据率(DDR) DRAM。主机系统102还包括通信地耦合到MMU 114的PCIe根复合体(RC) 120。PCIe RC 120被配置成经由总线接口122控制多个PCIe端点104 (1) -104 (M) 和PCIe交换器108,总线接口122允许信号被传送到PCIe总线106上或从PCIe总线106接收信号。PCIe RC 120与多个PCIe端点104 (1) -104 (M) 及PCIe交换器108之间的通信是基于事务层分组(TLP)(未示出)的。每个TLP包括使得PCIe RC 120能够将TLP正确地路由到多个PCIe端点104 (1) -104 (M) 和PCIe交换器108的地址信息。就此而言,PCIe RC 120类似于网际协议(IP)网络的路由器,而TLP类似于在IP网络中传达的IP分组。

[0033] 根据PCIe协议,TLP被用来在PCIe RC 120与多个PCIe端点104 (1) -104 (M) 及PCIe交换器108之间传达事务(诸如读和写)以及特定类型的事件。PCIe协议定义了四(4)种类型的事务,包括存储器事务、输入/输出(I/O)事务、配置事务、和消息事务。存储器事务包括读请求、写请求、和AtomicOp(原子操作)请求事务。对于存储器事务,PCIe被定义成非一致的。即,例如对存储器118的修改不会自动地被传达到其他PCIe组件,诸如多个PCIe端点104 (1) -104 (M)。由此,例如,可能难以管理和控制来自PCIe组件(诸如多个PCIe端点104 (1) -104 (M))的对存储器118的访问。

[0034] 就此而言,图2是包括对PCIe事务层的一致性驱动增强的示例性PCIe系统200的示意图。在诸示例性方面,PCIe系统200包括示例性主机系统202。主机系统202包括用于控制存储器以实现以下所描述的功能性的装置,诸如示例性一致性代理204(在附图中被引用为CA)。具体而言,一致性代理204被添加在用于处理对数据的数据所有权请求的装置(诸如示例性PCIe RC 206)与MMU 208之间以向PCIe系统200提供宽松的一致性模型。

[0035] 主机系统202包括类似于上文针对图1中解说的常规主机系统102所描述的数个元件。具体而言,主机系统202包括MMU 208、至少一个处理器210、存储器控制器212、用于存储数据的装置(诸如主机存储器214)、和内部总线216(例如,片上系统网络(SNoC)总线)。这些元件类似于图1中解说的常规主机系统102中的MMU 114、至少一个处理器110、存储器控制器112、存储器118和内部总线116,并且将不在本文中进一步具体描述。PCIe系统200进一步包括通过PCIe总线220耦合到PCIe RC 206的多个示例性PCIe端点218 (1) -218 (M)。这多个PCIe端点218 (1) -218 (M) 中的每一者包括本地存储器222 (1) -222 (M) 中的相应本地存储器

和处理电路224 (1) -224 (M) 中的相应处理电路,该处理电路耦合到本地存储器222 (1) -222 (M) 中的本地存储器,配置成执行下文描述的功能性。进一步,在非限定性示例中,PCIe系统200包括控制PCIe端点218 (N+1) -218 (M) 的PCIe交换器226。相应地,在该示例中,PCIe端点218 (N+1) -218 (M) 被配置成经由PCIe交换器226与主机系统202通信。进一步,PCIe RC 206被耦合到用于与端点对接的装置(诸如总线接口228) 以及与多个PCIe端点218 (1) -218 (M) 和PCIe交换器226通信,并控制多个PCIe端点218 (1) -218 (M) 和PCIe交换器226。

[0036] 在本公开的示例性方面,当端点(诸如多个PCIe端点218 (1) -218 (M) 中的一者) 可能期望从/向主机存储器214的一部分读取和写入时,实现该宽松的一致性模型。在缺少本公开的示例性方面的情况下,每次端点想要从/向主机存储器214读取或写入时,对应的消息必须穿过PCIe总线220。本公开的诸示例性方面消除了这些消息,由此通过使用一致性代理204将其中存储了主机存储器214的内容的期望部分的地址范围的所有权指派给请求方端点(例如,PCIe端点218 (1)) 来减少PCIe总线220上的消息话务。PCIe总线220上的消息话务的此类减少一般可以减小PCIe总线220上的等待时间,因为有更大的带宽可用于其他消息。一旦用这种方式指派了所有权,则PCIe端点218 (1) 将存储在该地址范围中的数据以及因此将主机存储器214的期望部分复制到本地存储器222 (1) 。PCIe端点218 (1) 可以通过访问本地存储器222 (1) 来更快速地访问该地址范围中的数据的期望部分,而非不得不通过PCIe总线220通信以访问主机存储器214在该地址范围中的期望部分。PCIe端点218 (1) 可以随后对所复制的数据执行读和写操作,直到PCIe端点218 (1) 完成其对所复制的数据的需要或者PCIe RC 206向PCIe端点218 (1) 请求要回所有权。

[0037] 图3是图2的主机存储器214和本地存储器222 (1) 随着在图4的消息信号图400中往返传递信号的简化状态图300。相应地,图3和图4二者将会被用于以下解释。就此而言,如很好理解的,在初始状态302,主机存储器214中存储有数据,且该数据可以具有相关联的地址。例如,地址范围可以指存储在主机存储器214中的数据块或数据部分。如所解说的,214 (A) -214 (X) 是不同数据块A-X的地址。类似地,PCIe端点218 (1) 的本地存储器222 (1) 在初始状态302中可以为空。PCIe端点218 (1) 可以确定PCIe端点218 (1) 需要从/向主机存储器214的一部分读取和写入。例如,主机存储器214的该部分为主机存储器214在地址范围214 (H) -214 (K) 的内容。然而,注意到主机存储器214的该部分可以少于主机存储器214在地址范围214 (H) -214 (K) 的内容。例如,PCIe端点218 (1) 可以仅期望访问地址范围214 (I) -214 (J) 处的内容,但是一致性代理204可以提供比PCIe端点218 (1) 所期望的主机存储器214的内容更大的预定大小的地址范围。

[0038] 就此而言,PCIe端点218 (1) 可以通过信号402(图4) 请求地址范围214 (H) -214 (K) 的所有权。PCIe RC 206接收信号402并通过信号404向一致性代理204查询地址范围214 (H) -214 (K) 的状态。一致性代理204确定地址范围214 (H) -214 (K) 当前未被指派,且一致性代理204随后通过信号406指令PCIe RC 206将地址范围214 (H) -214 (K) 的所有权传递给PCIe端点218 (1) 。PCIe RC206通过信号408向PCIe端点218 (1) 确认该请求。地址范围214 (H) -214 (K) 中的数据H-K随后被复制到本地存储器222 (1) 中(信号410) 。

[0039] 继续参照图3,数据H-K被复制到本地存储器222 (1) 中,如状态304中所示。类似地,状态304示出了地址范围214 (H) -214 (K) 的所有权已经被指派给其他某个实体,并且从/向主机存储器214中的地址范围214 (H) -214 (K) 的读取和写入是不被允许的。PCIe端点218 (1)

随后在本地存储器222 (1) 上读/写数据H-K (信号412), 这可以将本地存储器222 (1) 的内容改变为数据H' -K', 如状态306所解说的。注意, 主机存储器214中仍然存储有数据H-K。

[0040] 继续参照图4, 当PCIe端点218 (1) 具有地址范围214 (H) -214 (K) 的所有权时, PCIe端点218 (N) 通过信号414向PCIe RC 206发送读取请求。PCIe RC 206用通过信号416向一致性代理204查询地址范围214 (H) -214 (K) 的状态来响应。一致性代理204通过信号418用地址范围214 (H) -214 (K) 的所有权在PCIe端点218 (1) 的指示来响应。一致性代理204随后通过信号420请求PCIe端点218 (1) 给出该地址范围的快照 (即, 对应于地址范围214 (H) -214 (K) 的数据的快照) (当前, PCIe端点218 (1) 处是数据H' -K')。PCIe端点218 (1) 通过信号422向PCIe端点218 (N) 提供读取完成以向PCIe端点218 (N) 给出所请求的该地址范围的快照 (即, 对应于地址范围214 (H) -214 (K) 的数据H' -K')。注意, 地址范围的快照可以通过主机系统202发送而非直接发送。然而, 若PCIe端点218 (1) 和218 (N) 之间存在直接PCIe连接, 则地址范围的快照可以被直接提供。

[0041] 在另一时间, PCIe端点218 (N) 可能需要写入到地址范围214 (H) -214 (K)。写请求 (信号424) 被发送到PCIe RC 206。PCIe RC 206用通过信号426向一致性代理204查询地址范围214 (H) -214 (K) 的状态来响应。一致性代理204通过告知PCIe RC 206将地址范围214 (H) -214 (K) 的所有权返还给PCIe RC 206来响应 (信号428)。PCIe RC 206随后命令PCIe端点218 (1) 将地址范围214 (H) -214 (K) 的所有权返还给PCIe RC 206 (信号430)。PCIe端点218 (1) 随后将数据H' -K' 写入到主机存储器214 (信号432) 以用PCIe端点218 (1) 在地址范围214 (H) -214 (K) 中做出的改变来更新主机存储器214。注意, 虽然该示例假设所有数据H-K被重写为H' -K', 但是本公开并不限于此。例如, 取决于在PCIe端点218 (1) 处实际做出的改变, PCIe端点218 (1) 可以返回H'、I、J' 和K', H、I' -K', 或者旧值与新值的任何其他组合而非H' -K'。

[0042] 由此, 如图3的状态308中解说的, 地址范围214 (H) -214 (K) 现在具有数据H' -K', 其可以由PCIe端点218 (N) 通过以下任一者来操纵: 如上所述地向PCIe端点218 (N) 指派地址范围214 (H) -214 (K) 的所有权, 或者允许PCIe RC 206保留地址范围214 (H) -214 (K) 的所有权并且允许PCIe端点218 (N) 读和写主机存储器214。就此而言, PCIe RC 206将由PCIe端点218 (N) 在写请求 (信号424) 中提供的数据写入到主机存储器214 (信号434)。

[0043] 还有可能的是 (虽然未解说), 当PCIe端点218 (1) 完成了为其转移地址范围214 (H) -214 (K) 的所有权的任务时, PCIe端点218 (1) 返还地址范围214 (H) -214 (K) 的所有权。在此类实例中, 如先前所描述的, 数据H' -K' 可以被复制回主机存储器214。

[0044] 图5是根据示例性方面的解说用于控制主机存储器的示例性方法的流程图500。该方法将结合图2的示例性PCIe系统200、图3的状态图300、和图4的消息信号图400来解释。该方法包括在主机系统202的与主机系统202中的主机存储器214相关联的PCIe RC 206处接收来自第一PCIe端点218 (1) 的访问存储在主机存储器214中的数据H-K的第一部分的请求 (框502)。PCIe RC206随后向主机系统202的一致性代理204请求来自主机系统202的与数据H-K的第一部分相关联的地址范围214 (H) -214 (K) 的所有权 (框504)。一致性代理204随后将地址范围214 (H) -214 (K) 的所有权从主机系统202指派到第一PCIe端点218 (1) (框506)。主机存储器214随后将与地址范围214 (H) -214 (K) 相关联的数据H-K提供给第一PCIe端点218 (1) (框508)。一旦第一PCIe端点218 (1) 对数据H-K执行了期望操作, 则下一步骤是当该地址

范围的所有权从第一PCIe端点218 (1) 转移到主机系统202时, 主机系统202接收与地址范围214 (H) -214 (K) 相关联的经修改数据H' -K' (框510)。

[0045] 图6是解说用于管理示例性PCIe端点(诸如PCIe端点218 (1)) 中的数据的数据的示例性方法的流程图600。该方法包括由第一PCIe端点218 (1) 向与主机存储器214相关联的PCIe RC 206请求对存储在主机存储器214中的数据H-K的一部分的访问(框602)。该方法进一步包括从PCIe RC 206接收与地址范围214 (H) -214 (K) 相关联的数据H-K和地址范围214 (H) -214 (K) 的所有权(框604)。一旦第一PCIe端点218 (1) 接收到数据H-K和对相应地址范围214 (H) -214 (K) 的所有权, 则第一PCIe端点218 (1) 在本地存储器222 (1) 处存储与地址范围214 (H) -214 (K) 相关联的数据H-K(框606)。该方法进一步包括响应于将地址范围214 (H) -214 (K) 的所有权返还给主机系统202而向PCIe RC 206提供与地址范围214 (H) -214 (K) 相关联的经修改数据H' -K' (框608)。

[0046] 根据本文中所公开的各方面对PCIe事务层的一致性驱动增强可在任何基于处理器的设备中提供或被集成到任何基于处理器的设备中。不作为限定的示例包括: 机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、智能电话、平板、计算机、便携式计算机、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟(DVD) 播放器、汽车、以及便携式数字视频播放器。

[0047] 就此而言, 图7解说了可以采用图2中所解说的PCIe系统200的基于处理器的系统700的示例。在该示例中, 基于处理器的系统700包括一个或多个中央处理单元(CPU) 702, 其各自包括一个或多个处理器(未解说)。(诸)CPU 702可具有耦合到(诸)处理器(未解说)的高速缓存存储器(未解说)以用于快速访问临时存储的数据。(诸)CPU 702耦合到系统总线704。如众所周知的, (诸)CPU 702通过在系统总线704上交换地址、控制、以及数据信息来与这些其他设备通信。例如, (诸)CPU 702可将总线事务请求传达给一个或多个存储器控制器706。

[0048] 其它设备可连接到系统总线704。如图7中所解说的, 例如, 这些设备可以包括一个或多个显示器控制器708以及一个或多个PCIe控制器710。(诸)PCIe控制器710可以通过一个或多个PCIe接口714或图2中解说的PCIe总线220与一个或多个PCIe设备712(诸如图2的多个PCIe端点218 (1) -218 (M)) 通信。(诸)存储器控制器706可以通过一个或多个存储器接口718与存储器单元716互操作。注意, 在示例性方面, (诸)存储器接口718可以是PCIe总线, 像图2的PCIe总线220。(诸)显示器控制器708可以通过显示器接口722与显示器720通信。显示器720可包括任何类型的显示器, 包括但不限于阴极射线管(CRT)、液晶显示器(LCD)、等离子显示器、发光二极管(LED) 显示器等。

[0049] 虽然未在图7中解说, 但是基于处理器的系统700还可以包括网络接口设备, 其可以是配置成允许去往和来自网络的数据交换的任何设备(未解说)。网络可以是任何类型的网络, 包括但不限于有线或无线网络、私有或公共网络、局域网(LAN)、无线局域网(WLAN)、广域网(WAN)、蓝牙™网络、和因特网。网络接口设备可被配置成支持所期望的任何类型的通信协议。

[0050] 本领域技术人员将进一步领会, 结合本文所公开的各方面描述的各种解说性逻辑

块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其他处理设备执行的指令、或这两者的组合。作为示例，本文所描述的从动设备可被用在任何电路、硬件组件、集成电路 (IC)、或 IC 芯片中。本文所公开的存储器可以是任何类型和大小的存储器，并且可被配置成存储所期望的任何类型的信息。为了清楚地解说这种可互换性，各种解说性组件、框、模块、电路和步骤在上文已经以其功能性的形式一般性地作了描述。此类功能性如何被实现取决于具体应用、设计选择、和/或加诸于整体系统上的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性，但此类实现决策不应被解读为致使脱离本公开的范围。

[0051] 结合本文所公开的各方面描述的各种解说性逻辑块、模块、以及电路可用被设计成执行本文所描述的功能的处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。处理器可以是微处理器，但在替换方案中，处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合 (例如 DSP 与微处理器的组合、多个微处理器、与 DSP 核协作的一个或多个微处理器、或任何其他此类配置)。

[0052] 本文所公开的各方面可被体现为硬件和存储在硬件中的指令，并且可驻留在例如随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、电可编程 ROM (EPROM)、电可擦可编程 ROM (EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。示例性存储介质被耦合到处理器，以使得处理器能从/向该存储介质读取和写入信息。在替换方案中，存储介质可以被整合到处理器。处理器和存储介质可驻留在 ASIC 中。ASIC 可驻留在远程站中。在替换方案中，处理器和存储介质可作为分立组件驻留在远程站、基站或服务器中。

[0053] 还注意到，本文任何示例性方面中所描述的操作步骤是为了提供示例和讨论而被描述的。所描述的操作可按除了所解说的顺序之外的众多不同顺序来执行。此外，在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外，可组合示例性方面中讨论的一个或多个操作步骤。应理解，如对本领域技术人员显而易见地，在流程图中解说的操作步骤可进行众多不同的修改。本领域技术人员还将理解，可使用各种不同技术和技艺中的任何一种来表示信息和信号。例如，贯穿上面说明始终可能被述及的数据、指令、命令、信息、信号、比特、码元和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0054] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的，并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此，本公开并非旨在被限定于本文中所描述的示例和设计，而是应被授予与本文所公开的原理和新颖特征一致的最广义的范围。

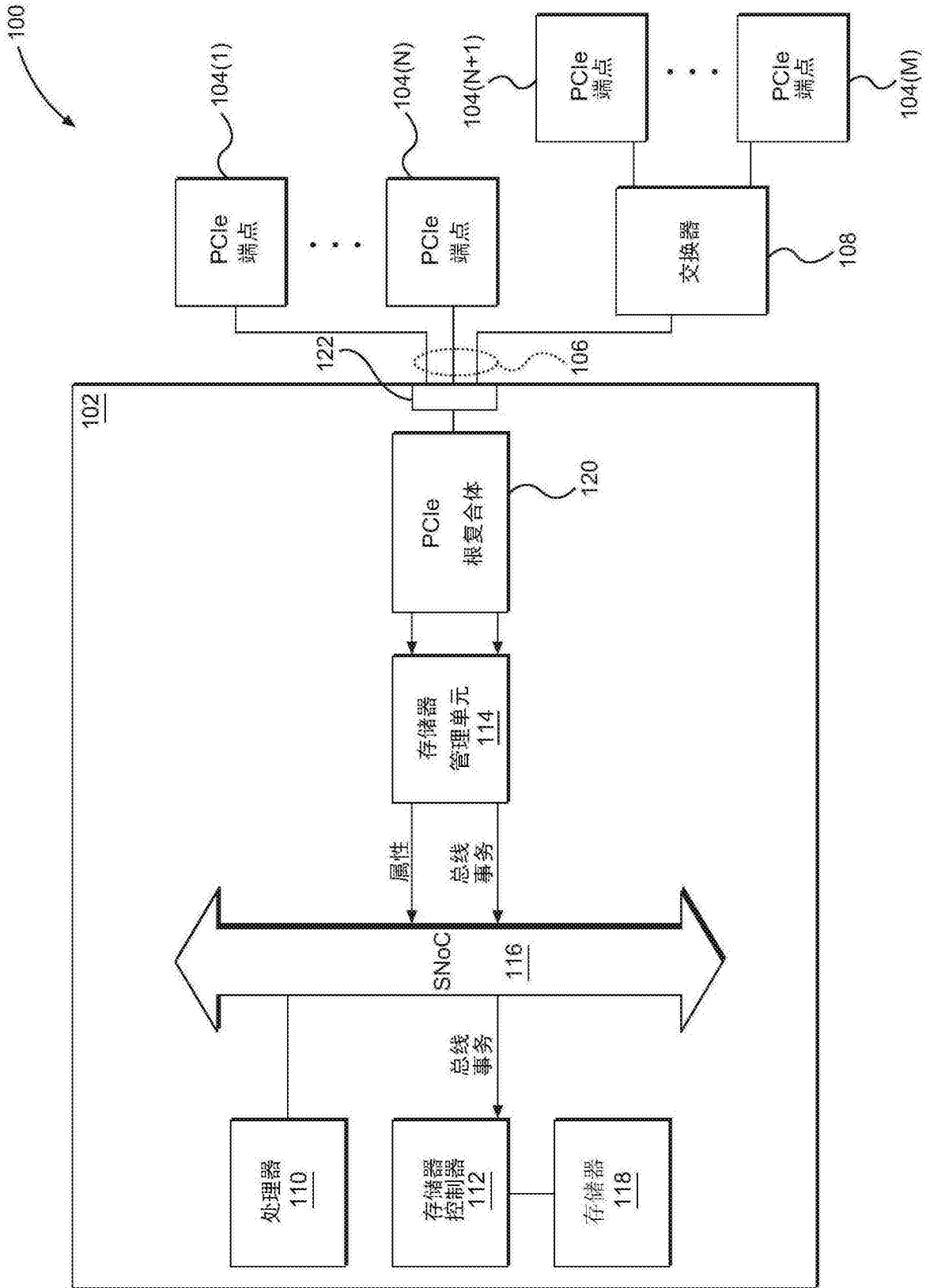


图1

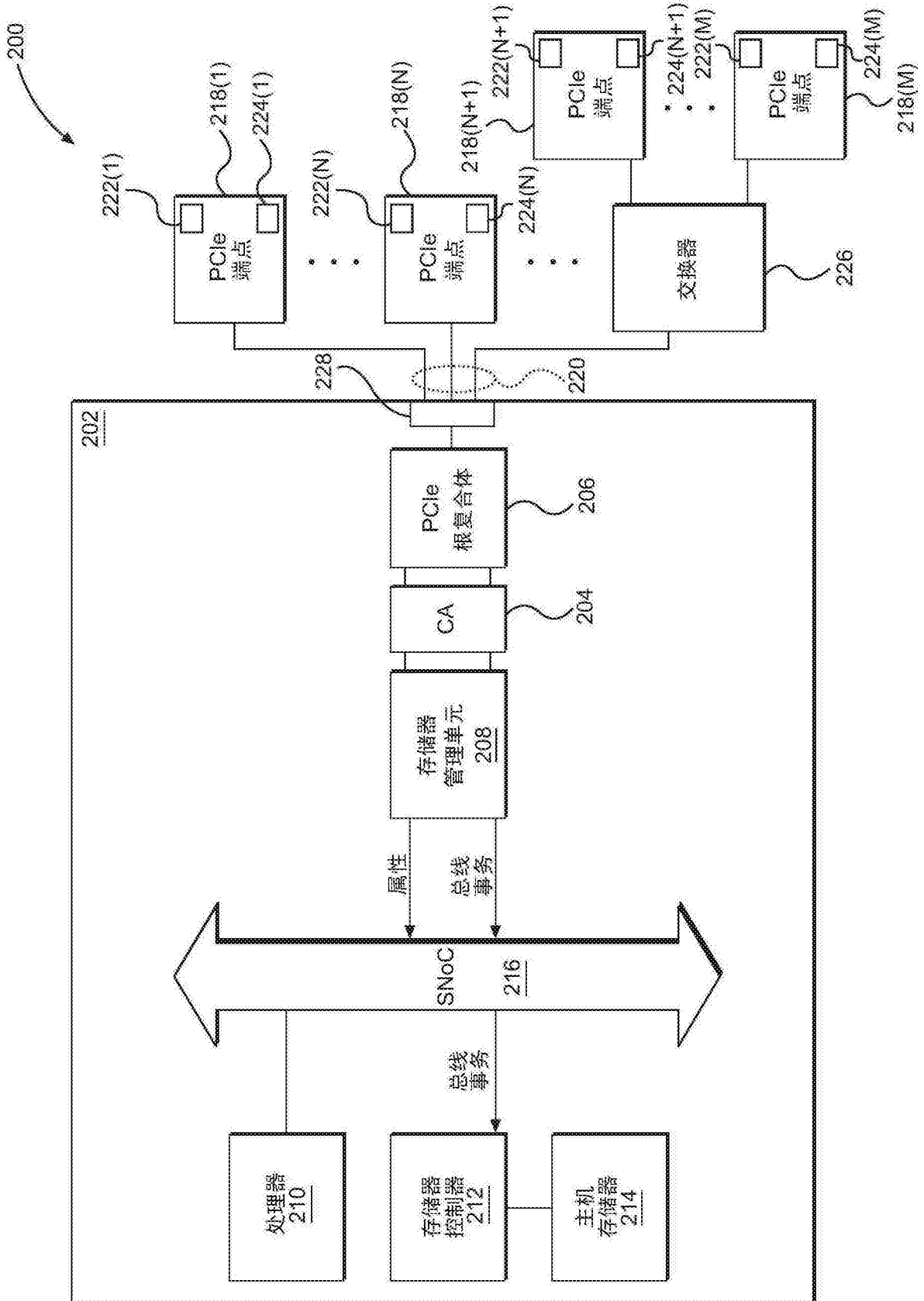


图2

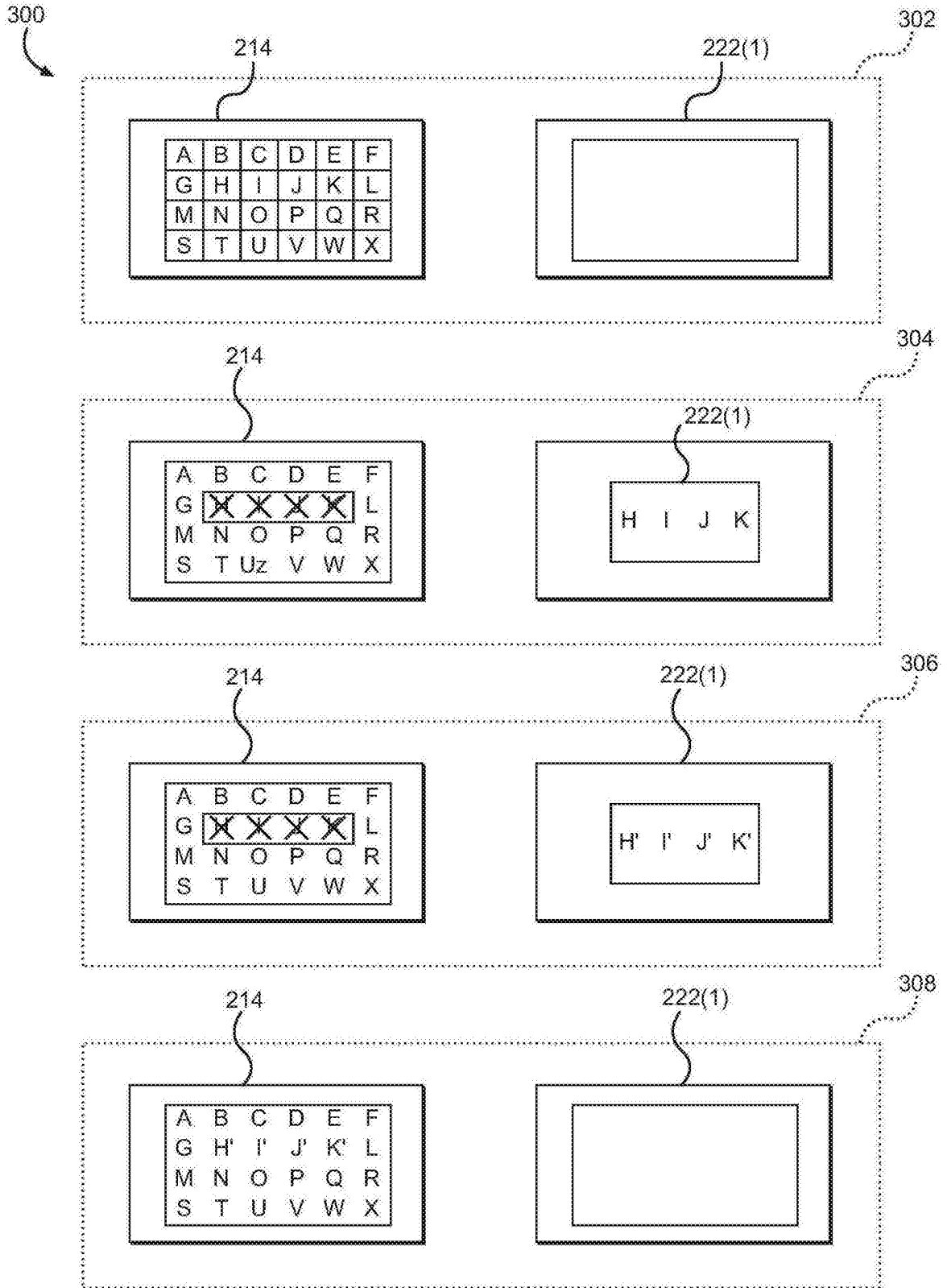


图3

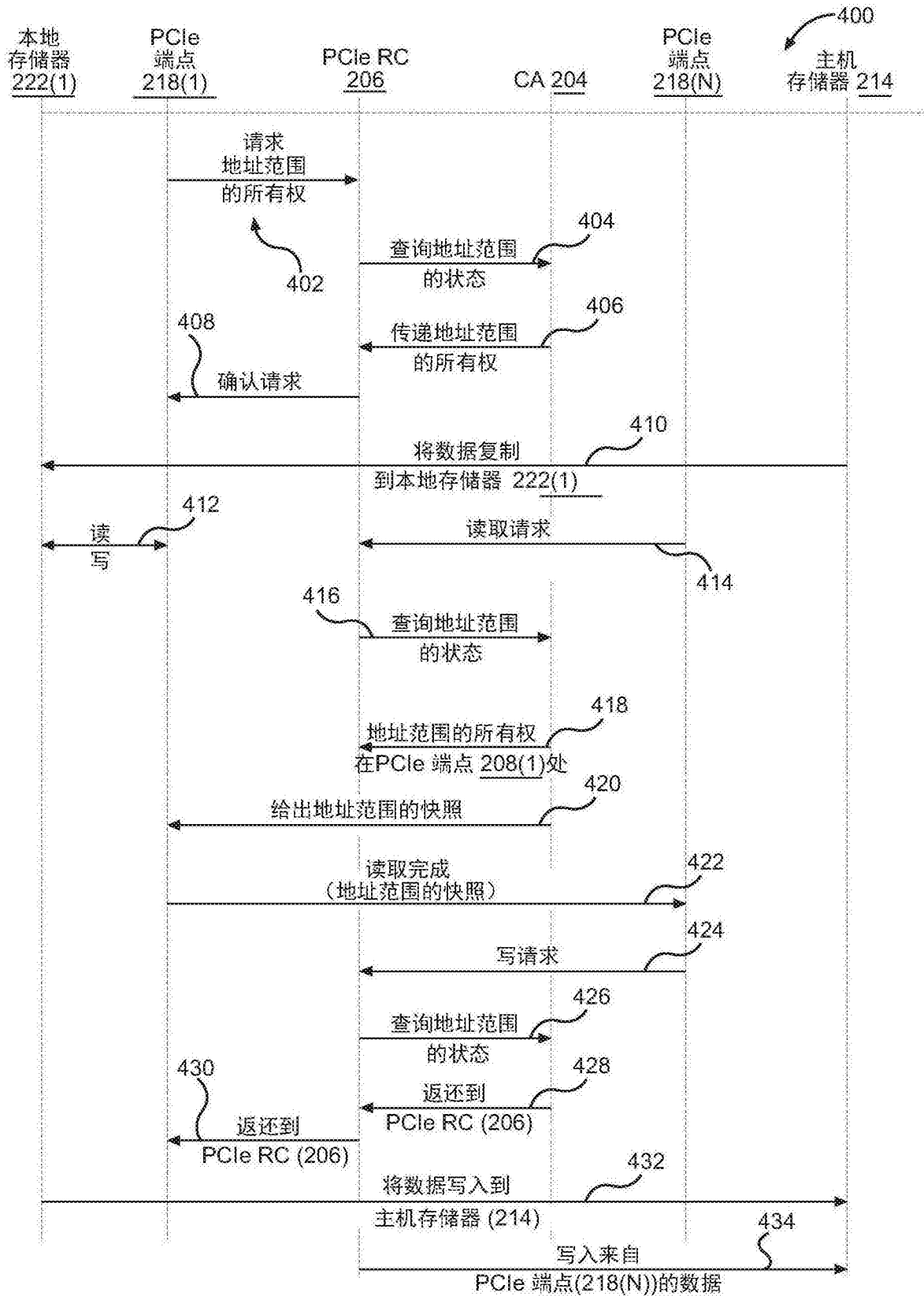


图4

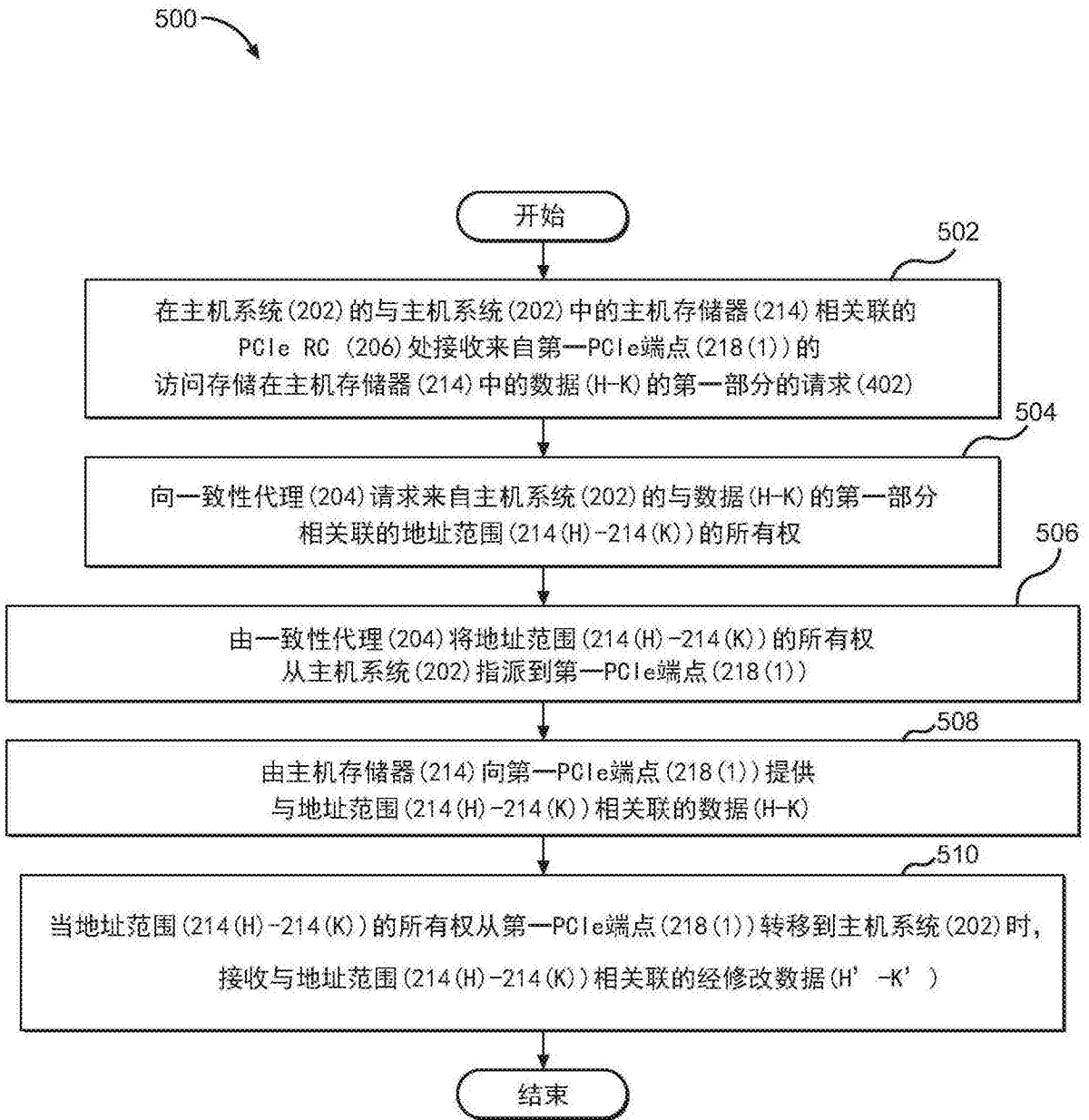


图5

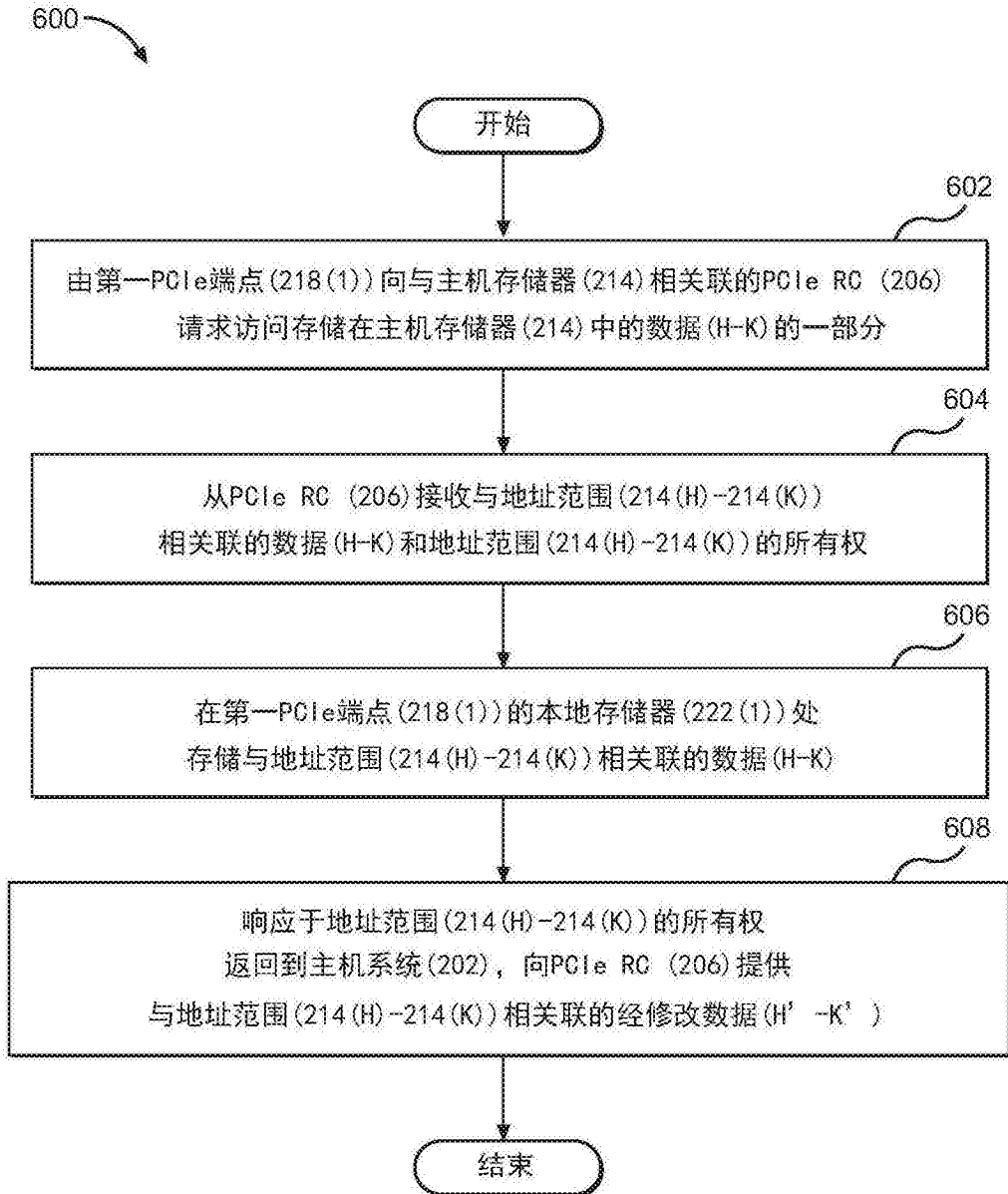


图6

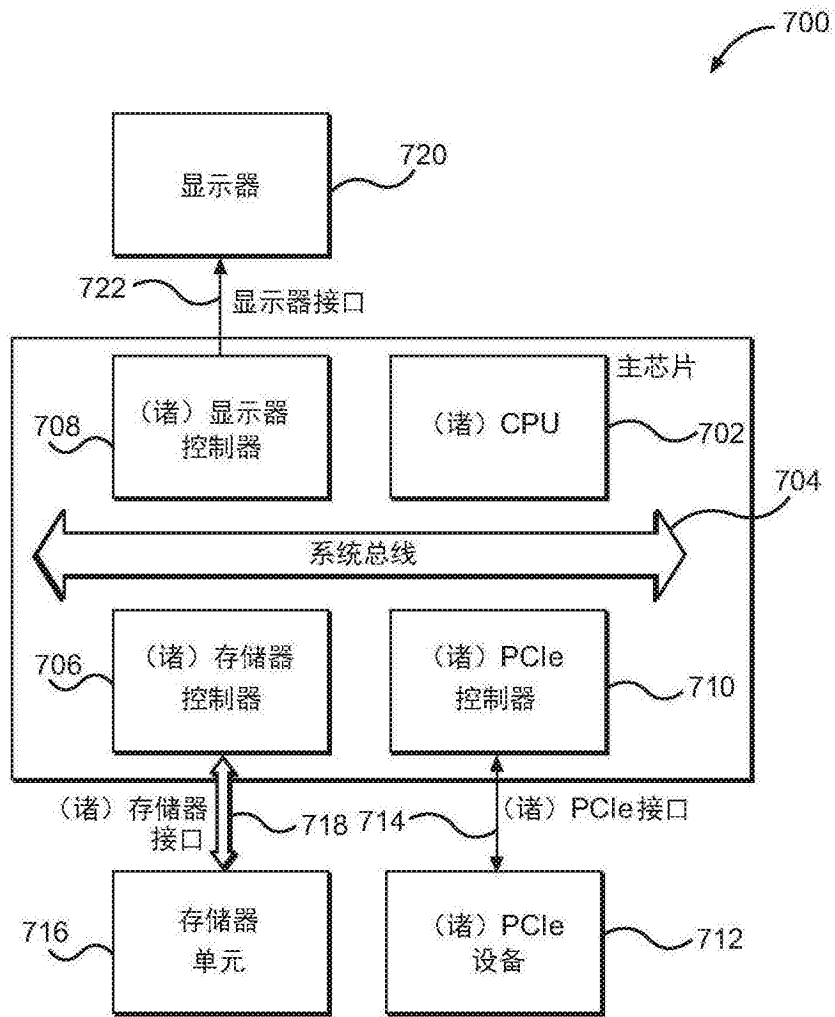


图7