



## 【特許請求の範囲】

## 【請求項 1】

電荷キャリアとして正孔を使用する p 伝導型の光検出器をそれぞれが有する複数のピクセルを有する画像エリアを伴う画像センサであって、

( a ) p 伝導型の基板、

( b ) 過剰な電荷キャリアを前記基板内に追いやってクロストークを低減するため、前記画像エリアに広がり、前記基板に関してあらかじめ定められた電位にバイアスされる、前記基板と前記 p 伝導型光検出器の間の n 伝導型の第 1 の層、

( c ) 各ピクセル内の前記第 1 の層内に配置される 1 つまたは複数の隣接する能動電子素子、および

( d ) 前記画像エリア外の基板内に配置され、前記画像エリアと電氣的に接続される CMOS 電子サポート回路、  
を包含する画像センサ。

## 【請求項 2】

請求項 1 に記載の画像センサであって、前記 1 つまたは複数の能動電子素子は、リセット・トランジスタおよびフローティング・ディフュージョンを含む、画像センサ。

## 【請求項 3】

請求項 1 に記載の画像センサであって、前記 1 つまたは複数の能動電子素子は、増幅器を含む、画像センサ。

## 【請求項 4】

請求項 1 に記載の画像センサであって、さらに、前記基板と前記第 1 の層の間に配置される p - エピタキシャル層を包含し、それにおいて前記基板は、p + 型であり、前記第 1 の層は n 型である、画像センサ。

## 【請求項 5】

請求項 1 に記載の画像センサであって、前記光検出器は、ピンニングされたフォトダイオードである、画像センサ。

## 【請求項 6】

請求項 1 に記載の画像センサであって、前記 1 つまたは複数の能動電子素子は、フローティング・ディフュージョン・アンプを含む、画像センサ。

## 【請求項 7】

請求項 1 に記載の画像センサであって、前記第 1 の層は、過剰な電荷キャリアを前記基板内に追いやるように勾配が持たされたドーピングを含む、画像センサ。

## 【請求項 8】

電荷キャリアとして正孔を使用する p 伝導型の光検出器をそれぞれが有する複数のピクセルを有する画像エリアを伴う画像センサを包含するカメラであって、前記画像センサが、

( a ) p 伝導型の基板、

( b ) 過剰な電荷キャリアを前記基板内に追いやってクロストークを低減するため、前記画像エリアに広がり、前記基板に関してあらかじめ定められた電位にバイアスされる、前記基板と前記 p 伝導型光検出器の間の n 伝導型の第 1 の層、

( c ) 各ピクセル内の前記第 1 の層内に配置される 1 つまたは複数の隣接する能動電子素子、および

( d ) 前記画像エリア外の基板内に配置され、前記画像エリアと電氣的に接続される CMOS 電子サポート回路、  
を包含するカメラ。

## 【請求項 9】

請求項 8 に記載のカメラであって、前記 1 つまたは複数の能動電子素子は、リセット・トランジスタおよびフローティング・ディフュージョンを含む、カメラ。

## 【請求項 10】

請求項 8 に記載のカメラであって、前記 1 つまたは複数の能動電子素子は、増幅器を含

10

20

30

40

50

む、カメラ。

【請求項 1 1】

請求項 8 に記載のカメラであって、さらに、前記基板と前記第 1 の層の間に配置されるエピタキシャル層を包含し、それにおいて前記基板は、p + 型であり、前記第 1 の層は n 型である、カメラ。

【請求項 1 2】

請求項 8 に記載のカメラであって、前記光検出器は、ピンニングされたフォトダイオードである、カメラ。

【請求項 1 3】

請求項 8 に記載のカメラであって、前記第 1 の伝導型は p 型であり、前記第 2 の伝導型は n 型である、カメラ。

【請求項 1 4】

請求項 8 に記載のカメラであって、前記 1 つまたは複数の能動電子素子は、フローティング・ディフュージョン・アンプを含む、カメラ。

【請求項 1 5】

請求項 8 に記載のカメラであって、前記第 1 の層は、過剰なキャリアを前記基板内に追いやるように勾配が持たされたドーピングを含む、カメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して画像センサの分野に関し、特に、クロストークを低減するために n 型ピンニング層および p 型蓄積領域を n 型井戸内に有する増幅型画像センサに関する。

【背景技術】

【0002】

今日の増幅型画像センサは、通常、p 型または n 型いずれかの基板上で構築される。増幅型画像センサは、各ピクセル内に、またはそれに関連付けられて増幅器等の能動回路要素を有するセンサを言う。CMOS は、『相補型金属酸化膜シリコン』トランジスタを言い、対立するドーパント（1 つは p 型、1 つは n 型）から構成される 2 つのトランジスタが相補態様で互いに結線される。増幅型画像センサはまた、一般に CMOS トランジスタも使用し、したがって相互交換可能に使用される。

【0003】

p 型基板上に構築される CMOS センサは、通常、すでに完全に開発され、高レベルの集積をサポートする必要なすべてのデバイスおよび回路ライブラリを含む標準 CMOS からプロセスが導かれるという事実に起因して、より高いレベルの回路集積をチップ上を含む。残念ながらそれらのセンサは、それらが構築される p 型基板内の少数キャリアの横方向の拡散に帰するピクセルからピクセルへの高レベルのクロストークを欠点として有する。これに対し、代表的なライン間 CCD 画像センサ（焦点面が n 型基板上の p 井戸内に構築される）から誘導されるプロセスを使用して構築される CMOS 画像センサは、垂直オーバーフロー・ドレイン（VOD）構造の結果としてのキャリアの横方向の拡散の排除に起因して、はるかにクロストークが低い。これらのデバイスの場合、カラークロストークが、主として、層上の CFA の透過によって制限されるところの光学的なものとなる。

【0004】

p 型基板上に構築された CMOS センサのためにシリコン基板内の電氣的クロストークを低減する最近の提案がいくつかあるが（米国特許仮出願第 60 / 721, 168 号および 60 / 721, 175 号、ともに 2005 年 9 月 28 日出願）、特定の応用のためにそれらのテクニックを使用してクロストークを十分に低く低減することは不可能である。また、CMOS プロセスを n 型基板上で開発することは可能であったが、それは、すべてのサポート回路およびデバイスの完全なリエンジニアリングを必要とすることになった。またそれは、AC グラウンド面、すなわちこの場合は基板が、VDD 供給電圧にバイアスされることを必要とし、ノイズの観点からそれは望ましくない。n 型基板はまた、p 型基板

10

20

30

40

50

よりゲッターリングが難しく、それが、より高いレベルの暗電流欠陥に帰することになり得る。

【0005】

【特許文献1】国際公開第2007/038107号パンフレット

【特許文献2】米国特許出願公開第2007/0069260号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、この分野には、既存の主流のCMOSプロセスのすべての現在の利点および開発レベルを維持しつつ、クロストークが低減されたCMOS画像センサを提供する必要性が存在する。

10

【課題を解決するための手段】

【0007】

本発明は、上に示した問題のうちの1つまたは複数を克服することに指向される。簡単に要約すると、本発明の1つの態様によれば、本発明は、第1の伝導型の光検出器をそれぞれが有する複数のピクセルを有する画像エリアを伴う画像センサに帰し、当該画像センサは、第1の伝導型の基板、過剰なキャリアを基板内に追いやってクロストークを低減するための、画像エリアに広がり、基板に関してあらかじめ定められた電位にバイアスされる、基板と光検出器の間の第2の伝導型の第1の層、各ピクセル内の第1の層内に配置される1つまたは複数の隣接する能動電子素子、および画像エリア外の基板内に配置される電子回路を包含する。

20

【0008】

本発明のこれらの、およびこのほかの態様、目的、特徴、および利点は、以下の好ましい実施態様の詳細な説明および付随する特許請求の範囲の検討から、また添付図面を参照することによって、より明確に理解され、かつ認識されることとなる。

【発明の効果】

【0009】

本発明は、p型基板上に集積される主流の標準CMOSを使用することのすべての利点を保持しつつ、クロストークおよび暗電流のバルク拡散成分を低減するという利点を有する。

30

【発明を実施するための最良の形態】

【0010】

歴史的に、電荷結合デバイス(CCD)ベースの画像センサは、より高い電子のモビリティを利用して高いデータ・レートにおける良好な伝達効率を維持するべく、信号電荷キャリアとして電子を使用してきた。クロストークおよびスミアを低減するため、およびブルーミング保護を提供するため、CCD撮像素子はまた、一般に井戸の中に、または垂直オーバーフロー・ドレイン(VOD)構造(たとえば米国特許第4,527,182号参照)の中に構築される。したがって、VOD構造をnチャンネルのための要件とともに構築することは、p井戸がn型基板内に形成されることを必要とする。

40

【0011】

CMOSベースの画像センサは、以来、より容易に利用可能となった。今日のCMOS画像センサは、通常、p型またはn型いずれかのシリコン基板上に構築される。主流のCMOSプロセスを使用してp型基板上に構築されたものは、高レベルの回路集積を有するが、高レベルのカラークロストークを欠点として持つ。代表的なCCD類似プロセスを使用してn型基板上に構築されたものは(S・イノウエ(S・Inoue)ほかの『3.25MピクセルAPS CサイズCMOSイメージ・センサ(A 3.25 M pixel APS C size CMOS Image Sensor)』、映像情報メディア学会技術報告(テクノロジー・レポート, ジ・インスティテュート・オブ・イメージ・インフォメーション・アンド・テレビジョン・エンジニアズ(Technology Report, The Institute of Image Informati

50

on and Television Engineers)、エイジヨガクギホウ(Eijogakugihou)、第25巻、第28号、p3741、2001年3月、ISSN 1342 6893)カラークロストークは低い、前述したように、ほかの欠点を有する。

#### 【0012】

CCD画像センサとは異なり、CMOS画像センサは、転送を1つだけ、すなわちフォトダイオードからフローティング・ディフュージョンへの転送を有する。したがって、CMOS画像センサは、それほど高い電荷キャリアモビリティを要求しない。そのため、より低い正孔のモビリティが、CMOS画像センサのために不足とならない。したがって本発明の1つの目的は、信号電荷キャリアとして正孔を使用するPMOS(pチャンネル)ピクセル構造を採用したCMOS画像センサを開示することである。この本発明のPMOS構造は、ピクセルがp型エピ上のn井戸内に構築されることを可能にし、ピクセルからピクセルへのクロストークを低減する。しかしながら、典型的なCCDベースの画像センサとは異なり、この井戸は、センサの撮像セクションの下側(またはスパニング)に使用されるだけである。チップ上に集積されるすべてのデジタルおよびアナログCMOSサポート回路は、p型エピ内に形成される(図4b、すなわちアナログまたはデジタル回路80、デジタル・ロジック90、行デコーダ100、および列デコーダ110を参照されたい)。このことは、チップの標準CMOS回路部分内のデバイスのすべての物理的側面が維持されることを意味する。加えて、井戸内に構築されるCCD画像センサは、この井戸がグラウンドに、基板がいくらかの正電位にバイアスされるが、それとは異なり、本発明の構造のn井戸をVDDにバイアスすることによって、CMOS回路用のグラウンド面(すなわち、p型のエピタキシャル基板)を0Vに維持することが可能である。このことは、チップの標準CMOS回路部分のすべての電気的側面もまた維持されることを意味する。デジタルおよびアナログ・セクション内のいくつかのロジック・パルスの方向および信号スイング(1つまたは複数)だけが、適宜反転される必要があるが、これは当業者によって容易に達成される。したがって、「背景技術」のセクションの中で前述したp型基板のすべての利点が維持される。また井戸型構造は、基板から拡散成分を排除することによって暗電流も低減する。

#### 【0013】

代表的な従来技術のCMOS画像センサのピクセルの平面図が図1に示されている。代表的なピクセルは、フォトダイオード(PD)、フォトダイオードから電荷を読み出すためのトランスファ・ゲート(TG)、信号電荷を電圧信号に変換するためのフローティング・ディフュージョン(FD)、ゲートがFDに電気的に接続された信号バッファとして作用するソース・フォロワ・トランジスタ(SF)、ソース・フォロワ・トランジスタの出力を列出力回路(図1には図示せず)に選択的に接続する行選択トランジスタ(RS)、およびフローティング・ディフュージョンの電位をリセットするためのリセット・ゲート(RG)からなる。電源電圧(VDD)は、ソース・フォロワへの電力供給およびフローティング・ディフュージョンのリセット動作の間にそこから信号電荷を排出させるために使用される。

#### 【0014】

代表的な従来技術のCMOS画像センサのピクセルは、図2a~2c内の例によって図解されるとおり、p+型のピンニング層を伴うピンニングされたフォトダイオードおよびp/p++エピタキシャル・シリコン・ウェファ上に構築されたn型ストレージ領域を含む。空乏領域の深さ(図2a~2c内に示す)がフォトダイオードの収集境界を定義する。従来技術のフォトダイオードの中心を通過して下に向かう一例のドーピング・プロファイルが図2bに示されている。収集領域(すなわち、空乏領域の境界)内において作られた、より短い波長の光から生成される電荷キャリア(電子)が捕獲され、信号電荷としてストアされる。この空乏層の深さを通過して作られた、より長い波長から生成される電荷キャリアは、熱拡散を介して任意の方向に自由に拡散する。横方向に拡散し、隣接するピクセルによって収集される電荷が、電気的クロストークと呼ばれる。

## 【 0 0 1 5 】

クロストークは、照明なし対照明ありのピクセル（１つまたは複数）内信号の比としてそれを定義することによって定量化可能であり、また分数比またはパーセンテージとして表すことができる。したがって、クロストークは、ピクセルによって生成された信号中のそのピクセルによって収集されない信号の相対的な量を表す。例示の従来技術のピクセルについて、空乏層の深さに対するクロストークの依存度が図３に図解されている。当該クロストークの計算は、ラインに沿った１つおきのピクセルが照明されること（および交番する一つおきのピクセルは照明されないこと）を前提とする。波長が長いほど光の吸収率が低くなる（すなわち、光子がより深いところで吸収される）ため、より長い波長においてクロストークがより問題となることから、650nmの波長が仮定される。この図から、空乏層の深さの増加がクロストークを低減することは可能であるが、650nmにおけるシリコンの吸収係数のおおむね逆数である3μmに至る空乏層の深さについてさえゼロにならないことが理解できる。

10

## 【 0 0 1 6 】

本発明のPMOSピクセル・アーキテクチャの断面図が図４aに示されている。このピクセル構造を含む一例のCMOS画像センサの平面図が図４bに示されている。フォトダイオードの中心を通過して下に向かう一例のドーピング・プロファイルが図４cに示されている。空のフォトダイオードの中心を通過して下に向かう一例の電位プロファイルが図４dに示されている。図４aおよび4cによって理解できるとおり、本発明のピンニングされたフォトダイオード10は、p / p ++エピタキシャル基板50上のn型井戸40内に構築されるn+ピンニング層20およびp型埋め込みストレージ領域30を具体化する。本発明のフォトダイオードの表面ピンニング層20がn型であることから、ヒ素を使用することが可能である。これは、ホウ素と比較されるヒ素のより短い注入レンジに起因して、浅いピンニング層を作ることをより容易にする。（従来技術の構造は、通常はホウ素が使用されるp型ピンニング層を有する）。また、フォトダイオードのストレージ領域30が、ここではn型ではなくp型であることから、ホウ素（従来技術の構造のストレージ領域に要求される場所のリンまたはヒ素より長い注入レンジを有する）を使用することが可能であり、それによってこのインプラントを深くすることがより容易になる。n+ピンニング層20は、図４a内に観察できるとおり、典型的な浅溝素子分離（STI）領域周囲のn+型の分離インプラント60を介してn井戸40と電気的に接続される。このピンニング層20は、ダイオードの表面に（電子の）蓄積を持続させる。信号電荷は、正孔の形で、ピンニングされたフォトダイオード10のp型埋め込みストレージ領域30内に蓄積される。n型井戸40は、図４b内に示される平面図によって図解されたとおり、複数のピクセルを有する画像エリア70内だけに形成される。この井戸40を画像エリア70内だけに形成することによって、画像センサ75は、p型基板のすべての恩典を維持しつつ、標準の主流のCMOSデバイスおよび回路を、アナログまたはデジタル回路80、デジタル・ロジック90、行デコーダ100、および列デコーダ110内において使用する。このn型井戸40をプロセスの初めに形成し、その形成がほかのデバイス構造に影響しないようにすることが好ましい。たとえばそれが、インプラントおよび熱駆動を介して形成される場合、これを標準CMOSプロセスに先行して行うことによって、熱駆動ステップが、画像エリアを取り囲むCMOSサポート回路内に使用されるデバイスによって要求されるシャロージャンクション領域における拡散を生じさせることがなくなる。このn井戸40内における形成時には、ピクセルのトランスファ・ゲート（TG）、リセット・ゲート（RG）、およびソース フォロワ（SF）トランジスタがすべて好ましくp型金属酸化膜シリコン（ゲートが通常は金属でなく、ポリシリコンであり、しばしば誘電体が酸化物だけでないことに注意されたい）電界効果トランジスタ（PMOS FET）になる。ソース フォロワ増幅器（SF）の出力と直列の行選択トランジスタ（RS、図示せず）もまた、PMOSデバイスとなる。周辺のサポートCMOS回路80、90、100、および110のすべては、p / p ++エピタキシャル基板内に形成される。この基板はグラウンドされ、n型井戸40は、好都合な正のバイアス、たとえばVDDにバイア

20

30

40

50

スされる。画像の積分後（またはその間）にフローティング・ディフュージョン（FD）が、フォトダイオードからの信号転送に先行してリセット・ゲート（RG）上の負に向かうパルスを用いてリセットされる。好都合なFDリセット電圧レベルはグラウンドである。フローティング・ディフュージョンがリセットされた後（すなわちRGパルスの後）、フォトダイオードからフローティング・ディフュージョンへの電荷（正孔）の転送が、トランスファ・ゲートTG上の負に向かうパルスによって起動される。これらのパルスに使用される好都合なクロック電圧（VDD）の例が図4a内に示されている。本発明の範囲から逸脱することなくこのほかの電圧も可能であると見られる。信号電荷が、本発明の構造については正孔であることから、フローティング・ディフュージョンおよびソースフォロワ（SF）出力上の信号スイングが正に向かうことになる。フォトダイオードの収集領域30下側のn型井戸40内で生成されたあらゆる光信号（正孔）は、隣接するピンニングされたフォトダイオード10にそれが拡散可能となる前に、基板50内に一掃され、それによって電氣的クロストークが排除される。信号は、当業者は知ることになるが、通常の様でチップから読み出されることになる。この構造から結果としてもたらされる基板とフォトダイオードの間の電位障壁もまた、基板（バルク）からフォトダイオードへの暗電流の拡散成分を排除する。

10

#### 【0017】

p型基板上のn井戸内に構築されるピンニングされたフォトダイオードを伴う本発明のピクセル構造についての電氣的クロストークは、図5に示されるとおり、大きく低減される。クロストークは、多様な空乏層の深さごとに、シンク層の深さ（基板に排出されるキャリアが通過する深さ）に対して示されている。この計算は、E.G.スティーブンスおよびJ.P.ラビン（E.G. Stevens, J.P. Lavine）によりIEEEトランス・オン・エレクトロン・デバイス（IEEE Trans. on Electron Devices）、第41巻、第10号の1753ページ（1994年10月）に記述された方法によって行われている。このサンプルの計算については、一定のn井戸ドーピング濃度対深さが仮定された。イオン・インプランテーションを介してn井戸が好ましく形成されることになる実際のデバイスについては、結果の（図4cに示されているような）ドーピングの勾配が電位の勾配（図4dに示されているとおり）を作り出し、その結果、n井戸内の少数キャリア（正孔）が基板内に追いやられ、それによって電氣的クロストークおよび基板の暗電流成分の実質的な排除が結果としてもたらされることになる。

20

30

#### 【0018】

図6を参照すると、本発明の画像センサ75が中に配置されたデジタル・カメラ120が、通常の利用者が見慣れた典型的な商的实施態様を図解するために示されている。

#### 【0019】

ここに示された本発明の好ましい実施態様は、p型エピ基板上のn井戸内のp型埋め込み収集領域およびn+ピンニング（トップ表面）層からなるピンニングされたフォトダイオードを組み込んでいるが、当業者であれば、本発明の範囲から逸脱することなしにこのほかの構造が使用可能であることを理解されよう。たとえば、望ましい場合には、n型井戸内に形成される単純なピンニングなしのp型ダイオードを使用することができる。また、単純な非共有型のピクセル・アーキテクチャが示されているが、共有アーキテクチャ（たとえば、米国特許第6,107,655号等）を本発明の範囲から逸脱することなしに使用することも可能である。

40

#### 【図面の簡単な説明】

#### 【0020】

【図1】典型的な従来技術のCMOS画像センサ内に使用される画像エリアのピクセルの平面図である。

【図2a】典型的な従来技術のピンニングされたフォトダイオード検出器のトランスファ・ゲートおよびフローティング・ディフュージョンを通る断面から得られた2次元ドーピング構造の概略図である。

50

【図 2 b】従来技術のフォトダイオードの中央を通るシリコン内部への深さに対する 1 D のドーピング・プロファイルを示した説明図である。

【図 2 c】従来技術のフォトダイオードの中央を通るシリコン内部への深さに対する 1 D の電位プロファイルを示した説明図である。

【図 3】従来技術の CMOS 増幅型画像センサのピクセルの、空乏層の深さに対するピクセルからピクセルへのクロストークの 2 D 計算の例示的な結果を図解した説明図である。

【図 4 a】本発明の PMOS ピクセル構造について、トランスファ・ゲート、フローティング・ディフュージョン、およびリセット・ゲートを通る断面から得られた 2 次元ドーピング構造の概略図である。

10

【図 4 b】図 4 a の画像センサについて例示的なレイアウトを示した平面図である。

【図 4 c】本発明の PMOS ピクセル構造の中央を通るシリコン内部への深さに対する 1 D のドーピング・プロファイルを示した説明図である。

【図 4 d】本発明の PMOS ピクセル構造の中央を通るシリコン内部への深さに対する 1 D の電位プロファイルを示した説明図である。

【図 5】井戸内に構築される本発明の PMOS ピクセル構造について、多様なフォトダイオードの空乏層の深さごとにシンク層の深さに対するピクセルからピクセルへのクロストークの 2 D 計算の結果を図解した説明図である。

【図 6】本発明の典型的な商的实施態様を図解するための、通常の消費者が見慣れたデジタル・カメラを図解した説明図である。

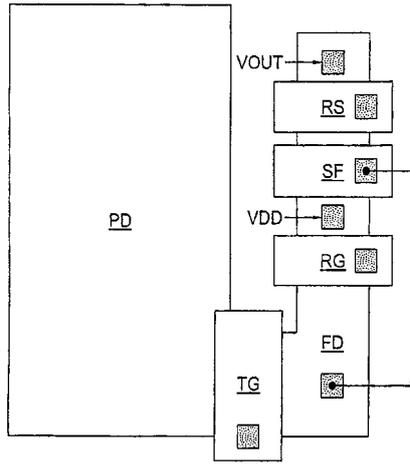
20

【符号の説明】

【0021】

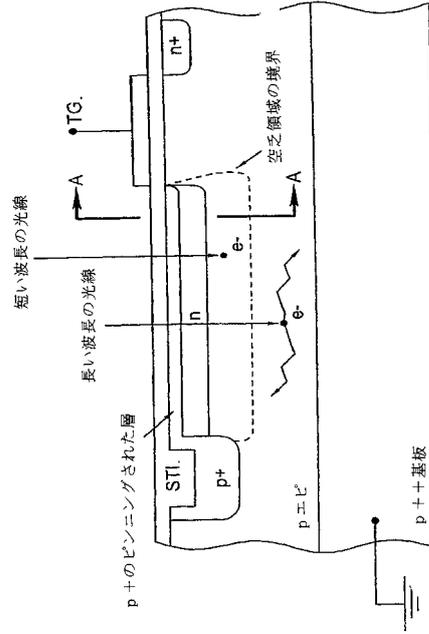
10 ピンニングされたフォトダイオード、20 n+ピンニング層、30 p型埋め込みストレージ領域、40 n型井戸、50 p / p++エピタキシャル基板、60 n+型分離インプラント、70 画像エリア、75 画像センサ、80 アナログまたはデジタル回路、90 デジタル・ロジック、100 行デコーダ、110 列デコーダ、120 デジタル・カメラ。

【図1】



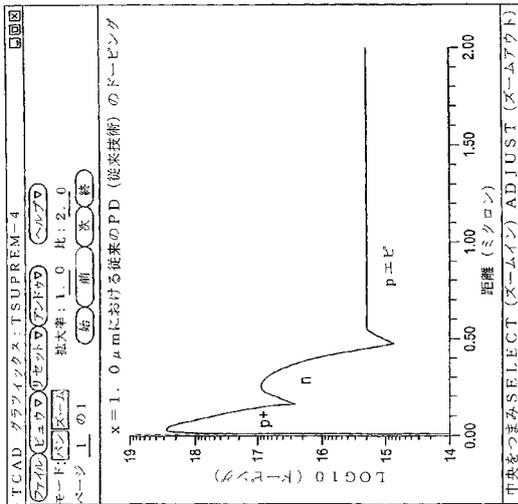
従来技術

【図2a】



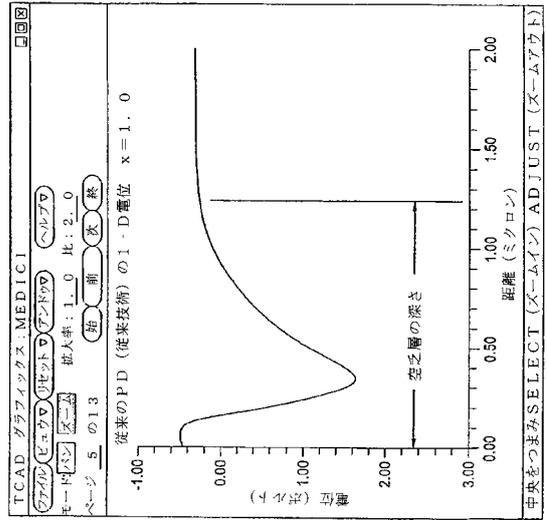
従来技術

【図2b】



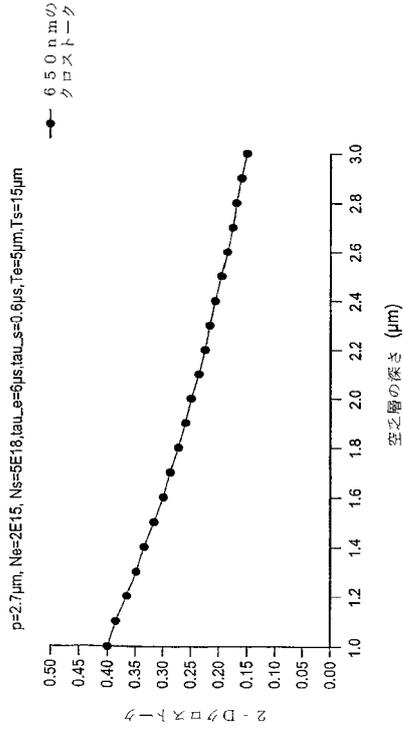
従来技術

【図2c】



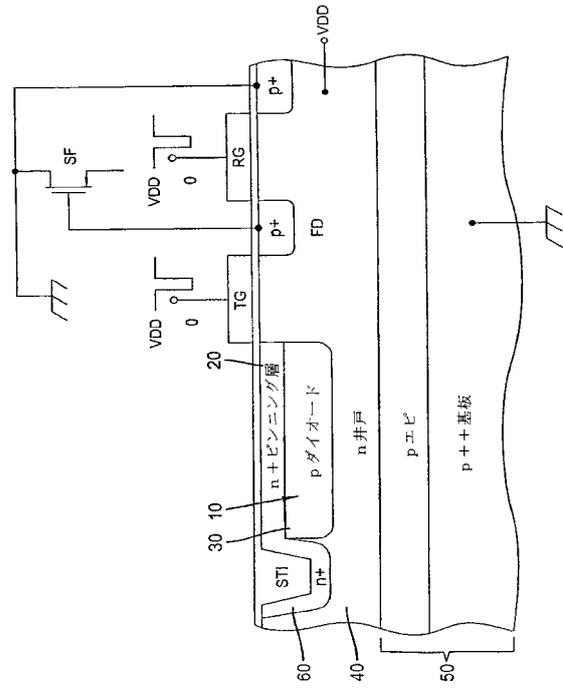
従来技術

【図3】

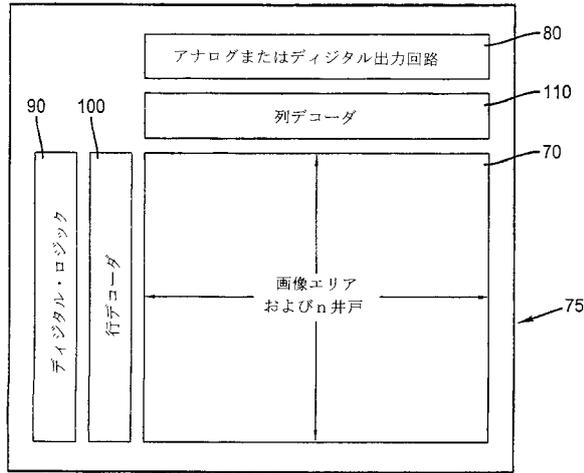


【図4a】

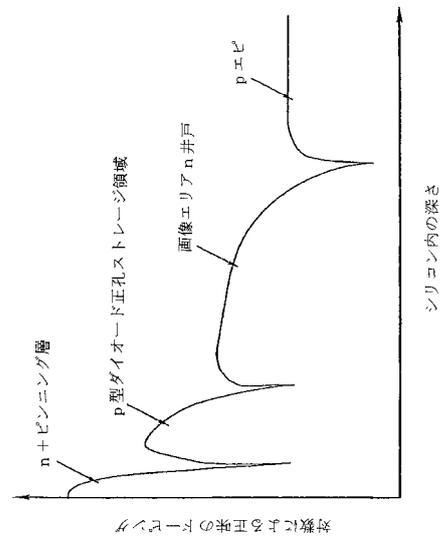
従来技術



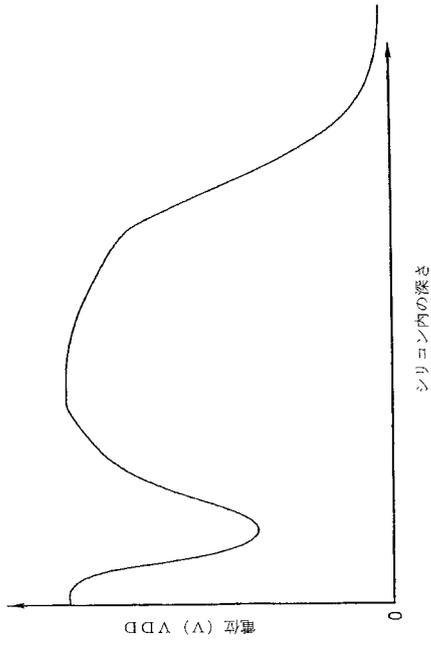
【図4b】



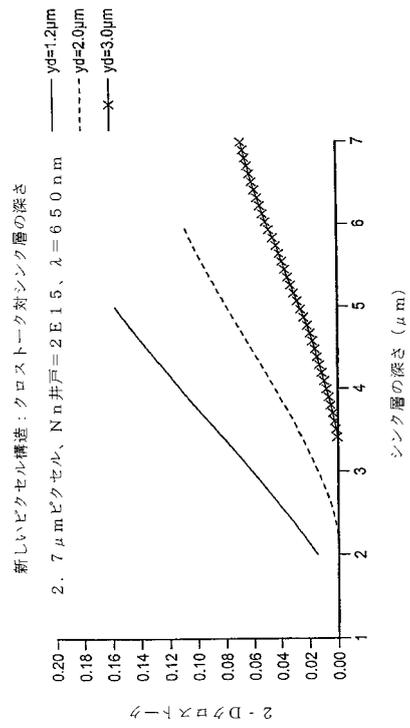
【図4c】



【 図 4 d 】



【 図 5 】



【 図 6 】

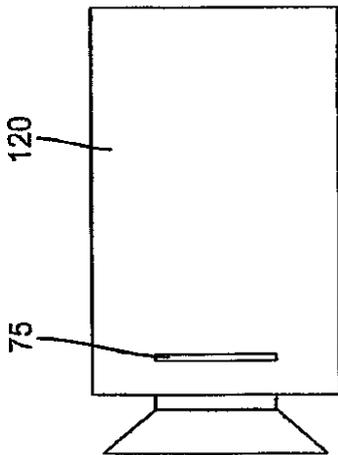


FIG. 6

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2007/007388

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H01L27/146  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 332 049 A (HEWLETT PACKARD CO [US] HEWLETT PACKARD CO [US]; AGILENT TECHNOLOGIES) 9 June 1999 (1999-06-09) page 5; figures 12,13	1,3,8,10,13
X	TAKAHASHI H ET AL: "A 3.9-MUM PIXEL PITCH VGA FORMAT 10-B DIGITAL OUTPUT CMOS IMAGE SENSOR WITH 1.5 TRANSISTOR/PIXEL" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 39, no. 12, December 2004 (2004-12), pages 2417-2425, XP001224181 ISSN: 0018-9200 figures 9,10	1-3,5,6,9-14
X	US 5 608 204 A (HOEFFLINGER BERND [DE] ET AL) 4 March 1997 (1997-03-04) figures 1,2	1,3,8,10,13
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the International filing date but later than the priority date claimed		"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
Date of the actual completion of the international search  24 July 2007		Date of mailing of the international search report  02/08/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer  Cabrita, Ana

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2007/007388

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 023 293 A (WATANABE TAKASHI [JP]-ET-AL) 8 February 2000 (2000-02-08) figure 1	1-15
A	DE 199 33 162 A1 (STUTTGART MIKROELEKTRONIK [DE]) 1 February 2001 (2001-02-01) figure 1	1,8

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2007/007388

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
GB 2332049	A	09-06-1999	DE 19832791 A1	17-06-1999
			JP 11261895 A	24-09-1999
			US 5952686 A	14-09-1999
US 5608204	A	04-03-1997	AT 168822 T	15-08-1998
			CA 2132629 A1	25-09-1993
			DE 4209536 A1	30-09-1993
			WO 9319489 A1	30-09-1993
			EP 0632930 A1	11-01-1995
			JP 3696234 B2	14-09-2005
			JP 7506932 T	27-07-1995
			JP 2005287068 A	13-10-2005
US 6023293	A	08-02-2000	JP 9246514 A	19-09-1997
DE 19933162	A1	01-02-2001	WO 0106566 A1	25-01-2001
			EP 1208598 A1	29-05-2002
			JP 2003507902 T	25-02-2003

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 4M118 AA05 AB01 BA14 CA04 CA18 DD04 DD12 EA01 EA14 FA33  
5C024 BX01 CX03 GX03 GY38 GY39