



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월09일  
(11) 등록번호 10-1013251  
(24) 등록일자 2011년01월28일

(51) Int. Cl.

H01L 29/93 (2006.01) H01L 27/04 (2006.01)

(21) 출원번호 10-2007-7003435

(22) 출원일자(국제출원일자) 2005년08월05일

심사청구일자 2008년03월27일

(85) 번역문제출일자 2007년02월13일

(65) 공개번호 10-2007-0053219

(43) 공개일자 2007년05월23일

(86) 국제출원번호 PCT/US2005/027738

(87) 국제공개번호 WO 2006/026055

국제공개일자 2006년03월09일

(30) 우선권주장

10/711,144 2004년08월27일 미국(US)

(56) 선행기술조사문헌

US20030122128 A1

US20020074589 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터넷내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

쿨바, 더글러스, 디.

미국 베몬트 05452, 에섹스 정션, 세이지 씨클 21

헤드시버거, 더글러스, 비.

미국 베몬트 05452, 에섹스 정션, 와일드우드 드 라이브 14

라셀, 로버트, 워.

미국 베몬트 05446, 콜캐스터, 그레니트 크릭 로드 225

(74) 대리인

신영무, 윤혜진

전체 청구항 수 : 총 10 항

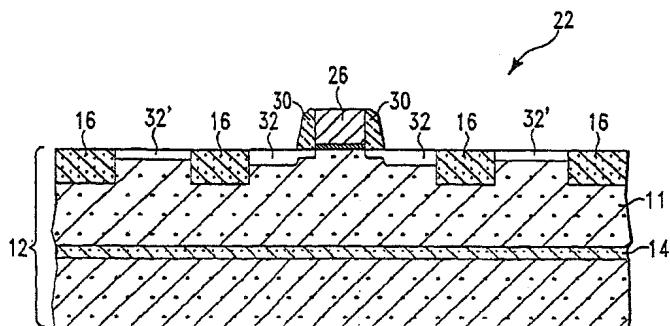
심사관 : 김건형

(54) 분리 웨爾을 이용한 MOS 버래터

### (57) 요 약

본 발명은 가변성이 증가되고 품질 계수(Q)가 높은 버래터(22)뿐만 아니라, 버래터(22)를 제조하는 방법을 제공한다. 본 발명의 방법은 종래의 CMOS 처리 기법 또는 종래의 BiCMOS 처리 기법에 통합될 수 있다. 상기 방법은 제 1 전도형의 반도체 기판(12) 및 선택적으로 기판(12)의 상부 영역(11) 아래에 배치된 제 2 전도형의 서브컬렉터(14) 또는 분리 웨爾(즉, 도핑 영역)을 포함하는 구조를 제공하며, 제 1 전도형은 제 2 전도형과는 다르다. 다음에, 복수의 분리 영역들(16)이 기판(12)의 상부 영역(11)에 형성되고, 다음에 웨爾 영역이 기판(12)의 상부 영역(11)에 형성된다. 일부 경우에, 도핑 영역(14)이 본 발명 공정의 이 시점에서 형성된다. 웨爾 영역은 제 2 전도형의 외부 웨爾 영역들(20A, 20C) 및 제 1 전도형의 내부 웨爾 영역(20B)을 포함한다. 상기 웨爾 영역의 각각의 웨爾은 분리 영역(16)에 의해 상부 표면에서 분리된다. 다음에, 적어도 하나의 제 1 전도형의 게이트 전도체(26)를 가진 전계 효과 트랜지스터가 내부 웨爾 영역(20B)에 형성된다.

**대 표 도** - 도1D



## 특허청구의 범위

### 청구항 1

버랙터(varactor) 구조물에 있어서,

반도체 기판 -상기 반도체 기판은 상기 반도체 기판의 상부 영역 아래에 배치된 제 2 전도형의 서브컬렉터 및 상기 서브컬렉터 아래에 제 1 전도형의 반도체층을 포함하고, 상기 제 1 전도형은 상기 제 2 전도형과 달리- 과,

상기 반도체 기판의 상기 상부 영역에 배치된 웨爾 영역 -상기 웨爾 영역은 상기 제 2 전도형의 외부 웨爾 영역들 및 상기 제 1 전도형의 내부 웨爾 영역을 포함하고, 전도형이 교번하는(alternating) 상기 웨爾 영역의 각각의 웨爾은 분리 영역에 의해 상부 표면에서 분리되며, 상기 내부 웨爾 영역 및 상기 외부 웨爾 영역들 각각은 소스 및 드레인 도편트 영역들을 포함하는 상단 표면을 가지며, 상기 내부 웨爾 영역의 상기 소스 및 드레인 영역들은 유전체를 포함하는 상기 분리 영역에 의해 상기 외부 웨爾 영역들의 상기 소스 및 드레인 영역들과 분리됨- 과,

상기 내부 웨爾 영역 위에 배치된 상기 제 1 전도형의 적어도 하나의 게이트 전도체를 구비한 전계 효과 트랜지스터

를 포함하며,

상기 외부 웨爾 영역들 및 상기 내부 웨爾 영역은 상기 분리 영역 아래로 상기 서브컬렉터까지 연장되어 각각의 웨爾 영역이 인접한 웨爾 영역과 서로 접촉하며, 상기 외부 웨爾 영역들 및 상기 내부 웨爾 영역은 상기 제 2 전도형의 상기 서브컬렉터와 접촉하며, 상기 서브컬렉터는 상기 반도체 기판의 상기 외부 웨爾 영역들 및 상기 내부 웨爾 영역을 통해 연속적으로 연장하는, 버랙터 구조물.

### 청구항 2

제 1 항에 있어서,

상기 제 1 전도형은 p-형 도편트를 포함하고 상기 제 2 전도형은 n-형 도편트를 포함하는, 버랙터 구조물.

### 청구항 3

제 1 항에 있어서,

상기 제 1 전도형은 n-형 도편트를 포함하고 상기 제 2 전도형은 p-형 도편트를 포함하는, 버랙터 구조물.

### 청구항 4

제 1 항에 있어서,

상기 반도체 기판의 상기 상부 영역은 에피택셜 반도체 층을 포함하는, 버랙터 구조물.

### 청구항 5

제 1 항에 있어서,

상기 전계효과 트랜지스터는,

상기 게이트 전도체 아래에 배치된 게이트 유전체와,

상기 게이트 전도체상에 배치된 하드마스크와,

상기 게이트 전도체의 측벽들상에 배치되며 상기 소스 및 드레인 영역들에 접하는 적어도 하나의 스페이서를 더 포함하는, 버랙터 구조물.

### 청구항 6

제 1 항에 있어서,

상기 게이트 전도체는 폴리실리콘을 포함하는, 버랙터 구조물.

#### 청구항 7

버랙터 구조물에 있어서,

p-형 반도체 기판 -상기 p-형 반도체 기판은 상기 반도체 기판의 상부 영역 아래에 배치된 n-형 서브컬렉터 및 상기 n-형 서브컬렉터 아래에 p-형 반도체층을 포함함- 과,

상기 반도체 기판의 상기 상부 영역에 배치된 웨爾 영역 -상기 웨爾 영역은 외부 N-웨爾 영역들 및 내부 P-웨爾 영역을 포함하고, 전도형이 교번하는 상기 웨爾 영역의 각각의 웨爾은 분리 영역에 의해 상부 표면에서 분리되며, 상기 내부 P-웨爾 영역 및 상기 외부 N-웨爾 영역들 각각은 소스 및 드레인 도편트 영역들을 포함하는 상단 표면을 가지며, 상기 내부 P-웨爾 영역의 상기 소스 및 드레인 영역들은 유전체를 포함하는 상기 분리 영역에 의해 상기 외부 N-웨爾 영역들의 상기 소스 및 드레인 영역들과 분리됨- 과,

상기 내부 P-웨爾 영역 위에 배치된 적어도 하나의 p-형 게이트 전도체를 구비한 전계 효과 트랜지스터를 포함하며,

상기 외부 N-웨爾 영역들 및 상기 내부 P-웨爾 영역은 상기 분리 영역 아래로 상기 n-형 서브컬렉터까지 연장되어 각각의 웨爾 영역이 인접한 웨爾 영역과 서로 접촉하며, 상기 외부 N-웨爾 영역들 및 상기 내부 P-웨爾 영역은 상기 n-형 서브컬렉터와 접촉하며, 상기 n-형 서브컬렉터는 상기 외부 N-웨爾 영역들 및 상기 내부 P-웨爾 영역을 통해 연속적으로 연장하는, 버랙터 구조물.

#### 청구항 8

제 7 항에 있어서,

상기 반도체 기판의 상기 상부 영역은 에피택셜 반도체 층을 포함하는, 버랙터 구조물.

#### 청구항 9

제 7 항에 있어서,

상기 전계효과 트랜지스터는,

상기 게이트 전도체 아래에 배치된 게이트 유전체와,

상기 게이트 전도체상에 배치된 하드마스크와,

상기 게이트 전도체의 측벽들상에 배치되며 상기 소스 및 드레인 영역들에 접하는 적어도 하나의 스페이서를 더 포함하는, 버랙터 구조물.

#### 청구항 10

제 7 항에 있어서,

상기 게이트 전도체는 폴리실리콘을 포함하는, 버랙터 구조물.

### 명세서

#### 기술 분야

[0001] 본 발명은, 일부 예들에서 노이즈, 예컨대, 기생성분을 감소시키는 네거티브 바이어싱 및 분리를 가능하게 할 수 있는 가변성(tunability)이 향상된 버랙터(varactor)를 포함하는 CMOS(complementary metal oxide semiconductor) 및 바이폴라/CMOS(BiCMOS) 전자 디바이스들뿐만 아니라, 이와 같은 디바이스들을 제조하는 방법에 관한 것이다. 버랙터를 포함하는 본 발명의 전자 디바이스들은 모바일 또는 휴대 전화기, PDA(personnel digital assistance) 및 다른 고 RF(무선 주파수) 전자 디바이스에 사용하기에 매우 적합하다.

## 배경 기술

- [0002] 버랙터는 적합한 전압 또는 전류 바이어스에 의해 제어되는 커페시턴스를 가진 전자 디바이스이다. 일반적으로, 버랙터는 예컨대, 주파수가 인가 전류 또는 전압에 의해 제어되는 이른바 전압 제어 발진기(VCO)에 이용된다. 이와 같은 예들에서, VCO는 가변 주파수가 필요할 때 또는 신호가 기준 신호에 동기되어야 할 때 사용된다.
- [0003] 모바일/휴대 전화기와 같은 무선 통신 디바이스에서, VCO는 일반적으로, 무선 수신기에 의해 수신되는 신호와 동기되는 기준 신호의 발생, 변조/복변조 동작, 및 주파수 합성을 포함해서, 적합한 신호를 발생하기 위해 위상 동기 루프 회로에 사용된다.
- [0004] 수많은 버랙터들이 개발되어 집적 회로 기술들에 성공적으로 사용되어 왔다. 예컨대, 바이폴라, CMOS 및 BiCMOS 기술에서 pn-다이오드, 쇼트키 다이오드 또는 MOS-다이오드를 버랙터로 이용하는 것은 알려져 있다. 제목이 "이온 주입된 초계단형 접합 전압 가변 커페시터(Ion-Implanted Hyperabrupt Junction voltage Variable Capacitors)"인 알. 에이. 몰린(R. A. Moline) 등의 문헌(IEEE Trans. Electron. Device, ED-19, pp267f, 1972)에는, pn-다이오드들을 구비한 버랙터들이 기술되어 있다. 폭스할(Foxhall) 등의 미국 특허 제 3,638,300 호; 굿윈(Goodwin) 등의 미국 특허 제 4,226,648 호; 파블리디스(Pavlidis) 등의 미국 특허 제 4,827,319 호; 및 느구엔(Nguyen) 등의 미국 특허 제 5,557,140 호에는, 초계단형(hyper-abrupt) 이온-주입 접합들을 포함하는 다른 타입의 가변 커페시터(즉, 버랙터) 다이오드들이 기술되어 있다. 용어 '초계단형'은 임플란트가 인접한 외부 베이스 영역의 벽과 접촉하는 도핑 프로파일을 갖고 있음을 나타낸다. 반면에, 앤브리(Embree) 등의 미국 특허 제 4,973,922 호; 스톤파(Stolfa) 등의 미국 특허 제 5,965,912 호; 및 리트윈(Litwin) 등의 미국 특허 제 6,100,770 호에는 버랙터로서 사용되는 MOS-다이오드가 기술되어 있다.
- [0005] 버랙터들의 집적도는 집적 회로 기술의 능력에 좌우된다. BiCMOS 기술에서 고 RF 응용들을 위한 집적 회로 디바이스의 개요가 예컨대, 제이. 엔. 벽하츠(J. N. Burghartz) 등의 문헌 "BiCMOS 기술에서의 집적된 RF 및 마이크로웨이브 구성요소(Integrated RF and Microwave Components in BiCMOS Technology)"(IEEE Trans. Electron Devices, Col. 43, pp1559, September 1996)에 기술되어 있다. 여기서 언급되는 바와 같이, 버랙터는 표준 BiCMOS 디바이스 세트의 일부가 아니다. 대신에, 바이폴라 트랜지스터의 컬렉터-베이스 접합을 버랙터로서 이용할 것을 제안하고 있다.
- [0006] 디바이스를 버랙터로 이용하기 위해서는, 디바이스가 다음의 기준들, 즉 (1) 가변성(즉, 최대 커페시턴스와 최소 커페시턴스의 비)가 높아야 한다는 기준(약 3 이상); (2) 품질 계수(Quality factor; Q)가 높아야 한다는 기준(약 20 이상); 및 (3) 디바이스가 선형성을 보여야 한다는 기준 중 하나 이상, 바람직하게는 둘 이상을 충족해야 한다.
- [0007] 공지된 종래 기술의 버랙터들의 다수는 상기 기준을 충족하지 않는다. 예컨대, 전통적인 베이스-컬렉터 접합 버랙터들은 버랙터 가변성이 최적이 아닌 NPN 베이스-컬렉터 프로파일에 의존한다. 임플란트의 도핑 프로파일이 외부 베이스 영역의 “벽”에 배치된 초계단형 베이스-컬렉터 접합 버랙터들의 경우, 디바이스는 선형성이 부족하다. 전통적인 MOS 버랙터들의 경우, 가변성은 높으나, 훨씬 더 높은 가변성이 종종 요구된다.
- [0008] 종래 기술의 버랙터들의 위에서 언급된 단점을 감안하여, 상기 기준들을 충족하고 CMOS 및 BiCMOS 디바이스들과 접속될 수 있는, 새롭고 향상된 버랙터들이 지속적으로 요구되고 있다.
- [0009] 또한, 종래의 MOS 버랙터 설계들에서는, 벌크 기판으로부터 MOS 버랙터를 전기적으로 분리하기가 어렵다. 불충분한 전기적 분리로 인해 디바이스는 높은 기생성분, 예컨대, 노이즈를 가진다. 이와 같이, 충분한 전기적 분리를 갖고 있어 디바이스에서 노이즈를 감소시키는 버랙터 설계를 제공할 필요도 있다.

## 발명의 상세한 설명

- [0010] 본 발명은 가변성이 증가되고 품질 계수(Q)가 높은 버랙터뿐만 아니라, 그 버랙터를 제조하는 방법을 제공한다. 본 발명의 방법은 종래의 CMOS 처리 기법 또는 종래의 BiCMOS 처리 기법에 통합될 수 있다.
- [0011] 구체적으로, 넓은 용어로, 본 발명의 버랙터는,
- [0012] 제 1 전도형의 반도체 기판 -상기 반도체 기판은 상기 반도체 기판의 상부 영역 아래에 배치된 제 2 전도형의

도핑 영역을 포함하고, 상기 제 1 전도형은 상기 제 2 전도형과 달리- 과, 상기 기판의 상부 영역에 배치된 웰 영역 -상기 웰 영역은 상기 제 2 전도형의 외부 웰 영역들 및 상기 제 1 전도형의 내부 웰 영역을 포함하고, 상기 웰 영역의 각각의 웰은 분리 영역에 의해 상부 표면에서 분리됨- 과, 상기 내부 웰 영역 위에 배치된 상기 제 1 전도형의 적어도 하나의 게이트 전도체를 구비한 전계 효과 트랜지스터를 포함한다.

[0013] BiCMOS 또는 바이폴라 트랜지스터를 제조할 일부 실시예들에서, 제 2 전도형의 도핑 영역은 서브컬렉터 (subcollector)이다. CMOS 디바이스를 제조할 다른 실시예들에서는, 제 2 전도형의 도핑 영역이 분리 웰 (isolating well)이다.

[0014] 바람직한 실시예를 나타내는 본 발명의 일실시예에서, 버랙터는,

[0015] p-형 반도체 기판 -상기 p-형 반도체 기판은 상기 기판의 상부 영역 아래에 배치된 n-도핑 영역, 즉 서브컬렉터 또는 분리 웰을 포함함- 과, 상기 기판의 상부 영역에 배치된 웰 영역 -상기 웰 영역은 외부 N-웰 영역들 및 내부 P-웰 영역을 포함하며, 상기 웰 영역의 각각의 웰은 분리 영역에 의해 상부 표면에서 분리됨- 과, 상기 내부 N-웰 영역 위에 배치된 적어도 하나의 p-형 게이트 전도체를 구비한 전계 효과 트랜지스터를 포함한다.

[0016] 본 발명의 다른 실시예에서, 버랙터는,

[0017] n-형 반도체 기판 -상기 n-형 반도체 기판은 상기 기판의 상부 영역 아래에 배치된 p-도핑 영역을 포함함- 과, 상기 기판의 상부 영역에 배치된 웰 영역 -상기 웰 영역은 외부 P-웰 영역들 및 내부 N-웰 영역을 포함하며, 상기 웰 영역의 각각의 웰은 분리 영역에 의해 상부 표면에서 분리됨- 과, 상기 내부 N-웰 영역 위에 배치된 적어도 하나의 n-형 게이트 전도체를 구비한 전계 효과 트랜지스터를 포함한다.

[0018] 상기 버랙터 구조 이외에, 본 발명은 또한 버랙터 구조 제조 방법을 제공한다. 이 방법은,

[0019] 제 1 전도형의 반도체 기판을 포함하는 구조물을 제공하는 단계와, 상기 기판의 상부 영역에 다수의 분리 영역들을 형성하는 단계와, 상기 기판의 상기 상부 영역에 웰 영역을 형성하는 단계 -상기 웰 영역은 상기 제 1 전도형과는 다른 제 2 전도형의 외부 웰 영역들 및 상기 제 1 전도형의 내부 웰 영역을 포함하고, 상기 웰 영역의 각각의 웰은 분리 영역에 의해 상부 표면에서 분리됨- 과, 상기 내부 N-웰 영역 위에 배치된 적어도 하나의 게이트 전도체를 구비한 전계 효과 트랜지스터를 포함한다.

[0020] 일실시예에서, 기판은 기판의 상부 영역 아래에 배치된 제 2 전도형의 도핑 영역을 포함한다. 도핑 영역은 상기 복수의 분리 영역들을 형성하기 전에 또는 상기 복수의 분리 영역들을 형성한 후에, 그러나 웰 영역 형성 전에 형성될 수 있다. 도핑 영역은 BiCMOS 또는 바이폴라 디바이스용 서브컬렉터 또는 CMOS 디바이스용 분리 웰일 수 있다.

[0021] 바람직한 버랙터 구조의 경우에, 상기 방법은,

[0022] p-형 반도체 기판을 포함하는 구조물을 제공하는 단계와, 상기 기판의 상부 영역에 다수의 분리 영역들을 형성하는 단계와, 상기 기판의 상부 영역에 웰 영역을 형성하는 단계 -상기 웰 영역은 외부 웰 N-영역들 및 내부 P-웰 영역을 포함하고 상기 웰 영역의 각각의 웰은 분리 영역에 의해 상부 표면에서 분리됨- 과, 상기 내부 웰 영역 위에 적어도 하나의 p-형 게이트 전도체를 구비한 전계 효과 트랜지스터를 형성하는 단계를 포함한다.

[0023] 일실시예에서, 기판은 기판의 상부 영역 아래에 배치된 제 2 전도형의 도핑 영역을 포함한다. 도핑 영역은 상기 복수의 분리 영역들을 형성하기 전에 또는 상기 복수의 분리 영역들을 형성한 후에, 그러나 웰 영역 형성 전에 형성될 수 있다.

## 실시예

[0027] 가변성이 향상되고 기생성분, 즉, 노이즈가 감소된 MOS 버랙터뿐만 아니라 그 제조 방법을 제공하는 본 발명에 대해 첨부 도면을 참조하여 보다 상세히 설명한다. 본 출원의 도면은 예시를 위한 것으로 일정한 비례로 확대 또는 축소되어 그려진 것이 아니다. 또한, 도면에 도시된 동일 및 대응 요소는 동일 부호로 참조한다.

[0028] 다음 설명에서, 교번하는 N-웰, P-웰, 및 N-웰 레이아웃 및 n-형 서브컬렉터를 포함하는 BiCMOS 및 바이폴라 애플리케이션을 위한 PMOS 버랙터에 대해 설명한다. 이 배열이 상세히 설명되지만, 본 발명은 또한 교번하는 P-웰, N-웰, 및 P-웰 레이아웃 및 p-형 서브컬렉터를 포함하는 BiCMOS 또는 바이폴라 애플리케이션을 위한 NMOS 버랙터를 고려한다. NMOS 버랙터는 PMOS 버랙터와는 반대인 도편트 전도성을 이용하여 제조된다. 예컨대, 도 1A 내지 도 1D에 도시된 바와 같은 BiCMOS 또는 바이폴라 애플리케이션을 위해, 기판에 존재하는 제 1 전도형 도편트와는 다른 제 2 전도형의 도핑 영역을 나타내는 서브컬렉터가 존재한다. CMOS 애플리케이션에서, 기판에

존재하는 제 1 전도형 도편트와는 다른 제 2 전도형의 도핑 영역을 나타내는 분리 웨이 존재한다. 도핑 영역은 분리 영역들을 형성하기 전 또는 분리 영역 형성 후에, 그러나 본 발명의 웨이 영역 형성 전에 형성될 수 있다.

[0029] 먼저, n<sup>+</sup> 서브컬렉터(14)가 반도체 기판(12)의 일부에 형성된 후에 형성된 초기 구조(10)를 예시한 도 1A를 참조한다. 반도체 기판(12)은 예컨대, Si, SiGe, SiGeC, SiC, GaAs, InAs, InP를 포함한 반도체 재료 또는 예컨대, SOI(silicon-on-insulator), SGOI(SiGe-on-insulator), 및 Si/SiGe와 같은 적층된 반도체를 구비한다. 이 실시예의 경우, 반도체 기판(12)은 p-형 기판이다. 기판(12)은 기판 재료 자체를 포함할 수 있는 상부 영역(11), 또는 n<sup>+</sup> 서브컬렉터(14)를 형성하기 전에 형성될 수 있는 선택적 에피택셜 성장 반도체 층을 포함함에 주의한다.

[0030] n<sup>+</sup> 서브컬렉터(14)는 당업자에게 잘 알려진 종래의 이온 주입 공정 및 조건을 이용하여 As 또는 P와 같은 n-형 도편트 원자들을 주입함으로써 형성된다. 임플란트는 전체 기판에 걸쳐 연속적인 서브컬렉터(14)를 제공하는 블랭킷(blanket) 임플란트일 수 있고, 또는 기판의 특정 부분 내에 별개의 서브컬렉터를 형성하는데 마스크 이온 주입 공정을 이용할 수 있다. 사용될 수 있는 한가지 가능한 n-형 도편트는 약 1E14 내지 약 5E16 원자들/cm<sup>2</sup>의 도핑 조사량(dosage)으로 약 20 내지 약 100 keV의 에너지로 주입될 수 있는 As이다. 위에서 언급된 것 이외의 다른 도편트 이온 및/또는 주입 조건을 이용할 수도 있다. n<sup>+</sup> 서브컬렉터(14)는 기판(12)의 상부 표면으로부터 약 300 내지 약 2000 nm에 배치될 수 있다.

[0031] 사용된 도편트의 타입에도 불구하고, 서브컬렉터(14)는 일반적으로 약 1E18 내지 약 1E20 원자들/cm<sup>3</sup>의 도편트 농도를 가지며, 약 1E19 내지 약 1E20 원자들/cm<sup>3</sup>의 도편트 농도가 보다 일반적이다.

[0032] 본 발명의 이 시점에서, 서브컬렉터(14)가 형성된 것으로 도시되어 있으나, 서브컬렉터(14)는 공정 중에 나중에, 즉, 분리 영역 형성 후에, 그러나 웨이 영역 형성 전에 형성될 수 있다.

[0033] 위에서 언급한 일부 실시예들에서, 당업자에게 잘 알려진 종래의 에피택셜 성장 공정을 이용하여 실리콘 또는 SiGe와 같은 에피택셜 반도체 층이 반도체 기판(12)의 표면상에 형성된다. 이 에피택셜 층은 도 1A에 나타낸 영역(11)에 대응한다.

[0034] 다음에, 도 1B에 도시된 바와 같이, 복수의 분리 영역들(16)이 반도체 기판(12)의 상부 영역(11)에 형성된다. 본 발명의 이 시점에 형성된 상기 복수의 분리 영역들(16)은 LOCOS(local oxidation of silicon) 분리 영역들일 수 있고, 또는 보다 바람직하게는, 상기 복수의 분리 영역들(16)은 도 1B에 도시된 바와 같이 트렌치 분리 영역이다. 분리 영역들(16)은 당업자에게 잘 알려진 공정들을 이용하여 형성된다. 예컨대, 분리 영역들(16)이 LOCOS 분리 영역으로 구성될 때에는, 이와 같은 분리 영역들을 형성하는데 LOCOS 공정을 이용할 수 있다. 분리 영역들(16)이 트렌치 분리 영역들로 구성될 때에는, 트렌치 분리 영역들은 리소그래피, 에칭 및 트렌치 충진(trench fill)(즉, TEOS(tetratethylorthosilicate) 또는 HDPO(high-density plasma oxide)와 같은 트렌치 유전층 증착)에 의해 형성된다. CMP(chemical mechanical polishing) 또는 연마(grinding)와 같은 평탄화 공정이 선택적으로 트렌치 충진 이후에 행해질 수 있다. 또한, 선택적 치밀화(densification) 공정을 이용할 수도 있다.

[0035] 본 발명에서, 상기 복수의 분리 영역들(16)은 기판(12)의 상부 영역(11)에 형성되고, n<sup>+</sup> 서브컬렉터(14) 아래로 연장되지 않는다. 도 1B에 도시된 바와 같은 2개의 인접 분리 영역들이 디바이스 영역(18)을 정의한다.

[0036] 다음에, 교번하는 전도성의 웨이 영역이 이온 주입 및 어닐링을 통해 형성된다. 도 1C에 도시된 예에서, 교번하는 전도성의 웨이 영역은 제 1 N-웨이 영역(20A), P-웨이 영역(20B), 및 제 2 N-웨이 영역(20C)을 구비한다. 다른 실시예에서, 대안적인 도핑 구조가 웨이 영역을 위해 형성된다. 도 1C에 도시된 예에서, P-웨이 영역("액티브 웨이")(20B)은 디바이스 영역(18) 내에 배치된다. N-웨이 영역들(20A, 20C)은 디바이스 영역(18)에 인접하여 형성되며, 여기서는 "리치-쓰루(reach-through) 임플란트 영역"이라고 한다. 도시된 바와 같이, 웨이 영역들은 분리 영역들(16)의 아래로 연장되어, 각각의 인접 웨이 영역이 인접 웨이 영역, 예컨대, 20A 및 20B와 접촉한다. 웨이 영역들(20A, 20B, 20C)은 도 1C에 도시된 바와 같이 n<sup>+</sup> 서브컬렉터(14)의 표면 쪽으로 아래로 연장된다. 웨이 영역들(20A, 20C)은 서브컬렉터(14) 또는 분리 웨이(14)를 전기적으로 접촉시키는데 사용된다.

[0037] 위에서 언급한 바와 같이, 웨이 영역들은 이온 주입 및 어닐링에 의해 형성된다. 각각의 웨이를 형성하는데 사용된 도편트의 타입은 베랙터의 최종 극성에 따라 좌우된다. N-웨이를 형성하는 데는 As 및 P와 같은 원소 주기율표의 VA 족의 원소와 같은 N-형 도편트가 이용되는 반면에, P-웨이를 형성하는데는 B, In 및 Ga와 같은 원소 주기율표의 IIIA족의 원소와 같은 p-형 도편트가 이용된다.

- [0038] 사용된 도편트의 타입에도 불구하고, 각각의 웨爾 영역은 일반적으로 약 1E17 내지 약 1E19 원자들/cm<sup>3</sup>의 도편트 농도를 가지며, 약 1E17 내지 약 1E18 원자들/cm<sup>3</sup>의 도편트 농도가 보다 일반적이다.
- [0039] 본 발명에 따라, 마스크 이온 주입 공정을 이용하여 선택적 도편트 이온 타입이 반도체 기판(12)의 일부에 주입된다. 외부 웨爾 영역들(20A, 20C)은 동일 주입 조건을 이용하여 동일 시간에 형성될 수 있다. 대안으로, 외부 웨爾 영역들(20A, 20C)은 상이한 주입 조건을 이용하여 상이한 시간에 형성될 수 있다. 주입 정도는 달라질 수 있다. 예컨대, 웨爾 영역(20B)은 웨爾 영역들(20A, 20C) 전 또는 후에 형성될 수 있다.
- [0040] 각각의 웨爾 영역을 형성하는데 이용된 주입 조건은 종래의 것이고 당업자에게 잘 알려져 있다. 예컨대, N-웨爾 영역을 형성하기 위한 주입 조건은 약 1E12 내지 약 8E15 원자들/cm<sup>2</sup>의 n-형 도편트 조사량 및 약 30 내지 약 1000 keV의 에너지를 포함할 수 있다. P-웨爾 영역은 약 1E12 내지 약 8E13 원자들/cm<sup>2</sup>의 p-형 도편트 조사량 및 약 30 내지 약 600 keV의 에너지를 이용하여 형성될 수 있다. 이 기술에서 리치-쓰루(n-형) 임플란트가 이용 가능한 경우, 이 임플란트를 표준 N-웨爾 임플란트로 대체할 수 있다. 일반적으로, 이 리치-쓰루 임플란트는 Sb 와 같은 n-형 도편트를 포함하고, 도편트 조사량은 5E13 내지 5E14이고, 에너지는 100 내지 300 keV이다.
- [0041] 이온 주입은 실질적으로 수직인 이온 주입 공정을 이용하여 수행될 수 있고, 또는 대안으로, 각진(angled) 이온 주입 공정을 이용할 수도 있다.
- [0042] 어닐링 공정은 각각의 웨爾 영역 내의 도편트를 활성화하는데 이용된다. 단일 어닐링 단계는 웨爾 영역이 형성된 후 이용될 수 있고, 또는 대안으로, 어닐링 공정은 각각의 개별적인 웨爾 영역의 주입 후에 수행될 수도 있다. 본 발명에서 이용되는 어닐링 온도는 일반적으로 약 900°C 이상이며, 약 1000°C 이상의 어닐링 온도가 보다 일반적이다. 어닐링 시간은 이용된 어닐링 공정의 타입에 따라 달라질 수 있다. 예컨대, RTA(rapid thermal anneal) 공정, 레이저 어닐링, 또는 스파이크 어닐링을 위해서는 약 5 분 이하의 어닐링 시간이 일반적으로 이용되는 반면에, 노(furnace) 어닐링을 위해서는 약 30분 이상의 어닐링 시간이 일반적으로 이용된다.
- [0043] 웨爾 영역들의 활성화는 본 발명의 공정 내의 다른 열적 사이클이 수행될 때까지는 지연될 수 있음에 주의해야 한다. 예컨대, 웨爾 영역들은 소스/드레인 확산 활성화 동안 활성화될 수 있다. 나중의 열 공정까지의 웨爾 영역들의 활성화를 지연시키는 것이 유리한데, 이는 전체 공정 내에서 열 사이클들의 개수, 따라서 비용이 감소되기 때문이다. 다음에, 종래의 CMOS 공정을 이용하여 도 1D에 도시된 버랙터(22)를 제공한다. 도 1D에 도시된 버랙터(22)는 게이트 유전층(24), 게이트 전도체(26), 적어도 하나의 게이트 전도체(26)의 측벽들 상에 배치된 적어도 하나의 스페이서(30), 및 기판(10)의 상부 부분에 배치된 소스/드레인 영역들(32)을 포함하는 전계 효과트랜지스터(FET)를 구비함에 주의한다. 버랙터(22)는 중간 웨爾 영역, 즉, P-웨爾 영역(20B)의 최상부의 디바이스 영역(18) 내에 배치된다.
- [0044] 도 1D에 도시된 버랙터(22)를 형성할 때 사용되는 하나의 종래의 CMOS 공정은 다음의 단계들을 포함한다. 즉, 반도체 기판(12)을 포함하는 도 1C에 도시된 구조의 전체 표면상에 그리고 분리 영역들(16)의 최상부에 게이트 유전층(24)이 형성된다(이들이 증착된 유전층으로 구성된 경우).
- [0045] 게이트 유전층(24)은 예컨대, 산화, 질화(nitridation) 또는 산질화(oxy nitridation)와 같은 열 성장 공정에 의해 형성될 수 있다. 대안으로, 게이트 유전층(24)은 예컨대, CVD(chemical vapor deposition), 플라즈마 CVD(plasma assisted CVD), ALD atomic layer deposition), 증발, 반응성 스퍼터링, 화학 용액 증착 및 다른 유사한 증착 공정들과 같은 증착 공정에 의해 형성될 수 있다. 게이트 유전층(24)은 또한 상기 공정들의 조합을 이용하여 형성될 수도 있다.
- [0046] 게이트 유전층(24)은 산화물, 질화물, 산질화물 및/또는 금속 실리케이트 및 질화 금속 실리케이트 등을 포함하는 절연 재료로 구성되나 이에 한정되지 않는다. 일실시예에서, 게이트 유전층(24)은 예컨대, SiO<sub>2</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, La<sub>2</sub>O<sub>3</sub>, SrTiO<sub>3</sub>, LaAlO<sub>3</sub>, 및 그 혼합물과 같은 산화물로 구성되는 것이 바람직하다.
- [0047] 게이트 유전층(24)의 물리적 두께는 변할 수 있으나, 일반적으로, 게이트 유전층(24)은 약 0.5 내지 약 10 nm의 두께를 가지며, 약 0.5 내지 약 3 nm의 두께가 보다 일반적이다.
- [0048] 게이트 유전층(24)을 형성한 후, 예컨대, 물리 증기 증착, CVD 또는 증발과 같은 공기된 증착 공정을 이용하여, 도 1D에 도시된 게이트 전도체(26)가 되는 폴리 실리콘(즉, polySi)의 블랭킷 층이 게이트 유전층(24) 상에 형성된다. 폴리실리콘의 블랭킷 층은 도핑될 수도 있고 도핑되지 않을 수도 있다. 도핑되는 경우, 상기 블랭킷

층을 형성함에 있어서 인시츄(in-situ) 도핑 증착 공정을 이용할 수 있다. 대안으로, 도핑된 폴리Si 층은 증착, 이온 주입 및 어닐링에 의해 형성될 수 있다. 폴리Si 층의 도핑은 형성된 게이트의 일함수를 시프트시킨다. 도편트 이온들의 예는 As, P, B, Sb, Bi, In, Al, Ga, Ti 또는 그 혼합물을 포함한다. 도면에 도시된 예에서, p-도핑된 폴리실리콘 게이트 전도체(26)가 형성된다. 이온 주입을 위한 바람직한 도우즈는  $1E14 (=1 \times 10^{14})$  내지  $1E16 (=1 \times 10^{16})$  원자들/ $\text{cm}^2$  또는 보다 바람직하게는  $1E15$  내지  $5E15$  원자들/ $\text{cm}^2$ 이다. 본 발명의 이 시점에서 증착된 폴리실리콘 층의 두께, 즉, 높이는 이용된 증착 공정에 따라 달라질 수 있다. 일반적으로, 폴리실리콘 층은 약 20 내지 약 180 nm의 수직 두께를 가지며, 약 40 내지 약 150 nm의 두께가 보다 일반적이다.

[0049] 사용된 도편트의 타입에도 불구하고, 게이트 전도체(26)는 일반적으로 약  $1E 19$  내지 약  $1E21$  원자들/ $\text{cm}^3$ 의 도편트 농도를 가지며, 약  $5E19$  내지 약  $5E20$  원자들/ $\text{cm}^3$ 의 도편트 농도가 보다 일반적이다.

[0050] 폴리실리콘의 블랭킷 층(26)의 증착 후, 예컨대, 물리 증기 증착 또는 화학 증기 증착과 같은 증착 공정을 이용하여 하드 마스크(28)를 폴리실리콘의 블랭킷 층(26)의 최상부에 형성한다. 하드 마스크(28)는 산화물, 질화물, 산질화물 또는 그 조합일 수 있다. 일실시예에서, 예컨대,  $\text{Si}_3\text{N}_4$ 과 같은 질화물이 하드 마스크(28)로 이용된다. 또 다른 실시예에서, 하드 마스크(28)는  $\text{SiO}_2$ 와 같은 산화물이다. 하드 마스크(28)의 두께, 즉, 높이는 약 20 내지 약 180 nm이며, 약 30 내지 약 140 nm의 두께가 보다 일반적이다.

[0051] 다음에, 적어도 하나의 패터닝된 게이트 스택을 제공하기 위해, 블랭킷 폴리실리콘 층(26) 및 하드 마스크(28)를 리소그래피 및 에칭에 의해 패터닝한다. 디바이스 성능을 향상시키기 위해, 패터닝된 게이트 스택들은 동일 치수, 즉, 길이를 가질 수 있고, 또는 가변 치수를 가질 수 있다. 본 발명의 이 시점에서 각각의 패터닝된 게이트 스택은 폴리Si 게이트 전도체(26) 및 하드 마스크(28)를 포함한다. 리소그래피 단계는 포토레지스트를 하드 마스크(28)의 상부 표면에 도포하는 단계, 포토레지스트를 원하는 패턴의 방사에 노출시키는 단계, 및 종래의 레지스트 현상액을 이용하여 노출된 포토레지스트를 현상하는 단계를 포함한다. 다음에, 하나 이상의 건식 에칭 단계를 이용하여 포토레지스트의 패턴을 하드 마스크(28) 및 폴리실리콘의 블랭킷 층(26)으로 전사시킨다. 일부 실시예들에서, 패턴이 하드 마스크(28)로 전사된 후, 패터닝된 포토레지스트를 제거할 수 있다. 다른 실시예들에서는, 에칭이 완료된 후, 패터닝된 포토레지스트를 제거한다.

[0052] 하드마스크(28)는 일반적으로 게이트 패터닝 공정 동안 또는 그 후 제거됨에 주의한다. 하드마스크(28)는 일반적으로 최종 구조에는 존재하지 않는다. 도 1D를 참조한다.

[0053] 패터닝된 게이트 스택을 형성할 때 본 발명에서 이용될 수 있는 적합한 건식 에칭 공정들은 반응성 이온 에칭, 이온 범 에칭, 플라즈마 에칭 또는 레이저 제거를 포함하나 이에 한정되지 않는다. 이용되는 건식 에칭 공정은 일반적으로 하부 게이트 유전층(24)에 대해 선택적이며, 따라서 이 에칭 단계는 일반적으로 게이트 유전층(24)을 제거하지 않는다. 그러나, 일부 실시예들에서, 이 에칭 단계는 게이트 스택에 의해 보호되지 않은 게이트 유전층(24)의 부분들을 제거하는데 이용될 수 있다.

[0054] 다음에, 패터닝된 게이트 스택의 노출된 측벽들 상에 적어도 하나의 스페이서(30)를 형성한다. 적어도 하나의 스페이서(30)는 산화물, 질화물, 산질화물 및/또는 그 조합과 같은 절연체로 구성된다. 상기 적어도 하나의 스페이서는 증착 및 에칭에 의해 형성된다.

[0055] 적어도 하나의 스페이서(30)의 폭은 (후속으로 형성될) 소스 및 드레인 실리사이드 콘택들이 게이트 스택의 에지 아래로 침식하지 않도록 충분히 넓어야 한다. 일반적으로, 소스/드레인 실리사이드는 적어도 하나의 스페이서(30)가 바닥에서 측정했을 때 약 15 내지 약 80 nm의 폭을 갖고 있을 때는 게이트 스택의 에지 아래로 침식하지 않는다.

[0056] 스페이서 형성 후, 소스/드레인 영역들(32, 32')을 기판(12)에 형성한다. 소스/드레인 영역들(32, 32')은 이온 주입 및 어닐링 단계를 이용하여 형성한다. 어닐링 단계는 이전 주입 단계에 의해 주입된 도편트들을 활성화하는 역할을 한다. 이온 주입 및 어닐링 조건은 당업자에게 잘 알려져 있다. 용어 "소스/드레인 영역들"은 딥(deep) 소스/드레인 확인 영역들, 선택적 할로(halo) 임플란트, 및 소스/드레인 확장 영역을 포함한다.

[0057] 다음에, 게이트 유전층(24)의 노출된 부분이 이전에 제거되지 않은 경우, 그 노출된 부분을 선택적으로 게이트 유전층(24)을 제거하는 화학 에칭 공정을 이용하여 제거한다. 이 에칭 단계는 반도체 기판(12)의 상부 표면뿐만 아니라 분리 영역들(16)의 상부 표면에서 멈춘다. 게이트 유전층(24)의 노출된 부분들을 제거할 때 화학 에

천트를 이용할 수도 있으나, 일실시예에서는 DHF(dilute hydrofluoric acid)를 이용한다.

[0058] 당업자에게 잘 알려진 종래의 소스/드레인 실리사이드화(silicidation) 공정 및 금속 게이트 실리사이드화 공정들을 이용함으로써, 소스/드레인 영역들(32, 32') 및, 선택적으로, 게이트 전도체(24)의 적어도 일부가 본 발명의 이 시점에서 실리사이드화될 수 있다.

[0059] 도 1D는 BiCMOS 또는 바이폴라 응용을 위한 본 발명의 구조, 즉, 웨 기법 및 하부 서브컬렉터를 포함하는 기판(12)의 최상부에 배치된 버랙터(22)를 나타낸다. 도면에서, 버랙터(22)는 p-형 폴리실리콘 게이트 전도체(26), 하부 P-웨이(20B), 분리 영역들(16)에 의해 버랙터로부터 분리된 인접 N-웨이(20A, 20C), 및 p-형 반도체 기판(12)의 몸체로부터 P-웨이(20B)을 분리시키는 하부 n+ 서브컬렉터(14)를 포함한다. 반대 극성 타입의 구조, 즉, n-형 폴리실리콘 게이트 전도체(26), 하부 N-웨이(20B), 분리 영역들(16)에 의해 버랙터 구조로부터 분리된 인접 P-웨이(20A, 20C), N-웨이(28B)을 n-형 반도체 기판(12)의 몸체로부터 분리하는 하부 p+ 서브컬렉터(14)가 가능하다.

[0060] 도 1D에 나타낸 구조는 바람직한데, 이는 공핍에서 동작하는 네거티브 바이어스 축적 버랙터를 제공하기 때문이다.

[0061] 다른 버랙터들(22)은 필요한 경우 기판(12)의 표면상에 형성될 수 있음에 주의한다.

[0062] 도 2는 종래 기술의 N-웨이 내의 NMOS(곡선 1), 종래 기술의 P-웨이 내의 PMOS(곡선 2) 및 본 발명의 웨 기법 및 하부 n+ 서브컬렉터 또는 분리 웨를 가진 P-웨이 내의 버랙터 PMOS의 CV 특성을 나타낸다. 이 도면으로부터 관찰되는 바와 같이, 곡선 1 및 2에 비해 본 발명의 버랙터의 최소 커페시턴스가 감소하며, 따라서 디바이스의 가변성을 증가시킨다. 이 최소 커페시턴스의 감소는 n-형 서브컬렉터 또는 분리 웨의 약간의 반대 도핑의 영향 때문이다. 이는 본 발명의 P-웨이 내의 p-형 도핀트를 감소시키고, 따라서 최소 커페시턴스를 감소시킨다.

[0063] 도 3A 내지 도 3C는 CMOS 응용을 위한 버랙터를 형성할 때 이용되는 처리 단계들을 예시한다. 공정은 구조 기판(12)의 상부 영역에 형성된 복수의 분리 영역들(16)을 가진 반도체 기판(12)을 포함하는 도 3에 도시된 구조를 먼저 제공함으로써 개시된다. 상기 복수의 분리 영역들(16)은 위에서 설명된 바와 같이 형성된다. 도시된 바와 같이, 디바이스 영역(18)은 2개의 인접 분리 영역들 사이에 형성된다. 반도체 기판(12)은 제 1 전도형 도핀트(n- 또는 p-형)로 도핑된다.

[0064] 다음에, 분리 웨(14)(즉, 제 2 전도형의 도핀트 영역)이 p- 또는 n-형 도핀트를 도 3A에 도시된 구조로 이온 주입함으로써 형성되어, 도 3B에 도시된 구조가 생성된다. 분리 웨 영역(14)은 당업자에게 잘 알려진 종래의 주입 공정들을 이용하여 형성된다.

[0065] 다음에, 웨 영역들(20A, 20B, 20C)이 위에서 설명된 바와 같이 형성된다. 20A 및 20C는 분리 웨 영역(14)과 동일한 전도형 도핀트를 가진 리치-쓰루 임플란트인 반면에, 액티브 웨 영역(20B)은 기판과 동일한 전도형 도핀트를 갖고 있음에 주의한다. 결과적인 구조가 도 3C에 도시되어 있다.

[0066] 또한 위에서 설명된 처리는 도 1D에 도시된 구조를 제공하기 위해 도 3C에 도시된 구조상에 수행될 수 있다.

## 산업상 이용 가능성

[0067] 본 발명에 따르면, 가변성이 증가되고 품질 계수(Q)가 높은 버랙터 및 버랙터 제조 방법이 제공된다.

[0068] 본 발명은 특히 그 바람직한 실시예에 대해 도시되고 설명되었으나, 당업자는 본 발명의 취지 및 범위를 벗어나지 않고 형태 및 세부 사항의 상기 변경 및 다른 변경을 행할 수 있음을 이해할 것이다. 그러므로, 본 발명은 설명 및 예시된 정확한 형태 및 세부 사항에 한정되는 것이 아니고 첨부된 청구의 범위의 취지 및 범위에 속하도록 의도된 것이다.

## 도면의 간단한 설명

[0024] 도 1A 내지 도 1D는 BiCMOS 또는 바이폴라 응용들을 위한 축적 버랙터를 제조하기 위해 본 발명에서 이용되는 기본 처리 단계들을 (단면도를 통해) 예시한 도면이다.

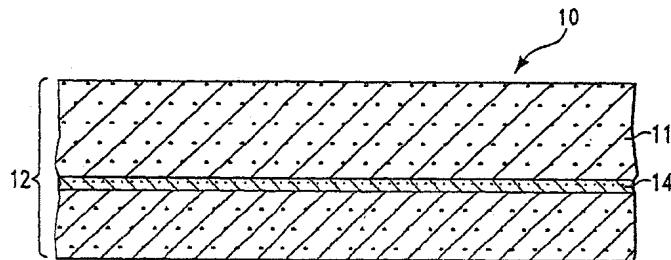
[0025] 도 2는 종래 기술의 n-웨이 내의 NMOS(곡선 1), 종래 기술의 p-웨이 내의 PMOS(곡선 2) 및 본 발명의 PMOS 축적 버랙터의 CV 특성(커페시턴스 밀도 대 게이트 전압 Vg)을 나타낸다.

[0026]

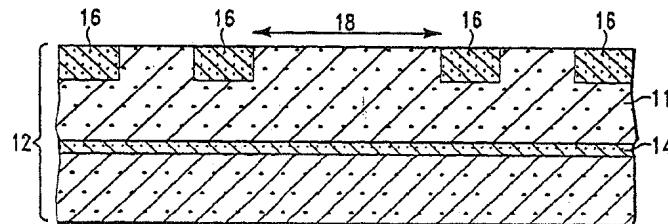
도 3A 내지 도 3C는 CMOS 응용을 위한 축적 버랙터를 제조하기 위해 본 발명에서 이용된 기본 처리 단계들을 (단면도를 통해) 예시한 도면이다.

### 도면

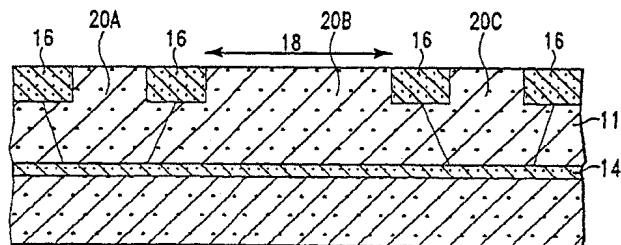
#### 도면1A



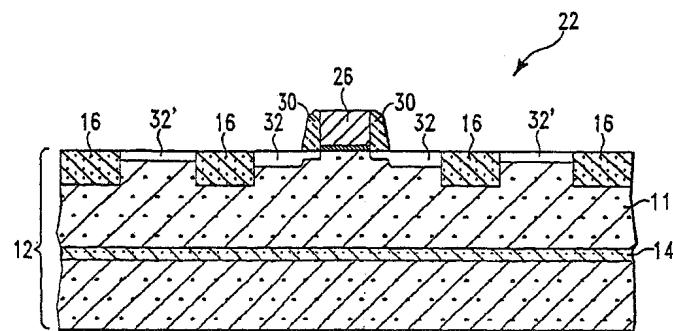
#### 도면1B



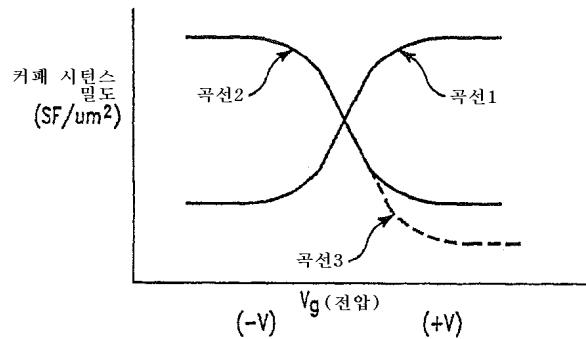
#### 도면1C



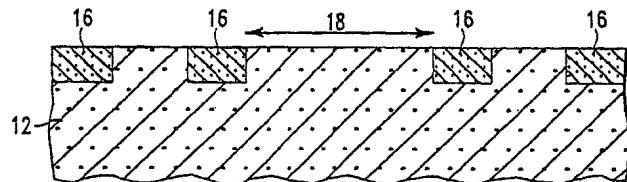
#### 도면1D



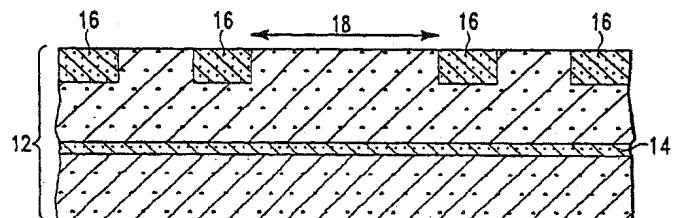
도면2



도면3A



도면3B



도면3C

