



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0097832  
(43) 공개일자 2020년08월20일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01B 1/02 (2006.01)  
H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/32 (2013.01)  
H01B 1/02 (2013.01)  
(21) 출원번호 10-2019-0014687  
(22) 출원일자 2019년02월08일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
오준호  
대전광역시 중구 학교개로57번길 81 2동 105호  
(옥계동, 옥계아파트)  
강승재  
충청남도 아산시 탕정면 탕정면로 37 203동 170  
4호 (명암리, 탕정삼성트라펠리스아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인 고려

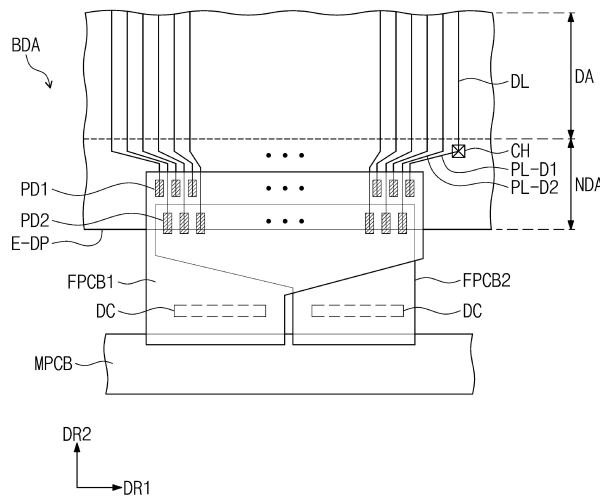
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시장치

(57) 요약

표시장치는 표시기관, 메인회로기관, 제1 및 제2 연결회로기관을 포함한다. 상기 표시기관은 베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치된 제1 신호라인, 상기 베이스층 상에 배치된 제2 신호라인, 상기 절연층으로부터 노출되고 상기 제1 신호라인에 연결된 제1 패드, 및 상기 제2 신호라인의 측면에 연결되며 상기 베이스층의 측면 및 하면 상에 배치된 제2 패드를 포함한다. 상기 제1 연결회로기관은 상기 제1 패드와 상기 메인회로기관을 전기적으로 연결하고, 상기 제2 연결회로기관은 상기 제2 패드와 상기 메인회로기관을 전기적으로 연결한다.

대표도 - 도4a



(52) CPC특허분류

*H01L 51/5203* (2013.01)

(72) 발명자

**권명석**

경기도 하남시 미사강변대로 95 (풍산동 , 미사강  
변센트럴자이) 106동 1201호

**김윤태**

서울특별시 구로구 고척로 49 206동 1306호 (오류  
동, 동부골든아파트)

**김진기**

충청남도 아산시 탕정면 탕정면로 37 (탕정삼성트  
라팰리스아파트) 502동 2601호

**김하숙**

경기도 화성시 동탄반석로 156 101동 409호 (반송  
동, 동탄하이페리온)

## 명세서

### 청구범위

#### 청구항 1

베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치된 제1 신호라인, 상기 베이스층 상에 배치된 제2 신호라인, 상기 절연층으로부터 노출되고 상기 제1 신호라인에 연결된 제1 패드, 및 상기 제2 신호라인의 측면에 연결되며 상기 베이스층의 측면 및 하면 상에 배치된 제2 패드를 포함하는 표시기판;

메인회로기판;

상기 제1 패드와 상기 메인회로기판을 전기적으로 연결하는 제1 연결회로기판; 및

상기 제2 패드와 상기 메인회로기판을 전기적으로 연결하는 제2 연결회로기판을 포함하는 표시장치.

#### 청구항 2

제1 항에 있어서,

상기 제2 신호라인의 상기 측면은 상기 베이스층의 측면과 실질적으로 정렬된 표시장치.

#### 청구항 3

제1 항에 있어서,

상기 제2 신호라인의 상기 측면은 상기 절연층의 측면과 실질적으로 정렬된 표시장치.

#### 청구항 4

제1 항에 있어서,

상기 제1 패드는 상기 절연층을 관통하는 컨택홀을 통해서 상기 제1 신호라인에 접속된 표시장치.

#### 청구항 5

제1 항에 있어서,

평면상에서 상기 제1 패드는 상기 절연층의 엣지와 이격된 표시장치.

#### 청구항 6

제1 항에 있어서,

상기 제1 신호라인과 상기 제2 신호라인은 동일한 층 상에 배치된 표시장치.

#### 청구항 7

제1 항에 있어서,

상기 제2 패드는 금속 페이스트를 포함하는 표시장치.

#### 청구항 8

제7 항에 있어서,

상기 제1 패드는 은(Ag), 구리(Cu), 금(Au), 또는 알루미늄(Al)을 포함하는 표시장치.

#### 청구항 9

제1 항에 있어서,

상기 제1 연결회로기판과 상기 제2 연결회로기판은 상기 메인회로기판의 동일한 일면 상에 결합된 표시장치.

**청구항 10**

제1 항에 있어서,  
상기 제1 연결회로기관 및 상기 제2 연결회로기관에 각각 실장된 구동칩을 더 포함하는 표시장치.

**청구항 11**

제10 항에 있어서,  
상기 제1 연결회로기관의 상기 구동칩에 중첩하는 부분의 너비는 상기 제1 연결회로기관의 상기 제1 패드들에 중첩하는 부분의 너비보다 작은 표시장치.

**청구항 12**

제1 항에 있어서,  
평면상에서 상기 제1 연결회로기관과 상기 제2 연결회로기관은 부분적으로 중첩하는 표시장치.

**청구항 13**

제1 항에 있어서,  
평면상에서 상기 제1 연결회로기관은 상기 제1 패드 및 상기 제2 패드에 중첩하는 표시장치.

**청구항 14**

제1 항에 있어서,  
상기 제1 연결회로기관과 상기 제1 패드를 결합하는 이방성 도전필름을 더 포함하는 표시장치.

**청구항 15**

제1 항에 있어서,  
상기 제1 연결회로기관과 상기 절연층 사이의 갭을 밀봉하는 실링부재를 더 포함하는 표시장치.

**청구항 16**

베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치된 복수 개의 제1 신호라인들, 상기 베이스층 상에 배치된 복수 개의 제2 신호라인들, 상기 복수 개의 제1 신호라인들에 각각 연결된 복수 개의 제1 패드들, 및 상기 베이스층의 측면 및 하면 상에 배치되고 상기 복수 개의 제2 신호라인들의 측면에 각각 연결된 복수 개의 제2 패드들을 포함하는 표시기관;

메인회로기관;

상기 복수 개의 제1 패드들과 상기 메인회로기관을 전기적으로 연결하는 제1 연결회로기관; 및

상기 복수 개의 제2 패드들과 상기 메인회로기관을 전기적으로 연결하는 제2 연결회로기관을 포함하는 표시장치.

**청구항 17**

제16 항에 있어서,  
상기 복수 개의 제1 신호라인들과 상기 복수 개의 제2 신호라인들은 일 방향 내에서 교번하게 배치된 표시장치.

**청구항 18**

제16 항에 있어서,  
상기 절연층과 상기 제1 연결회로기관이 중첩하는 영역 내에서, 상기 복수 개의 제1 신호라인들 각각은 상기 복수 개의 제1 패드들 중 대응하는 제1 패드에 중첩하는 영역에서 상기 절연층으로부터 부분적으로 노출되며,  
상기 절연층과 상기 제1 연결회로기관이 중첩하는 영역 내에서, 상기 복수 개의 제2 신호라인들은 상기 절연층

으로부터 미-노출된 표시장치.

### 청구항 19

베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치되고 상기 절연층에 정의된 컨택홀에 의해 일부분이 상기 절연층으로부터 노출된 제1 신호라인, 상기 베이스층 상에 배치된 제2 신호라인, 및 상기 제2 신호라인의 측면에 연결되며 상기 베이스층의 측면 및 하면 상에 배치된 패드를 포함하는 표시기판;

메인회로기판;

상기 제1 신호라인과 상기 메인회로기판을 전기적으로 연결하는 제1 연결회로기판; 및

상기 패드와 상기 메인회로기판을 전기적으로 연결하는 제2 연결회로기판을 포함하는 표시장치.

### 청구항 20

제19 항에 있어서,

상기 제1 연결회로기판은 상기 표시기판의 상면 상에서 상에서 상기 표시기판에 결합되고, 상기 제2 회로기판은 상기 표시기판의 하면 상에서 상기 표시기판에 결합된 표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 좀 더 상세히는 슬림한 베젤영역을 구비한 표시장치에 관한 것이다.

### 배경 기술

[0002] 일반적으로, 표시패널이 제조된 후 표시패널에 회로기판을 연결한다. 예컨대, TAB(Tape Automated Bonding) 실장 방식은 이방성 도전 필름(ACF: Anisotropic Conductive Film)을 이용하여 회로기판을 표시패널에 본딩한다.

[0003] 최근 들어 베젤영역(또는 비표시영역)을 감소시키기 위한 표시패널의 설계안들이 다양히 연구되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명은 본딩영역의 불량률이 낮은 표시장치를 제공하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시장치는 표시기판, 메인회로기판, 제1 및 제2 연결회로기판을 포함한다. 상기 표시기판은 베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치된 제1 신호라인, 상기 베이스층 상에 배치된 제2 신호라인, 상기 절연층으로부터 노출되고 상기 제1 신호라인에 연결된 제1 패드, 및 상기 제2 신호라인의 측면에 연결되며 상기 베이스층의 측면 및 하면 상에 배치된 제2 패드를 포함한다. 상기 제1 연결회로기판은 상기 제1 패드와 상기 메인회로기판을 전기적으로 연결하고, 상기 제2 연결회로기판은 상기 제2 패드와 상기 메인회로기판을 전기적으로 연결한다.

[0006] 상기 제2 신호라인의 상기 측면은 상기 베이스층의 측면과 실질적으로 정렬될 수 있다.

[0007] 상기 제2 신호라인의 상기 측면은 상기 절연층의 측면과 실질적으로 정렬될 수 있다.

[0008] 상기 제1 패드는 상기 절연층을 관통하는 컨택홀을 통해서 상기 제1 신호라인에 접속될 수 있다.

[0009] 평면상에서 상기 제1 패드는 상기 절연층의 엣지와 이격될 수 있다.

[0010] 상기 제1 신호라인과 상기 제2 신호라인은 동일한 층 상에 배치될 수 있다.

[0011] 상기 제2 패드는 금속 페이스트를 포함할 수 있다.

[0012] 상기 제1 패드는 은(Ag), 구리(Cu), 금(Au), 또는 알루미늄(Al)을 포함할 수 있다.

- [0013] 상기 제1 연결회로기관과 상기 제2 연결회로기관은 상기 메인회로기관의 동일한 일면 상에 결합될 수 있다.
- [0014] 본 발명의 일 실시예에 따른 표시장치는 상기 제1 연결회로기관 및 상기 제2 연결회로기관에 각각 실장된 구동 칩을 더 포함할 수 있다.
- [0015] 상기 제1 연결회로기관의 상기 구동칩에 중첩하는 부분의 너비는 상기 제1 연결회로기관의 상기 제1 패드들에 중첩하는 부분의 너비보다 작을 수 있다.
- [0016] 평면상에서 상기 제1 연결회로기관과 상기 제2 연결회로기관은 부분적으로 중첩할 수 있다.
- [0017] 평면상에서 상기 제1 연결회로기관은 상기 제1 패드 및 상기 제2 패드에 중첩할 수 있다.
- [0018] 본 발명의 일 실시예에 따른 표시장치는 상기 제1 연결회로기관과 상기 제1 패드를 결합하는 이방성 도전필름을 더 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 따른 표시장치는 상기 제1 연결회로기관과 상기 절연층 사이의 갭을 밀봉하는 실링부재를 더 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 표시장치는 표시기관, 메인회로기관, 제1 및 제2 연결회로기관을 포함한다. 상기 표시기관은 베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치된 복수 개의 제1 신호라인들, 상기 베이스층 상에 배치된 복수 개의 제2 신호라인들, 상기 복수 개의 제1 신호라인들에 각각 연결된 복수 개의 제1 패드들, 및 상기 베이스층의 측면 및 하면 상에 배치되고 상기 복수 개의 제2 신호라인들의 측면에 각각 연결된 복수 개의 제2 패드들을 포함할 수 있다.
- [0021] 상기 복수 개의 제1 신호라인들과 상기 복수 개의 제2 신호라인들은 일 방향 내에서 교번하게 배치될 수 있다.
- [0022] 상기 절연층과 상기 제1 연결회로기관이 중첩하는 영역 내에서, 상기 복수 개의 제1 신호라인들 각각은 상기 복수 개의 제1 패드들 중 대응하는 제1 패드에 중첩하는 영역에서 상기 절연층으로부터 부분적으로 노출되며, 상기 절연층과 상기 제1 연결회로기관이 중첩하는 영역 내에서, 상기 복수 개의 제2 신호라인들은 상기 절연층으로부터 미-노출될 수 있다.
- [0023] 본 발명의 일 실시예에 따른 표시장치는 표시기관, 메인회로기관, 제1 및 제2 연결회로기관을 포함한다. 상기 표시기관은 베이스층, 상기 베이스층 상에 배치된 절연층, 상기 베이스층 상에 배치되고 상기 절연층에 정의된 권택홀에 의해 일부분이 상기 절연층으로부터 노출된 제1 신호라인, 상기 베이스층 상에 배치된 제2 신호라인, 및 상기 제2 신호라인의 측면에 연결되며 상기 베이스층의 측면 및 하면 상에 배치된 패드를 포함할 수 있다.
- [0024] 상기 제1 연결회로기관은 상기 표시기관의 상면 상에서 상에서 상기 표시기관에 결합되고, 상기 제2 회로기관은 상기 표시기관의 하면 상에서 상기 표시기관에 결합될 수 있다.

**발명의 효과**

- [0025] 상술한 바에 따르면, 제1 패드와 제2 패드가 다른 면 상에 배치됨으로써 본딩영역의 평면상 면적이 감소된다. 따라서 슬림한 베젤영역을 제공할 수 있다.
- [0026] 제1 패드와 제2 패드가 표시기관의 다른 면상에서 제1 연결 회로기관과 제2 연결 회로기관에 각각 본딩되기 때문에 제1 연결 회로기관과 제2 연결 회로기관 사이의 간섭이 감소된다. 제1 연결 회로기관과 제2 연결 회로기관이 직접적으로 적층되지 않기 때문에 제1 연결 회로기관과 제2 연결 회로기관 사이의 물리적 간섭이 감소된다. 이는 회로기관과 패드 사이의 결합력을 증가시키고, 회로기관과 패드 사이의 갭을 감소시킨다.

**도면의 간단한 설명**

- [0027] 도 1a는 본 발명의 실시예에 따른 표시장치의 사시도이다.
- 도 1b 및 도 1c는 본 발명의 실시예에 따른 표시장치의 단면도이다.
- 도 2는 본 발명의 실시예에 따른 표시장치의 평면도이다.
- 도 3a 및 도 3b는 본 발명의 실시예에 따른 표시패널의 표시영역의 단면도이다.
- 도 4a는 본 발명의 실시예에 따른 표시장치의 확대된 평면도이다.
- 도 4b는 본 발명의 실시예에 따른 연결회로기관의 배면도이다.

- 도 4c는 본 발명의 실시예에 따른 표시장치의 단면도이다.
- 도 4d 및 도 4e는 도 4c의 확대된 단면도이다.
- 도 4f는 본 발명의 실시예에 따른 표시장치의 확대된 사시도이다.
- 도 5는 본 발명의 실시예에 따른 표시장치의 제조방법을 도시한 단면도이다.
- 도 6a는 본 발명의 실시예에 따른 표시장치의 확대된 평면도이다.
- 도 6b는 본 발명의 실시예에 따른 표시장치의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0029] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대 또는 축소하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0030] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 도 1a는 본 발명의 실시예에 따른 표시장치(DD)의 사시도이다. 도 1b 및 도 1c는 본 발명의 실시예에 따른 표시장치(DD)의 단면도이다. 도 2는 본 발명의 실시예에 따른 표시장치(DD)의 평면도이다.
- [0033] 도 1a 내지 도 2를 참조하면, 표시장치(DD)는 표시패널(DP), 제1 및 제2 연결회로기판(FPCB1, FPCB2), 및 메인 회로기판(MPCB)을 포함한다. 본 실시예에서 제1 및 제2 연결회로기판(FPCB1, FPCB2)에 구동칩(DC)이 실장된 것으로 도시되었으나, 본 발명은 이에 제한되지 않는다. 구동칩(DC)은 제1 및 제2 연결회로기판(FPCB1, FPCB2)에 실장되지 않을 수 있고, 표시패널(DP) 또는 메인회로기판(MPCB)에 실장될 수도 있다.
- [0034] 별도로 도시하지 않았으나, 표시장치(DD)는 사시부재 또는 몰딩부재를 더 포함할 수 있고, 표시패널(DP)의 종류에 따라 백라이트 유닛을 더 포함할 수 있다.
- [0035] 표시패널(DP)은 액정 표시 패널(liquid crystal display panel), 플라즈마 표시 패널(plasma display panel), 전기영동 표시 패널(electrophoretic display panel), MEMS 표시 패널(microelectromechanical system display panel) 및 일렉트로젠틱 표시 패널(electrowetting display panel), 및 발광표시패널(light emitting display panel) 중 어느 하나 일 수 있고, 특별히 제한되지 않는다.
- [0036] 표시패널(DP)은 제1 표시기판(100) 및 제1 표시기판(100)에 마주하며 이격된 제2 표시기판(200)을 포함할 수 있다. 제1 표시기판(100)과 제2 표시기판(200) 사이에는 소정의 셀갭이 형성될 수 있다. 셀갭은 제1 표시기판(100)과 제2 표시기판(200)을 결합하는 실런트(SLM)에 의해 유지될 수 있다. 제1 표시기판(100)과 제2 표시기판(200) 사이에는 이미지 생성을 위한 계조표시층이 배치될 수 있다. 계조표시층은 표시패널의 종류에 따라 액정층, 발광층, 전기영동층을 포함할 수 있다.
- [0037] 도 1a에 도시된 것과 같이, 표시패널(DP)은 표시면(DP-IS)을 통해 이미지를 표시할 수 있다. 표시면(DP-IS)은 제1 방향축(DR1) 및 제2 방향축(DR2)이 정의하는 면과 평행하다. 표시면(DP-IS)은 표시영역(DA)과 비표시영역(NDA)을 포함할 수 있다. 비표시영역(NDA)은 표시면(DP-IS)의 테두리를 따라 정의된다. 표시영역(DA)은 비표시영역(NDA)에 의해 에워싸일 수 있다. 본 발명의 일 실시예에서 비표시영역(NDA)은 일측 영역에만 배치될 수도 있다. 해당 영역에서 제1 및 제2 연결회로기판(FPCB2, FPCB2)이 제1 표시기판(100)에 본딩될 수 있다.

- [0038] 표시면(DP-IS)의 법선 방향, 즉 표시패널(DP)의 두께 방향은 제3 방향축(DR3)이 지시한다. 이하에서 설명되는 각 층들 또는 유닛들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향축(DR3)에 의해 구분된다. 그러나, 본 실시예에서 도시된 제1 내지 제3 방향축들(DR1, DR2, DR3)은 예시에 불과하다. 이하, 제1 내지 제3 방향축들은 제1 내지 제3 방향축들(DR1, DR2, DR3) 각각 이 지시하는 방향으로써 정의되고, 동일한 도면 부호를 참조한다.
- [0039] 본 발명의 일 실시예에서 평면형 표시면을 구비한 표시패널(DP)을 도시하였으나, 이에 제한되지 않는다. 표시장치(DD)는 곡면형 표시면 또는 입체형 표시면을 포함할 수도 있다. 입체형 표시면은 서로 다른 방향을 지시하는 복수 개의 표시영역들을 포함할 수도 있다.
- [0040] 메인회로기판(MPCB)에는 신호 제어부(SC)가 실장될 수 있다. 신호 제어부(SC)는 외부의 그래픽 제어부(미 도시)로부터 영상 데이터 및 제어신호를 수신한다. 신호 제어부(SC)는 표시패널(DP)에 제어신호를 제공할 수 있다.
- [0041] 제1 및 제2 연결회로기판(FPCB2, FPCB2)은 표시패널(DP)과 메인회로기판(MPCB)을 전기적으로 연결한다. 제1 및 제2 연결회로기판(FPCB2, FPCB2)은 메인회로기판(MPCB)으로부터 구동칩(DC)에 신호를 전달하고, 구동칩(DC)으로부터 표시패널(DP)에 신호를 전달할 수 있다. 본 실시예에서 구동칩(DC)은 데이터 구동회로일 수 있다. 본 발명의 일 실시예에서 제1 및 제2 연결회로기판(FPCB2, FPCB2)은 신호 제어부(SC)로부터 표시패널(DP)에 신호를 전달할 수 있다.
- [0042] 제1 및 제2 연결회로기판(FPCB1, FPCB2)은 전도성 접착부재에 의해 표시패널(DP) 및 메인회로기판(MPCB) 각각에 본딩될 수 있다. 전도성 접착부재는 솔더볼, 솔더 페이스트, 또는 이방성 도전 필름을 포함할 수 있다. 이하, 이방성 도전 필름으로 설명된다.
- [0043] 도 1a에 도시된 것과 같이, 제1 표시기판(100)은 복수 개의 본딩영역들(BDA)을 포함할 수 있다. 복수 개의 본딩영역들(BDA)마다 제1 및 제2 연결회로기판(FPCB1, FPCB2)이 본딩된다.
- [0044] 도 1b에 도시된 것과 같이, 제1 연결회로기판(FPCB1)은 제1 표시기판(100)의 상면(US) 상에 본딩된다. 도 1c에 도시된 것과 같이, 제2 연결회로기판(FPCB2)은 제1 표시기판(100)의 하면(LS) 상에 본딩된다. 도 1b 및 도 1c에서 전도성 접착부재로써 이방성 도전 필름(ACF)이 도시되었다.
- [0045] 본 실시예에서 본딩영역(BDA)은 하부 표시기판에 배치되는 것으로 도시되었으나, 이에 제한되지 않는다. 본딩영역(BDA)은 신호라인 및 패드가 배치되는 표시기판에 배치되면 충분하고, 본 발명의 일 실시예에서 제1 표시기판(100)과 제2 표시기판(200)은 뒤집혀질 수 있고, 이때 본딩영역(BDA)은 상부 표시기판에 배치된다.
- [0047] 도 2는 신호라인들(GL1~GLn, DL1~DLm, PL-D1, PL-D2) 및 화소들(PX11~PXnm)의 평면상 배치관계를 도시하였다. 신호라인들(GL1~GLn, DL1~DLm, PL-D1, PL-D2)은 복수 개의 게이트 라인들(GL1~GLn), 복수 개의 데이터 라인들(DL1~DLm) 및 보조 신호라인들(PL-D1, PL-D2)을 포함할 수 있다.
- [0048] 화소들(PX11~PXnm) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인과 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 연결된다. 화소들(PX11~PXnm) 각각은 화소 구동회로 및 표시소자를 포함할 수 있다.
- [0049] 매트릭스 형태의 화소들(PX11~PXnm)을 예시적으로 도시하였으나, 이에 제한되지 않는다. 화소들(PX11~PXnm)은 펜타일 형태로 배치될 수 있다. 화소들(PX11~PXnm)은 다이아몬드 형태로 배치될 수 있다.
- [0050] 복수 개의 게이트 라인들(GL1~GLn)은 제1 방향(DR1)으로 연장되고 제2 방향(DR2)으로 나열되고, 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 게이트 라인들(GL1~GLn)과 절연 교차한다. 복수 개의 게이트 라인들(GL1~GLn)과 복수 개의 데이터 라인들(DL1~DLm)은 표시영역(DA)에 중첩하게 배치된다. 보조 신호라인들(PL-D1, PL-D2)은 비표시영역(NDA)에 중첩하게 배치되고, 복수 개의 데이터 라인들(DL1~DLm)에 연결된다.
- [0051] 복수 개의 게이트 라인들(GL1~GLn)은 게이트 구동회로(GDC)에 연결된다. 게이트 구동회로(GDC)는 OSG(oxide silicon gate driver circuit) 또는 ASG(amorphouse silicon gate driver circuit) 공정을 통해 표시패널(DP)에 집적화될 수 있다.
- [0052] 보조 신호라인들(PL-D1, PL-D2)은 제1 패드들(PD1)에 연결되는 제1 보조 신호라인들(PL-D1) 및 제2 패드들(PD2)에 연결되는 제2 보조 신호라인들(PL-D2)을 포함할 수 있다. 표시패널(DP)의 해상도가 높아짐에 따라 화소들(PX11~PXnm)의 면적이 작아지고, 단위면적에 더 많은 개수의 화소들(PX11~PXnm)이 배치된다. 패드들이 일렬로만

배치된다면 더 큰 면적의 본딩영역(BDA)이 요구되며, 패드들 사이의 쇼트와 같은 불량 발생할 수 있다. 이를 방지하기 위해 미세 피치의 패드 설계가 요구되고 이는 본딩 불량을 일으킬 수도 있다. 본 실시예에서 따르면, 제1 패드들(PD1) 및 제2 패드들(PD2)과 같이 2개의 그룹으로 패드들을 분리하여 배치함으로써 상술한 문제를 해결할 수 있다.

- [0053] 제1 패드들(PD1)은 제1 방향(DR1)으로 배열되고, 제2 패드들(PD2)은 제1 패드들(PD1)과 다른 행을 이루며 제1 방향(DR1)으로 배열된다. 제1 보조 신호라인들(PL-D1)과 제2 보조 신호라인들(PL-D2)은 교번하게 배치될 수 있다.
- [0054] 데이터 라인들(DL1~DLm)에 연결되는 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 복수 개의 데이터 라인들(DL1~DLm)과 다른 층 상에 배치될 수 있다. 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 서로 동일한 층 상에, 예컨대, 게이트 라인들(GL1~GLn)과 동일한 층 상에 배치될 수 있다. 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 컨택홀(CH)을 통해 데이터 라인들(DL1~DLm)은 중 대응하는 신호라인에 전기적으로 연결될 수 있다. 컨택홀(CH)은 데이터 라인들(DL1~DLm)과 제1 및 제2 보조 신호라인들(PL-D1, PL-D2) 사이에 배치된 적어도 하나의 절연층을 관통한다. 도 2에는 2개의 컨택홀(CH)을 예시적으로 도시하였다.
- [0055] 본 발명의 일 실시예에서 컨택홀(CH)은 생략될 수 있다. 데이터 라인들(DL1~DLm)과 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 동일한 층 상에 배치될 수도 있다. 이때, 데이터 라인들(DL1~DLm)과 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 서로 구별되지 않고 하나의 신호라인으로 정의될 수도 있다. 이때 서로 연결된 데이터 라인과 보조 신호라인은 하나의 신호라인의 서로 다른 부분에 해당한다. 다시 말해, 본 실시예에서 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)이 별도로 구비된 것으로 설명되었으나, 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)은 생략되고 다른 신호라인의 일부분이 제1 및 제2 보조 신호라인들(PL-D1, PL-D2)을 대체할 수 있다.
- [0057] 도 3a 및 도 3b는 본 발명의 실시예에 따른 표시패널(DP)의 표시영역(DA)의 단면도이다. 도 3a는 액정표시패널의 화소(PX)에 대응하는 단면을 도시하였고, 도 3b는 유기발광 표시패널의 화소(PX)에 대응하는 단면을 도시하였다.
- [0058] 액정표시패널의 화소(PX)는 트랜지스터(TR), 액정 커패시터(C1c), 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0059] 트랜지스터(TR)는 게이트 라인(미 도시)에 연결된 제어전극(GE), 제어전극(GE)에 중첩하는 활성화부(AL), 데이터 라인에 연결된 입력전극(SE), 및 입력전극(SE)와 이격되어 배치된 출력전극(SE)을 포함한다. 액정 커패시터(C1c)는 화소전극(PE)과 공통전극(CE)을 포함한다. 스토리지 커패시터(Cst)는 화소전극(PE)과 화소전극(PE)에 중첩하는 스토리지 라인(STL)의 일부분을 포함한다.
- [0060] 제1 베이스층(BS1)의 일면 상에 제어전극(GE) 및 스토리지 라인(STL)이 배치된다. 제1 베이스층(BS1)은 유리기판 또는 플라스틱기판일 수 있다. 제1 베이스층(BS1)의 일면 상에 적어도 하나의 절연층과 적어도 하나의 도전패턴이 배치된다.
- [0061] 제1 베이스층(BS1)의 일면 상에 상기 제어전극(GE) 및 스토리지 라인(STL)을 커버하는 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제1 절연층(10) 상에 제어전극(GE)과 중첩하는 활성화부(AL)가 배치된다. 활성화부(AL)는 반도체층(SCL)과 오믹 컨택층(OCL)을 포함할 수 있다. 제1 절연층(10) 상에 상기 반도체층(SCL)이 배치되고, 반도체층(SCL) 상에 상기 오믹 컨택층(OCL)이 배치된다.
- [0062] 반도체층(SCL)은 아몰포스 실리콘 또는 폴리 실리콘을 포함할 수 있다. 또한, 반도체층(SCL)은 금속 산화물 반도체를 포함할 수 있다. 오믹 컨택층(OCL)은 반도체층보다 고밀도로 도핑된 도펀트를 포함할 수 있다. 오믹 컨택층(OCL)은 이격된 2개의 부분을 포함할 수 있다. 본 발명의 일 실시예에서 오믹 컨택층(OCL)은 일체의 형상을 가질 수 있다.
- [0063] 활성화부(AL) 상에 입력전극(DE)과 출력전극(SE)이 배치된다. 입력전극(DE)과 출력전극(SE)은 서로 이격되어 배치된다. 제1 절연층(10) 상에 활성화부(AL), 입력전극(DE), 및 출력전극(SE)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제2 절연층(20) 및 제3 절연층(30)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 평탄면을 제공하는 단층의 유기층일 수 있다. 본 실시예에서 제3 절연층(30)은 복수 개의 컬러필터들을 포함할 수

있다. 제3 절연층(30) 상에 제4 절연층(40)이 배치된다. 제4 절연층(40)은 컬러필터들을 커버하는 무기층일 수 있다.

- [0064] 도 3a에 도시된 것과 같이, 제4 절연층(40) 상에 화소전극(PE)이 배치된다. 화소전극(PE)은 제2 절연층(20), 제3 절연층(30), 및 제4 절연층(40)을 관통하는 컨택홀(CH10)을 통해 상기 출력전극(SE)에 연결된다. 제4 절연층(40) 상에 상기 화소전극(PE)을 커버하는 배향막(미 도시)이 배치될 수 있다.
- [0065] 제2 베이스층(BS2)은 유리기관 또는 플라스틱기관일 수 있다. 제2 베이스층(BS2)의 하면 상에 블랙매트릭스층(BM)이 배치된다. 즉, 블랙매트릭스층(BM)에는 화소영역들에 대응하는 개구부들이 정의될 수 있다. 블랙매트릭스층(BM)에 중첩하게 스페이서(CS)가 배치될 수 있다.
- [0066] 제2 베이스층(BS2)의 하면 상에 블랙매트릭스층(BM)을 커버하는 절연층들이 배치된다. 도 5a에는 평탄면을 제공하는 제5 절연층(50)이 예시적으로 도시되었다. 제5 절연층(50)은 유기물질을 포함할 수 있다.
- [0067] 도 3a에 도시된 것과 같이, 제2 베이스층(BS2)의 하면 상에 공통전극(CE)이 배치된다. 공통전극(CE)에는 공통 전압이 인가된다. 공통 전압과 화소 전압과 다른 레벨을 갖는다.
- [0068] 도 3a를 참조하여 VA(Vertical Alignment)모드의 액정 표시패널을 예시적으로 설명하였으나, 본 발명의 일 실시예에서 IPS(in-plane switching) 모드 또는 FFS(fringe-field switching) 모드, PLS(Plane to Line Switching) 모드, SVA(Super Vertical Alignment) 모드, SS-VA(Surface-Stabilized Vertical Alignment) 모드의 액정 표시패널이 적용될 수 있다.
- [0069]
- [0070] 도 3b에 도시된 것과 같이, 발광표시패널의 화소(PX)는 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 및 발광 소자(OLED)를 포함할 수 있다.
- [0071] 발광표시패널은 표시기관(100)과 봉지기관(200)을 포함한다. 표시기관(100)은 제1 베이스층(BS1), 제1 베이스층(BS1) 상에 배치된 회로 소자층(DP-CL), 및 회로 소자층(DP-CL) 상에 배치된 표시 소자층(DP-OLED)을 포함한다. 봉지기관(200)은 제2 베이스층(BS2), 제2 베이스층(BS2) 상에 배치된 블랙매트릭스층(BM) 및 컬러제어층(CCL)을 포함할 수 있다.
- [0072] 제1 베이스층(BS1)은 합성수지기관 또는 유리기관을 포함할 수 있다. 회로 소자층(DP-CL)은 적어도 하나의 절연층과 회로 소자를 포함한다. 회로 소자는 신호라인, 화소의 구동회로 등을 포함한다. 코팅, 증착 등에 의한 절연층, 반도체층 및 도전층 형성공정과 포토리소그래피 공정에 의한 절연층, 반도체층 및 도전층층의 패터닝 공정을 통해 회로 소자층(DP-CL)이 형성될 수 있다.
- [0073] 본 실시예에서 회로 소자층(DP-CL)은 버퍼막(BFL), 제1 절연층(10), 제2 절연층(20), 제3 절연층(30)을 포함할 수 있다. 제1 절연층(10) 및 제2 절연층(20)은 무기막이고, 제3 절연층(30)은 유기막일 수 있다.
- [0074] 도 3b에는 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)를 구성하는 제1 반도체 패턴(OSP1), 제2 반도체 패턴(OSP2), 제1 제어전극(GE1), 제2 제어전극(GE2), 제1 입력전극(SE1), 제1 출력전극(DE1), 제2 입력전극(SE2), 제2 출력전극(DE2)의 배치관계가 예시적으로 도시되었다. 제1, 제2, 제3, 및 제4 관통홀(CH1, CH2, CH3, CH4) 역시 예시적으로 도시되었다.
- [0075] 표시 소자층(DP-OLED)은 발광소자(OLED)를 포함한다. 발광소자(OLED)는 발광 다이오드를 포함할 수 있다. 발광소자(OLED)는 유기 발광층을 포함하거나 양자점 발광층을 포함할 수 있다. 표시 소자층(DP-OLED)은 화소 정의막(PDL)을 포함한다. 예컨대, 화소 정의막(PDL)은 유기층일 수 있다. 표시 소자층(DP-OLED)은 발광소자(OLED) 상에 배치된 커버층(CL)을 더 포함할 수 있다.
- [0076] 제3 절연층(30) 상에 제1 전극(AE)이 배치된다. 제1 전극(AE)은 제3 절연층(30)을 관통하는 제5 관통홀(CH5)을 통해 제2 출력전극(SE2)에 연결된다. 화소 정의막(PDL)에는 개구부(OP)가 정의된다. 화소 정의막(PDL)의 개구부(OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다.
- [0077] 도 3b에 도시된 것과 같이, 표시패널(DP)은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워싸일 수 있다. 본 실시예에서 발광영역(PXA)은 개구부(OP)에 의해 노출된 제1 전극(AE)의 일부영역에 대응하게 정의되었다.
- [0078] 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 정공 제어층(HCL)은 정공

수송층을 포함하고, 정공 주입층을 더 포함할 수 있다. 정공 제어층(HCL) 상에 발광층(EML)이 배치된다. 발광층(EML)은 발광영역(PXA)과 비발광영역(NPXA)에 공통적으로 배치될 수 있다. 본 발명의 실시예에서 발광층(EML)은 발광영역(PXA)에 배치되고, 비발광영역(NPXA)에 미배치될 수 있다. 발광층(EML)은 유기물질 및/또는 무기물질을 포함할 수 있다. 발광층(EML)은 소정의 제1 색광 예컨대 블루광을 생성할 수 있다.

[0079] 발광층(EML) 상에 전자 제어층(ECL)이 배치된다. 전자 제어층(ECL)은 전자 수송층을 포함하고, 전자 주입층을 더 포함할 수 있다. 정공 제어층(HCL)과 전자 제어층(ECL)은 오픈 마스크를 이용하여 복수 개의 화소들에 공통으로 형성될 수 있다. 전자 제어층(ECL) 상에 제2 전극(CCE)이 배치된다. 제2 전극(CCE)은 복수 개의 화소들에 공통적으로 배치된다. 제2 전극(CCE) 상에 제2 전극(CCE)을 보호하는 커버층(CL)이 배치될 수 있다. 커버층(CL)은 유기물질 또는 무기물질을 포함할 수 있다.

[0080] 제2 베이스층(BS2)은 커버층(CL)과 이격되어 배치된다. 제2 베이스층(BS2)은 합성수지기관 또는 유리기관을 포함할 수 있다. 컬러제어층(CCL)은 화소(PX)에 따라 제1 색광을 투과시키거나, 제1 색광을 제2 색광 또는 제3 색광으로 변환시킬 수 있다. 컬러제어층(CCL)은 양자점을 포함할 수 있다. 화소들(PX11~PXnm, 도 2 참조)은 복수 개의 그룹으로 구분될 수 있다. 화소 그룹에 따라 컬러제어층(CCL)은 다르게 배치될 수 있다.

[0081] 본 발명의 일 실시예에서 봉지기관(200)은 박막 봉지층으로 대체될 수 있다. 이때, 블랙매트릭스층(BM) 및 컬러제어층(CCL)은 박막 봉지층 상에 배치될 수 있다.

[0083] 도 4a는 본 발명의 실시예에 따른 표시장치(DD)의 확대된 평면도이다. 도 4b는 본 발명의 실시예에 따른 연결회로기관(FPCB1)의 배면도이다. 도 4c는 본 발명의 실시예에 따른 표시장치(DD)의 단면도이다. 도 4d 및 도 4e는 도 4c의 확대된 단면도이다. 도 4f는 본 발명의 실시예에 따른 표시장치(DD)의 확대된 사시도이다.

[0084] 도 4a에 도시된 것과 같이, 제1 연결회로기관(FPCB1)은 제1 패드들(PD1)에 연결되고, 제2 연결회로기관(FPCB2)은 제2 패드들(PD2)에 연결된다. 평면상에서 볼 때, 제1 패드들(PD1)은 제1 표시기관(100)의 엣지(E-DP)와 제2 방향(DR2)을 따라 이격된다. 평면상에서 제1 표시기관(100)의 엣지(E-DP)는 제1 표시기관(100)의 절연층들의 엣지와 실질적으로 동일할 수 있다.

[0085] 평면상에서 제1 연결회로기관(FPCB1)은 제1 패드들(PD1) 및 제2 패드들(PD2)에 중첩한다. 제2 패드들(PD2)은 제1 패드들(PD1)보다 제1 표시기관(100)의 엣지(E-DP)에 더 인접하게 배치된다.

[0086] 평면상에서 볼 때, 제2 패드들(PD2)의 엣지는 제1 표시기관(100)의 엣지(E-DP)와 정렬될 수 있다. 이는 표시패널(DP)의 제조공정에 있어서, 제2 패드들(PD2)의 측면이 노출되도록 제1 표시기관(100)의 측면을 연마했기 때문이다.

[0088] 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)은 크기와 모양이 일부 상이하지만 매우 유사한 구조를 갖는다. 도 4b에 제1 연결회로기관(FPCB1)을 예시적으로 도시하였다. 이하, 제1 연결회로기관(FPCB1)을 중심으로 설명한다.

[0089] 제1 연결회로기관(FPCB1)은 절연층(미 도시), 복수 개의 패드들(CPD, P-0, P-I), 및 복수 개의 신호라인들(SL-F)을 포함한다. 복수 개의 패드들(CPD, P-0, P-I), 및 복수 개의 신호라인들(SL-F)은 절연층 상에 배치된다. 절연층은 폴리 이미드층을 포함할 수 있다.

[0090] 복수 개의 패드들(CPD, P-0, P-I)은 구동칩(DC)의 접속 단자들에 접속되는 접속 패드들(CPD), 표시패널(DP)에 접속되는 제1 패드들(P-0, 이하 출력 패드들로 정의됨), 및 메인회로기관에 접속되는 제2 패드들(P-I, 이하 입력 패드들로 정의됨)을 포함할 수 있다. 복수 개의 신호라인들(SL-F)은 접속 패드들(CPD)과 출력 패드들(P-0)을 연결하고, 접속 패드들(CPD)과 입력 패드들(P-I)을 연결한다. 구동칩(DC)이 생략되는 경우, 신호라인들(SL-F)은 출력 패드들(P-0)과 입력 패드들(P-I)을 연결할 수 있다.

[0091] 제1 연결회로기관(FPCB1)의 복수 개의 패드들(CPD, P-0, P-I)은 외부에 노출된다. 복수 개의 패드들(CPD, P-0, P-I) 각각은 절연층을 관통하는 컨택홀을 통해 대응하는 신호라인(SL-F)에 연결된다.

[0092] 제1 연결회로기관(FPCB1)은 제1 방향(DR1)의 너비에 따라 구분되는 3개의 부분들을 포함할 수 있다. 출력 패드들(P-0)이 배치된 제1 부분(P1), 입력 패드들(P-I)이 배치된 제2 부분(P2) 및 제1 부분(P1)과 제2 부분(P2)을 연결하는 제3 부분(P3)을 포함할 수 있다. 제1 부분(P1)은 제2 부분(P2)보다 큰 너비를 갖는다. 제3 부분(P3)은

제1 부분(P1)으로부터 제2 부분(P2)으로 갈수록 너비가 감소될 수 있다. 제2 부분(P2)에 구동칩(DC)이 실장될 수 있다.

- [0093] 제1 연결회로기관(FPCB1)은 출력 패드들(P-0), 입력 패드들(P-I), 및 접속 패드들(CPD)이 모두 제1 연결회로기관(FPCB1)의 배면을 향하여 외부에 노출된다. 그에 반하여 도 4a에 도시된 제2 연결회로기관(FPCB2)의 출력 패드들(P-0)은 제2 연결회로기관(FPCB2)의 전면을 향하여 외부에 노출되고, 제2 연결회로기관(FPCB2)의 입력 패드들(P-I), 및 접속 패드들(CPD)은 제2 연결회로기관(FPCB2)의 배면을 향하여 외부에 노출된다. 그에 따라 도 4a에 도시된 것과 같이, 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)은 메인회로기관(MPCB)의 동일한 일면 상에 결합될 수 있다. 메인회로기관(MPCB)에 대한 제1 연결회로기관(FPCB1) 및 제2 연결회로기관(FPCB2)의 본딩 구조는 이에 제한되지 않는다.
- [0094] 도 4a 및 도 4c에 도시된 것과 같이, 하나의 본딩영역(BDA)에 배치된 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)은 평면상에서 부분적으로 서로 중첩한다. 다만, 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)이 제1 표시기관(100)의 서로 다른 면상에서 제1 표시기관(100)에 결합됨으로써 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)의 물리적 간섭을 최소화할 수 있다.
- [0095] 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2) 각각이 영역에 따라 다른 너비를 갖는 형상을 가짐으로써 메인회로기관(MPCB)에 인접한 영역(도 4b의 제2 부분(P2))에서는, 평면상에서 볼 때, 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)이 비중첩할 수 있다. 이 또한, 제1 연결회로기관(FPCB1)과 제2 연결회로기관(FPCB2)의 물리적 간섭을 최소화할 수 있다.
- [0096] 도 4d는 도 4c의 AA영역을 확대 도시하였다. 도 4d에는 제1 절연층(IL-F1), 신호라인(SL-F), 제2 절연층(IL-F2), 및 출력 패드(P-0)를 포함하는 제1 연결회로기관(FPCB1)이 예시적으로 도시되었다. 도 4d에 도시된 것과 같이, 제1 패드(PD1)는 절연층으로부터 노출되고 신호라인에 연결된다. 제1 내지 제4 절연층(10 내지 40)을 관통하는 컨택홀(CH-P)을 통해 제1 보조 신호라인(PL-D1)에 연결된 제1 패드(PD1)를 예시적으로 도시하였다. 제1 패드(PD1)는 은(Ag), 구리(Cu), 금(Au), 또는 알루미늄(Al)을 포함할 수 있다.
- [0097] 제1 패드(PD1)는 이방성 도전 필름(ACF)을 통해 출력 패드(P-0)에 전기적으로 접속될 수 있다. 본 발명의 일 실시예에서 제1 패드(PD1)는 생략될 수 있다. 이때, 이방성 도전 필름(ACF)은 제1 보조 신호라인(PL-D1)에 직접적으로 연결될 수도 있다.
- [0098] 도 4e는 도 4c의 BB영역을 확대 도시하였다. 도 4e에는 제1 절연층(IL-F1), 신호라인(SL-F), 제2 절연층(IL-F2), 및 출력 패드(P-0)를 포함하는 제2 연결회로기관(FPCB2)이 예시적으로 도시되었다. 도 4e에 도시된 것과 같이, 제2 패드(PD2)는 신호라인의 측면에 연결되며 제1 베이스층(BS1)의 측면(BS1-SS) 및 하면(BS1-LS) 상에 배치된다. 도 4e에는 신호라인으로써 제2 보조 신호라인(PL-D2)이 예시적으로 도시되었다.
- [0099] 이방성 도전 필름(ACF)은 제2 패드(PD2)의 제1 베이스층(BS1)의 하면(BS1-LS) 상에 배치된 일부분에 결합될 수 있다.
- [0100] 제2 보조 신호라인들(PL-D2)의 측면은 제1 베이스층(BS1)의 측면(BS1-SS)과 실질적으로 정렬될 수 있다. 제2 보조 신호라인들(PL-D2)의 측면은 제1 내지 제4 절연층들(10 내지 40)의 측면과 실질적으로 정렬될 수 있다. 도 4e에는 제2 절연층(20)의 측면(20-SS)에 대해 도면 부호를 절연층들의 측면을 대표하여 표시하였다.
- [0101] 본 발명의 일 실시예에서, 제1 내지 제4 절연층들(10 내지 40) 중 일부, 예컨대 유기 절연층의 측면은 다른 절연층들의 측면과 비정렬될 수도 있다. 반드시 모든 절연층들의 측면이 정렬될 필요는 없다.
- [0102] 도 4f에 도시된 것과 같이, 복수 개의 제2 패드들(PD2)은 제1 표시기관(100)의 측면(100-SS)에서 소정의 간격으로 이격될 수 있다. 금속 페이스트를 제1 표시기관(100)의 측면(100-SS) 및 하면(미도시) 상에 인쇄한 후 패터닝하여 복수 개의 제2 패드들(PD2)을 형성할 수 있다. 금속 페이스트의 인쇄 및 패터닝 공정은 특별히 제한되지 않는다. 금속 페이스트는 실버 페이스트일 수 있다.
- [0103] 도 4d와 도 4e를 비교하면, 절연층(예컨대 제4 절연층(40)),과 제1 연결회로기관(FPCB1)이 중첩하는 영역 내에서, 제1 보조 신호라인(PL-D1)은 컨택홀(CH-P)을 통해 제4 절연층(40)으로부터 부분적으로 노출되지만, 제2 보조 신호라인(PL-D2)은 제4 절연층(40)으로부터 노출되지 않는다. 본딩영역(BDA) 내에서 하나의 패드영역이 제1 표시기관(100)의 상면에 정의되고, 다른 하나의 패드영역이 제1 표시기관(100)의 하면에 정의된다.

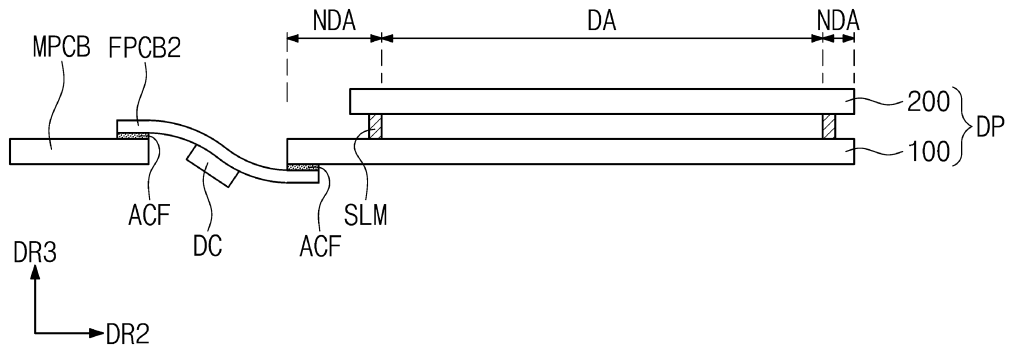
- [0105] 도 5는 본 발명의 실시예에 따른 표시장치(DD)의 제조방법을 도시한 단면도이다.
- [0106] 제1 패드들(PD1)과 제2 패드들(PD2)을 포함하는 표시패널(DP)을 제공한다. 또한, 이방성 도전 필름(ACF), 제1 연결회로기판(FPCB1), 및 제2 연결회로기판(FPCB2)을 제공한다. 이방성 도전 필름(ACF)을 제1 패드들(PD1)과 제1 연결회로기판(FPCB1) 사이에 배치시키고, 이방성 도전 필름(ACF)을 제2 패드들(PD2)과 제2 연결회로기판(FPCB2) 사이에 배치시킨다.
- [0107] 이방성 도전 필름(ACF)을 제1 패드들(PD1) 또는 제1 연결회로기판(FPCB1) 중 어느 하나에 예비 접착시킬 수 있다. 이방성 도전 필름(ACF)을 제2 패드들(PD2) 또는 제2 연결회로기판(FPCB2) 중 어느 하나에 예비 접착시킬 수 있다.
- [0108] 히팅블록(HB)으로 제1 연결회로기판(FPCB1) 및/또는 제2 연결회로기판(FPCB2)을 가압한다. 표시패널(DP)의 상/하측에 배치된 2개의 히팅블록(HB)을 예시적으로 도시하였다. 발열성 가압부재면 충분하고 그 종류는 제한되지 않는다. 열 압착된 이방성 도전 필름(ACF)은 제1 패드들(PD1)과 출력 패드들(P-O)을 전기적으로 연결시킨다.
- [0109]
- [0110] 도 6a는 본 발명의 실시예에 따른 표시장치(DD)의 확대된 평면도이다. 도 6b는 본 발명의 실시예에 따른 표시장치(DD)의 단면도이다.
- [0111] 도 6a 및 도 6b에 도시된 것과 같이, 제1 연결회로기판(FPCB1)과 절연층, 예컨대 도 6b의 제4 절연층(40), 사이의 갭을 밀봉하는 실링부재(SM)를 더 포함할 수 있다. 실링부재(SM)는 평면 상에서 제1 연결회로기판(FPCB1)의 에지의 제1 표시기판(100)에 중첩하는 영역에 중첩할 수 있다.
- [0112] 실링부재(SM)는 합성 수지를 포함할 수 있다. 실링부재(SM)는 내습성이 높은 실리콘 수지를 포함할 수 있다. 액상 합성수지를 제1 연결회로기판(FPCB1)의 에지부분에 주입하면, 액상 합성수지는 모세관 현상에 의해 제1 연결회로기판(FPCB1)과 절연층 사이의 갭으로 스며들 수 있다. 액상 합성수지를 경화시켜 실링부재(SM)를 형성한다.
- [0113] 별도로 도시하지 않았으나, 제2 연결회로기판(FPCB2)과 제1 베이스층(BS1)의 하면 사이의 갭을 밀봉하는 실링부재가 더 배치될 수도 있다.
- [0115] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0116] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

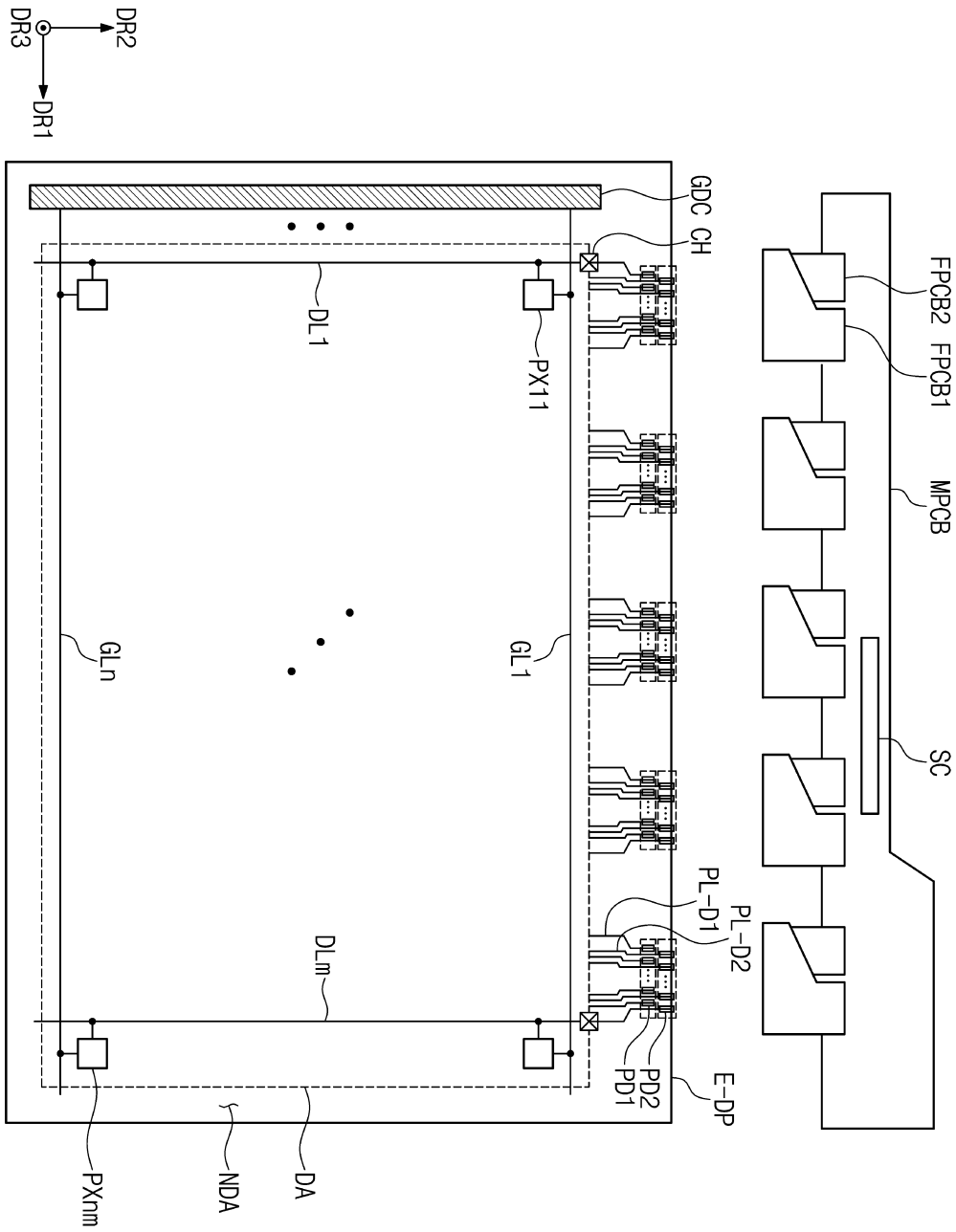
- [0117] BS1 베이스층
- BS1-SS 베이스층의 측면
- BS1-LS 베이스층의 하면
- PL-D1 제1 보조 신호라인
- PL-D2 제2 보조 신호라인
- PL-SS 제2 신호라인의 측면
- 10, 20, 30, 40 절연층
- PD1 제1 패드
- PD2 제2 패드
- FPCB1 제1 연결회로기판
- FPCB2 제2 연결회로기판



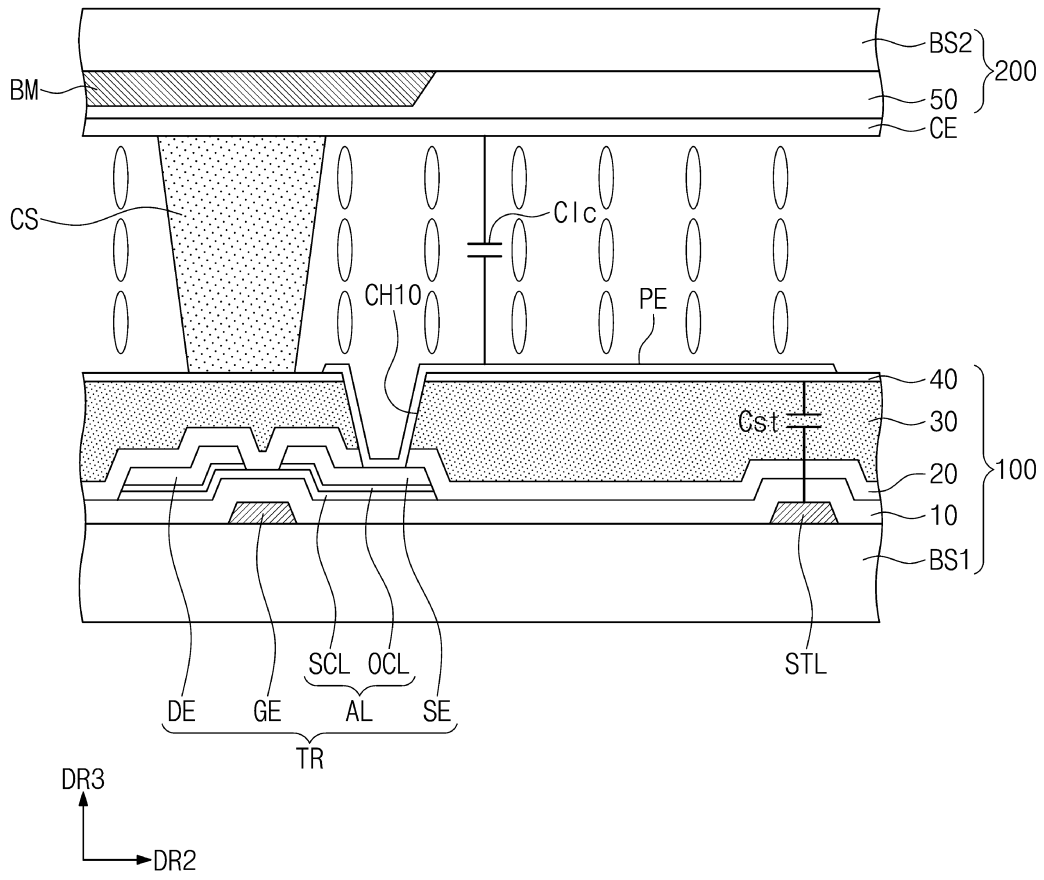
도면1c



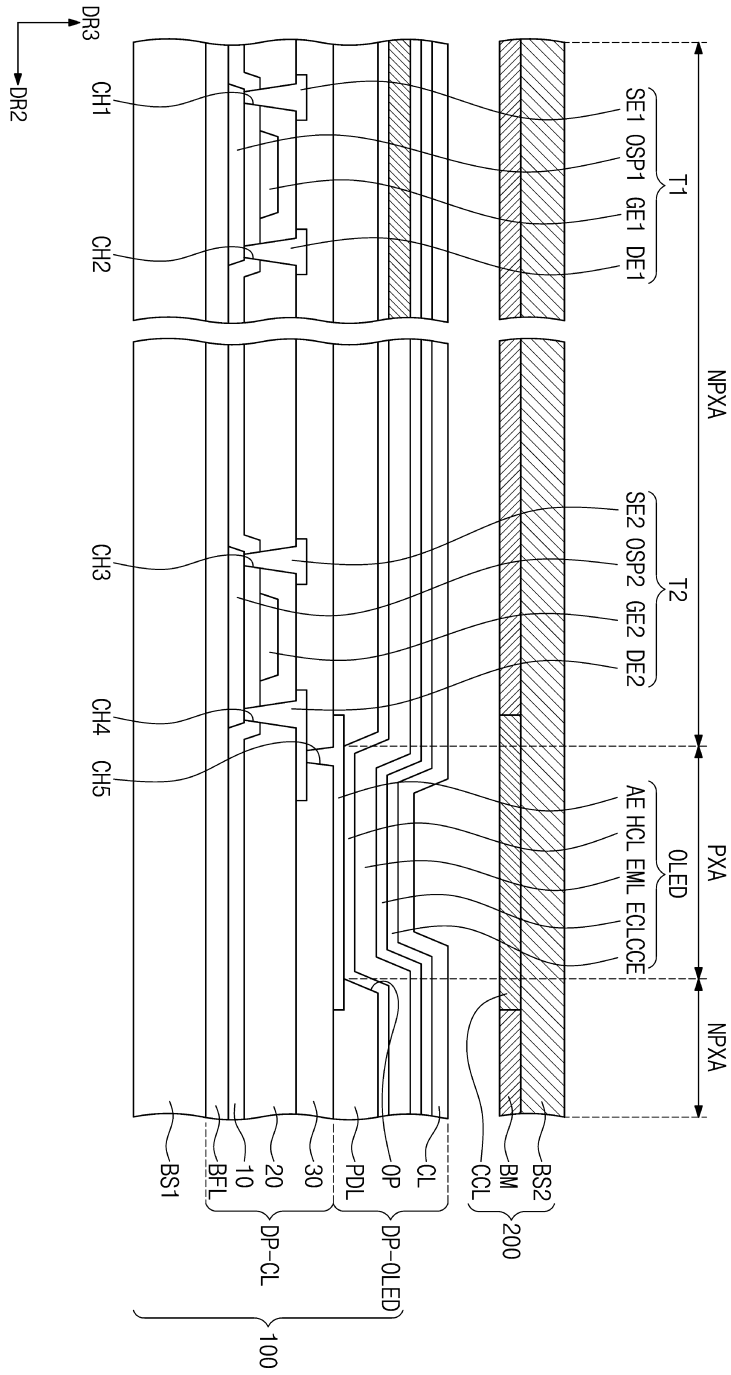
도면2



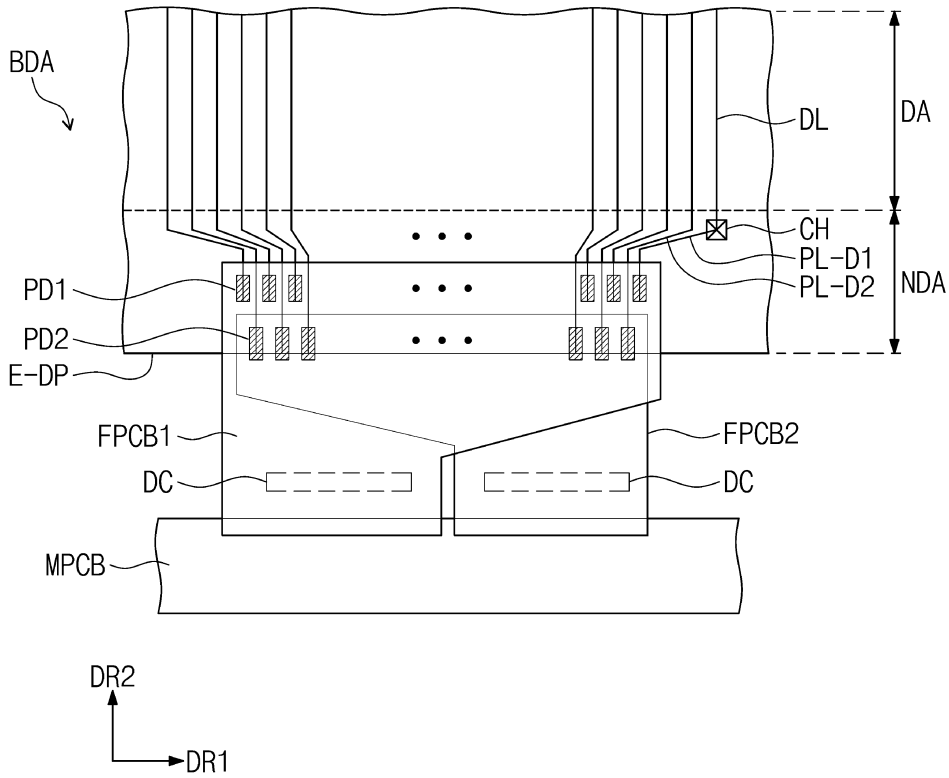
도면3a



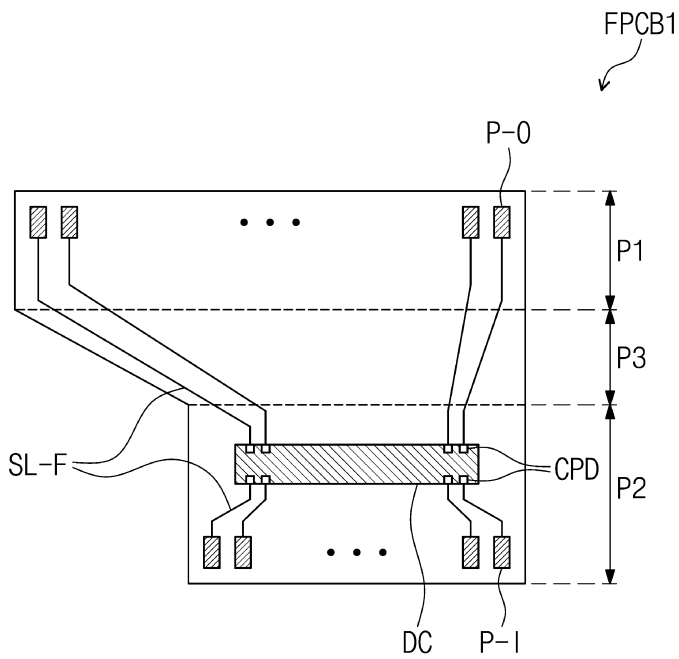
도면3b



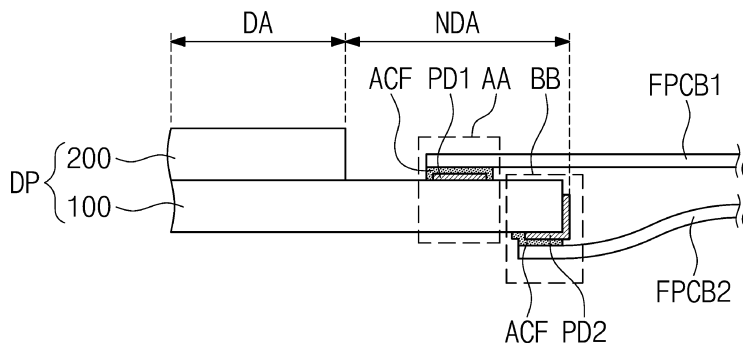
도면4a



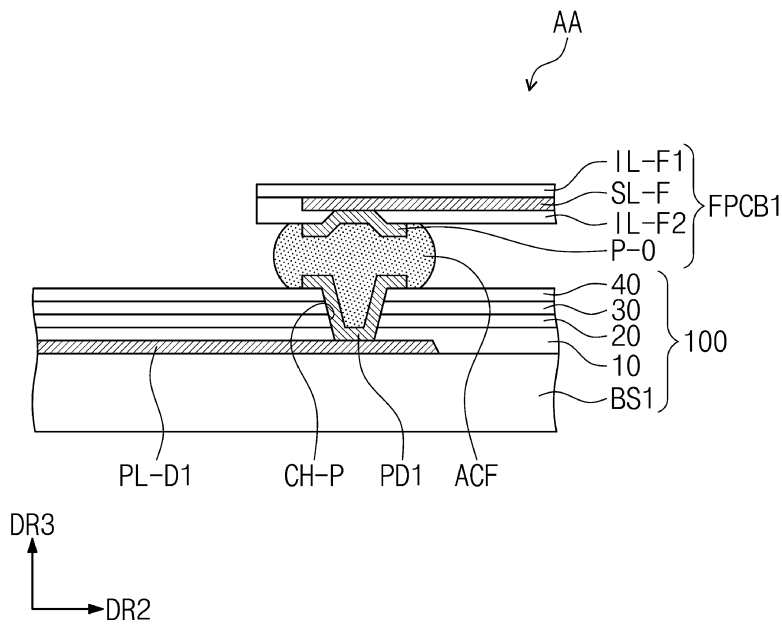
도면4b



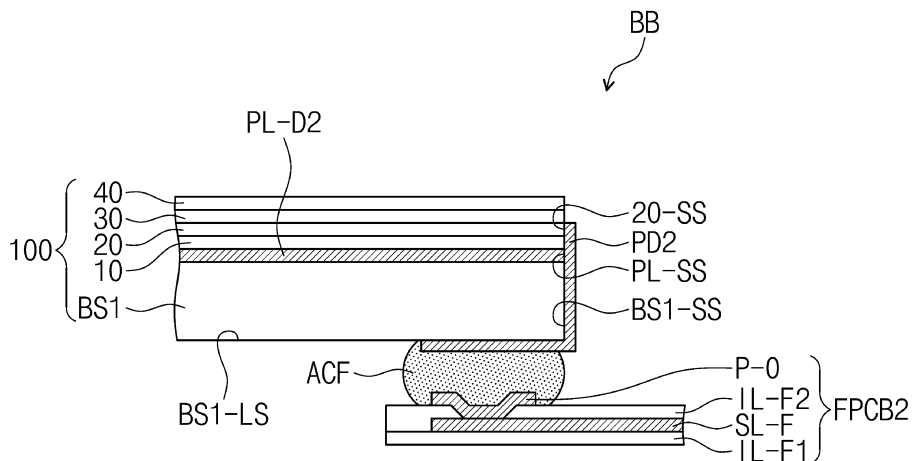
도면4c



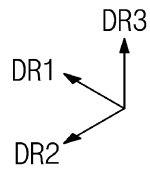
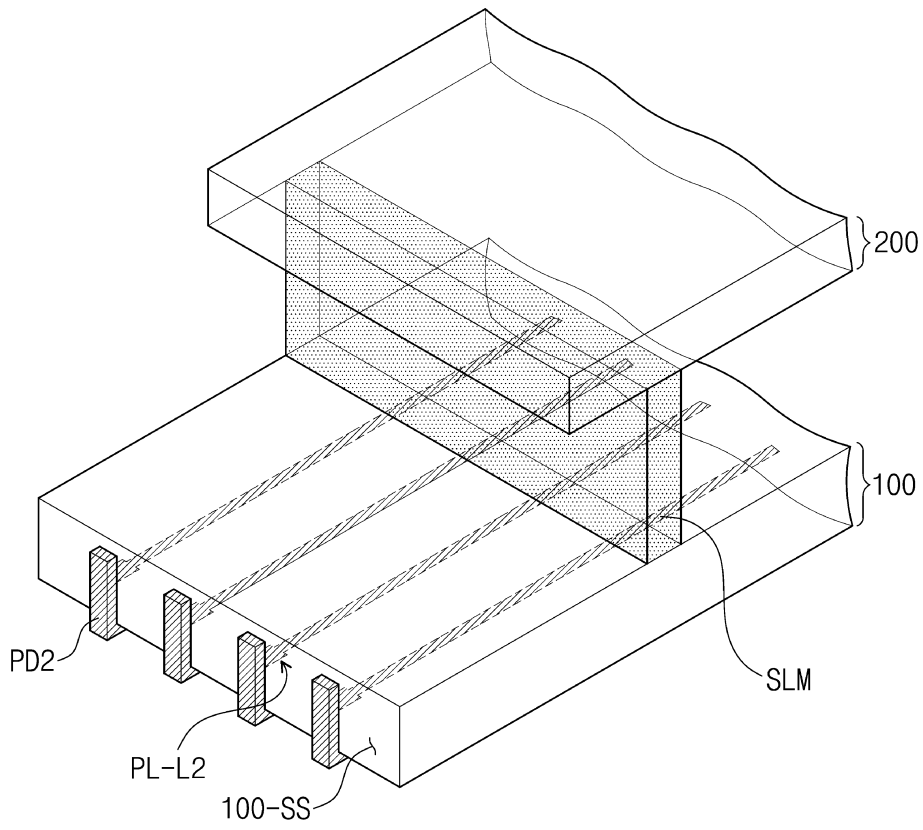
도면4d



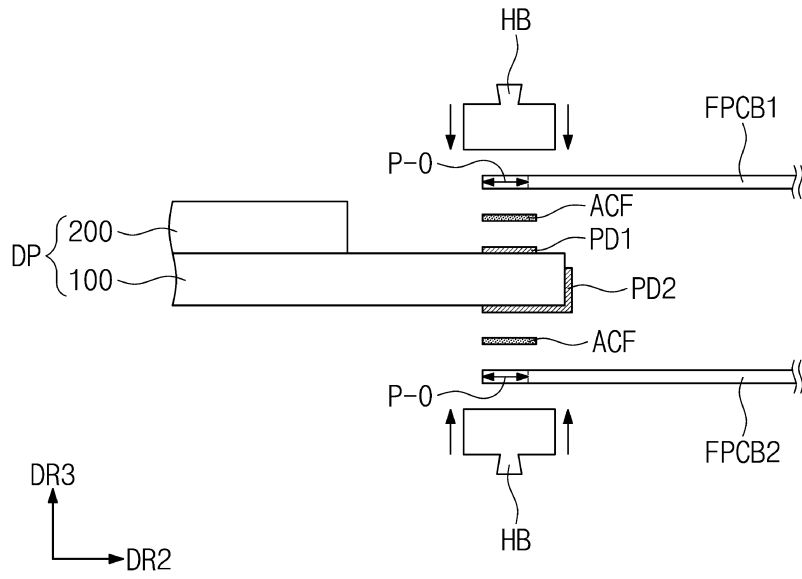
도면4e



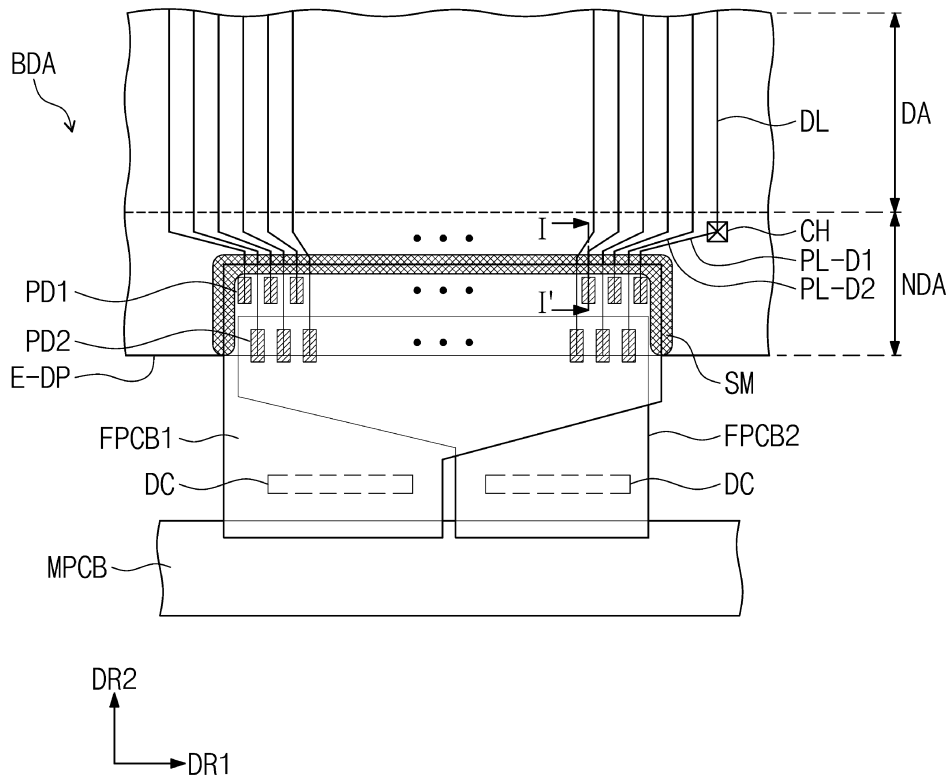
도면4f



도면5



도면6a



도면6b

