



(12) 发明专利

(10) 授权公告号 CN 102867821 B

(45) 授权公告日 2015. 05. 13

(21) 申请号 201210331265. 0

JP 2005039020 A, 2005. 02. 10,

(22) 申请日 2008. 08. 12

CN 1531085 A, 2004. 09. 22,

(30) 优先权数据

审查员 林昭春

2007-236594 2007. 09. 12 JP

(62) 分案原申请数据

200810210916. 4 2008. 08. 12

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 石川智和 冈田三香子

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 岳耀锋

(51) Int. Cl.

H01L 25/10(2006. 01)

H01L 25/18(2006. 01)

(56) 对比文件

EP 1734581 A1, 2006. 12. 20,

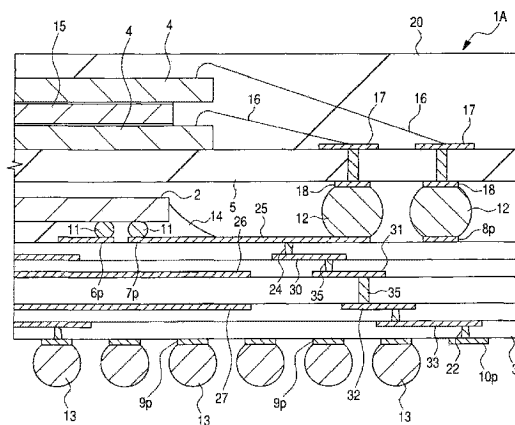
权利要求书4页 说明书8页 附图14页

(54) 发明名称

半导体器件

(57) 摘要

本发明提供一种半导体器件,该半导体器件具有以多段的方式层叠了多个半导体封装的封装上封装(POP)结构,它促进了半导体器件的小型化和高性能化。在用于外部输入/输出的导电焊盘的外面配置了用于确定微计算机芯片与存储器芯片的导电状态的质量的测试导电焊盘,由此缩短了连接微计算机芯片和存储器芯片的导线的路径的长度。并且,把微计算机芯片和存储器芯片连接到测试导电焊盘上的导线与要与微计算机芯片连接的两行导电焊盘中的外侧的行中的焊盘连接。



1. 一种半导体器件,包括:

第一布线基板(3),所述第一布线基板(3)包括第一上表面、在第一上表面上形成的多个第一上导电焊盘(7p)、在所述第一上表面上形成的多个第二上导电焊盘(8p)、与所述第一上表面相对的第一下表面、在所述第一下表面上形成的多个外部输入/输出导电焊盘(9p)、以及在所述第一下表面上形成的多个测试导电焊盘(10p),所述第一布线基板(3)的所述第二上导电焊盘(8p)分别与所述第一布线基板(3)的所述第一上导电焊盘(7p)电连接,并且所述第一布线基板(3)的所述测试导电焊盘(10p)与所述第一布线基板(3)的所述第一上导电焊盘(7p)和所述第一布线基板(3)的所述第二上导电焊盘(8p)都分别电连接;

安装在所述第一上表面上的第一半导体芯片(2),所述第一半导体芯片(2)与第一布线基板(3)的第一上导电焊盘(7p)电连接;

第二布线基板(5),所述第二布线基板(5)包括第二上表面、在所述第二上表面上形成的多个第三上导电焊盘(17)、以及与所述第二上表面相对的第二下表面、和在所述第二下表面上形成的多个第二下导电焊盘(18),所述第二布线基板(5)的所述第二下导电焊盘(18)分别与所述第二布线基板(5)的所述第三上导电焊盘(17)电连接,并且所述第二布线基板(5)被层叠在所述第一布线基板(3)之上以使得所述第二下表面面向所述第一上表面;

安装在所述第二上表面上的第二半导体芯片(4),所述第二半导体芯片(4)与所述第二布线基板(5)的所述第三上导电焊盘(17)电连接;并且

在所述第一布线基板(3)的所述外部输入/输出导电焊盘(9p)上分别形成的多个第一焊球(13),所述多个第一焊球(13)没有形成在所述第一布线基板(3)的测试导电焊盘(10p)上;

其中,所述第二布线基板(5)的所述第二下导电焊盘(18)与所述第一布线基板(3)的第二上导电焊盘(8p)分别电连接;

其中,所述第一布线基板(3)的第二上导电焊盘(8p)在平面图中被配置在所述第一半导体芯片(2)周围,并且在平面图中被配置得比所述第一布线基板(3)的第一上导电焊盘(7p)更接近于所述第一上表面的外边缘部分;

其中,所述第一布线基板(3)的所述第二上导电焊盘(8p)和所述第二布线基板(5)的第二下导电焊盘(18)分别形成于所述第一和第二布线基板(3,5)的外部区域,所述第一和第二布线基板(3,5)的外部区域位于所述第一和第二半导体芯片(2,4)的外边;并且

其中,所述第一布线基板(3)的测试导电焊盘(10p)在平面图中被配置在所述外部输入/输出导电焊盘(9p)的周围,并且在平面图中被配置得比所述第一布线基板(3)的所述外部输入/输出导电焊盘(9p)更接近于所述第一下表面的外边缘部分。

2. 根据权利要求1的所述半导体器件,

其中,所述第二半导体芯片(4)经由多个导线(16)与所述第二布线基板(5)的所述第三上导电焊盘(17)电连接;并且

其中,所述第一布线基板(3)的所述第二上导电焊盘(8p)、所述第二布线基板(5)的第二下导电焊盘(18)、和所述第二布线基板(5)的所述第三上导电焊盘(17)分别形成于所述第一和第二布线基板(3,5)的所述外部区域,所述第一和第二布线基板(3,5)的所述外部区域位于所述第一和第二半导体芯片(2,4)的外面。

3. 根据权利要求 1 的所述半导体器件，

其中，所述第二布线基板 (5) 的所述第二下导电焊盘 (18) 分别经由多个第二焊球 (12) 与所述第一布线基板 (3) 的第二上导电焊盘 (8p) 电连接；

其中，所述第一布线基板 (3) 的第二上导电焊盘 (8p)、所述第二布线基板 (5) 的第二下导电焊盘 (18)、和所述第二焊球 (12) 分别设置于所述第一和第二布线基板 (3, 5) 的所述外部区域，所述第一和第二布线基板 (3, 5) 的所述外部区域位于所述第一和第二半导体芯片 (2, 4) 的外面。

4. 根据权利要求 1 的所述半导体器件，

其中，所述外部输入 / 输出导电焊盘 (9p) 和所述测试导电焊盘 (10p) 在平面图中沿着所述第一布线基板 (3) 的所述第一下表面的所述外边缘部分设置，并且按行设置；

其中，所述测试导电焊盘 (10p) 设置于所述外部输入 / 输出导电焊盘 (9p) 和所述测试导电焊盘 (10p) 的最外行。

5. 根据权利要求 1 的所述半导体器件，

其中，所述第一布线基板 (3) 是多层布线基板，该多层布线基板具有多个第一上层布线 (25) 和多个内层布线 (30, 31, 32, 33)；

其中，所述第一布线基板 (3) 的第二上导电焊盘 (8p) 分别经由所述第一上层布线 (25) 与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 电连接；

其中，所述第一布线基板 (3) 的测试导电焊盘 (10p) 分别经由所述第一上层布线 (25) 和所述内层布线 (30, 31, 32, 33) 与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 和所述第一布线基板 (3) 的第二上导电焊盘 (8p) 都电连接。

6. 根据权利要求 1 的所述半导体器件，

其中，所述第一布线基板 (3) 的绝缘层包含在纤维中含浸了树脂的预浸渍体。

7. 根据权利要求 1 的所述半导体器件，

其中，所述第一布线基板 (3) 的平面形状包括四边形；

其中，所述第一半导体芯片 (2) 以倒装芯片方式安装在所述第一布线基板 (3) 的所述第一上表面上；

其中，所述第一上导电焊盘 (7p) 沿着与所述第一布线基板 (3) 的边平行的方向被配置成两行；并且

其中，内侧的行中的所述第一上导电焊盘 (7p) 和外侧的行中的所述第一上导电焊盘 (7p) 是以交错的方式配置的。

8. 根据权利要求 7 所述的所述半导体器件，

其中，形成于所述第一布线基板 (3) 的所述第一下表面的所述测试导电焊盘 (10p) 与配置于所述外侧的行中的所述第一上导电焊盘 (7p) 电连接。

9. 根据权利要求 8 所述的所述半导体器件，

其中，设置于所述外侧的行中的所述第一上导电焊盘 (7p) 配置在所述第一布线基板 (3) 的所述第一上表面的拐角部分及其附近。

10. 一种半导体器件，其特征在于，包括：

第一布线基板 (3)，所述第一布线基板 (3) 包括：第一上表面、在所述第一上表面上形成的多个第一上导电焊盘 (7p)、在所述第一上表面上形成的多个第二上导电焊盘 (8p)、与

第一上表面相对的第一下表面、在所述第一下表面上形成的多个外部输入 / 输出导电焊盘 (9p)、以及在所述第一下表面上形成的多个测试导电焊盘 (10p), 所述第一布线基板 (3) 的第二上导电焊盘 (8p) 分别与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 电连接, 并且所述第一布线基板 (3) 的测试导电焊盘 (10p) 与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 和所述第一布线基板 (3) 的第二上导电焊盘 (8p) 都分别电连接;

安装在所述第一上表面上的第一半导体芯片 (2), 所述第一半导体芯片 (2) 与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 电连接;

第二布线基板 (5), 所述第二布线基板 (5) 包括第二上表面、在第二上表面上形成的多个第三上导电焊盘 (17)、与所述第二上表面相对的第二下表面、以及在所述第二下表面上形成的多个第二下导电焊盘 (18), 所述第二布线基板 (5) 的所述第三上导电焊盘 (17) 分别与所述第二布线基板 (5) 的所述第三上导电焊盘 (17) 电连接, 并且所述第二布线基板 (5) 被层叠在所述第一布线基板 (3) 之上以使得所述第二下表面面向所述第一上表面;

安装在所述第二上表面上的第二半导体芯片 (4), 所述第二半导体芯片 (4) 与所述第二布线基板 (5) 的所述第三上导电焊盘 (17) 电连接; 以及

在所述第一布线基板 (3) 的所述外部输入 / 输出导电焊盘 (9p) 上分别形成的多个第一焊球 (13), 所述多个第一焊球 (13) 没有形成在所述第一布线基板 (3) 的测试导电焊盘 (10p) 上;

其中, 所述第二布线基板 (5) 的所述第二下导电焊盘 (18) 分别与所述第一布线基板 (3) 的第二上导电焊盘 (8p) 电连接;

其中, 所述第一布线基板 (3) 的第二上导电焊盘 (8p) 被配置得比所述第一布线基板 (3) 的第一上导电焊盘 (7p) 更接近于所述第一上表面的所述外边缘部分;

其中, 所述第一布线基板 (3) 的所述第二上导电焊盘 (8p) 和所述第二布线基板 (5) 的第二下导电焊盘 (18) 在断面图中没有与所述第二半导体芯片 (4) 重叠; 并且

其中, 所述第一布线基板 (3) 的测试导电焊盘 (10p) 被配置得比所述第一布线基板 (3) 的所述外部输入 / 输出导电焊盘 (9p) 更接近于所述第一下表面的所述外边缘部分。

11. 根据权利要求 10 的所述半导体器件,

其中, 所述第二布线基板 (5) 的所述第二下导电焊盘 (18) 经由多个第二焊球 (12) 分别与所述第一布线基板 (3) 的所述第二上导电焊盘 (8p) 电连接;

其中, 所述第一布线基板 (3) 的所述第二上导电焊盘 (8p)、所述第二布线基板 (5) 的第二下导电焊盘 (18)、和所述焊球 (12) 在断面图中没有与所述第二半导体芯片 (4) 重叠。

12. 根据权利要求 10 的所述半导体器件,

其中, 包括所述外部输入 / 输出导电焊盘 (9p) 和所述测试导电焊盘 (10p) 的多个第一下导电焊盘 (9p, 10p) 在平面图中沿着所述第一布线基板 (3) 的所述第一下表面的所述外边缘部分配置, 并且按行设置; 并且

其中, 所述测试导电焊盘 (10p) 设置于所述第一下导电焊盘 (9p, 10p) 的最外行。

13. 根据权利要求 10 的所述半导体器件,

其中, 所述第一布线基板 (3) 是多层布线基板, 该多层布线基板具有多个第一上层布线 (25) 和多个内层布线 (30, 31, 32, 33);

其中, 所述第一布线基板 (3) 的第二上导电焊盘 (8p) 分别经由所述第一上层布线 (25)

与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 电连接；

其中,所述第一布线基板 (3) 的测试导电焊盘 (10p) 分别经由所述第一上层布线 (25) 和所述内层布线 (30, 31, 32, 33) 与所述第一布线基板 (3) 的第一上导电焊盘 (7p) 和所述第一布线基板 (3) 的第二上导电焊盘 (8p) 都电连接。

14. 根据权利要求 10 的所述半导体器件,

其中,所述第一布线基板 (3) 的绝缘层包含在纤维中含浸了树脂的预浸渍体。

15. 根据权利要求 10 的所述半导体器件,

其中,所述第一布线基板 (3) 的平面形状包括四边形；

其中,所述第一半导体芯片 (2) 以倒装芯片方式安装在所述第一布线基板 (3) 的所述第一上表面之上；

其中,所述第一上导电焊盘 (7p) 沿与所述第一布线基板 (3) 的边平行的方向被配置成两行；并且

其中,内侧的行中的所述第一上导电焊盘 (7p) 和外侧的行中的所述第一上导电焊盘 (7p) 是以交错的方式配置的。

16. 根据权利要求 15 的所述半导体器件,

其中,形成于所述第一布线基板 (3) 的所述第一下表面上的所述测试导电焊盘 (10p) 与配置于所述外侧的行中的所述第一上导电焊盘 (7p) 电连接。

17. 根据权利要求 16 的所述半导体器件,

其中,设置于所述外侧的行中的所述第一上导电焊盘 (7p) 配置在所述第一布线基板 (3) 的所述第一上表面的拐角部分及其附近。

半导体器件

[0001] 本申请为同一申请人于 2008 年 8 月 12 日提交的申请号为 200810210916.4、发明名称为“半导体器件”的中国专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求在 2007 年 9 月 12 日提交的日本专利申请 No. 2007-236594 的优先权，在此引入该申请的内容作为参考。

技术领域

[0004] 本发明涉及半导体器件，更特别地，涉及可用于具有以多段的方式层叠多个半导体封装的封装上封装(package on package) (POP) 结构的半导体器件的技术。

背景技术

[0005] 作为半导体封装的一个方式，通过在单一布线基板上安装不同类型的多个半导体芯片(例如，微计算机芯片和存储器芯片)来配置系统的封装中系统(system in package) (SIP) 是已知的。

[0006] 作为这种类型的 SIP 的例子，存在在日本专利特开平 10-12809 号(专利文献 1)中说明的多芯片模块(MCM)。MCM 包含具有绝缘层和布线层的多层布线基板，并且，在多层布线基板的表面上，通过倒装芯片法(flip-chip)安装多个芯片。

[0007] 在多层布线基板的背面，形成以网格图案配置的多个用于外部输入 / 输出信号的导电焊盘，并且，包含焊球等的外部输入 / 输出信号端子连接到焊盘上。并且，在多层布线基板的表面上及其内层中，形成连接多个芯片的端子与外部输入 / 输出信号端子的信号布线以及连接芯片的端子的信号布线。

[0008] 并且，在配置在多层布线基板的背面的用于外部输入 / 输出信号的导电焊盘内，形成连接芯片的端子并且不与外面连接的多个用于检查的导电端子，并且，通过向用于检查的导电端子施加检查探针，能够检查芯片的所有端子的连接状态和各芯片的操作。

[0009] 另一方面，作为与以上的 SIP 不同方式的半导体封装，存在在日本专利特开 2007-123454 号(专利文献 2)中说明的封装上封装(POP)。POP 是与在单一布线基板上安装多个芯片的 SIP 不同的叠层封装。在 POP 中，例如，制备包含安装了微计算机芯片的布线基板的封装和包含安装了存储器芯片的布线基板的封装，并通过使封装重叠以使它们的芯片相互连接来配置其系统。

[0010] POP 包含多个布线基板，因此，即使当微计算机芯片的输入 / 输出端子的数量伴随系统的高性能化而增加时，也存在与具有相同的安装面积的 SIP 相比信号布线的数量可增加的优点。另外，在 POP 中，由于在芯片被安装到各个布线基板上之后，芯片相互连接，因此，能够在用于使芯片相互连接的过程之前确定芯片和布线基板的连接状态，这对于提高封装组装的成品率是有效的。并且，与 SIP 相比，还能够灵活应对系统的数量的减少以及系统的种类数量的增加。

[0011] 专利文献 1 日本专利特开平 10-12809 号

[0012] 专利文献 2 日本专利特开 2007-123454 号

发明内容

[0013] 本发明的发明人考虑代替常规的 SIP 引入可根据用途改变要安装的半导体芯片的 POP, 作为诸如移动电话的小型信息通信终端装置用系统。

[0014] 在 POP 中, 微计算机芯片被安装在具有多层布线层的第一布线基板的表面(顶面)上, 并且存储器芯片被安装在第二布线基板的表面上。微计算机芯片通过沿其主表面的四个边形成的多个焊球以倒装芯片方式连接到(面朝下安装到)第一布线基板的表面(信号焊盘)上。存储器芯片被面朝上安装到第二布线基板的表面上, 并通过多个 Au 布线与第二布线基板的表面上的信号焊盘连接。

[0015] 由于微计算机芯片使键合焊盘(外部连接端子)的数量远多于存储器芯片的数量, 因此, 键合焊盘(和在其表面上形成的焊球)沿微计算机芯片的主表面的四个边配置成两行, 并且, 以交错的方式配置内侧的行中的键合焊盘和外侧的行中的键合焊盘。结果, 在第一布线基板的表面上形成的导电焊盘也被配置成两行, 并且, 以交错的方式配置内侧的行中的导电焊盘和外侧的行中的导电焊盘。

[0016] 安装了微计算机芯片的第一布线基板和安装了存储器芯片的第二布线基板通过在第二布线基板的背面上形成的多个焊球被电连接。在第一布线基板的表面的中心部分上, 安装微计算机芯片并因此沿第二布线基板的背面的外缘部分配置焊球。在第一布线基板的表面的外缘部分(微计算机芯片的外面)上, 形成与焊球连接的导电焊盘。

[0017] 在第一布线基板的背面, 如同上述的专利文献 1 中的 SIP 那样, 形成以网格图案配置的多个用于外部输入/输出信号的导电焊盘, 并且, 焊球连接到导电焊盘上。第一布线基板的表面上的信号焊盘和背面的用于外部输入/输出信号的焊盘通过基板表面上的信号导线、内层中的信号导线和连接它们的通路孔被电连接。

[0018] 对于如上面说明的那样配置的 POP, 在连接第一布线基板和第二布线基板之后, 需要用于确认微计算机芯片与存储器芯片的导电状态的测试过程。通过在第一布线基板的背面形成与微计算机芯片和存储器芯片连接的测试导电焊盘并用施加到测试导电焊盘上的探针检查芯片之间的导电状态, 从而进行该测试。

[0019] 考虑与上面安装常规的 SIP 的母板的兼容性以及第一布线基板的布线层的数量的增加, 优选地, 如在上述的专利文献 1 中的 SIP 中那样在用于外部输入/输出信号的导电焊盘内配置上述的测试导电焊盘。

[0020] 但是, 在 POP 的情况下, 上面安装了微计算机芯片的第一布线基板和上面安装了存储器芯片的第二布线基板通过配置在第二布线基板的外缘部分上的焊球被电连接, 因此, 如果在用于外部输入/输出信号的导电焊盘内配置测试导电焊盘, 那么当连接焊球和测试导电焊盘时, 第一布线基板中的布线的数量增加。因此, 第一布线基板变得更可能出现起因于作为布线基板材料的导线和绝缘层之间的热膨胀系数的差异的翘曲。如果作为针对翘曲的对策尝试加厚绝缘层以提供具有刚性的布线基板, 则难以减薄 POP, 并且布线基板的制造成本也增加。

[0021] 另外, 伴随 POP 的小型化和高性能化, 微计算机芯片的外部连接端子的数量增加, 同时, 还促进了在第一布线基板的表面上形成的导线和导电焊盘的间距的减小, 因此, 如果

如上面说明的那样将第一布线基板的表面上的导电焊盘配置成两行并且以交错的图案配置内侧的行中的导电焊盘和外侧的行中的导电焊盘,则会难以规定通过内侧的行中的导电焊盘连接外侧的行中的导电焊盘与测试导电焊盘的导线路径。

[0022] 本发明的一个目的是提供促进 POP 的小型化和高性能化的技术。

[0023] 本发明的另一目的是提供提高 POP 的可靠性的技术。

[0024] 本发明的另一目的是提供降低 POP 的制造成本的技术。

[0025] 参照附图阅读本说明书中的以下说明,本发明的以上和其它目的和新颖性特征将变得更加明显。

[0026] 以下简要概述这里公开的本发明的优选实施方式。

[0027] 本发明涉及一种半导体器件,其中层叠有第一布线基板和第二布线基板,在所述第一布线基板上安装有具有微计算机电路的第一半导体芯片,在所述第二布线基板上安装有具有存储器电路的第二半导体芯片,其中,所述第一布线基板配置成使其上安装有所述第一半导体芯片的第一表面与所述第二布线衬底的一个表面相对,且在所述第一表面内通过在安装了所述第一半导体芯片的区域的外面形成的多个第一导电焊盘与所述第二布线基板电连接,在所述第一布线基板的与所述第一表面不同的第二表面上,形成构成外部输入/输出端子的多个第二导电焊盘和用于确定所述第一半导体芯片与所述第二半导体芯片的导电状态的质量的多个测试导电焊盘,且所述多个测试导电焊盘配置在所述第二表面内且在所述多个第二导电焊盘的外面。

[0028] 简要说明本发明的优选实施方式带来的效果如下。

[0029] 能够促进 POP 的小型化和高性能化。另外,能够提高 POP 的可靠性。

附图说明

[0030] 图 1 是示出本发明的一个实施方式中的 POP 的一般配置的断面图。

[0031] 图 2 是示出构成 POP 的一部分的基底基板(base substrate)的背面的平面图。

[0032] 图 3 是示出图 2 的一部分的放大的平面图。

[0033] 图 4 是示出在构成 POP 的一部分的基底基板的表面上形成的导电焊盘的布局的平面图。

[0034] 图 5 是示出在构成 POP 的一部分的基底基板的表面上安装了微计算机芯片的状态的平面图。

[0035] 图 6 是示出图 4 的一部分的放大的平面图。

[0036] 图 7 是示出在构成 POP 的一部分的基底基板的内层中形成的 GND 平面层的平面图。

[0037] 图 8 是示出在构成 POP 的一部分的基底基板的内层中形成的电源平面层的平面图。

[0038] 图 9 是示出将在 POP 上安装的微计算机芯片和存储器芯片连接到测试导电焊盘上的导线的路径的例子主要部分的断面图。

[0039] 图 10 是示出在 POP 上安装的微计算机芯片的主表面的平面图。

[0040] 图 11 是示出将在 POP 上安装的微计算机芯片和存储器芯片连接到测试导电焊盘上的导线的路径的另一例子主要部分的断面图。

[0041] 图 12 是示出将在 POP 上安装的微计算机芯片和存储器芯片连接到测试导电焊盘上的导线的路径的另一例子的主要部分的断面图。

[0042] 图 13 是示出在构成 POP 的一部分的基底基板的表面上安装了微计算机芯片的状态的平面图。

[0043] 图 14 是示出在构成 POP 的一部分的基底基板的表面上安装了微计算机芯片的状态的平面图。

具体实施方式

[0044] 以下基于附图详细说明本发明的实施方式。在用于说明实施方式的所有附图中，对于相同的部件分配相同的符号，并省略其重复说明。

[0045] (第一实施方式)

[0046] 本实施方式中的半导体器件是要被安装到诸如移动电话的小型信息通信终端上的封装上封装(POP)。

[0047] 首先,通过使用图 1 (断面图)说明本实施方式中的 POP 的一般配置。POP 1A 是通过在上面安装了第一半导体芯片 2 的基底基板(第一布线基板)3 上层叠上面安装了第二半导体芯片 4 的存储器基板(第二布线基板)5 而形成的二层结构的叠层型封装。这里,第一半导体芯片 2 是通过将例如可编程逻辑电路和微计算机电路集成到一个芯片中形成的,在以下的说明中被称为微计算机芯片。在第二半导体芯片 4 中,例如,形成具有 512 兆位或 1 千兆位的存储容量的 DRAM (动态随机存取存储器) 电路,该第二半导体芯片 4 在以下的说明中被称为存储器芯片。

[0048] 对于图 1 所示的 POP 1A,通过在存储器基板 5 的表面(顶面)上层叠两个存储器芯片 4 来实现 1.5 千兆位的存储容量,但是,可以适当地改变要在存储器基板 5 上安装的存储器芯片 4 的存储容量和数量。即,使用 POP 1A,可以通过在几乎不改变上面安装了微计算机芯片 2 的基底基板 3 侧的规格的情况下改变要在存储器基板 5 上安装的存储器芯片 4 的存储容量和数量来制造各种类型的半导体器件。

[0049] 基底基板 3 是通过例如组合构建法(build-up construction method)制造的具有六层布线(表面布线、背面布线以及四层内层布线)的多层布线基板,并且,使布线层之间电绝缘的绝缘层包含在玻璃纤维或碳纤维中含浸了树脂的预浸渍体(prepreg,半固化片)。六层布线包含含有例如铜(Cu)作为其主要成分的导电膜。在图 1 中没有示出这些布线,而只示出在基底基板 3 的表面(顶面)上形成的导电焊盘 6p、7p、8p 以及在基底基板 3 的背面形成的用于外部输入/输出的焊盘 9p 和测试导电焊盘 10p。

[0050] 微计算机芯片 2 是通过在其主表面(下表面)上形成的多个焊球 11 与基底基板 3 的表面的导电焊盘(第三导电焊盘)6p、7p 连接(面朝下连接)的倒装芯片。利用底部填充(under-fill)树脂 14 气密地密封微计算机芯片 2 的主表面。虽然没有示意地示出,但微计算机芯片 2 具有大量的键合焊盘(输入/输出端子),因此,键合焊盘(以及与它们的表面连接的焊球 11)沿微计算机芯片 2 的主表面的四个边被配置成两行,并且,以交错的方式配置内侧的行中的键合焊盘和外侧的行中的键合焊盘。

[0051] 在基底基板 3 的背面,形成多个用于外部输入/输出的导电焊盘(第二导电焊盘)9a,并且焊球 13 与它们的表面电连接。通过焊球 13 在信息通信终端的母板上安装 POP1A。

虽然没有示意地示出,但基底基板 3 的表面的布线与背面的用于外部输入 / 输出的导电焊盘 9p 通过内层布线以及连接这些布线的通路孔(via holes)来电连接。

[0052] 在用于外部输入 / 输出的导电焊盘 9p 的外侧,形成多个测试导电焊盘 10p。测试导电焊盘 10p 是用于在完成 POP1A 的组装后确定微计算机芯片 2 与存储器 4 的导电状态的质量的端子。即,POP1A 的制造商在将完成组装的 POP1A 运送给用户(信息通信终端装置等的制造商)之前,通过对测试导电焊盘 10p 施加探针确认微计算机 2 与存储器芯片 4 的导电状态。结果,当用户在信息通信终端装置的母板上安装 POP1A 时,不必将测试导电焊盘 10p 连接到母板上,因此,焊球 13 不与测试导电焊盘 10p 连接。

[0053] 另一方面,上面安装了两个存储器芯片 4 的存储器基板 5,构成具有玻璃环氧树脂等作为绝缘层的树脂基板。两个存储器芯片 4 中的一个在存储器基板 5 的表面上被面朝上地安装,另一个夹着伪芯片 15 被层叠在存储器芯片 4 上。两个存储器芯片 4 中的每一个通过 Au 导线 16 与存储器芯片 4 的表面的导电焊盘 17 电连接。通过模制树脂 20 气密地密封两个存储器芯片 4、伪芯片 15、Au 导线 16 和导电焊盘 17。在存储器基板 5 的背面,形成导电焊盘 18,该导电焊盘 18 通过没有示意地示出的通路孔与导电焊盘 17 电连接,并且焊球 12 与其表面电连接。例如,导电焊盘 17、18 中的每一个都沿存储器基板 5 的外缘部分配置成两行。

[0054] 与存储器基板 5 的导电焊盘 18 连接的焊球 12 还与在基底基板 3 的表面的外缘部分上形成的导电焊盘(第一导电焊盘)8p 电连接,上面安装了微计算机芯片 2 的基底基板 3 和上面安装了存储器芯片 4 的存储器基板 5 由此被电连接。焊球 12 具有比将在微计算机芯片 2 的主表面上形成的焊球 11 的直径与微计算机芯片 2 的厚度相加得到的和更大的直径,使得安装在基底基板 3 上的微计算机芯片 2 的顶面不与存储器基板 5 的下表面接触。

[0055] 如上所述,在基底基板 3 的背面,形成有用于外部输入 / 输出的导电焊盘 9p 以及测试导电焊盘 10p。图 2 是示出基底基板 3 的背面的平面图,图 3 是图 2 的一部分(由矩形框包围的区域)的放大的平面图。在图 2 和图 3 中,没有示意地示出与用于外部输入 / 输出的导电焊盘 9p 连接的焊球 13。

[0056] 如图 2 所示,在基底基板 3 的背面以网格图案配置用于外部输入 / 输出的导电焊盘 9p。在用于外部输入 / 输出的导电焊盘 9p 的外侧,配置测试导电焊盘 10 (示为阴影)。如图 3 所示,在用于外部输入 / 输出的导电焊盘 9p 的每一个的附近形成通路孔 22,并且用于外部输入 / 输出的导电焊盘 9p 及其附近的通路孔 22 通过背面布线(第六层导线)23 电连接。用于外部输入 / 输出的导电焊盘 9p 通过通路孔 22 和背面布线 23 与内层布线(未示出)电连接。同样地,在测试导电焊盘 10p 中的每一个的附近形成通路孔 22,并且测试导电焊盘 10p 及其附近的通路孔 22 通过背面布线 23 电连接。测试导电焊盘 10p 通过通路孔 22 和背面布线 23 与将在后面说明的内层布线电连接。

[0057] 图 4 是示出在基底基板 3 的表面上形成的导电焊盘 6p、7p、8p 的布局的平面图,图 5 是示出在基底基板 3 的表面上安装了微计算机芯片 2 的状态的平面图,图 6 是图 4 的一部分(由矩形框包围的区域)的放大平面图。

[0058] 如上所述,微计算机芯片 2 的键合焊盘沿微计算机芯片 2 的主表面的四个边配置成两行,并且,以交错的方式配置内侧的行中的键合焊盘和外侧的行中的键合焊盘。由此,如图 4 和图 6 所示,载置与微计算机芯片 2 的键合焊盘连接的焊球 11 的基底基板 3 的导电

焊盘 6p、7p, 也沿与基底基板 3 的四个边平行的方向配置成两行, 并且, 以交错的方式配置内侧的行中的导电焊盘 6p 和外侧的行中的导电焊盘 7p。另外, 如图 6 所示, 导电焊盘 6p、7p、8p 中的每一个都通过表面布线(第一层布线) 25 和通路孔 24 与内层布线(未示出) 连接。在图 4 和图 5 中, 为了避免附图的复杂化, 没有示意地示出表面布线 25 和通路孔 24。

[0059] 图 7 是示出在基底基板 3 的内层(第三层中的布线层) 中形成的 GND 平面层 26 的平面图, 图 8 是示出在第四层的布线层中形成的电源平面层 27 的平面图。

[0060] 为了使向 POP 1A 供给的电源稳定化, 在形成 GND 平面层 26 时, 除了形成连接上层和下层的布线的通路孔(未示出) 的区域以外, 它基本上覆盖第三层的布线层的整个表面。出于相同的原因, 在形成电源平面层 27 时, 除了形成连接上层和下层的布线的通路孔(未示出) 的区域以外, 它基本上覆盖第四层的布线层的整个表面。

[0061] 图 9 是示出将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p 上的布线的路径的例子的主要部分的断面图。如图 9 所示, 当通过在基底基板 3 上形成的布线层将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p 上时, 作为一般的规则, 微计算机芯片 2 和存储器芯片 4 通过外侧的行中的导电焊盘 7p 被电连接。原因在于, 在 POP 结构的情况下, 如上所述, 用于与存储器基板 5 的导电焊盘 18 连接的焊球 12 和基底基板 3 之间的导电的导电焊盘(第一导电焊盘) 8p 位于与微计算机芯片 2 电连接的导电焊盘 6p、7p 的外面(基底基板的外缘部分)。另外, 伴随半导体器件的尺寸的减小, 导电焊盘 6p、7p 的间距减小, 因此, 变得难以设定导电焊盘之间的布线的路线。

[0062] 由此, 如图 10 所示, 类似地, 在微计算机芯片 2 上, 在在微计算机芯片 2 的主表面上形成的多个导电焊盘(电极) 19 中, 作为一般的规则, 在外侧(微计算机芯片 2 的外缘部分) 的行中配置要与测试导电焊盘 10p 电连接的导电焊盘 19。在图 9 所示的例子中, 微计算机芯片 2 和存储器芯片 4 通过与外侧的行中的导电焊盘 7p 一体形成的表面布线 25 被电连接。另外, 表面布线 25 通过在基底基板 3 的外缘附近形成的第二层布线 30、第三层布线 31、第四层布线 32 和第五层布线 33 以及电连接这些布线的通路孔 22、24、35 与测试导电焊盘 10p 电连接。

[0063] 并且, 在图 11 所示的例子中, 微计算机芯片 2 和存储器芯片 4 通过与外侧的行中的导电焊盘 7p 一体形成的表面布线 25、通路孔 24 和第二层布线 30 被电连接。第二层布线 30 通过在基底基板 3 的外缘附近形成的第三层布线 31、第四层布线 32 和第五层布线 33 以及电连接这些布线的通路孔 22、24 和 35 与测试导电焊盘 10p 电连接。

[0064] 如果由于布线设计规则的限制而存在微计算机芯片 2 与存储器芯片 4 不能通过外侧的行中的导电焊盘 7p 被电连接的部分, 或者, 如果由于微计算机芯片 2 的设计规则的限制而不能对外侧的行中的焊盘(电极) 7p 配置与测试导电焊盘 10p 电连接的焊盘(第一焊盘), 那么微计算机芯片 2 与存储器芯片 4 通过内侧的行中的导电焊盘 6p 被电连接。例如, 在图 12 所示的例子中, 微计算机芯片 2 与存储器芯片 4 通过内侧的行中的导电焊盘 6p、通路孔 24 和向内延伸超过外侧的行中的导电焊盘 7p 的第二层布线 30 被电连接。第二层布线 30 通过在基底基板 3 的外缘附近形成的第三层布线 31、第四层布线 32 和第五层布线 33 以及电连接这些布线的通路孔 22、24 和 35 与测试导电焊盘 10p 电连接。

[0065] 如上所述, 在本实施方式的 POP 1A 中, 在用于外部输入/输出的导电焊盘 9p 的外面配置用于确定微计算机芯片 2 与存储器芯片 4 的导电状态的质量的测试导电焊盘 10p。

然后,当将微计算机芯片 2 和存储器芯片 4 电连接到测试导电焊盘 10p 上时,作为一般规则,使用外侧的行中的导电焊盘 7p,并且,仅当由于布线设计规则的限制不能使用外侧的行中的导电焊盘 7p 时,使用内侧的行中的导电焊盘 6p。

[0066] 与在用于外部输入/输出的导电焊盘 9p 内配置测试导电焊盘 10p 的情况相比,这样做能够缩短从焊球 12 到测试导电焊盘 10p 的布线路径。结果,在基底基板 3 上形成的布线的数量减少,因此,能够抑制起因于布线与绝缘层(预浸渍体)之间的热膨胀系数的差异的基底基板 3 的翘曲。由于在基底基板 3 上形成的布线的数量减少,即布线的长度减小,因此可望改善电气特性,诸如减少噪声。

[0067] 并且,通过这样做,作为结果,在基底基板 3 的外缘的附近配置将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p 上的通路孔 35。另一方面,当在用于外部输入/输出的导电焊盘 9p 内配置测试导电焊盘 10p 时,在基底基板 3 内配置将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p 上的通路孔。但是,当在基底基板 3 内配置通路孔时,在基底基板 3 的内层中形成的 GND 平面层 26 和电源平面层 27 变得更可能因通路孔而断开,因此,它们的面积减小。与此相反,在本实施方式的 POP 1A 的在基底基板 3 的外缘的附近配置了将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p 上的通路孔 35 的情况下,GND 平面层 26 和电源平面层 27 不太可能因通路孔 35 而断开,因此,GND 平面层 26 和电源平面层 27 的面积增加,并且,能够使向 POP 1A 供给的电源稳定化。

[0068] 另外,通过用外侧的行中的导电焊盘 7p 将微计算机芯片 2 和存储器芯片 4 连接到测试导电焊盘 10p,使得能够将要连接到导电焊盘 7p 上的表面布线 25 引出到导电焊盘 7p 的外侧并将要连接到内侧的行中的导电焊盘 6p 的表面布线 25 引出到导电焊盘 6p 的内侧。因此,在相邻的内侧导电焊盘 6p、6p 之间或在相邻的外侧导电焊盘 7p、7p 之间通过的表面布线 25 不再是必需的,因此,变得更容易使导电焊盘 6p、7p 的间距变窄。

[0069] 并且,通过使导电焊盘 6p、7p 的间距更容易变窄,基底基板 3 的制造成本可降低。即,当制造在具有较窄的间距的导电焊盘 6p、7p 之间配置导线的布线基板时,需要诸如 ABF 膜的昂贵的布线基板用材料。但是,当不在导电焊盘 6p、7p 之间配置布线时,能够基于比在在导电焊盘 6p、7p 之间配置导线时宽松的布线设计规则使导电焊盘 6p、7p 的间距变窄,因此,能够使用与 ABF 膜相比虽然加工精度较低但制造成本更低的诸如预浸渍体的布线基板用材料。

[0070] 当将外侧的行中的导电焊盘 7p 连接到测试导电焊盘 10p 上时,推荐使用沿基底基板 3 的四个边配置的导电焊盘 7p 中的在基底基板 3 的拐角部分及其附近区域(例如,图 4 中的被矩形框包围的区域)中形成的导电焊盘 7p。

[0071] (第二实施方式)

[0072] 在上述的第一实施方式中,微计算机芯片 2 被安装在基底基板 3 的表面的中心,但是,例如,如图 13 和图 14 所示,微计算机芯片 2 可被安装在偏离基底基板 3 的表面的中心的位置上。在这种情况下,也能够通过在与测试导电焊盘 10p 连接的外侧的导电焊盘 7p 的附近配置导电焊盘 8p 并且在外侧的导电焊盘 7p 的外侧配置测试导电焊盘 10p 来减少在基底基板 3 上形成的布线的数量。

[0073] 以上基于实施方式具体说明了本发明的发明人提出的发明,但是,很显然本发明不限于以上的实施方式,在不背离其发明构思的范围内可以提出各种变形。

[0074] 例如,还能够在基底基板(第一布线基板)上层叠多个存储器基板(第二布线基板)。并且,安装在存储器基板(第二布线基板)上的存储器芯片(第二半导体芯片)可以是 DRAM 以外的存储器电路,例如可以是具有闪速存储器电路的存储器芯片。

[0075] 本发明可被有效应用于具有以多段的方式层叠了多个半导体封装的封装上封装(POP)结构的半导体器件。

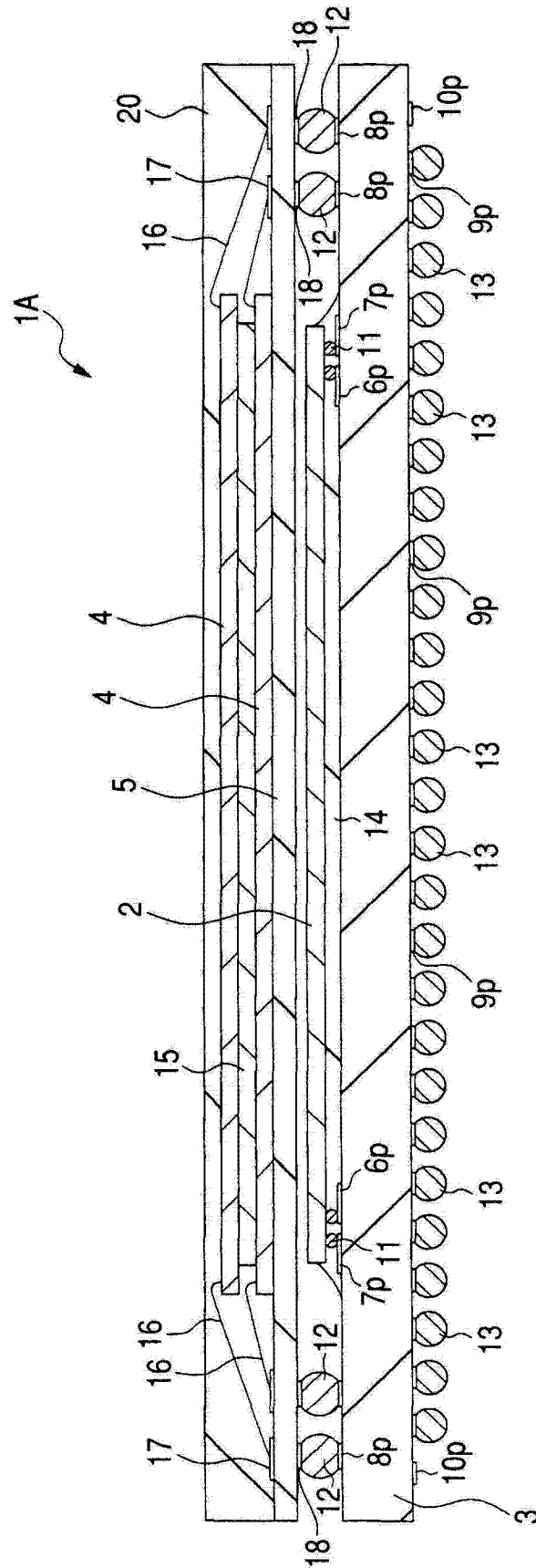


图 1

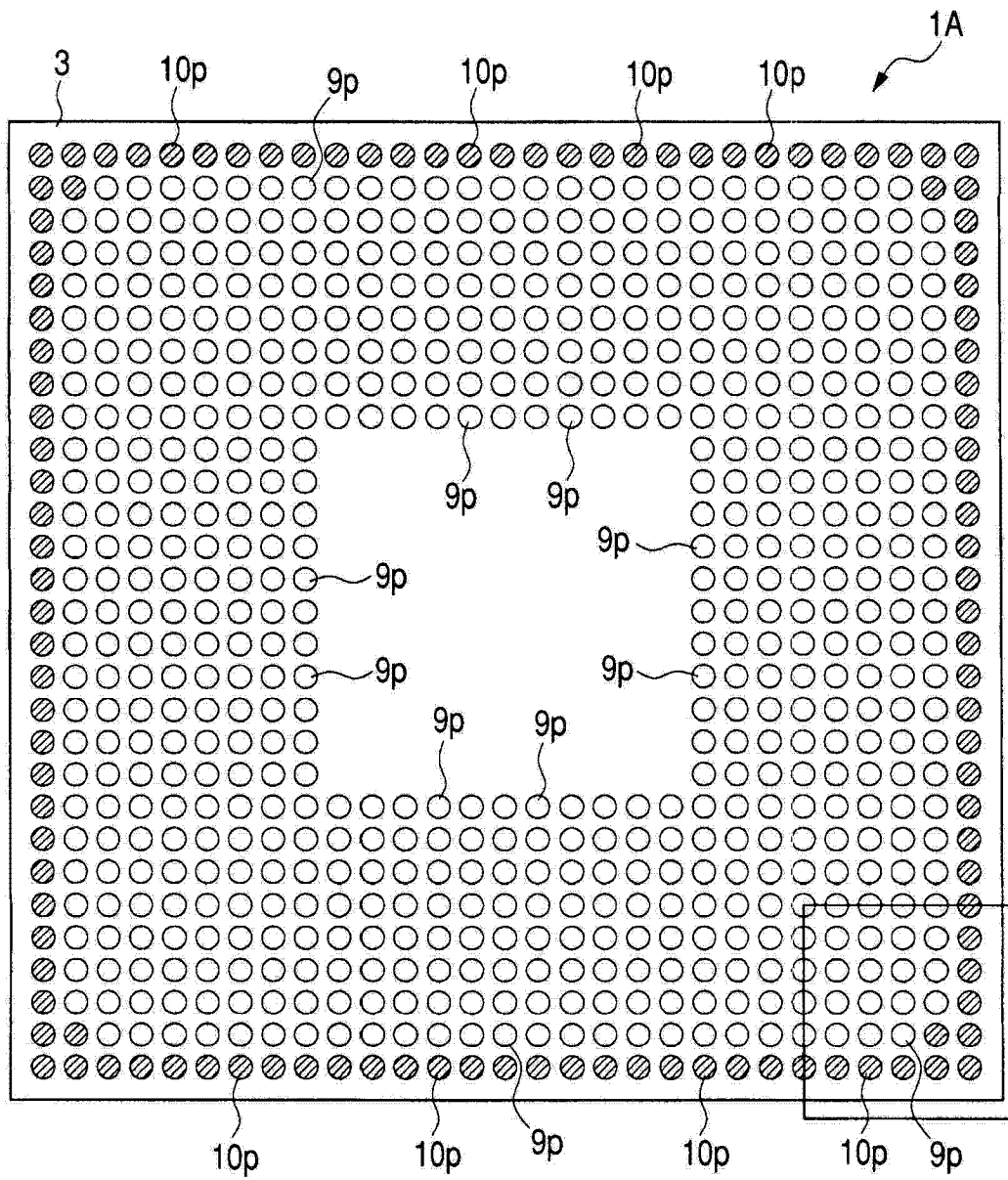


图 2

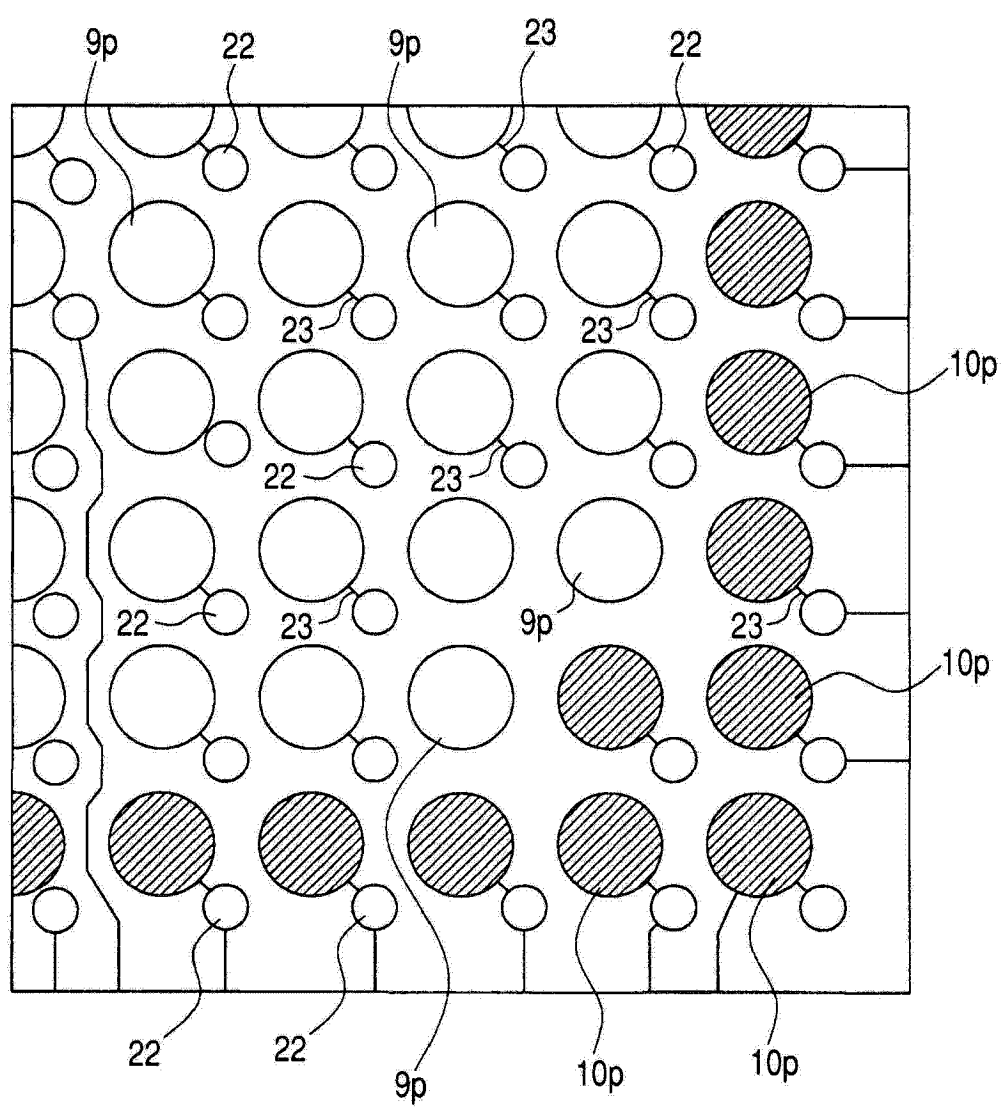


图 3

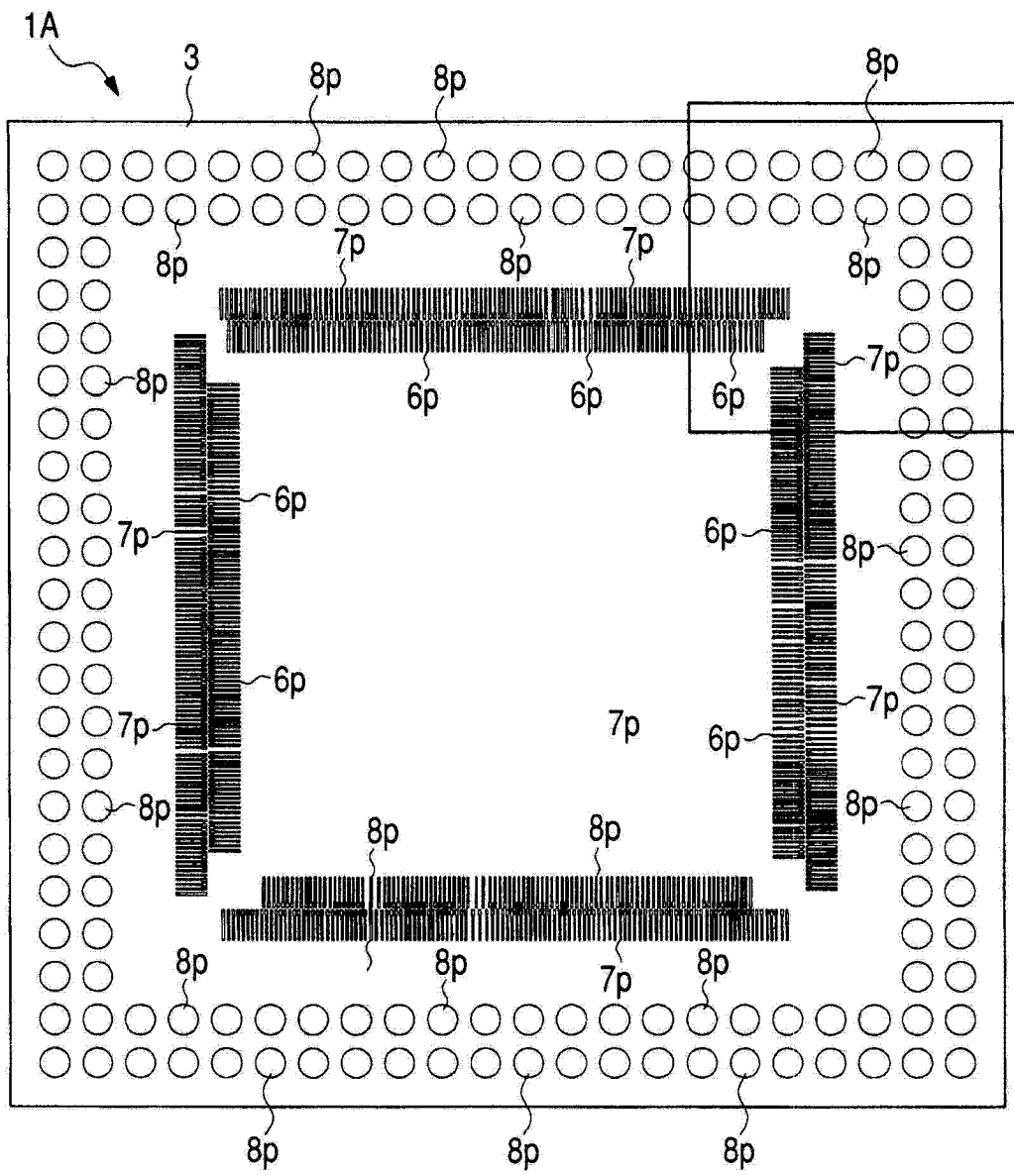


图 4

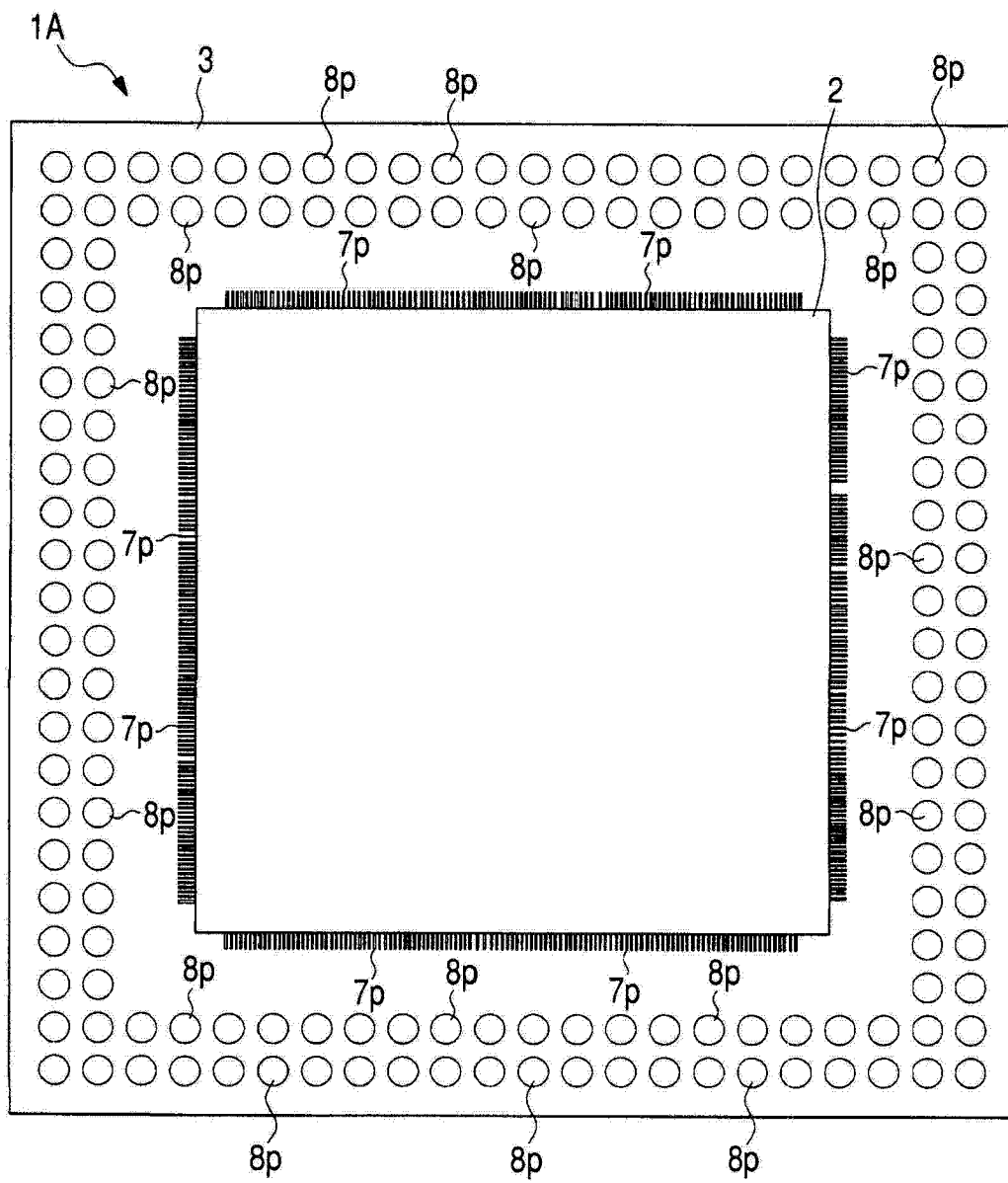


图 5

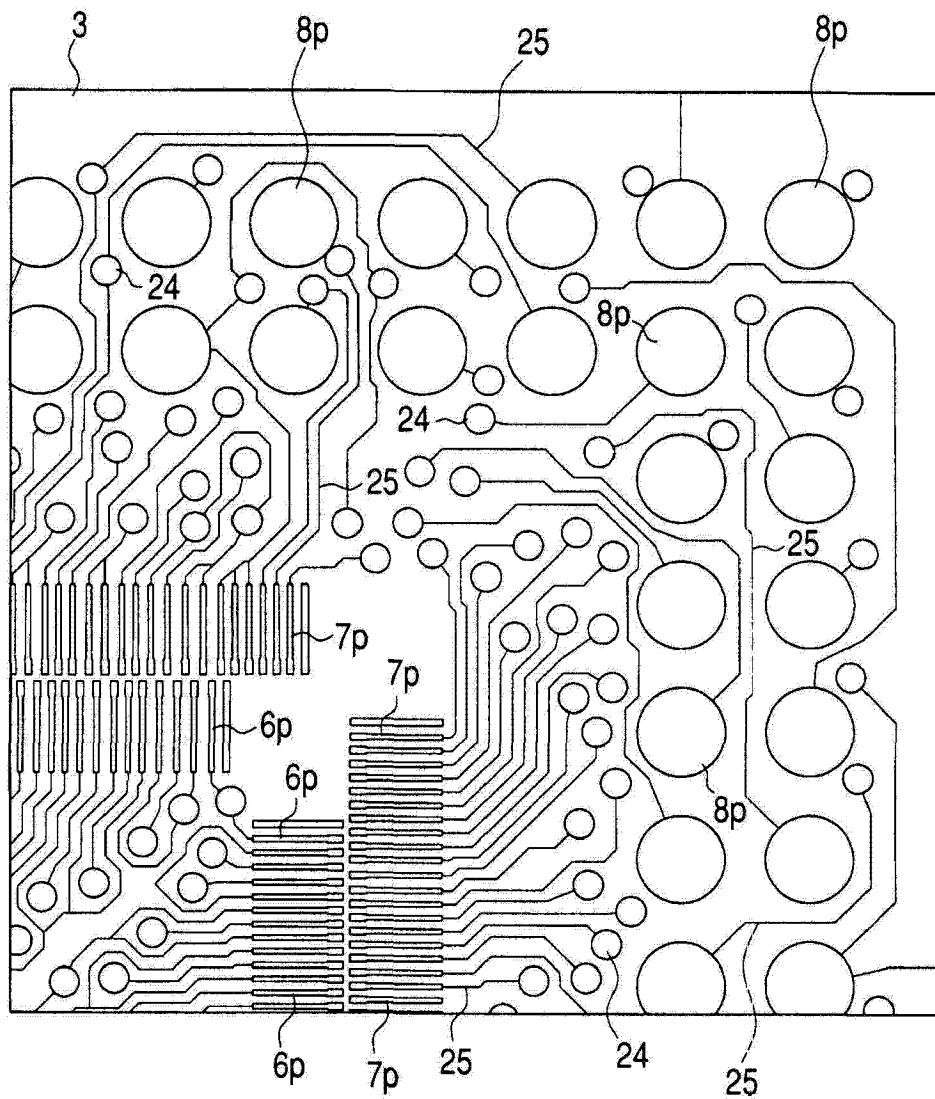


图 6

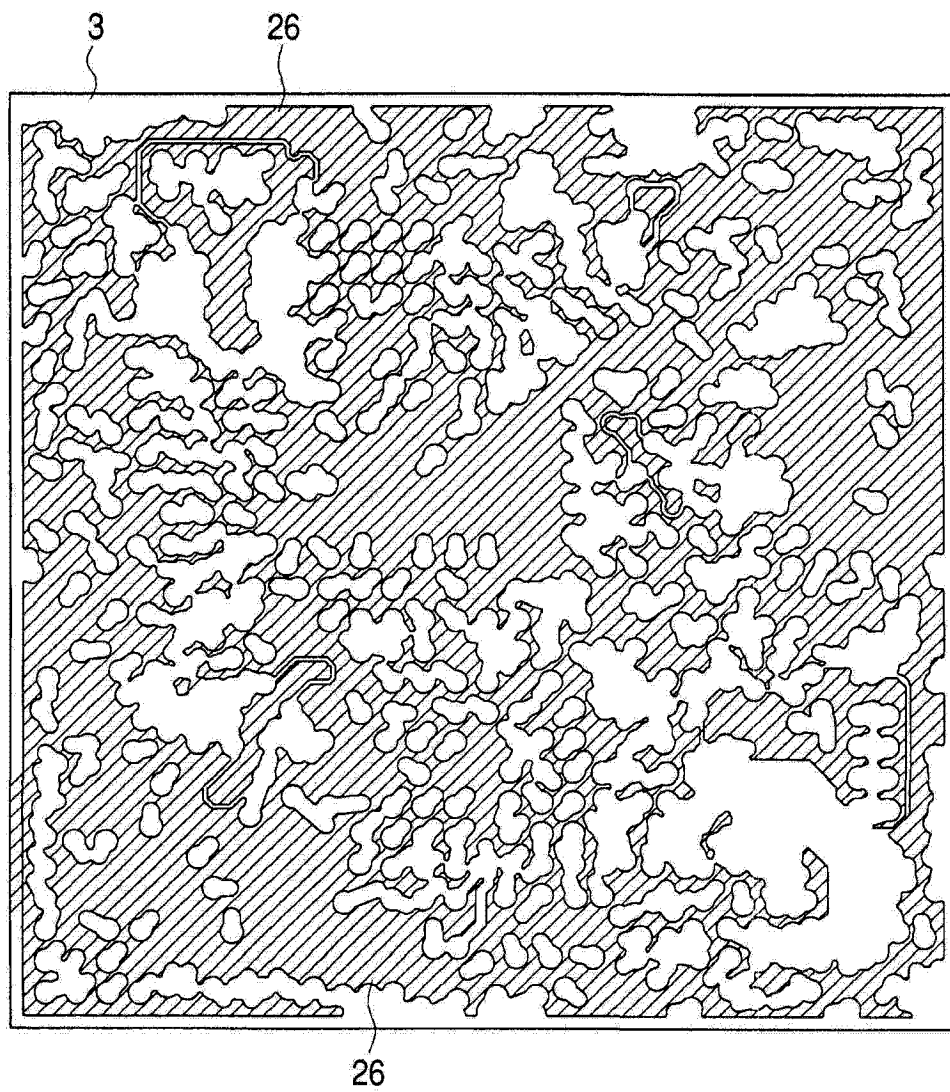


图 7

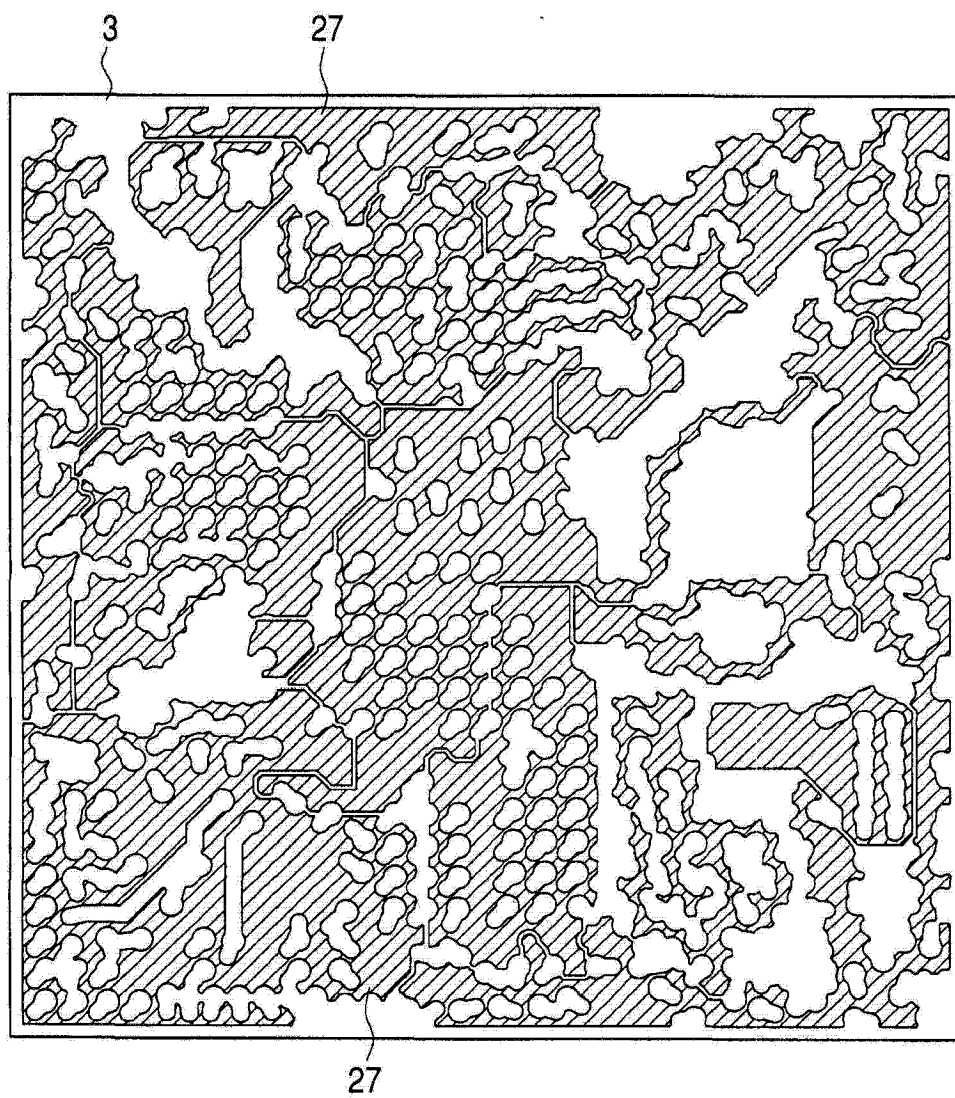


图 8

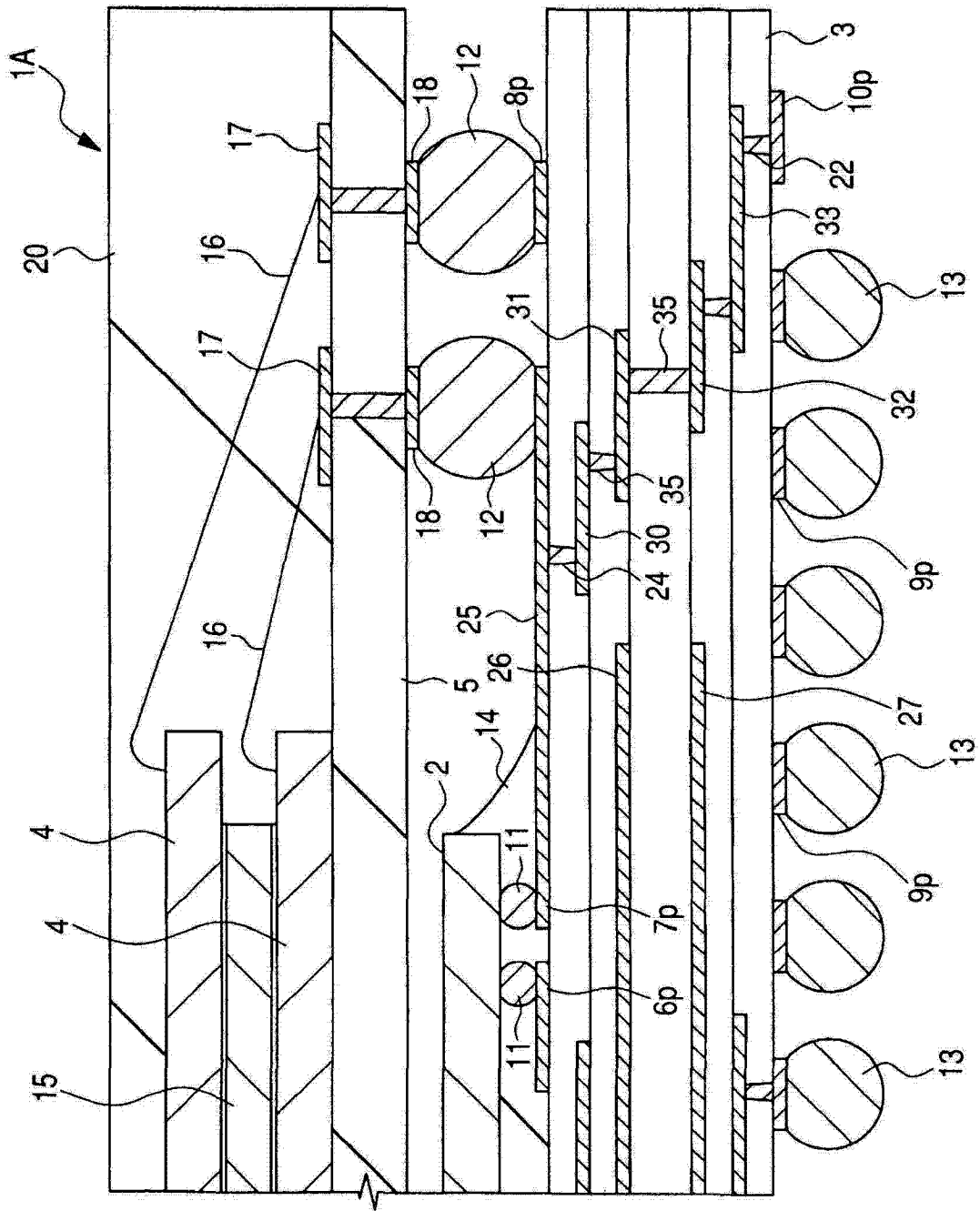


图 9

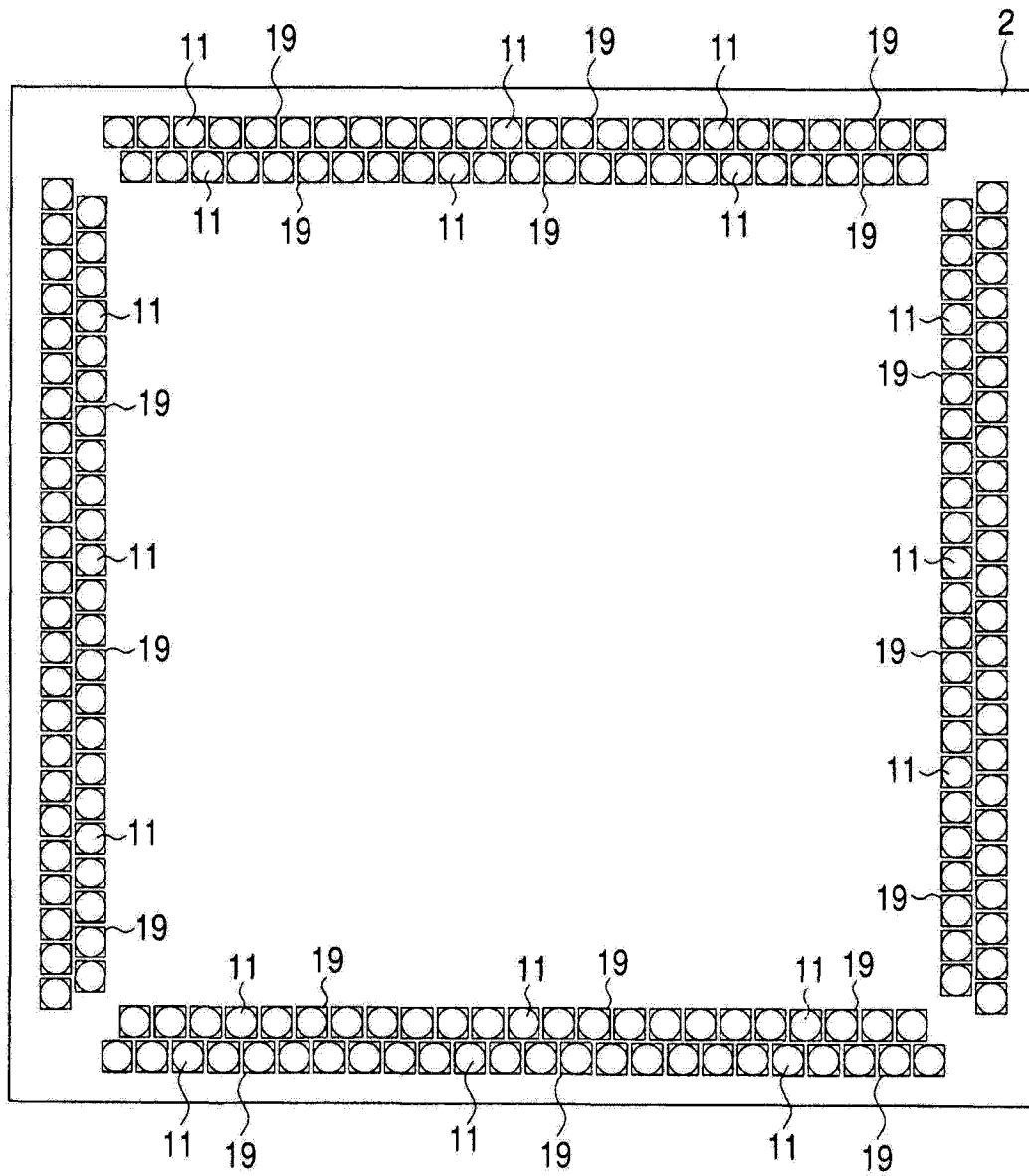


图 10

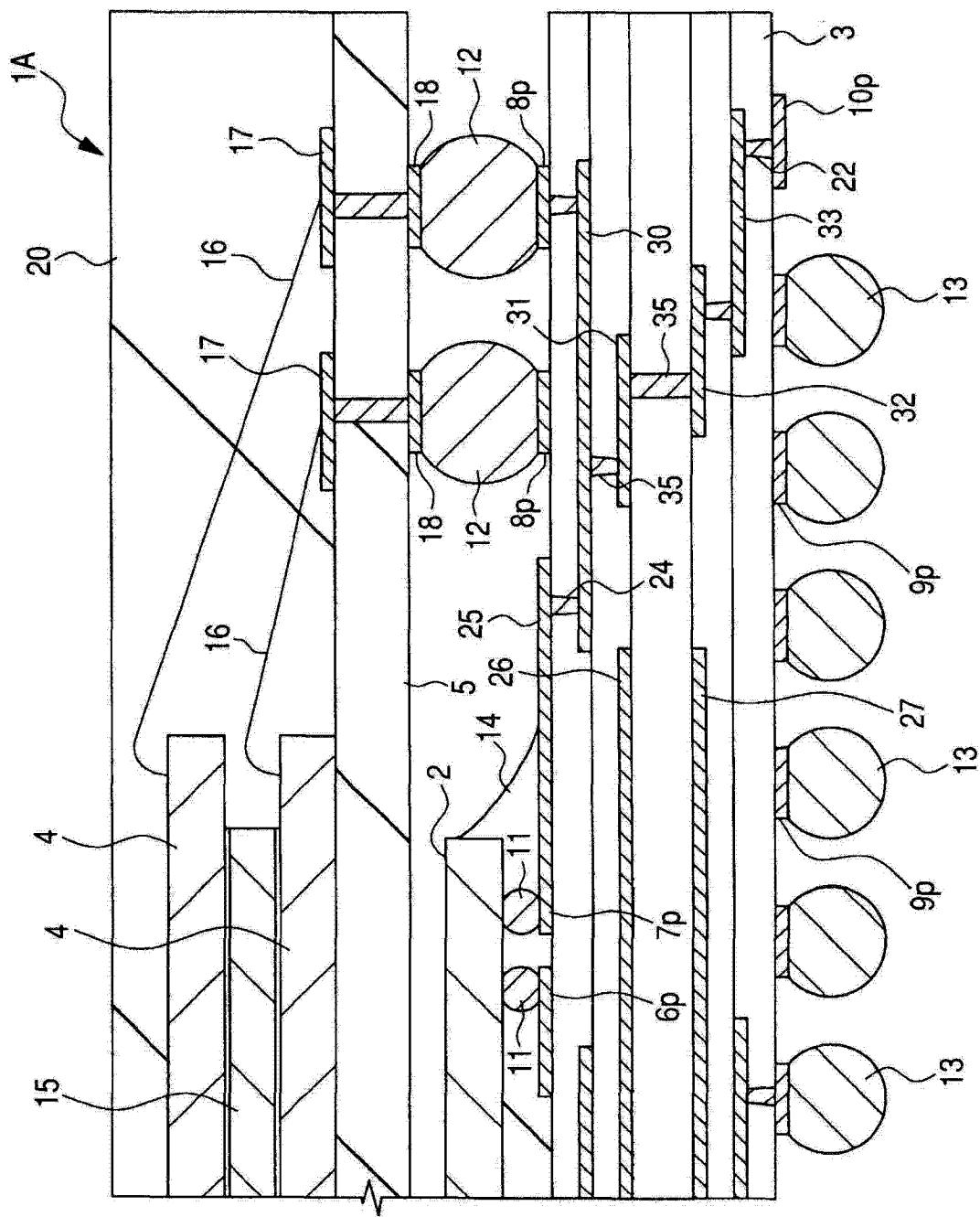


图 11

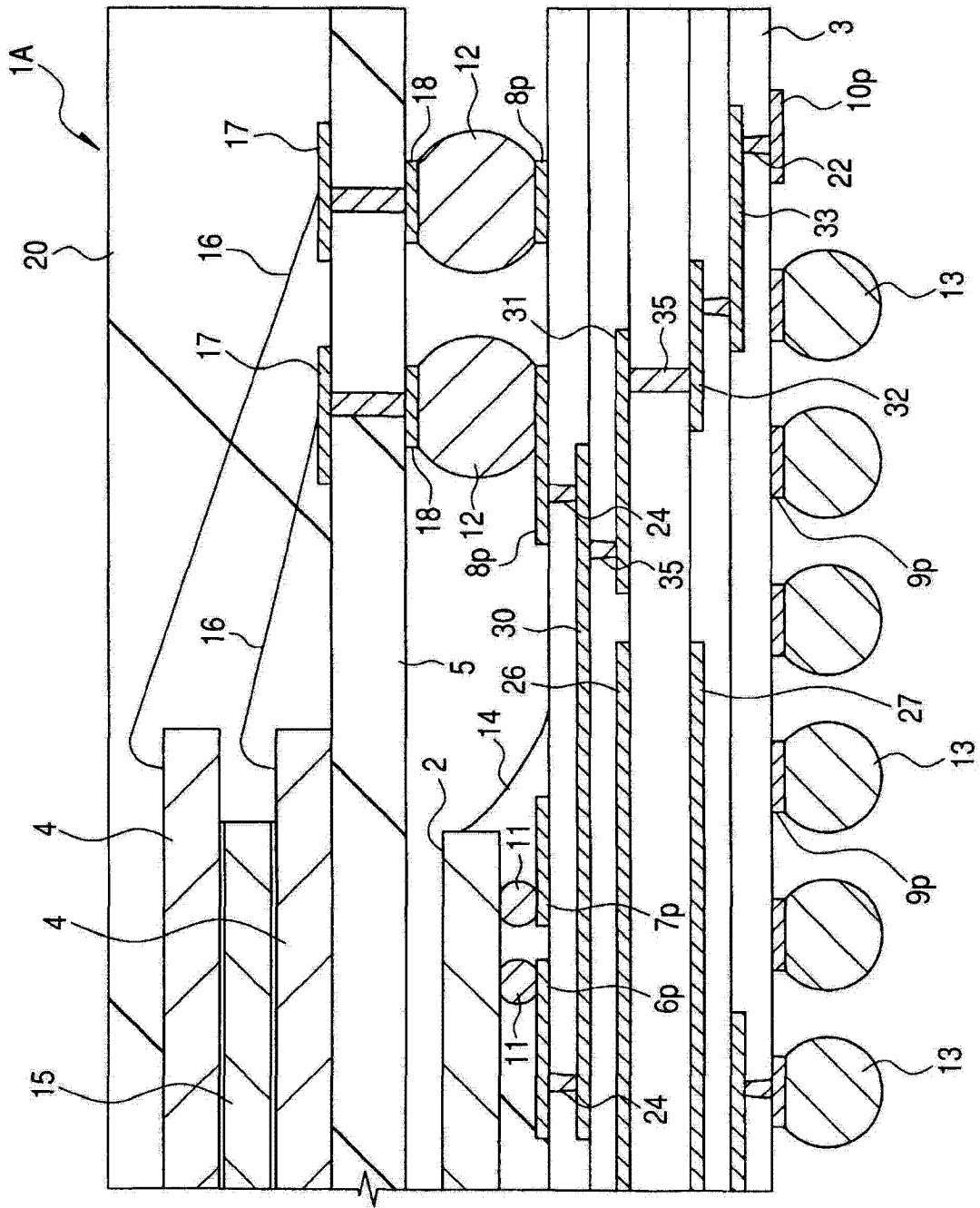


图 12

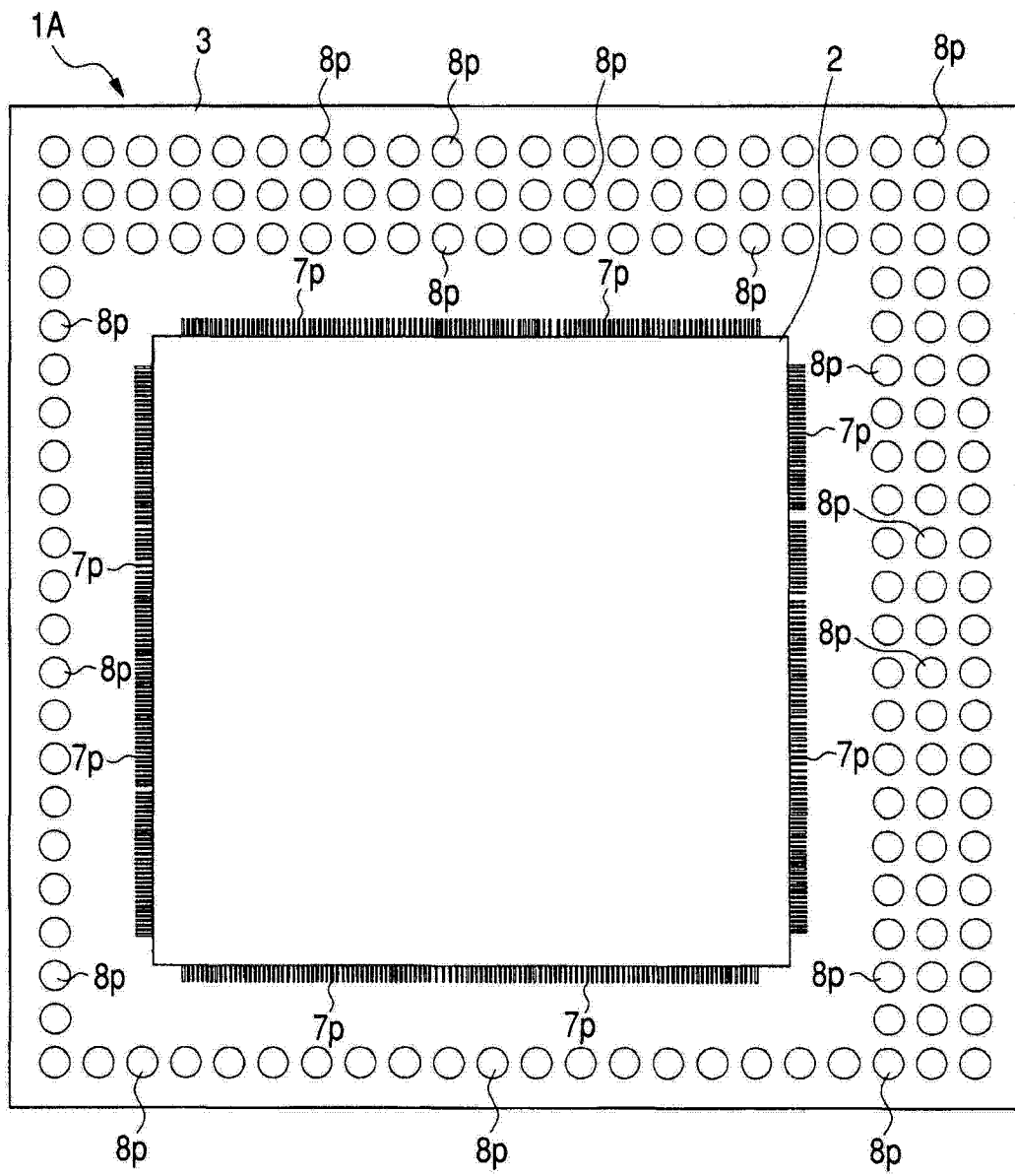


图 13

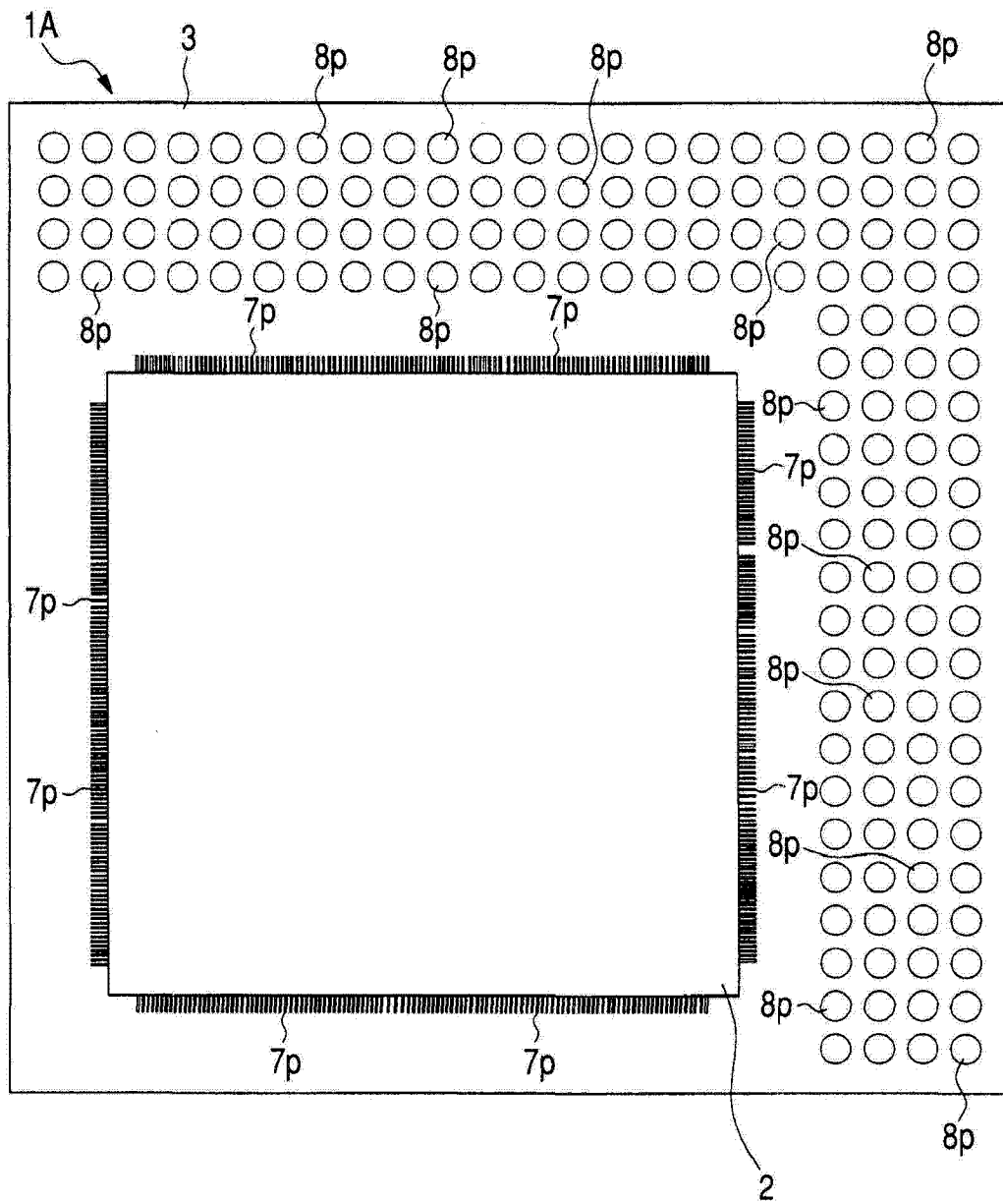


图 14