



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월06일
(11) 등록번호 10-1636501
(24) 등록일자 2016년06월29일

(51) 국제특허분류(Int. Cl.)

G11B 5/39 (2006.01)

(21) 출원번호 10-2014-0112318

(22) 출원일자 2014년08월27일

심사청구일자 2014년08월27일

(65) 공개번호 10-2015-0026912

(43) 공개일자 2015년03월11일

(30) 우선권주장

14/012,819 2013년08월28일 미국(US)

(56) 선행기술조사문헌

US06801411 B1*

US20090279213 A1*

M.Takagishi et al., 'Magnetoresistance Ratio and Resistance Area Design of CPP-MR Film for 2-5 Tb/in² Read Sensors,' IEEE Transactions on Magnetics, June 2010, 46(6), 2086-2089 (2010.06.)*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

시게이트 테크놀로지 엘엘씨

미국 캘리포니아 95104 쿠퍼티노 사우스 디 엔자 블러바드 10200

(72) 발명자

사포즈니코브, 빅터 보리스

미국 55345 미네소타 미네톤카 마운트 테라스 14009

패트와리, 모함메드 샤리아 올라

미국 55347 미네소타 에텐 프레리 에섹스 코트 13610

(74) 대리인

특허법인 남앤드남

전체 청구항 수 : 총 9 항

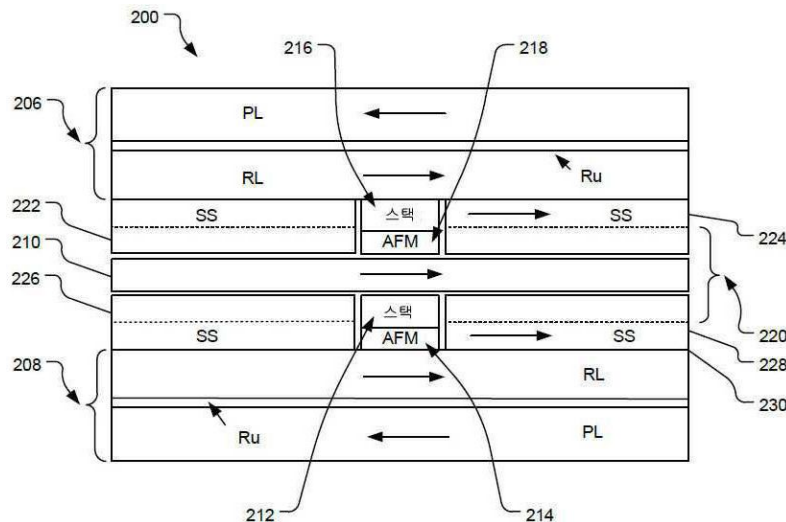
심사관 : 황승희

(54) 발명의 명칭 이중 리더 구조

(57) 요약

본 명세서에 설명되고 청구된 구현들은 하단 실드가 측면 실드들에 부착되는 이중 리더를 제공한다.

대표도



명세서

청구범위

청구항 1

이중 리더를 포함하고,

상기 이중 리더는,

다운 트랙 방향으로 구성되고, 그리고 중간 실드에 의해 서로 분리되는 제 1 센서 스택 및 제 2 센서 스택; 및

제 1 쌍의 측면 실드들 및 반강자성(AFM) 층에 직접적으로 부착되는 하단 실드를 포함하고,

상기 AFM 층은 크로스 트랙 방향으로 상기 제 1 쌍의 측면 실드들 사이에, 그리고 상기 제 1 센서 스택에 인접하게 위치되는 장치.

청구항 2

삭제

청구항 3

청구항 1에 있어서, 상기 하단 실드는 합성 반강자성(SAF) 하단 실드인 장치.

청구항 4

청구항 1에 있어서, 상기 중간 실드는 AFM 층을 포함하지 않는 장치.

청구항 5

청구항 4에 있어서, 상기 측면 실드들은 상기 중간 실드와 접촉하지 않는 장치.

청구항 6

청구항 4에 있어서, 상기 중간 실드는 SAF 층을 포함하지 않는 장치.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

청구항 4에 있어서, 상기 다운 트랙 방향으로의 상기 중간 실드의 두께는 10nm인 장치.

청구항 8

삭제

청구항 9

청구항 1에 있어서, 상기 측면 실드들은 상기 이중 리더의 공기 베어링 표면(ABS)에 인접한 측면 실드 헤드 및 상기 측면 실드 헤드를 넘어 상기 ABS로부터 연장되는 측면 실드 테일을 포함하는 장치.

청구항 10

청구항 9에 있어서, 상기 측면 실드 테일은 상기 하단 실드에 직접 결합되는 장치.

청구항 11

반강자성 층(AFM)에 인접하게 위치되는 제 1 센서 스택 - 상기 제 1 센서 스택 및 AFM 층은 크로스 트랙 방향으로 제 1 쌍의 측면 실드들 사이에 위치되고, 상기 제 1 쌍의 측면 실드들은 하단 실드에 직접적으로 부착됨 -;

크로스 트랙 방향으로 제 2 쌍의 측면 실드들 사이에 위치되고 상기 제 1 센서 스택으로부터 업 트랙 방향으로 구성되는 제 2 센서 스택; 및

다운 트랙 방향으로 상기 제 1 센서 스택과 상기 제 2 센서 스택 사이에 위치되는 중간 실드를 포함하는 이중 리더.

청구항 12

삭제

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

청구항 11에 있어서, 상기 중간 실드는 AFM 층을 포함하지 않는 이중 리더.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

청구항 11에 있어서, 상기 중간 실드는 SAF 층을 포함하지 않는 이중 리더.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

청구항 11에 있어서, 상기 제 1 쌍의 측면 실드들은 상기 중간 실드에 부착되는 이중 리더.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

청구항 11에 있어서, 상기 중간 실드의 다운 트랙 두께는 10 nm인 이중 리더.

청구항 17

자기 매체; 및

다운 트랙 방향으로 구성되는 제 1 센서 스택 및 제 2 센서 스택을 포함하는 이중 리더를 포함하고,

상기 제 1 센서 스택 및 상기 제 2 센서 스택 각각은 반강자성(AFM) 층에 인접하고, 상기 제 1 센서 스택, 상기 제 2 센서 스택 및 각각의 AFM 층은 크로스 트랙 방향으로 한 쌍의 측면 실드들 사이에 위치되고, 그리고 상기 이중 리더는 상기 자기 매체로부터 데이터를 관측하도록 구성되고, 상기 제 1 센서 스택 및 상기 제 2 센서 스택은 AFM 층 없이 중간 실드에 의해 상기 다운 트랙 방향으로 분리되고, 그리고 상기 제 1 센서 스택에 인접하게 위치한 상기 측면 실드들 및 상기 AFM 층은 하단 실드에 직접적으로 부착되는 저장 디바이스.

청구항 18

삭제

청구항 19

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서, 상기 다운 트랙 방향으로의 상기 중간 실드의 두께는 10nm인 저장 디바이스.

청구항 20

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서, 상기 중간 실드는 고체 재료로 제조되는 저장 디바이스.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서, 상기 중간 실드는 SAF 층을 포함하지 않는 저장 디바이스.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서, 상기 측면 실드들은 상기 중간 실드에 부착되지 않는 저장 디바이스.

청구항 23

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서, 상기 측면 실드들은 상기 이중 리더의 공기 베어링 표면(ABS)에 인접한 측면 실드 헤드들, 상기 측면 실드 헤드들을 넘어 상기 ABS로부터 연장되는 측면 실드 테일들을 포함하고, 상기 측면 실드 테일들은 상기 하단 실드에 직접적으로 결합되는 저장 디바이스.

발명의 설명

배경 기술

자기 데이터 저장 및 검색 시스템에서, 자기 판독/기록 헤드는 전형적으로 자기 디스크 상에 저장되는 자기적으로 인코딩된 정보를 검색하는 자기 저항(MR) 센서를 갖는 리더 부분을 포함한다. 디스크의 표면으로부터의 자속은 MR 센서의 감지 층의 자화 벡터의 회전을 야기하며, 이는 차례로 MR 센서의 전기 저항률의 변화를 야기한다. MR 센서의 저항률의 변화는 전류를 MR 센서를 통해 통과시키고 MR 센서에 걸친 전압을 측정함으로써 검출될 수 있다. 그 다음, 외부 회로는 전압 정보를 적절한 포맷으로 변환하고 디스크 상에 인코딩된 정보를 복구하기 위해 필요에 따라 그 정보를 조작한다.

발명의 내용

본 명세서에 설명되고 청구된 구현들은 하단 실드가 측면 실드에 부착되는 이중 리더를 제공한다.

본 요약은 상세한 설명에 더 후술되는 개념들의 선택을 간략한 형태로 소개하기 위해 제공된다. 본 요약은 청구된 발명 대상의 중요 특징들 또는 본질적 특징들을 식별하도록 의도되지 않으며, 청구된 발명 대상의 범위를 제한하기 위해 사용되도록 의도되지 않는다. 이러한 및 다양한 다른 특징들 및 장점들은 이하의 상세한 설명의 판독으로부터 분명할 것이다.

도면의 간단한 설명

설명된 기술은 첨부 도면들과 함께 판독되는 다양한 구현들을 설명하는 이하의 상세한 설명으로부터 가장 잘 이해된다.

도 1은 액추에이터 어셈블리의 일단부 상에 구현되는 예시적 판독 센서 구조를 예시하는 예시적 블록도를 예시한다.

도 2는 본 명세서에 개시된 구현에 따른 적층된 이중 리더의 예시적 블록도를 예시한다.

도 3은 본 명세서에 개시된 대안 구현에 따른 적층된 이중 리더의 부분 블록도를 예시한다.

도 4는 본 명세서에 개시된 적층된 이중 리더 구현의 예시적 마이크로자기 모델링을 예시한다.

발명을 실시하기 위한 구체적인 내용

자기 데이터 저장 및 검색 시스템에서, 자기 기록 헤드는 전형적으로 자기 디스크 상에 저장되는 자기적으로 인코딩된 정보를 검색하는 자기 저항(MR) 센서를 갖는 리더 부분을 포함한다. 디스크의 표면으로부터의 자속은 MR 센서의 감지 층 또는 층들의 자화 벡터의 회전을 야기하며, 이는 차례로 MR 센서의 전기 저항률의 변화를 야기한다. 감지 층들은 감지 층들의 자화 벡터들이 외부 자속에 대응하여 회전하기에 자유로우므로, 종종 "자유" 층들로 불린다. MR 센서의 저항률의 변화는 전류를 MR 센서를 통해 통과시키고 MR 센서에 걸친 전압을 측정함으

로써 검출될 수 있다. 그 다음, 외부 회로는 전압 정보를 적절한 포맷으로 변환하고 디스크 상에 인코딩된 정보를 복구하기 위해 필요에 따라 그 정보를 조작한다.

3개의 일반적 범주들에서 특성화될 수 있는 MR 센서들이 개발되었다: (1) 이방성 자기 저항(AMR) 센서들, (2) 스핀 밸브 센서들 및 다층 GMR 센서들을 포함하는 거대 자기 저항(GMR) 센서들, 및 (3) 터널링 거대 자기 저항(TGMR) 센서들.

터널링 GMR(TGMR) 센서들은 센서의 자기 층들이 자기 층들 사이에 전자 터널링을 허용하기에 충분히 얇은 절연 필름에 의해 분리되는 것을 제외하고, GMR 센서들과 유사한 일련의 교호 자기 및 비자기 층들을 갖는다. TGMR 센서의 저항은 자기 층들의 자화의 상대 배향들에 의존하며, 자기 층들의 자화들이 평행인 구성에 대해 최소값 및 자기 층들의 자화들이 역평행인 구성에 대한 최대값을 나타낸다.

모든 타입들의 MR 센서들에 대해, 자화 회전은 디스크로부터의 자속에 대응하여 발생한다. 자기 디스크들의 기록 밀도가 계속해서 증가됨에 따라, 트랙들의 폭 뿐만 아니라 디스크 상의 비트들은 감소되어야 한다. 이것은 갈수록 더 작은 MR 센서들 뿐만 아니라 더 좁은 실드 대 실드 간격(SSS)을 필요로 한다. 센서들의 SSS는 더 낮은 SNR에 관하여 더 높은 SSS를 갖는 리더의 신호 대 잡음비(SNR)를 결정한다. 따라서, SSS의 감소는 PW50의 값의 감소, 및 따라서 기록 시스템에 대한 SNR의 값의 증가를 야기한다.

적층된 이중 리더들은 트랙 밀도 용량 및 데이터 속도의 상당한 개선을 보장한다. 적층된 이중 리더에서, 2개의 센서 스택들은 다운트랙 방향을 따라 상단 실드와 하단 실드 사이에 적층된다. 2개의 센서 스택들은 다운트랙 방향을 따라 중간 실드에 의해 분리된다. 더욱이, 센서 스택들은 크로스트랙 방향을 따라 측면 실드들 사이에 위치된다. 상단 실드와 중간 실드 사이의 거리는 상단 리더(상단 센서 스택)의 PW50 값을 결정하고 중간 실드와 하단 실드 사이의 거리는 하단 리더(하단 센서 스택)의 PW50 값을 결정한다. 더욱이, 2개의 센서 스택들 사이의 거리는 또한 2개의 센서들 사이의 더 작은 거리가 스큐 하에 더 양호한 성능을 야기하는 상태로 스큐 하에 이중 적층된 리더의 성능을 결정한다. 이중 리더의 일 구현에서, 하단 리더의 측면 실드들은 측면 실드들을 지지하기에 충분히 안정하도록 SAF로서 이루어진 중간 실드에 부착된다. 그러나, 그러한 구현에서 중간 실드는 얇은 SAF 실드들이 강성이기 때문에 충분히 얇아야 하고 따라서 상단 및 하단 리더들 둘 다의 PW50을 저하시킨다(증가시킨다). 중간 실드가 두꺼운 이러한 필요 조건은 스큐 하에 이중 리더 성능 저하를 감소시키는 중간 실드가 얇은 다른 필요 조건과 직접 상충한다.

본 명세서에 개시된 적층된 이중 리더의 구현은 두꺼운 AFM 중간 실드를 얇은 고체 중간 실드로 대체하는 것을 허용한다. 그러한 구현은 SAF 중간 실드와 비교하여 고체 중간 실드의 더 양호한 성능으로 인해 PW50을 개선하고 그것은 하단 실드들에 부착되는 측면 실드들을 제공함으로써 다운트랙 방향에 따른 2개의 센서들 사이의 거리를 감소시킨다. 그러한 구현은 2개의 센서 스택들을 분리하는 중간 실드의 감소된 두께를 야기한다. 구체적으로, 본 명세서에서 개시된 구현은 적층된 이중 리더에 얇은 고체 중간 실드를 제공한다.

도 1은 액추에이터 어셈블리(100)의 일단부 상에 구현되는 예시적 판독 센서 구조를 예시하는 예시적 블록도를 예시한다. 구체적으로, 도 1은 액추에이터 어셈블리(106)의 일단부 상에 위치되는 변환기 헤드(104)와 함께 디스크(102)의 구현의 평면도를 예시한다. 디스크(102)는 동작 동안 디스크 회전 축(108) 주위를 회전한다. 게다가, 디스크(102)는 원형 점선들에 의해 예시되는 다수의 데이터 트랙들(114)이 있는 외부 직경(110) 및 내부 직경(112)을 포함한다. 데이터 트랙들(114)은 실질적으로 원형이고 규칙적으로 이격된 패턴화된 비트들로 구성된다.

정보는 액추에이터 어셈블리(106)의 사용을 통해 데이터 트랙들(114) 상의 패턴화된 비트들에 기록되고 비트들로부터 판독될 수 있으며, 이는 디스크(102)에 인접하여 위치되는 액추에이터 회전 축(116) 주위에서 데이터 트랙(114) 탐색 동작 동안 회전한다. 액추에이터 회전 축(116)으로부터 먼 단부에서 액추에이터 어셈블리(106) 상에 장착되는 변환기 헤드(104)는 디스크 동작 동안 디스크(102)의 표면 위에서 아주 근접하게 비행한다. 변환기 헤드(104)는 트랙(114)으로부터 데이터를 판독하는 판독 센서 및 데이터를 트랙(114)에 기록하는 기록 폴을 포함하는 기록 헤드를 포함한다.

자기 디스크(102)로부터 데이터를 판독하기 위해, 디스크(102)의 트랙(114) 상의 전이들은 자계들을 생성한다. 판독 센서가 전이들을 통해 통과함에 따라, 전이들의 자계들은 판독 센서의 저항을 변조한다. 판독 센서의 저항의 변화는 감지 전류를 판독 센서를 통해 통과시키고 그 다음 판독 센서에 걸친 전압의 변화를 측정함으로써 검출된다. 결과적인 저장 기반 전압 신호는 디스크(102)의 트랙 상에 인코딩된 데이터를 복구하기 위해 사용된다.

도 1은 또한 판독 센서(130)의 부분 단면 구성의 확장된 공기 베어링 표면(ABS) 도면을 예시하며 판독 센서는

변환기 헤드(104) 상에 위치될 수 있다. 구체적으로, 판독 센서(130)는 다운트랙 방향을 따라 상단 실드(136)와 하단 실드(138) 사이에 위치되는 하단 센서 스택(132) 및 상단 센서 스택(134)을 포함하는 적층된 이중 센서이다. 하단 센서 스택(132) 및 상단 센서 스택(134) 각각은 중간 실드(140)에 의해 다운트랙 방향을 따라 서로로부터 분리된다. 일 구현에서, 중간 실드(140)의 다운트랙 두께는 대략 10 nm이다. 더욱이, 상단 센서 스택(134)은 상단 측면 실드들(142 및 144) 사이에 배열되는 반면 하단 센서 스택(132)은 하단 측면 실드들(146 및 148) 사이에 배열된다.

하단 센서 스택(132) 및 상단 센서 스택(134) 각각은 AFM 층들의 상단 상에 위치된다. 일 구현에서, 판독 센서(130)의 2개의 스택들(132 및 134) 사이의 거리(150)는 대략 20 nm의 범위에 있다. 예시된 구현에서, 하단 측면 실드들(146 및 148)은 하단 실드(138)에 부착된다. 하단 측면 실드들(146 및 148)을 하단 실드(138)에 부착하는 것은 중간 실드(140)로부터 하단 측면 실드들(146 및 148)을 분리하는 것을 허용한다. 그 결과, 중간 실드(140)는 얇은 고체 재료로 제조될 수 있다. 예를 들어, 판독 센서(130)의 예시된 구현에서, 중간 실드는 임의의 SAF 구조를 포함하지 않는다. 더욱이, 중간 실드(140)가 고체 및 비 SAF 구조로 제조되므로, 중간 실드(140)는 상단 센서 스택(134)의 AFM에 부착될 수 있다.

더욱이, 중간 실드(140)가 고체 구조로 제조되고 그것이 비 SAF 중간 실드이므로, 그것은 보다 높은 레벨의 투과성을 포함하는, 자기적 소프트 특징을 제공하며, 이는 이중 리더(130)에 대해 더 낮은 PW50을 야기한다. 따라서, 판독 센서(130)의 구현은 더 낮은 PW50, 및 더 높은 SNR을 제공한다. 더욱이, 상단 센서(134)와 하단 센서(132) 사이의 하부 간격은 또한 스큐 하에 판독 센서(130)의 성능을 개선한다. 하단 측면 실드들(146 및 148)이 하단 실드(138)에 결합되므로, 판독 센서(130)는 또한 더 좋은 자기 안정성을 판독 센서(130)에 제공한다.

도 2는 본 명세서에 개시된 구현에 따른 적층된 이중 리더(200)의 예시적 블록도를 예시한다. 적층된 이중 리더(200)는 다운트랙 방향을 따라 적층된 이중 리더(200)의 2개의 측면들 상에 배열되고 중간 실드(210)에 의해 분리되는 상단 실드(206) 및 하단 실드(208)를 포함한다. 상단 스택(216)은 상단 실드(206)와 중간 실드(210) 사이에 배열되는 반면, 하단 스택(212)은 하단 실드(208)와 중간 실드(210) 사이에 배열된다. 더욱이, 상단 센서 스택(216)은 크로스트랙 방향을 따라 상단 측면 실드들(222 및 224) 사이에 배열된다. 하단 센서 스택(212)은 하단 측면 실드들(226 및 228) 사이에 배열된다. 상단 센서 스택(216)은 자유 층(FL), 스택 SAF 및 AFM 층(218)을 포함하는 센서 스택을 포함하며, 하단 센서 스택(212)은 FL, 스택 SAF 및 AFM 층(214)을 포함한다.

상단 실드(206) 및 하단 실드(208) 각각은 합성 반강자성(SAF) 구조들의 형태로 구성될 수 있다. 따라서, 상단 실드(206)는 RL 및 PL 사이에 RKKY 커플링을 제공하기 위해 루테튬(Ru)과 같은 비자기 재료의 얇은 층에 의해 분리되는 기준 층(RL) 및 피닝된 층(PL)을 포함한다. 유사하게, 하단 실드(208)는 또한 RL 및 PL 사이에 RKKY 커플링을 제공하는 루테튬(Ru)과 같은 비자기 재료의 얇은 층에 의해 분리되는 기준 층(RL) 및 피닝된 층(PL)을 포함한다. 상단 실드(206) 및 하단 실드(208)의 RL 및 PL 층들 내의 자화의 방향은 서로 역평행이다.

적층된 이중 리더(200)의 구현에서, 상단 측면 실드들(222, 224)의 자화들의 방향은 상단 실드(206)의 RL의 자화와 평행하다. 유사하게, 하단 측면 실드들(226, 228)의 자화들의 방향들은 하단 실드(208)의 RL의 자화와 평행하다.

하단 측면 실드들(226 및 228)은 하단 실드(208)에 부착되고 중간 실드(210)에 부착되지 않는다. 그 결과, 얇은 고체 중간 실드(210)를 제공하는 것이 가능하다. 일 구현에서, 중간 실드(210)는 퍼멀로이 재료로 제조될 수 있다. 예를 들어, 일 구현에서, ABS에서 중간 실드(210)의 다운트랙 두께는 대략 10 nm이다. 중간 실드(210)의 다운트랙 폭의 감소는 하단 센서 스택(212)의 FL과 상단 센서 스택(216)의 FL 사이의 간격의 감소를 야기하며, 이는 스큐의 존재에서 적층된 이중 리더(200)의 개선된 성능을 초래한다. 더욱이, 얇고 자기적 소프트 중간 실드(210)는 또한 상단 및 하단 리더들에서 더 낮은 PW50을 야기하고 따라서 적층된 이중 리더(200)의 SNR을 증가시킨다. 하단 측면 실드들(226 및 228)이 하단 실드(208)에 부착되어 있기 때문에, 적층된 이중 리더(200)는 하단 측면 실드들이 중간 실드에 부착되고 측면 실드들의 테일들이 부착되지 않거나 매달려 있는 적층된 이중 리더들의 다른 구현들과 비교하여 증가된 자기 안정성을 나타낸다.

도 3은 본 명세서에 개시된(축척에 따라 도시되어 있지 않음) 대안 구현에 따른 적층된 이중 리더(300)의 부분 블록도를 예시한다. 구체적으로, 적층된 이중 리더(300)의 하단 부분만이 예시된다. 적층된 이중 리더(300)는 하단 실드(302), FL(310) 및 RL(312)을 포함하는 센서 스택, 측면 실드 헤드(304) 및 측면 실드 테일(306)을 포함하는 측면 실드들, 및 중간 실드(320)를 포함한다. 센서 스택은 크로스트랙 방향을 따라 측면 실드들 사이에 그리고 다운트랙 방향을 따라 하단 실드(302)와 중간 실드(320) 사이에 배열된다.

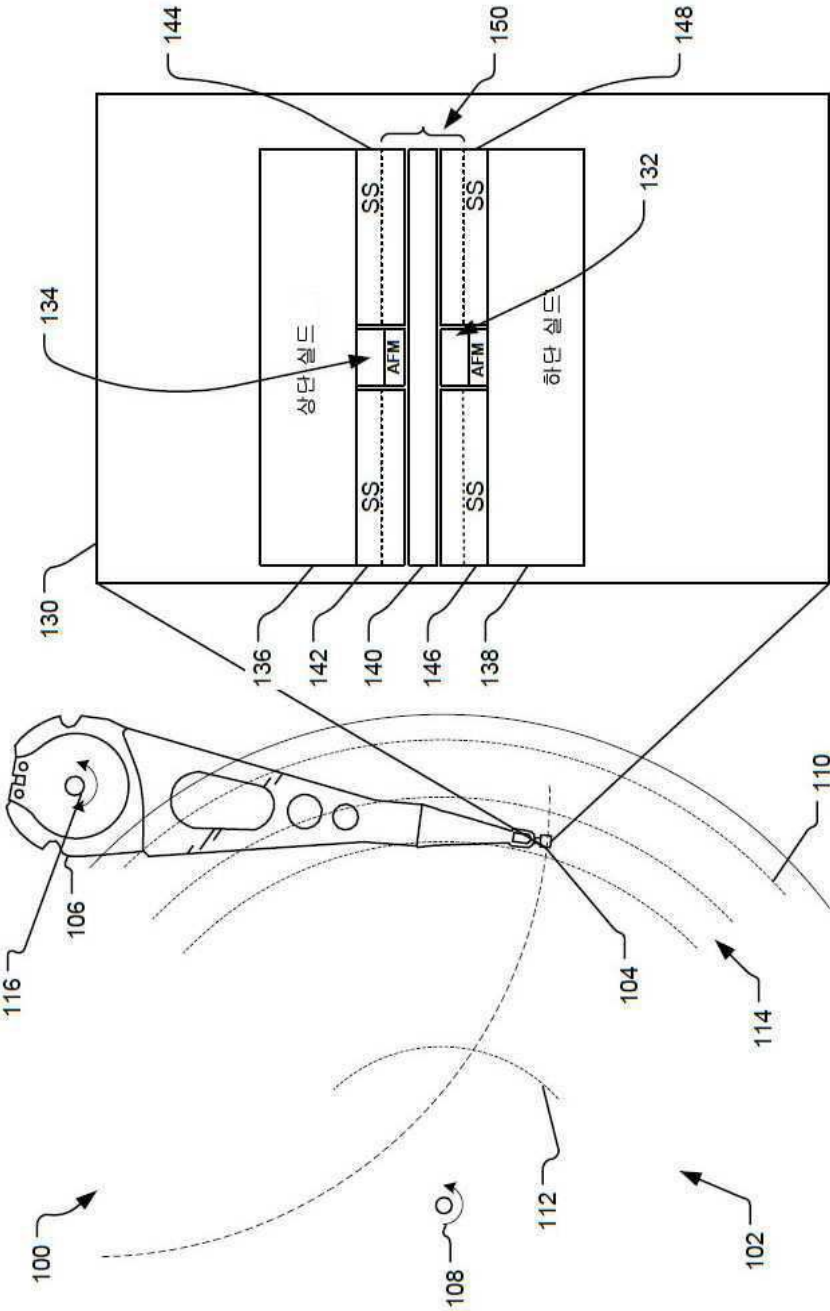
예시된 구현에서, 중간 실드(320)는 얇은 고체 구조로 제조된다. 더욱이, 측면 실드들의 헤드들(304)은 중간 실드(320)에 부착되지 않는다. 그 대신에, 측면 실드들의 테일들(306)은 하단 실드(302)에 직접 부착된다. 측면 실드들의 테일들(306)을 하단 실드(302)에 부착하는 것은 적층된 이중 리더(300)의 안정성을 개선한다. 더욱이, 중간 실드(320)의 얇음은 적층된 이중 리더(300)의 PW50을 감소시키고 따라서 적층된 이중 리더(300)의 SNR을 증가시킨다.

도 4는 본 명세서에 개시된 적층된 이중 리더 구현의 예시적 마이크로자기 모델링(400)을 예시한다. 구체적으로, 도 4는 측면 실드 테일들이 하단 실드에 직접적으로 그리고 단단히 부착되는 적층된 이중 리더의 측면 실드 테일들 내의 자화 맵(420)을 예시한다. 그 결과, 측면 실드들은 실질적으로 직선으로 자화되며(자화 방향(422)에 의해 예시된 바와 같이), 따라서 더 높은 자화 바이어스를 센서 스택들 및 하부 비대칭 시그마들의 FL에 제공한다.

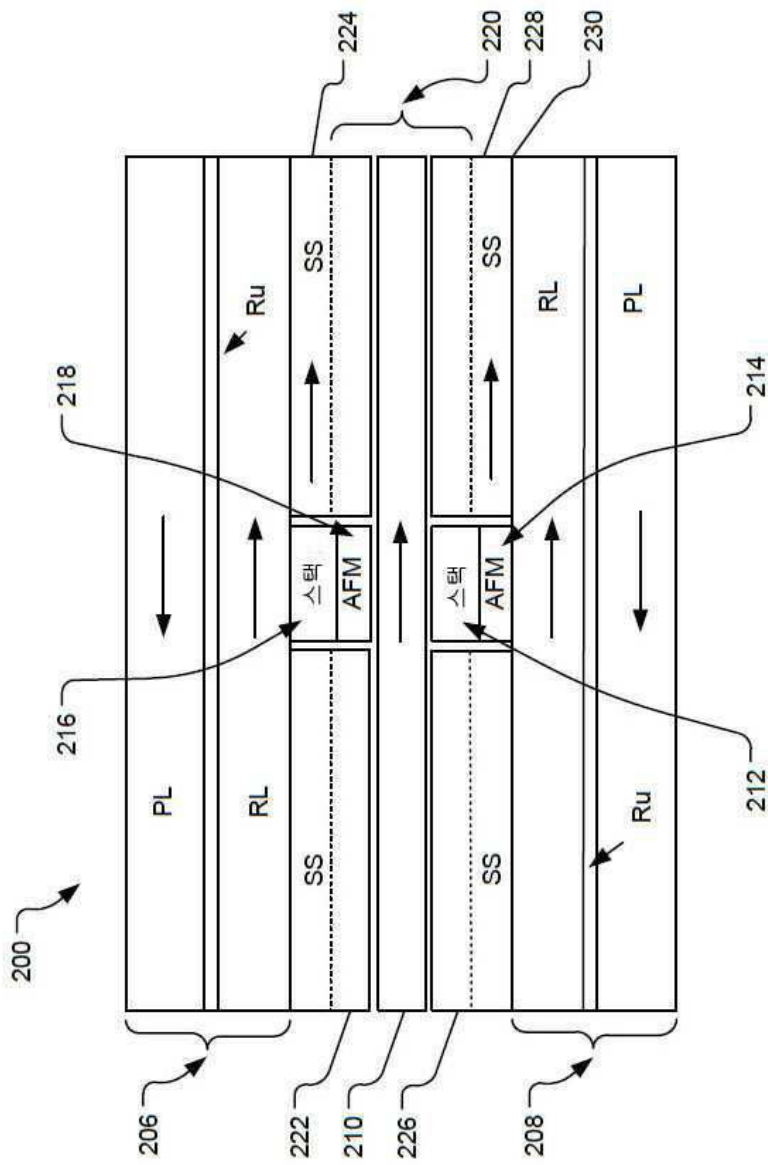
상기 명세서, 예들, 및 데이터는 본 발명의 예시적 구현들의 구조 및 사용의 완전한 설명을 제공한다. 본 발명의 많은 구현들이 본 발명의 사상 및 범위로부터 벗어나지 않으면서 이루어질 수 있으므로, 본 발명은 이하에 첨부된 청구항들에 있다. 더욱이, 상이한 구현들의 구조적 특징들은 열거된 청구항들로부터 벗어나지 않으면서 또 다른 구현으로 결합될 수 있다. 상술된 구현들 및 구현들은 이하의 청구항들의 범위 내에 있다.

도면

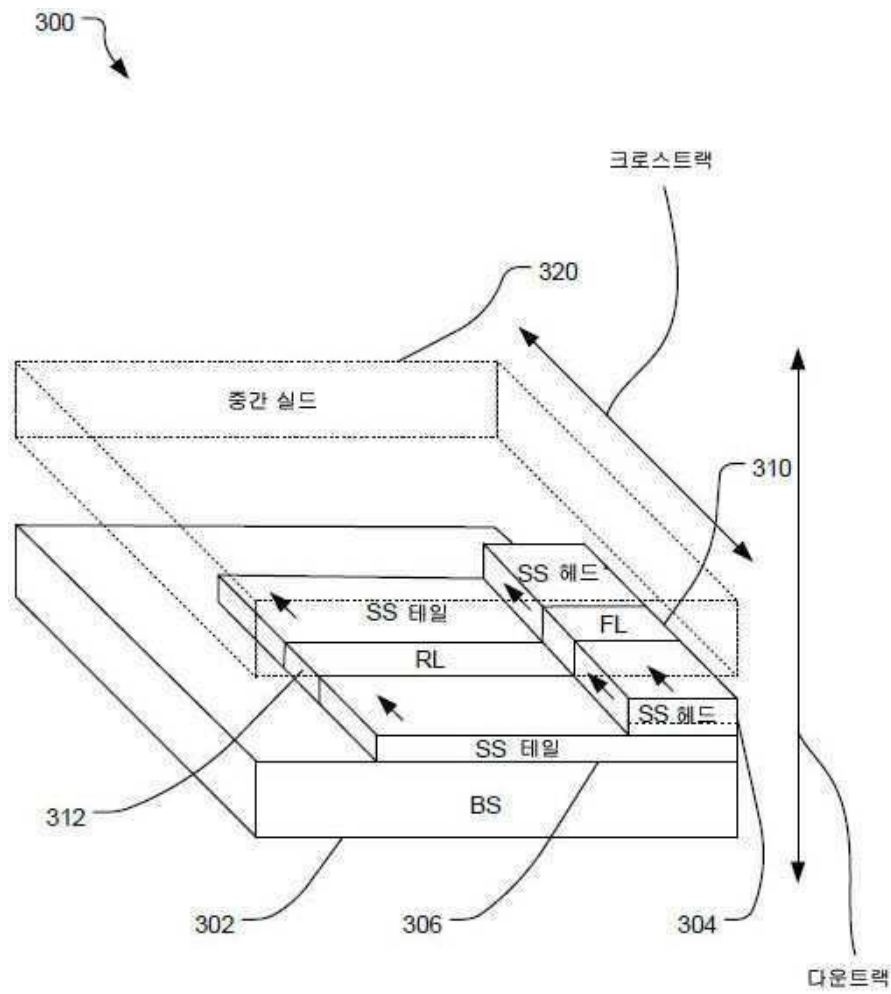
도면1



도면2



도면3



도면4

