

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年6月19日(2008.6.19)

【公表番号】特表2008-503872(P2008-503872A)

【公表日】平成20年2月7日(2008.2.7)

【年通号数】公開・登録公報2008-005

【出願番号】特願2007-516538(P2007-516538)

【国際特許分類】

H 01 L 21/76 (2006.01)

H 01 L 21/762 (2006.01)

H 01 L 27/12 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 21/76 L

H 01 L 21/76 D

H 01 L 27/12 F

H 01 L 27/12 L

H 01 L 29/78 6 1 3 A

H 01 L 29/78 6 1 3 B

H 01 L 29/78 6 2 1

H 01 L 29/78 6 2 6 C

【手続補正書】

【提出日】平成20年4月24日(2008.4.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン・オン・インシユレータ(SOI)領域およびバルク・シリコン領域を含むデバイス内にシリコン・トレンチ分離部(STI)を形成する方法であって、
 STIマスクを使用して最上のシリコン層をエッチングするステップと、
 バルク・シリコン領域の所望の深さまでエッチングし且つSOI領域の埋め込み絶縁体で停止する時限エッチングを実行するステップと、
 SOI領域の前記埋め込み絶縁体を貫通してエッチングするステップと、
 STIを形成するためにSTI材料を堆積するステップと、
 を含む方法。

【請求項2】

前記バルク・シリコン領域の前記所望の深さが、前記SOI領域のシリコン層および前記埋め込み絶縁体の厚さと少なくとも同じ厚さである、請求項1に記載の方法。

【請求項3】

さらに、ハードマスク層を堆積し、パターン化し、エッチングして前記STIマスクを形成することによって、前記STIマスクを形成するステップを含む、請求項1に記載の方法。

【請求項4】

前記ハードマスク層がテトラエチルオルトシリケート(TEOS)を含む、請求項3に記載の方法。

【請求項 5】

前記 S T I マスクのエッチング・ステップが、前記ハードマスク層と、任意の反射防止コーティング(A R C)およびパッド層のうち少なくとも 1 つとを貫通してエッチングすることを含む、請求項 3 に記載の方法。

【請求項 6】

前記時限エッ칭のステップが、前記埋め込み絶縁体の材料に対して選択的であるエッチングレシピを使用することを含む、請求項 1 に記載の方法。

【請求項 7】

前記時限エッ칭のステップが、前記 S O I 領域のシリコン層の下の窒化シリコンを除去する、請求項 1 に記載の方法。

【請求項 8】

前記埋め込み絶縁体のエッ칭・ステップが、前記 S T I マスクを除去することを含む、請求項 1 に記載の方法。

【請求項 9】

前記埋め込み絶縁体のエッ칭・ステップが、露出したシリコン、ポリシリコンおよび窒化シリコンのいずれもエッ칭することができないエッチングレシピを使用することを含む、請求項 1 に記載の方法。

【請求項 10】

さらに、最上面の上の前記 S T I 材料を除去するために研磨するステップと、パッド層を除去するステップとを含む、請求項 1 に記載の方法。

【請求項 11】

シリコン・オン・インシュレータ(S O I)領域とバルク・シリコン領域が混合したデバイスのシリコン・トレンチ分離部(S T I)をエッ칭する方法であって、

S T I マスクを使用して最上のシリコン層をエッ칭するステップと、

バルク・シリコン領域の所望の深さまでエッ칭し且つ S O I 領域の埋め込み絶縁体で停止する時限エッ칭を実行するステップと、

S O I 領域の前記埋め込み絶縁体を貫通してエッ칭するステップと、
を含む方法。

【請求項 12】

シリコン・オン・インシュレータ(S O I)領域およびバルク・シリコン領域を含む半導体デバイスであって、

S O I 領域のシリコン層および埋め込み絶縁体の厚さと実質的に等しい深さまで延在するシリコン・トレンチ分離部(S T I)

を含む半導体デバイス。

【請求項 13】

前記 S T I が、前記 S O I 領域および前記バルク・シリコン領域内に実質的に等しい深さまで延在する、請求項 12 に記載の半導体デバイス。

【請求項 14】

前記 S T I デバイスが、前記 S O I 領域のシリコン層および埋め込み絶縁体を貫通して延在する、請求項 12 に記載の半導体デバイス。

【請求項 15】

シリコン・オン・インシュレータ(S O I)領域およびバルク・シリコン領域を含むデバイス内にシリコン・トレンチ分離部(S T I)を形成する方法であって、

S T I マスクを準備するステップと、

前記 S O I 領域および前記バルク・シリコン領域内に前記 S T I を同時に形成するステップと、

を含み、前記形成ステップが、

前記 S T I マスクを使用して最上のシリコン層までエッ칭するステップと、

前記バルク・シリコン領域の所望の深さまでエッ칭し、前記 S O I 領域の埋め込み絶縁体上で停止する時限エッ칭を実行するステップと、

前記 S O I 領域の前記埋め込み絶縁体を貫通してエッチングするステップと、
前記 S T I を形成するために S T I 材料を堆積させるステップと
を含む、方法。

【請求項 1 6】

前記バルク・シリコン領域の前記所望の深さが、少なくとも前記 S O I 領域のシリコン層
および前記埋め込み絶縁体の厚さである、請求項 1 5 に記載の方法。

【請求項 1 7】

前記時限エッチングのステップが、前記埋め込み絶縁体の材料に対して選択的であるエッ
チング方法を使用するステップを含む、請求項 1 5 に記載の方法。

【請求項 1 8】

前記時限エッチングのステップが、前記 S O I 領域のシリコン層の下にある全ての窒化シリ
コンを除去する、請求項 1 5 に記載の方法。

【請求項 1 9】

前記埋め込み絶縁体のエッチング・ステップが、露出したシリコン、ポリシリコン、およ
び窒化シリコンのいずれもエッチングすることができないエッチングレシピを使用するス
テップを含む、請求項 1 5 に記載の方法。