

(12) 发明专利

(10) 授权公告号 CN 101765917 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200880101885. 7

代理人 张政权

(22) 申请日 2008. 07. 31

(51) Int. Cl.

(30) 优先权数据

H01L 29/786(2006. 01)

2007-205615 2007. 08. 07 JP

H01L 21/336(2006. 01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2010. 02. 01

US 2004/0188685 A1, 2004. 09. 30, 全文.

(86) PCT申请的申请数据

JP 2007-5508 A, 2007. 01. 11, 全文.

PCT/JP2008/064173 2008. 07. 31

CN 1463466 A, 2003. 12. 24, 全文.

(87) PCT申请的公布数据

审查员 吴海涛

W02009/020168 EN 2009. 02. 12

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 小林聪 宫口厚 守屋芳隆

黑川义元 河江大辅

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

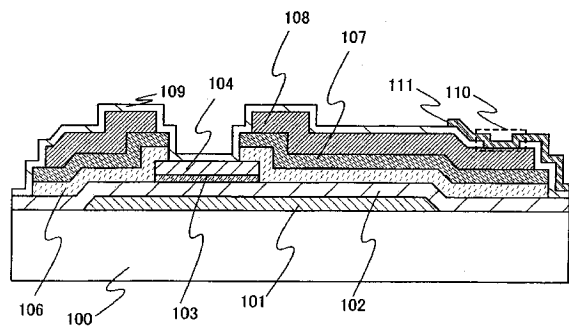
权利要求书 3 页 说明书 18 页 附图 16 页

(54) 发明名称

显示器件及具有该显示器件的电子设备及其制造方法

(57) 摘要

本发明提供一种包括电特性高、能够实现截止电流的降低的薄膜晶体管的显示器件。具有薄膜晶体管的该显示器件包括：衬底；设置在该衬底上的栅电极；设置在栅电极上的栅极绝缘膜；设置在栅电极上的微晶半导体膜，栅电极与微晶半导体层之间插入有栅极绝缘膜；设置在微晶半导体膜上且与该微晶半导体膜接触的沟道保护层；设置在栅极绝缘膜以及微晶半导体膜和沟道保护层的侧面上的非晶半导体膜；设置在非晶半导体膜上的杂质半导体层；以及设置在杂质半导体层上且与该杂质半导体层接触的源电极及漏电极。非晶半导体膜的厚度大于微晶半导体膜的厚度。



1. 一种包括薄膜晶体管的显示器件,包括:
 - 设置在衬底上的栅电极;
 - 设置在所述栅电极上的栅极绝缘膜;
 - 设置在所述栅电极上的微晶半导体膜,所述栅电极与所述微晶半导体膜之间插入有所述栅极绝缘膜;
 - 设置在所述微晶半导体膜上且与所述微晶半导体膜接触的沟道保护层;
 - 设置在所述栅极绝缘膜上以及所述微晶半导体膜和所述沟道保护层的侧面上的非晶半导体膜;
 - 设置在所述非晶半导体膜上的杂质半导体层;以及
 - 设置在所述杂质半导体层上且与所述杂质半导体层接触的源电极和漏电极,其中所述非晶半导体膜的厚度大于所述微晶半导体膜的厚度。
2. 一种包括薄膜晶体管的显示器件,包括:
 - 设置在衬底上的栅电极;
 - 设置在所述栅电极上的栅极绝缘膜;
 - 设置在所述栅电极上的微晶半导体膜,所述栅电极与所述微晶半导体膜之间插入有所述栅极绝缘膜;
 - 设置在所述微晶半导体膜上且与所述微晶半导体膜接触的沟道保护层;
 - 设置在所述栅极绝缘膜上以及所述微晶半导体膜和所述沟道保护层的侧面上的非晶半导体膜;
 - 设置在所述非晶半导体膜上的杂质半导体层;以及
 - 设置在所述杂质半导体层上且与所述杂质半导体层接触的源电极和漏电极,其中所述非晶半导体膜的厚度大于所述微晶半导体膜的厚度,
 - 其中所述杂质半导体层的一部分和所述非晶半导体膜的一部分暴露在所述源电极和所述漏电极之外,以及
 - 其中所述杂质半导体层的端部之一和所述非晶半导体膜的端部之一在所述栅电极上方相互对齐。
3. 一种包括薄膜晶体管的显示器件,包括:
 - 设置在衬底上的栅电极;
 - 设置在所述栅电极上的栅极绝缘膜;
 - 设置在所述栅电极上的微晶半导体膜,所述栅电极与所述微晶半导体膜之间插入有所述栅极绝缘膜;
 - 设置在所述微晶半导体膜上且与所述微晶半导体膜接触的沟道保护层;
 - 设置在所述栅极绝缘膜上以及所述微晶半导体膜和所述沟道保护层的侧面上的非晶半导体膜;
 - 设置在所述非晶半导体膜上的杂质半导体层;
 - 设置在所述杂质半导体层上并与所述杂质半导体层接触的源电极和漏电极;
 - 与所述源电极、漏电极、所述杂质半导体层以及所述非晶半导体膜接触的绝缘膜;以及
 - 设置在所述绝缘膜上且在所述绝缘膜中形成的接触孔中连接至所述源电极和漏电极之一的像素电极,

其中所述非晶半导体膜的厚度大于所述微晶半导体膜的厚度。

4. 一种包括薄膜晶体管的显示器件,包括:

设置在衬底上的栅电极;

设置在所述栅电极上的栅极绝缘膜;

设置在所述栅电极上的微晶半导体膜,所述栅电极与所述微晶半导体膜之间插入有所述栅极绝缘膜;

设置在所述微晶半导体膜上且与所述微晶半导体膜接触的沟道保护层;

设置在所述栅极绝缘膜上以及所述微晶半导体膜和所述沟道保护层的侧面上的非晶半导体膜;

设置在所述非晶半导体膜上的杂质半导体层;

设置在所述杂质半导体层上且与所述杂质半导体层接触的源电极和漏电极;

与所述源电极、漏电极、所述杂质半导体层以及所述非晶半导体膜接触的绝缘膜;以及设置在所述绝缘膜上且在所述绝缘膜中形成的接触孔中连接至所述源电极和漏电极之一的像素电极,

其中所述非晶半导体膜的厚度大于所述微晶半导体膜的厚度,

其中所述杂质半导体层的一部分和所述非晶半导体膜的一部分暴露在所述源电极和所述漏电极之外,以及

所述杂质半导体层的端部之一和所述非晶半导体膜的端部之一在所述栅电极上方相互对齐。

5. 根据权利要求1到4中的任一项所述的显示器件,其特征在于,所述沟道保护层是氮化硅膜及氮氧化硅膜中的一种。

6. 一种包括根据权利要求1到4中的任一项所述的显示器件的电子设备。

7. 一种制造显示器件的方法,包括如下步骤:

在衬底上形成栅电极;

在所述栅电极上形成栅极绝缘膜;

在所述栅电极上形成微晶半导体层,所述栅电极与所述微晶半导体层之间插入有所述栅极绝缘膜;

在所述微晶半导体层上形成与所述微晶半导体层接触的绝缘层;

使用掩模蚀刻所述微晶半导体层和所述绝缘层,从而将所述微晶半导体层和所述绝缘层分别形成为微晶半导体岛和沟道保护层;

在所述栅极绝缘膜上以及所述微晶半导体岛和所述沟道保护层的侧面上形成非晶半导体膜;

在所述非晶半导体膜上形成杂质半导体层;

在所述杂质半导体层上形成导电层;以及

蚀刻所述导电层、所述杂质半导体层以及所述非晶半导体膜,从而形成源电极和漏电极。

8. 一种制造显示器件的方法,包括如下步骤:

在衬底上形成栅电极;

在所述栅电极上形成栅极绝缘膜;

在所述栅电极上形成微晶半导体层,所述栅电极与所述微晶半导体层之间插入有所述栅极绝缘膜;

在所述微晶半导体层上形成与所述微晶半导体层接触的绝缘层;

使用掩模蚀刻所述微晶半导体层和所述绝缘层,从而将所述微晶半导体层和所述绝缘层分别形成成为微晶半导体岛和沟道保护层;

在所述栅极绝缘膜上以及所述微晶半导体岛和所述沟道保护层的侧面上形成非晶半导体膜;

在所述非晶半导体膜上形成杂质半导体层;

在所述杂质半导体层上形成导电层;

蚀刻所述导电层、所述杂质半导体层以及所述非晶半导体膜,从而形成源电极及漏电极;

形成与所述源电极、所述漏电极、所述杂质半导体层以及所述非晶半导体膜接触的绝缘膜;以及

在所述绝缘膜上形成像素电极,所述像素电极在所述绝缘膜中形成的接触孔中连接至所述源电极和漏电极之一。

9. 根据权利要求7或8所述的方法,其特征在于,所述非晶半导体膜的厚度大于所述微晶半导体层的厚度。

10. 根据权利要求7或8所述的方法,其特征在于,所述杂质半导体层的端部之一和所述非晶半导体膜的端部之一在所述栅电极上方相互对齐。

显示器件及具有该显示器件的电子设备及其制造方法

技术领域

[0001] 本发明涉及一种显示器件及使用该显示器件的电子设备。本发明特别涉及一种将薄膜晶体管用于像素部的显示器件及使用该显示器件的电子设备。

背景技术

[0002] 近年来,将使用形成于具有绝缘表面的衬底上的半导体薄膜(厚度为几 nm 至几百 nm 左右)构成薄膜晶体管的技术投入实用到很多电子设备中。特别地,薄膜晶体管已作为显示器件的像素部中的开关元件被投入实用,而且其研究开发已积极开展。

[0003] 在大型面板中使用非晶半导体膜的薄膜晶体管作为液晶显示器件的开关元件,而在小型面板中使用多晶半导体膜的薄膜晶体管作为液晶显示器件的开关元件。作为形成多晶半导体膜的方法,已知通过光学系统将脉冲振荡的受激准分子激光束变形成线状激光束、并利用该线状激光束扫描并辐照非晶半导体膜以使非晶半导体膜结晶的技术。

[0004] 作为图像显示器件的开关元件,使用了利用微晶半导体膜的薄膜晶体管(参考文献 1:日本已公开专利申请 No. H4-242724,参考文献 2:日本已公开专利申请 No. 2005-49832,以及参考文献 3:美国专利 No. 5591987)。另外,作为以提高非晶半导体膜的特性为目的的用于制造薄膜晶体管的方法,已知在栅极绝缘膜上形成非晶硅膜、然后在非晶硅膜上形成金属膜、以及用二极管激光束辐照该金属膜以将非晶硅膜改性为微晶硅膜的方法(非专利文献 1:Toshiaki Arai 等人,2007 年的 SID 07 论文集第 1370-1373 页)。根据该方法,在非晶硅膜上形成的金属膜被设置用于将二极管激光束的光能转换成热能,而且应当在稍后的步骤中去除该金属膜以完成薄膜晶体管。换言之,该方法是非晶硅膜只受到来自金属膜的传热的加热,以形成作为微晶半导体膜的微晶硅膜的方法。

发明内容

[0005] 使用多晶半导体膜的薄膜晶体管具有如下优点:与使用非晶半导体膜的薄膜晶体管相比,其迁移率高两个量级以上,并且可以在同一个衬底上形成显示器件的像素部和外围驱动电路。然而,与使用非晶半导体膜的情况相比,使半导体膜结晶的工艺更加复杂。因此,存在生产率降低和成本升高的问题。

[0006] 另外,还存在微晶半导体膜的表面容易被氧化的问题。因此,当沟道形成区中的晶粒被氧化时,在晶粒的表面上形成了氧化物膜,而且该氧化物膜障碍载流子的转移,从而引起薄膜晶体管的电特性受损的问题。另外,还存在的问题是,与非晶半导体膜及多晶半导体膜相比,难以提高微晶半导体膜的厚度,而且导致栅电极与源电极和/或漏电极之间的寄生电容增大。

[0007] 根据制造的容易程度,将具有倒交错结构的薄膜晶体管作为设置在显示器件的像素部中的开关组件很有希望。从像素孔径比提高的观点,虽然预期倒交错结构的薄膜晶体管具有高性能而且尺寸减小,但存在的问题是,当薄膜晶体管处于截止状态时,在源区与漏区之间流过的漏电流(也称为截止电流)增大。因此,存在的问题是,难以减小薄膜晶体管

的尺寸以减小存储电容器以及降低功耗。

[0008] 鉴于上述问题,本发明的目的在于提供一种包括薄膜晶体管的显示器件,其中抑制了生产率的降低、寄生电容的增大以及制造成本的增加,并实现了高电特性和介质电流的减小。

[0009] 本发明的一个特征是一种具有薄膜晶体管的显示器件,该显示器件包括:设置在衬底上的栅电极;设置在栅电极上的栅极绝缘膜;设置在栅电极上的微晶半导体膜,其中栅极绝缘膜插入栅电极与微晶半导体膜之间;设置在微晶半导体膜上且与该微晶半导体膜接触的沟道保护层;设置在栅极绝缘膜上且在微晶半导体膜及沟道保护层的侧面上的非晶半导体膜;设置在非晶半导体膜上的杂质半导体层;以及以与杂质半导体层接触的方式分别设置的源电极及漏电极。非晶半导体膜的厚度比微晶半导体膜的厚度厚。

[0010] 本发明的另一特征是一种具有薄膜晶体管的显示器件,该显示器件包括:设置在衬底上的栅电极;设置在栅电极上的栅极绝缘膜;设置在栅电极上的微晶半导体膜,其中栅极绝缘膜插入栅电极与微晶半导体膜之间;设置在微晶半导体膜上且与该微晶半导体膜接触的沟道保护层;设置在栅极绝缘膜上且在微晶半导体膜及沟道保护层的侧面上的非晶半导体膜;设置在非晶半导体膜上的杂质半导体层;以及以与杂质半导体层接触的方式分别设置的源电极及漏电极。非晶半导体膜的厚度比微晶半导体膜的厚度厚,杂质半导体层的一部分及非晶半导体膜的一部分露在源电极及漏电极的外侧,并且杂质半导体层的端部之一与非晶半导体膜的端部之一在栅电极上方彼此对齐。

[0011] 本发明的另一特征是一种具有薄膜晶体管的显示器件,该显示器件包括:设置在衬底上的栅电极;设置在栅电极上的栅极绝缘膜;设置在栅电极上的微晶半导体膜,其中栅极绝缘膜插入栅电极与微晶半导体膜之间;设置在微晶半导体膜上且与该微晶半导体膜接触的沟道保护层;设置在栅极绝缘膜上且在微晶半导体膜及沟道保护层的侧面上的非晶半导体膜;设置在非晶半导体膜上的杂质半导体层;以与杂质半导体层接触的方式分别设置的源电极及漏电极;与源电极、漏电极、杂质半导体层、以及非晶半导体膜接触的绝缘膜;以及在绝缘膜上形成且连接至在绝缘膜中形成的接触孔中的源电极和漏电极之一的像素电极。非晶半导体膜的厚度比微晶半导体膜的厚度。

[0012] 此外,本发明的另一特征是一种具有薄膜晶体管的显示器件,该显示器件包括:设置在衬底上的栅电极;设置在栅电极上的栅极绝缘膜;设置在栅电极上的微晶半导体膜,其中栅极绝缘膜插入栅电极与微晶半导体膜之间;设置在微晶半导体膜上且与微晶半导体膜接触的沟道保护层;设置在栅极绝缘膜上且在微晶半导体膜及沟道保护层的侧面上的非晶半导体膜;设置在非晶半导体膜上的杂质半导体层;以与杂质半导体层接触的方式分别设置的源电极和漏电极;与源电极、漏电极、杂质半导体层、以及非晶半导体膜接触的绝缘膜;以及在绝缘膜上形成且连接至在绝缘膜中形成的接触孔中的源电极和漏电极之一的像素电极。非晶半导体膜的厚度比微晶半导体膜的厚度厚,杂质半导体层的一部分和非晶半导体膜的一部分露在源电极和漏电极的外侧,并且杂质半导体层的端部之一和非晶半导体膜的端部之一在栅电极上方彼此对齐。

[0013] 注意,在本发明的显示器件中,沟道保护层可以是氮化硅膜和氮氧化硅膜中的一种。

[0014] 因为源电极及漏电极的边缘部与杂质半导体层的边缘部未对齐,以及杂质半导体

层的边缘部在源电极及漏电极的边缘部以外形成,所以源电极和漏电极的端部彼此分开;因此,可以防止源电极及漏电极之间的漏电流和短路。此外,可防止电场在源电极和漏电极的边缘部分上集中,且可防止栅电极与源电极和 / 或漏电极之间的漏电流。

[0015] 此外,在微晶半导体膜及沟道保护层的侧面上设置有非晶半导体层。因为设置了该非晶半导体层,所以用作源区和漏区的杂质半导体层的距离长,从而可减少流过杂质半导体层的漏电流。此外,因为设置了非晶半导体层,可使栅电极与源电极和 / 或漏电极之间的厚度厚;从而可减少在栅电极与源电极和 / 或漏电极之间产生的寄生电容。

[0016] 在该微晶半导体膜上,设置了与微晶半导体膜接触的沟道保护层。该微晶半导体膜起沟道形成区的作用。沟道保护层防止微晶半导体膜氧化,同时在薄膜晶体管的制造过程中起蚀刻停止层的作用。因为设置了与微晶半导体膜接触的沟道保护层,所以能使微晶半导体膜的厚度小,且能防止微晶半导体膜中包含的晶粒的氧化;因此能获得迁移率高、漏电流少、并且耐压性高的薄膜晶体管。

[0017] 与多晶半导体膜不同,微晶半导体膜可以直接形成在衬底上作为微晶半导体膜。具体而言,可将硅氢化物作为原料气体并使用等离子体 CVD 装置来形成微晶半导体膜。通过上述方法制造的微晶半导体膜还包括在非晶半导体中含有 0.5nm 至 20nm 的晶粒的微晶半导体膜。因此,与使用多晶半导体膜的情况不同,不需要在形成半导体膜之后进行结晶工序。可以缩减制造薄膜晶体管时的工序数;提高显示器件的生产率;并且降低成本。使用频率为 1GHz 以上的微波的等离子体具有高电子密度,该等离子体便于作为原料气体的硅氢化物的分解。因此,与频率为几十 MHz 至几百 MHz 的微波等离子体 CVD 法相比,能更容易地制造微晶半导体膜并提高成膜速度。因此,可以提高显示器件的大规模生产率。

[0018] 此外,使用微晶半导体膜形成薄膜晶体管 (TFT),并且将该薄膜晶体管用于像素部、驱动电路来制造显示器件。因为使用微晶半导体膜的薄膜晶体管的迁移率为 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$,这是使用非晶半导体膜的薄膜晶体管的 2 倍至 20 倍。所以可将驱动电路的一部分或全部形成在与像素部相同的衬底上,以形成板上系统 (system-on-panel) 显示器。

[0019] 显示器件包括液晶元件或发光元件 (也称为显示元件)。另外,显示器件包括其中密封有显示元件的面板、以及其中包括控制器之类的 IC 等安装在该面板上的模块。本发明还涉及该显示器件的制造过程中在完成显示元件之前的元件衬底的一个模式,且该元件衬底设置有用于向多个像素的每一个中的显示元件提供电压的装置。元件衬底具体而言既可以处于仅形成有显示元件的像素电极的状态,或处于在形成作为像素电极的导电膜之后且在将导电膜蚀刻成像素电极之前的状态。

[0020] 注意,本说明书中的显示器件是指图像显示器件或光源 (包括照明器件)。此外,如下模块也都包括在显示器件中:设置有诸如柔性印刷电路 (FPC)、带式自动接合 (TAB) 胶带、或带载封装 (TCP) 的模块;TAB 胶带及 TCP 的前端设置有印刷布线板的模块;或通过 COG (玻璃上芯片) 方法将 IC (集成电路) 直接安装在显示元件上的模块。

[0021] 本发明可提供一种包括薄膜晶体管的显示器件,其中可抑制生产率的降低、寄生电容的增大、以及制造成本的增加,并能实现高电特性且能减小截止电流。

附图说明

- [0022] 图 1A 至 1C 是示出用于制造本发明的显示器件的方法的截面图。
- [0023] 图 2A 至 2C 是示出用于制造本发明的显示器件的方法的截面图。
- [0024] 图 3A 至 3C 是示出用于制造本发明的显示器件的方法的截面图。
- [0025] 图 4 是示出用于制造本发明的显示器件的方法的截面图。
- [0026] 图 5A 至 5C 是示出本发明的显示器件的俯视图。
- [0027] 图 6 是示出微波等离子体 CVD 装置的俯视图。
- [0028] 图 7A 和 7B 是示出本发明的显示器件的图。
- [0029] 图 8A 和 8B 是示出本发明的显示器件的图。
- [0030] 图 9A 至 9C 是示出本发明的显示器件的图。
- [0031] 图 10 是示出本发明的显示器件的图。
- [0032] 图 11A 至 11C 是示出包括本发明的显示器件的电子设备的图。
- [0033] 图 12 是示出具有本发明的显示器件的电子设备的图。
- [0034] 图 13 是示出本发明的显示器件所包括的薄膜晶体管的截面图。
- [0035] 图 14 是示出本发明的显示器件所包括的薄膜晶体管的截面图。
- [0036] 图 15 是示出用于进行模拟计算的晶体管的截面结构的图。
- [0037] 图 16 是示出实施方式 8 所示的晶体管结构的电流 - 电压特性的图。

具体实施方式

[0038] 下面,将参照附图描述本发明的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本发明可以以多个不同形式来实施,其方式和详细内容可以被变换为各种各样的形式而不背离本发明的宗旨及其范围。因此,本发明不应该被解释为仅受限于实施方式的以下描述。

[0039] 实施方式 1

[0040] 在本实施方式中,参照图 1A 至图 5C 描述用于显示器件的薄膜晶体管的制造过程。图 1A 至图 4 是示出薄膜晶体管的制造过程的截面图,而图 5A 至 5C 是显示器件的一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。

[0041] 具有微晶半导体膜的 n 型薄膜晶体管由于具有相比 p 型薄膜晶体管而言更高的迁移率,因此更适合用于驱动电路。期望在同一衬底上形成同一极性的所有薄膜晶体管,以减少工序数量。这里,使用 n 沟道型薄膜晶体管进行描述。

[0042] 如图 1A 所示,在衬底 100 上形成栅电极 101。作为衬底 100,可使用如下衬底:通过熔融法或浮法制造的由钡硼硅玻璃、铝硼硅玻璃、铝硅玻璃等制成的无碱玻璃;陶瓷衬底;具有足以承受本制造过程中的处理温度的耐热性的塑料衬底等。或者还可以使用在不锈钢合金等金属衬底表面上设置有绝缘膜的衬底。当衬底 100 为母体玻璃时,衬底的可具有以下尺寸:第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm 或 730mm×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

[0043] 使用诸如钛、钼、铬、钽、钨、以及铝等等之类的金属材料或它们的合金材料来形成栅电极 101。可以通过溅射法或真空蒸镀法在衬底 100 上形成导电膜,并通过光刻技术或

喷墨法在该导电膜上形成掩模,以及使用该掩模蚀刻导电膜来形成栅电极 101。另外,作为用来提高栅电极 101 的附着力且防止其向基底扩散的阻挡金属,也可以在衬底 100 和栅电极 101 之间设置上述金属材料的氮化物膜。这里,通过使用第一光掩模形成的抗蚀剂掩模蚀刻在衬底 100 上形成的导电膜来形成栅电极。

[0044] 注意,因为要在栅电极 101 上形成半导体膜和布线,所以期望将其端部加工为锥形形状以防止断开。此外,虽然未示出,但也可以同时形成连接到栅电极的布线。

[0045] 接下来,在栅电极 101 上按顺序形成栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104。接着,在沟道保护层 104 上涂敷抗蚀剂 151。注意,优选至少连续形成栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104。通过在不暴露于大气的情况下连续形成栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104,能够在不受到大气成分或大气中悬浮的污染杂质元素污染的情况下形成各个迭层之间的界面,因此,能够降低薄膜晶体管特性的变化。

[0046] 可以通过 CVD 法或溅射法等并使用氧化硅膜、氮化硅膜、氧氮化硅膜、或者氮氧化硅膜形成栅极绝缘膜 102。注意,可以通过按顺序层迭氧化硅膜或氧氮化硅膜与氮化硅膜或氮氧化硅膜的两层而不是单层来形成栅极绝缘膜 102。注意,可以从衬底一侧按顺序层迭氮化硅膜或氮氧化硅膜、氧化硅膜或氧氮化硅膜、以及氮化硅膜或氮氧化硅膜的三层而不是两层来形成栅极绝缘膜。

[0047] 在此,氧氮化硅膜表示氧含量高于氮含量的膜,且包括浓度范围为 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的硅、0.1 原子%至 10 原子%的氢。另外,氮氧化硅膜表示氮含量高于氧含量的膜,且包括浓度范围为 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的硅、15 原子%至 25 原子%的氢。

[0048] 微晶半导体膜 103 是包括具有非晶体和晶体结构(包括单晶、多晶)的中间结构的半导体的膜。该半导体是具有根据自由能而言稳定的第三状态的半导体,并且是具有短程有序且具有晶格畸变的晶体,而且在垂直于衬底的法线方向上生长了具有直径为 0.5nm 至 20nm 的晶粒的柱状或针状晶体。此外,微晶半导体和非单晶半导体共存。作为微晶半导体的典型示例的微晶硅的拉曼光谱偏移 to 相对表示单晶硅的 521cm^{-1} 的波数而言更低的一侧。亦即,微晶硅的拉曼光谱的峰在表示单晶硅的 521cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。此外,使微晶硅包含至少 1 原子%或更多的氢或卤素,以便终止悬挂键。而且,通过使微晶硅包含诸如氦、氩、氪、氙等等之类的稀有气体元素以进一步助长其晶格畸变,藉此可提高稳定性并获得良好的微晶半导体膜。例如在美国专利 4,409,134 中公开了这种微晶半导体膜。

[0049] 可以通过频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法或频率为 1GHz 以上的微波等离子体 CVD 装置形成该微晶半导体膜。通常可以使用氢稀释的诸如 SiH_4 、 Si_2H_6 等等之类的硅氢化物来形成该微晶半导体膜。另外,除了硅氢化物以外,还可以使用选自氦、氩、氪、氙中的一种或多种的稀有气体元素与氢气的稀释物来形成微晶半导体膜。在该情况下,氢气与硅氢化物的流量比被设定为 50 : 1 到 1000 : 1,优选为 50 : 1 到 200 : 1,更优选为 100 : 1。注意,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替硅氢化物。

[0050] 当未有意添加用于价带控制的杂质元素时,微晶半导体膜呈现微弱的 n 型导电

性。因此,通过在进行成膜的同时或在进行成膜后对用作薄膜晶体管的沟道形成区域的微晶半导体膜添加赋予 p 型导电性的杂质元素可实现控制阈值。赋予 p 型导电性的杂质元素的典型示例是硼,而且可将 B_2H_6 、 BF_3 等杂质气体以 1ppm 至 1000ppm、优选以 1ppm 至 100ppm 的比率混入硅氢化物中。硼浓度可设置为 1×10^{14} 原子 / cm^3 至 6×10^{16} 原子 / cm^3 。

[0051] 此外,优选将微晶半导体膜的氧浓度设置为 $5 \times 10^{19} cm^{-3}$ 或更低,更优选为 $1 \times 10^{19} cm^{-3}$ 或更低,而优选将氮及碳的浓度设置为 $3 \times 10^{18} cm^{-3}$ 或更低。通过降低混入到微晶半导体膜中的氧、氮、及碳的浓度,可以防止微晶半导体膜成为 n 型。

[0052] 将微晶半导体膜 103 形成为 1nm 或以上和 50nm 或以下,优选为 5nm 或以上和 20nm 或以下。微晶半导体膜 103 用作稍后将形成的薄膜晶体管的沟道形成区域。当微晶半导体膜 103 的厚度在 5nm 到 50nm 的范围中时,之后形成的薄膜晶体管成为完全耗尽型。另外,由于微晶半导体膜 103 的成膜速率很慢,即它为非晶半导体膜的成膜速度的 1/10 至 1/100,所以厚度的降低导致产量的提高。此外,由于微晶半导体膜包含微晶,因此其电阻比非晶半导体膜低。因此,使用微晶半导体膜的薄膜晶体管具有通过上升部分具有陡峭斜率的曲线表示的电流电压特性,它作为开关组件具有优秀的响应,且能高速工作。通过将微晶半导体膜用于薄膜晶体管的沟道形成区,可以抑制薄膜晶体管的阈值电压波动。因此,可以制造电特性的变化少的显示器件。

[0053] 该微晶半导体膜的迁移率比非晶半导体膜高。因此,通过将其沟道形成区由微晶半导体膜形成的薄膜晶体管用于开关显示元件的液晶元件,可以减小沟道形成区的面积即薄膜晶体管的面积。由此,减小了每一个像素中的薄膜晶体管的面积缩小,从而提高了像素的孔径比。

[0054] 注意,为提高微晶半导体膜的电特性,可使用激光束从微晶半导体膜的表面一侧辐照栅极绝缘膜。该激光束以微晶半导体膜不熔化的能量密度照射。换言之,对微晶半导体膜进行的激光处理是利用固相晶体生长来进行的,其中不使微晶半导体膜受辐射加热而熔化。换言之,该激光处理利用所沉积的微晶半导体膜不成为液相的临界区域,因此,从上述意思来看,也可以称为“临界生长”。

[0055] 激光束能作用到微晶半导体膜和栅极绝缘膜之间的界面。因此,当将微晶半导体膜的表面一侧的晶体作为籽时,从该表面向栅极绝缘膜的界面进行固相晶体生长,而且大致柱状的晶体生长。通过激光处理的固相晶体生长不会扩大晶粒大小,而是改善膜厚度方向上的结晶性。将激光束会聚为长矩形(线状激光束),从而可以按照用一个激光束扫描 730mm \times 920mm 的玻璃衬底上的微晶半导体膜的方式来执行激光处理。在此情况下,重迭线状激光束的比率(重迭率)被设置为 0% 至 90% (优选为 0% 至 67%)。因此,每一个衬底的处理时间缩短,而可以提高生产率。激光束的形状不局限于线状,且可使用面状激光束来相似地执行处理。另外,该激光处理不局限于上述玻璃衬底的尺寸,而可以适用于各种尺寸。通过激光处理,改善了栅极绝缘膜界面区的结晶性,并且能提高具有底栅结构的晶体管的电特性。在这种临界生长中,不会形成在常规的低温多晶硅中存在的常规凹凸(也称为脊(ridge)的凸状体),而且激光处理后的半导体膜表面的平滑度得以保持。如本实施方式所示,对成膜后的微晶半导体膜直接照射激光束而得到的结晶半导体膜与沉积的微晶半导体膜及通过传导加热改变性质的微晶半导体膜(记载于非专利文献 1 中)在生长机理及膜性质上显著不同。在本说明书中,将对成膜后的微晶半导体膜(半非晶半导体, :SAS) 进行

激光处理（以下也称为 LP）而得到的半导体总称为 LPSAS（激光处理半非晶半导体）。

[0056] 沟道保护层 104 由厚度为 400nm 或以下、优选为 50nm 或以上和 200nm 或以下的氮化硅膜或氮氧化硅膜形成。例如，通过以 SiH_4 、 NH_3 为源气体的等离子体 CVD 法形成氮化硅膜。通过等离子体 CVD 法使用 SiH_4 、 N_2O 、以及 NH_3 形成氮氧化硅膜。因为沟道保护层 104 被设置成与微晶半导体膜接触，而且沟道保护层 104 由氮化硅膜或氮氧化硅膜形成，所以藉此不但可以得到防止杂质扩散到微晶半导体膜中的效果，而且可以防止微晶半导体膜中包含的晶粒表面的氧化。再者，设置了沟道保护层 104，藉此可以防止微晶半导体膜表面的氧化；因此，可以使微晶半导体膜的厚度小。因此，因为本实施方式中的薄膜晶体管可以作为完全耗尽型晶体管工作，所以可以减小晶体管截止时的漏电流。

[0057] 这里，参照图 6 描述能够连续形成栅极绝缘膜 102 至沟道保护层 104 的等离子体 CVD 装置。图 6 是示出等离子体 CVD 装置的俯视截面的示意图，该等离子体 CVD 装置具有其中在公共室 1020 周围设置了装载室 1010、卸载室 1015、反应室 (1) 1011、反应室 (2) 1012、反应室 (3) 1013 的结构。在公共室 1020 和其它各室之间设置了闸阀 1022、1023、1024、1025 以及 1026，以防止在各室中进行的处理互相干涉。衬底被载入装载室 1010 中的盒子 1028 和卸载室 1015 的盒子 1029，然后由公共室 1020 的传送装置 1021 传送到反应室 (1) 1011 至反应室 (3) 1013。在该装置中，可为要沉积的每种膜种类设置反应室，从而可以在不暴露给大气的情况下连续形成多个不同的膜。作为示例，可以设置其中在反应室 (1) 1011 中形成了栅极绝缘膜 102、在反应室 (2) 1012 中形成了微晶半导体膜 103、并且在反应室 (3) 1013 中形成沟道保护层 104 的结构。

[0058] 以这种方式，利用连接有多个处理室的微波等离子体 CVD 装置，能同时形成栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104。因此能提高大规模生产率。此外，即使在反应室之一中进行维护或清洗，也也能在另一反应室中执行成膜处理，从而可以缩短成膜的周期时间。另外，可以在不被大气成分及悬浮在大气中的污染杂质元素污染的情况下形成叠层之间的接口。因此，可以减少晶体管特性的变化。

[0059] 注意，虽然在图 6 所示的等离子体 CVD 装置中分别设置有装载室及卸装室，但是也可以设置单个装载 / 卸装室。此外，也可以在等离子体 CVD 装置中设置多个备用室。通过在备用室中对衬底进行预热，可缩短各个反应室中成膜之前所需的加热时间；因此可以提高产量。

[0060] 将再次描述图 1A。作为图 1A 中的抗蚀剂 151，可以使用正型抗蚀剂或负型抗蚀剂。在本实施方式中使用了正型抗蚀剂。接着，使用第二光掩模，形成图 1A 所示那样的抗蚀剂 151 被加工的抗蚀剂掩模。然后，如图 1B 所示，通过使用形成在沟道保护层上的抗蚀剂掩模蚀刻微晶半导体膜 103 及沟道保护层 104，从而在栅电极 101 上形成岛状微晶半导体膜 105。注意，图 1B 对应于沿图 5A 的线 A-B 所取的截面图（但是，抗蚀剂 151 和栅极绝缘膜 102 除外）。注意，在本说明书中，描述了其中堆叠了微晶半导体膜和沟道保护层的岛状结晶半导体膜。注意，图 5A 中示出了扫描线 501，并且扫描线 501 和栅电极 101 相互电连接。

[0061] 注意，使岛状微晶半导体膜 105 的各个端部的侧面倾斜，藉此得到形成在岛状微晶半导体膜侧面的非晶半导体膜和位于岛状微晶半导体膜底部的微晶半导体膜之间的良好的电连接。岛状微晶半导体膜 105 的各个端部的侧面的倾斜度被设置为 30° 至 90° ，优

选为 45° 至 80° 。利用这样的角度,能防止起因于台阶形状的源电极或漏电极的断开。

[0062] 接下来,如图 1C 所示那样,形成非晶半导体膜 106 以覆盖岛状微晶半导体膜 105,在非晶半导体膜 106 上形成杂质半导体层 107,并且在杂质半导体层 107 上形成导电膜 108。注意,当加工导电膜 108 的形状时,导电膜 108 作为源电极、漏电极以及信号线的布线。作为抗蚀剂 152,可使用正型抗蚀剂或负型抗蚀剂。在本实施方式中使用正型抗蚀剂。使用第三光掩模形成抗蚀剂掩模。在本实施方式中,作为示例,如图 2A 所示那样,从在抗蚀剂掩模中形成的孔部 171 进行作为各向同性蚀刻的湿法蚀刻。进行湿蚀刻,藉此如图 2B 所示那样,在孔部 171 下的导电膜 108 中形成比孔部 171 的直径大的孔部 172。接着,从在抗蚀剂掩模中形成的孔部 171 进行作为各向异性蚀刻的干法蚀刻。进行干蚀刻,藉此在孔部 171 下的杂质半导体层 107 及非晶半导体膜 106 中形成与形成在抗蚀剂掩模中的孔部 171 相同直径的孔部 173。结果,如图 3A 所示的那样,稍后作为源电极及漏电极的导电膜 108 的端部和杂质半导体层 107 的端部未对齐(图 3A 中的宽度 174),并且杂质半导体层 107 的端部在导电膜 108 的端部的外侧上形成。如图 3A 所示,由于稍后作为源电极及漏电极的导电膜 108 的端部和杂质半导体层 107 的端部未对齐且具有宽度 174,因此源电极及漏电极的端部的距离变长,从而可以防止源电极及漏电极之间的漏电流和短路。此外,由于稍后作为源电极及漏电极的导电膜 108 的端部和杂质半导体层 107 的端部未对齐且具有宽度 174,藉此电场不会集中在导电膜 108 的端部和杂质半导体层 107 的端部上,从而可以防止栅电极 101 与导电膜 108 之间的漏电流。因此,可以形成可靠性高且耐压性高的薄膜晶体管。然后,去除抗蚀剂掩模,从而得到图 3A 所示那样的开口。注意,图 3A 对应于沿图 5B 的线 A-B 所取的截面图(然而,栅极绝缘膜 102 除外)。注意,图 5B 示出信号线 502、源电极 108a、漏电极 108b,并且信号线 502 和源电极 108a 相互电连接。

[0063] 注意,由于晶体管的源电极和漏电极根据晶体管的工作条件等而改变,所以难以定义将哪个称作源电极或漏电极。因此,在本实施方式中,连接到信号线 502 的电极表示源电极 108a,而稍后连接到像素电极的电极表示漏电极 108b。

[0064] 注意,如图 5B 所示那样,杂质半导体层 107 的端部位于源电极 108a 及漏电极 108b 的端部的外侧。此外,源电极 108a 及漏电极 108b 中的一个具有包围源电极 108a 及漏电极 108b 中的另一个的形状(具体地说,U 形状、C 形状)。因此,可以增加载流子移动的区域面积,从而电流量可以增大,并且可以减小薄膜晶体管的面积。另外,微晶半导体膜 103、非晶半导体膜 106、杂质半导体层 107、以及源电极 108a 和漏电极 108b 叠在栅电极 101 上;因此,栅电极 101 的凹凸的影响小,并且可以抑制覆盖度的降低及漏电流的产生。

[0065] 如图 3A 所示那样,在本实施方式所描述的薄膜晶体管中,在岛状微晶半导体膜的侧面上设置有非晶半导体膜。非晶半导体膜的厚度比先设置的微晶半导体膜厚,藉此可以减少发生在源电极和 / 或漏电极与栅电极之间的寄生电容。通常,非晶半导体膜优选具有 200nm 或以上且 400nm 或以下的厚度。此外,在薄膜晶体管的源电极与漏电极之间流过的载流子(电子或空穴)经由与栅电极附近的栅极绝缘膜形成界面的微晶半导体膜在源极与漏极之间流过。在薄膜晶体管中,载流子非晶半导体膜的厚度方向上流过的距离比载流子在微晶半导体膜的沟道长度方向上流过的距离更长。因此,在具有本发明的薄膜晶体管的显示器件中,在利用微晶半导体膜的好处的同时,可减少在源电极和漏电极与栅电极之间产生的寄生电容。此外,在向栅电极施加的电压高(例如 15V 左右)的显示器件中,当非晶

半导体膜的厚度大于微晶半导体膜的厚度时,栅极与源极和 / 或漏极之间的耐压升高,从而可以抑制薄膜晶体管退化。

[0066] 可以使用诸如 SiH_4 或 Si_2H_6 等等之类的硅氢化物通过等离子体 CVD 法形成非晶半导体膜 106。另外,使用硅氢化物与选自氦、氩、氦及氖中的一种或多种稀有气体元素的稀释物可形成非晶半导体膜。通过使用流量为硅氢化物的流量的 1 倍至 20 倍、优选为 1 倍至 10 倍、更优选为 1 倍至 5 倍的氢气,可以形成包含氢的非晶半导体膜。另外,通过使用上述硅氢化物、以及氦或氩,可以形成包含氦的非晶半导体膜。另外,通过使用上述硅氢化物以及包含氟、氯、溴、或者碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等),可以形成包含氟、氯、溴、或者碘的非晶半导体膜。注意,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替硅氢化物。

[0067] 非晶半导体膜 106 的能隙比微晶半导体膜 103 大(非晶半导体膜的能隙为 1.6eV 至 1.8eV,微晶半导体膜的能隙为 1.1eV 至 1.5eV),并且非晶半导体膜的电阻较高且迁移率较低,例如它为微晶半导体膜的 1/5 至 1/10。因此,在稍后形成的薄膜晶体管中,在源区和漏区与微晶半导体膜之间形成的非晶半导体膜 106 虽然部分用作沟道形成区,但是非晶半导体膜 106 的大部分起高电阻区的作用,而微晶半导体膜起沟道形成区的作用。因此,可减少薄膜晶体管的截止电流。

[0068] 在形成 n 沟道型薄膜晶体管的情况下,可将磷作为典型的杂质元素添加至需添加杂质以赋予一种导电类型的杂质半导体层 107,并且可向硅氢化物添加诸如 PH_3 之类的杂质气体。另外,在形成 p 沟道型薄膜晶体管的情况下,可添加硼作为典型的杂质元素,并可向硅氢化物添加诸如 B_2H_6 等等之类的杂质气体。添加有赋予一导电类型的杂质的杂质半导体层 107 可以由微晶半导体膜或非晶半导体膜构成。再者,添加有赋予一导电类型的杂质的杂质半导体层 107 也可以由添加有赋予一导电类型的杂质的非晶半导体膜和添加有赋予一导电类型的杂质的微晶半导体膜的叠层构成。将添加有给予一导电类型的杂质的杂质半导体层 107 形成为 2nm 或以上且 50nm 或以下的厚度。通过将添加有给予一导电类型的杂质的半导体膜形成为小厚度,可以提高产量。

[0069] 优选使用铝的单层或叠层、或者添加有诸如铜、硅、钛、钽、钷、以及钼之类用于提高耐热性或防止小丘产生的元素的铝合金的单层或迭层来形成导电膜 108。或者,导电膜可具有层叠结构,在该结构中使用钛、钽、钼、钨或上述元素的氮化物形成与导电半导体膜接触一侧的膜,并且在其上形成铝或铝合金。再者,导电膜可具有另一层叠结构,在该结构中铝膜或铝合金膜被夹在钛、钽、钼、钨或上述元素的氮化物的上层膜和下层膜之间。在此,作为导电膜 108,给出了其中堆叠有三层导电膜的导电膜。例如,其中铝膜被夹在钼膜之间的层叠导电膜,其中铝膜被夹在钛膜之间的层叠导电膜。通过溅射法或真空蒸镀法形成导电膜。

[0070] 注意,上述的对微晶半导体膜的以价电子控制为目的的杂质元素的添加也可以在蚀刻微晶半导体膜上方的非晶半导体膜 106、杂质半导体膜 107、以及导电膜 108 之后穿过沟道保护层 104 掺杂来进行。在蚀刻微晶半导体膜上方的非晶半导体膜 106、杂质半导体膜 107、以及导电膜 108 之后,通过穿过沟道保护层 104 掺杂,可以对作为沟道形成区的岛状微晶半导体膜 105 选择性地添加杂质元素。

[0071] 通过上述工序,可以形成薄膜晶体管。此外,可以使用三片光掩模形成薄膜晶体管。

[0072] 接下来,如图 3B 所示那样,在导电膜 108、杂质半导体膜 107、非晶半导体膜 106、岛状微晶半导体膜 105、以及栅极绝缘膜 102 上形成绝缘膜 109。绝缘膜 109 可以通过与栅极绝缘膜 102 相同的方式形成。注意,绝缘膜 109 是用来防止悬浮在大气中的诸如有机物、金属物、水蒸气之类的污染杂质进入而设置,因此优选采用致密膜。

[0073] 接下来,如图 3C 所示那样,在绝缘膜 109 中形成接触孔 110。然后,如图 4 所示的那样,在接触孔 110 中形成与导电膜 108 的漏电极 108b 接触的像素电极 111。注意,图 4 对应于沿图 5C 的线 A-B 所取的截面图。

[0074] 可以使用诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(以下称为 ITO)、铟锌氧化物、添加有氧化硅的铟锡氧化物之类的具有透光性的导电材料形成像素电极 111。

[0075] 或者,可以使用包含导电高分子(也称为导电聚合物)的导电组合物形成像素电极 111。优选地是,使用导电组合物形成的像素电极的薄层电阻为 $10000 \Omega / \square$ 或更低,550nm 波长下的透光率为 70% 或更高。此外,优选该导电组合物中包含的导电高分子的电阻率为 $0.1 \Omega \cdot \text{cm}$ 或更低。

[0076] 作为导电高分子化合物,可以使用所谓的 π 电子共轭导电高分子化合物。示例包括聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者这些两种以上的共聚物等。

[0077] 如上所述,可以得到能够用于显示器件的薄膜晶体管。具体而言,根据本实施方式而得到的薄膜晶体管抑制寄生电容的增大,从而抑制制造成本的升高,同时能抑制生产率的降低,并且能实现高电特性和截止电流的减小,所以可以得到使用电特性的可靠性高的薄膜晶体管进行驱动显示器件。

[0078] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0079] 实施方式 2

[0080] 在本实施方式中,将参照图 13 描述与实施方式 1 不同的用于显示器件的薄膜晶体管。图 13 是薄膜晶体管的截面图。注意,在本实施方式中,与实施方式 1 中相似的部分由相同的附图标记表示,并且参照实施方式 1 的说明。

[0081] 注意,在本实施方式中描述的薄膜晶体管是与实施方式 1 的情况相似的 n 沟道薄膜晶体管。

[0082] 首先,在衬底 100 上形成栅电极 101、栅极绝缘膜 102、微晶半导体膜 103、沟道保护层 104,并且通过使用抗蚀剂掩模及蚀刻工序得到实施方式 1 的图 1B 所示的状态。衬底 100、栅电极 101、栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104 与实施方式 1 中相同。

[0083] 接下来,如图 13 所示那样,形成包含赋予弱 p 型导电性的杂质元素的非晶半导体膜 1301a 和作为本征半导体的非晶半导体膜 1301b。以与实施方式 1 相同的方式在作为本征半导体的非晶半导体膜 1301b 上形成杂质半导体层 107 和导电膜 108。注意,形成包含赋予弱 p 型的杂质元素的非晶半导体膜 1301a 和作为本征半导体的非晶半导体膜 1301b,与实施方式 1 所示的非晶半导体膜 106 同样地形成杂质半导体层 107 和导电膜 108,并形成抗蚀剂掩模和进行蚀刻工艺。这样,可以得到如图 13 所示的薄膜晶体管。此外,所得的薄膜晶体管设置有绝缘膜 109,以与实施方式 1 相似的方式覆盖薄膜晶体管,而且薄膜晶体管通

过接触孔 110 电连接至像素电极 111。

[0084] 在本实施方式中描述的薄膜晶体管的源极和漏极之间流过的电载流子依次流过导电膜（源电极或漏电极）108、杂质半导体膜 107、作为本征半导体的非晶半导体膜 1301b、包含给予弱 p 型的杂质元素的非晶半导体膜 1301a、微晶半导体膜 103、包含给予弱 p 型的杂质元素的非晶半导体膜 1301a、作为本征半导体的非晶半导体膜 1301b、杂质半导体膜 107、以及导电膜（源电极或漏电极）108。换言之，在本实施方式所示的薄膜晶体管的源极和漏极之间流过的电载流子经过作为高电阻区的包含赋予弱 p 型的杂质元素的非晶半导体膜 1301a 和作为本征半导体的非晶半导体膜 1301b。因此，本实施方式所示的薄膜晶体管可以减少在源极与漏极之间流过的漏电流。因此，除了上述实施方式 1 所示的优越的电特性以外，本实施方式所示的薄膜晶体管还具有减少漏电流的效果。

[0085] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0086] 实施方式 3

[0087] 在本实施方式中，将参照图 14 描述与实施方式 1 及实施方式 2 不同的用于显示器件的薄膜晶体管。图 14 是薄膜晶体管的截面图。注意，在本实施方式中，与实施方式 1 相同的部分由相同的附图标记表示，并且参照实施方式 1 的说明。

[0088] 注意，在本实施方式中描述的薄膜晶体管是与实施方式 1 的情况相似的 n 沟道型薄膜晶体管。

[0089] 首先，在衬底 100 上形成栅电极 101、栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104，并且通过抗蚀剂掩模及蚀刻工序得到实施方式 1 的图 1B 所示的状态。衬底 100、栅电极 101、栅极绝缘膜 102、微晶半导体膜 103、以及沟道保护层 104 与实施方式 1 相同。

[0090] 接下来，如图 14 所示，形成作为本征半导体的非晶半导体膜 1401a 和包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b。以与实施方式 1 相似的方式在包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b 上形成杂质半导体层 107 和导电膜 108。注意，在形成作为本征半导体的非晶半导体膜 1401a 和包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b 之后，以与实施方式 1 所示的非晶半导体膜 106 相似的方式形成杂质半导体层 107 和导电膜 108，并形成抗蚀剂掩模且执行蚀刻工艺。这样，可以获得如图 14 所示那样的薄膜晶体管。此外，获得的薄膜晶体管设置有绝缘膜 109，以与实施方式 1 相似的方式覆盖薄膜晶体管，并通过接触孔 110 与像素电极 111 电连接。

[0091] 在本实施方式所述的薄膜晶体管的源极与漏极之间流过的电载流子依次流过导电膜（源电极或漏电极）108、杂质半导体膜 107、包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b、作为本征半导体的非晶半导体膜 1401a、微晶半导体膜 103、作为本征半导体的非晶半导体膜 1401a、包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b、杂质半导体层 107、以及导电膜（源电极或漏电极）108。换言之，对于在本实施方式所描述的薄膜晶体管的源极与漏极之间流过的电载流子而言，因为堆叠了半导体膜以获得从杂质半导体膜 107、包含赋予弱 n 型的杂质元素的非晶半导体膜 1401b、作为本征半导体的非晶半导体膜 1401a 逐渐增大的高电阻区，所以能减少漏电流；而且因为电阻值逐渐增大，所以能减小由突然变化的电压加速的电子导致的薄膜晶体管的退化。因此，在本实施方式中，可以减少在源极与漏极之间流过的漏电流，并且可以实现薄膜晶体管的寿命的延长。因此，除了上述实施方式 1 所

示的优越的电特性以外,本实施方式所示的薄膜晶体管还具有减小漏电流的效果。

[0092] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0093] 实施方式 4

[0094] 在本实施方式中,以下描述具有实施方式 1 所示的薄膜晶体管的显示器件。以液晶显示器件为例描述本实施方式中描述的显示器件。

[0095] 参照图 7A 和 7B 描述作为液晶显示器件的一个方式的液晶显示面板的外观及截面。图 7A 是一种面板的俯视图,其中在第一衬底 4001 和第二衬底 4006 之间使用密封剂 4005 密封了在第一衬底 4001 上形成的包括微晶半导体膜的薄膜晶体管 4010 和液晶组件 4013,而图 7B 是沿图 7A 的 M-N 线所取的截面图。

[0096] 设置密封剂 4005 以包围设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,利用密封剂 4005 将像素部 4002 和扫描线驱动电路 4004 以及液晶 4008 密封在第一衬底 4001 与第二衬底 4006 之间。在第一衬底 4001 上与由密封剂 4005 包围的区域不同的区域中安装有使用多晶半导体膜在另行准备的衬底上形成的信号线驱动电路 4003。在本实施方式中,将描述将具有使用多晶半导体膜形成的薄膜晶体管的信号线驱动电路附连到第一衬底 4001 的示例。或者,也可将使用单晶半导体形成的包括晶体管的信号线驱动电路附连至第一衬底 4001。图 7B 例示信号线驱动电路 4003 中包括的使用多晶半导体膜形成的薄膜晶体管 4009。

[0097] 在第一衬底 4001 上形成的像素部 4002 和扫描线驱动电路 4004 分别包括多个薄膜晶体管,图 7B 例示像素部 4002 中包括的薄膜晶体管 4010。薄膜晶体管 4010 对应于使用微晶半导体膜的薄膜晶体管,并且可以通过实施方式 1 所示的过程同样地制造。

[0098] 此外,正对液晶 4008 的像素电极 4030 通过布线 4040 电连接至薄膜晶体管 4010。液晶组件 4013 的对电极 4031 在第二衬底 4006 上形成。液晶元件 4013 对应于像素电极 4030 和对电极 4031 夹住液晶 4008 的区域。

[0099] 注意,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(典型地是不锈钢)、陶瓷、以及塑料。作为塑料,可以使用 FRP(纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,也可以使用具有铝箔被夹在 PVF 薄膜或聚酯膜之间的结构的薄片。

[0100] 另外,附图标记 4035 是球状隔离件,并且是为控制像素电极 4030 与对电极 4031 之间的距离(单元间隙)而设置的。注意,也可以使用通过选择性地蚀刻绝缘膜而得到的隔离件。

[0101] 此外,经由来自 FPC 4018 的布线 4014 和 4015 向另行形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 提供多个信号和电位。

[0102] 在本实施方式中,连接端子 4016 由与液晶元件 4013 中包括的像素电极 4030 相同的导电膜形成。此外,布线 4014 和 4015 由与布线 4040 相同的导电膜形成。

[0103] 连接端子 4016 经由各向异性导电膜 4019 电连接到 FPC 4018 的端子。

[0104] 虽然未示出,但本实施方式中所描述的液晶显示器件具有取向膜、偏振片,还可以具有颜色滤光片及挡光膜。

[0105] 注意,图 7A 和 7B 示出另行形成信号线驱动电路 4003 并安装在第一衬底 4001 的

示例,但本实施方式不局限于这种结构。可另行形成然后安装扫描线驱动电路,或可另行形成然后安装信号线驱动电路的一部分或扫描线驱动电路的一部分。

[0106] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0107] 实施方式 5

[0108] 在本实施方式中,以下将描述具有实施方式 1 所示的薄膜晶体管的显示器件。以发光器件为例描述本实施方式中描述的显示器件。

[0109] 将参照图 8A 和 8B 描述作为发光器件的一个方式的发光显示面板的外观及截面。图 8A 是一种面板的俯视图,其中在第一衬底和第二衬底之间使用密封剂密封在第一衬底上形成的使用微晶半导体膜的薄膜晶体管及发光元件,而图 8B 对应于沿图 8A 的线 E-F 所取的截面图。

[0110] 设置密封剂 4505 以包围在第一衬底 4501 上形成的像素部 4502 和扫描线驱动电路 4504。在像素部 4502 和扫描线驱动电路 4504 上设置了第二衬底 4506。因此,利用密封剂 4505 将像素部 4502 和扫描线驱动电路 4504 以及填充剂 4507 密封在第一衬底 4501 与第二衬底 4506 之间。另外,在第一衬底 4501 上与由密封剂 4505 包围的区域不同的区域中安装有使用多晶半导体膜在另行准备的衬底上形成的信号线驱动电路 4503。本实施方式将描述将包括使用多晶半导体膜形成的薄膜晶体管的信号线驱动电路附连到第一衬底 4501 的示例。或者,可将包括使用单晶半导体膜形成的晶体管的信号线驱动电路附连至第一衬底 4501。图 8B 例示信号线驱动电路 4503 中包括的使用多晶半导体膜形成的薄膜晶体管 4509。

[0111] 在第一衬底 4501 上形成的像素部 4502 和扫描线驱动电路 4504 分别包括多个薄膜晶体管,而且图 8B 例示像素部 4502 中包括的薄膜晶体管 4510。在本实施方式中,薄膜晶体管 4510 被示为驱动 TFT,但薄膜晶体管 4510 既可是电流控制 TFT,又可以是擦除 TFT。薄膜晶体管 4510 对应于使用微晶半导体膜并且可以通过实施方式 1 所示的过程同样地制造的薄膜晶体管。

[0112] 另外,附图标记 4511 对应于发光元件,而且发光元件 4511 的像素电极经由布线 4517 与薄膜晶体管 4510 的源电极或漏电极电连接。在本实施方式中,发光元件 4511 的公共电极与具有透光性的导电材料 4512 电连接。注意,发光元件 4511 的结构不局限于本实施方式中所示的结构。可以根据从发光组件 4511 取出的光的方向、薄膜晶体管 4510 的极性等适当改变发光元件 4511 的结构。

[0113] 虽然在图 8B 所示的截面图中未示出提供给另行形成的信号线驱动电路 4503 和扫描线驱动电路 4504 或像素部分 4502 的多个信号和电位,但提供给另行形成的信号线驱动电路 4503 和扫描线驱动电路 4504 或像素部 4502 的多个信号及电位从 FPC 4518 经由布线 4514 及 4515 供给。

[0114] 在本实施方式中,连接端子 4516 由与发光元件 4511 中包括的像素电极相同的导电膜形成。此外,布线 4514、4515 由与布线 4517 相同的导电膜形成。

[0115] 连接端子 4516 通过各向异性导电膜 4519 电连接到 FPC 4518 中包括的端子。

[0116] 处于从发光元件 4511 取出光的方向上的衬底必须是透明的衬底。在此情况下,使用诸如玻璃片、塑料片、聚酯薄膜、或丙烯酸薄膜之类的透光材料。

[0117] 作为填充剂 4507,除了氮、氩等惰性气体之外,还可以使用紫外线可固化树脂、热

固化树脂、PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)、或EVA(乙烯-醋酸乙烯酯)。在本实施方式中,使用氮气作为填充剂。

[0118] 另外,如果需要,也可以在发光元件的发光表面上设置诸如偏振片、圆偏振片(椭圆偏振片)、阻滞板($\lambda/4$ 板、 $\lambda/2$ 板)、或颜色滤光片之类的光学膜。此外,还可以在偏振片或圆偏振片上设置防反射膜。例如,可以执行抗眩光处理,该处理通过利用表面上的凹凸扩散反射光以降低眩光。

[0119] 注意,图8A和8B示出另行形成并将信号线驱动电路4503安装在第一衬底4501上的示例,但本实施方式不局限于此结构。可单独形成扫描线驱动电路然后安装,又可另行形成然后安装信号线驱动电路的一部分或扫描线驱动电路的一部分。

[0120] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0121] 实施方式6

[0122] 以下将描述本发明的显示器件的一个方式的显示面板的结构。

[0123] 图9A示出一种显示面板的方式,其中另行形成的信号线驱动电路6013连接至在衬底6011上形成的像素部6012。像素部6012和扫描线驱动电路6014分别由使用微晶半导体膜的薄膜晶体管形成。当利用可获得比使用微晶半导体膜的薄膜晶体管的迁移率高的晶体管形成信号线驱动电路时,可以使被求驱动频率高于扫描线驱动电路的信号线驱动电路的工作稳定。注意,可使用使用单晶半导体的晶体管、使用多晶半导体的薄膜晶体管、或者使用SOI衬底形成的晶体管来形成信号线驱动电路6013。经由FPC6015向像素部6012、信号线驱动电路6013、扫描线驱动电路6014分别提供电源电压、各种信号等。

[0124] 注意,信号线驱动电路及扫描线驱动电路也可以形成在与像素部相同的衬底上。

[0125] 当另行形成驱动电路时,不一定需要将其上形成有驱动电路的衬底附连至其上形成有像素部的衬底上,例如也可以附连在FPC上。图9B示出一种液晶显示面板的方式,其中另行形成的信号线驱动电路6023连接至在衬底6021上形成的像素部6022和扫描线驱动电路6024。使用其中使用了微晶半导体膜的薄膜晶体管分别形成像素部6022和扫描线驱动电路6024。信号线驱动电路6023经由FPC6025与像素部6022连接。经由FPC6025向像素部6022、信号线驱动电路6023以及扫描线驱动电路6024分别提供电源电位、多个信号等。

[0126] 或者,也可以采用其中使用了微晶半导体膜的薄膜晶体管在与像素部相同的衬底上形成信号线驱动电路的一部分或扫描线驱动电路的一部分,并且另行形成驱动电路的其它部分并使它与像素部电连接。图9C示出一种液晶显示面板的方式,其中在与像素部6032、扫描线驱动电路6034相同的衬底6031上形成信号线驱动电路中包括的模拟开关6033a,且在不同的衬底上另行形成信号线驱动电路中包括的移位寄存器6033b并将其附连至衬底6031。像素部6032和扫描线驱动电路6034分别由使用微晶半导体膜的薄膜晶体管形成。信号线驱动电路中包括的移位寄存器6033b经由FPC6035与像素部6032连接。经由FPC6035向像素部6032、信号线驱动电路、扫描线驱动电路6034提供电源电位、多个信号等。

[0127] 如图9A至9C所示那样,在本发明的显示器件中,可以采用使用微晶半导体膜的薄膜晶体管在与像素部相同的衬底上形成驱动电路的一部分或全部。

[0128] 注意,对于另行形成的衬底的连接方法没有特别的限制,可以采用已知的COG方

法、引线键合方法、或者 TAB 方法等。此外,若是能够电连接,则连接位置不局限于图 9A 至 9C 所示的位置。另外,也可以另行形成并连接控制器、CPU、内存等。

[0129] 注意,用于本发明的信号线驱动电路不局限于仅包括移位寄存器和模拟开关的结构。除移位寄存器和模拟开关之外,还可包括缓冲器、电平移动器、源极跟随器等。此外,不一定需要设置移位寄存器和模拟开关。例如既可使用如译码器电路那样的能够选择信号线的其它电路代替移位寄存器,又可使用锁存器等而代替模拟开关。

[0130] 图 10 示出本发明的液晶显示器件的框图。图 10 所示的液晶显示器件包括具有多个具备液晶元件的像素的像素部 551、选择各个像素的扫描线驱动电路 552、以及控制对选定像素的视频信号的输入的信号线驱动电路 553。

[0131] 在图 10 中,信号线驱动电路 553 包括移位寄存器 554 和模拟开关 555。时钟信号 (CLK) 和起始脉冲信号 (SP) 被输入到移位寄存器 554 中。当时钟信号 (CLK) 和起始脉冲信号 (SP) 被输入时,在移位寄存器 554 中产生时序信号,并且输入到模拟开关 555。

[0132] 视频信号被提供给模拟开关 555。模拟开关 555 根据输入时序信号对视频信号进行取样,并将所得的信号提供给下一级的信号线。

[0133] 接下来,说明扫描线驱动电路 552 的结构。扫描线驱动电路 552 包括移位寄存器 556 和缓冲器 557。在某些情况下,扫描线驱动器电路 552 还可包括电平转移器。在扫描线驱动电路 552 中,当向移位寄存器 556 输入时钟信号 (CLK) 和起始脉冲信号 (SP) 时,产生选择信号。所产生的选择信号由缓冲器 557 缓冲和放大,所得的信号被体供给相应的扫描线。一条线的像素的晶体管的栅极连接到扫描线。而且,由于需要使一条线的像素中的晶体管同时导通,因此使用能够流过大电流的缓冲器作为缓冲器 557。

[0134] 在全彩液晶显示器件中,在将对应于 R(红)、G(绿)、B(蓝)的视频信号按顺序进行取样并提供给相应的信号线的情况下,用来连接移位寄存器 554 和模拟开关 555 的端子数对应于用来连接模拟开关 555 和像素部 551 中的信号线的端子数的 1/3 左右。因此,当在同一衬底上形成像素部 551 和模拟开关 555 时,与在不同的衬底上形成模拟开关 555 和像素部 551 的情况相比,可以减少用来连接另行形成的衬底的端子数;因此,能抑制连接不良的发生概率,从而提高生产率。

[0135] 注意,虽然图 10 中所示的扫描线驱动电路 552 包括移位寄存器 556 和缓冲器 557,但是也可以使用移位寄存器 556 构成扫描线驱动电路 552。

[0136] 注意,图 10 所示的结构只是本发明的显示器件的一个方式,信号线驱动电路和扫描线驱动电路的结构不局限于图 10 中所示的该结构。

[0137] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0138] 实施方式 7

[0139] 可以将通过本发明得到的显示器件用于有源矩阵液晶模块。就是说,可以在将包含这样的有源矩阵液晶模块的具有显示部中的所有电子设备中实施本发明。

[0140] 这种电子设备的示例包括:诸如摄影机及数字照相机之类的相机;头戴式显示器(护目镜型显示器);汽车导航系统;投影机;汽车音响;个人计算机;以及便携式信息终端(例如便携式计算机、移动电话、或者电子书籍等)。图 11A 至 11D 示出了这些电子设备的示例。

[0141] 图 11A 示出电视设备。如图 11A 所示那样,可以将显示模块嵌入到框体中来完成

电视设备。将还安装有 FPC 的显示面板称为显示模块。使用显示模块形成主屏 2003, 并且设置诸如扬声器部 2009、操作开关等等之类的其它附件。因此, 可以完成电视设备。

[0142] 如图 11A 所示那样, 将利用液晶组件的显示用面板 2002 安装在框体 2001 中。电视设备可以通过接收器 2005 接收普通的电视广播, 而且可以经由调制解调器 2004 连接到有线或无线的通信网路, 从而进行单向 (从发送者到接收者) 或双向 (在发送者和接收者之间或在接收者之间) 的信息通信。可以使用安装在框体中的开关或另行提供的遥控单元 2006 来操作电视设备。该遥控单元可包括用来显示要输出的信息的显示部 2007。

[0143] 另外, 除了主屏 2003 之外, 电视设备可包括使用第二显示用面板形成的用于显示频道、音量等的子屏 2008。在这种结构中, 可以使用视角优良的液晶显示面板形成主屏 2003, 而使用能够以低耗电量显示的液晶显示面板形成子屏。另外, 当优先降低耗电量时, 也可以使用液晶显示面板形成主屏 2003、而使用液晶显示面板形成子屏且使该子屏可以打开和关闭的结构。

[0144] 图 12 是电视设备的主要结构的框图。显示面板 900 设置有像素部 921。可通过 COG 方法将信号线驱动电路 922 和扫描线驱动电路 923 安装到显示面板 900 上。

[0145] 作为其它外部电路, 电视设备在视频信号的输入侧包括视频信号放大电路 925、视频信号处理电路 926、以及控制电路 927 等。该视频信号放大电路 925 放大调谐器 924 接收到的信号中的图像信号, 该视频信号处理电路 926 将从视频信号放大电路 925 输出的信号转换为与红、绿、蓝每种颜色相应的色信号, 该控制电路 927 将该图像信号转换为驱动器 IC 的输入规范。控制电路 927 将信号分别输出到扫描线侧和信号线侧。当进行数字驱动时, 也采用如下结构, 即在信号线侧设置信号分割电路 928, 从而将输入数字信号分成 m 个来供给。

[0146] 调谐器 924 所接收的信号中的音频信号被传送到音频信号放大器电路 929, 并且其输出经过音频信号处理电路 930 提供到扬声器 933。控制电路 931 从输入部 932 接收接收站 (接收频率) 和音量的控制信息, 并且将信号传送到调谐器 924、音频信号处理电路 930。

[0147] 不言而喻, 本发明不局限于电视设备, 而可以应用于各种各样的用途, 如计算机的监视器、以及大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。

[0148] 图 11B 示出蜂窝电话 2301 的一个示例。该蜂窝电话 2301 包括显示部 2302、操作部 2303 等。当将上述实施例中描述的显示器件用于显示部 2302 时, 可提高大规模生产率。

[0149] 此外, 图 11C 所示的便携式计算机包括主体 2401、显示部 2402 等。通过将上述实施方式所述的显示器件应用于显示部 2402, 可提高大规模生产率。

[0150] 本实施方式可以与其它实施方式所表示的结构适当组合实施。

[0151] 实施方式 8

[0152] 在本实施方式中, 示出了上述实施方式中所示的本发明的晶体管的结构的器件模拟结果。图 15 示出用于器件模拟的晶体管结构, 而图 16 示出图 15 所示的晶体管结构的电流 - 电压特性。注意, 在器件模拟中使用硅谷数据系统 (Silvaco Data Systems) 公司制造的“ATLAS”。

[0153] 描述了图 15 中所示的晶体管的层叠结构。依次层叠衬底 1500、栅电极 1501、栅

极绝缘膜 1502、微晶半导体膜 1503、沟道保护层 1504、非晶半导体膜 1506、杂质半导体层 1507、以及导电膜（源电极、漏电极）1508 形成了图 15 中所示的结构。注意，使用了根据实施方式 1 所述的制造方法。各个层叠膜的厚度如下：厚度 100nm 的玻璃衬底用作衬底 1500、厚度为 150nm 的钼（Mo）膜用作栅电极 1501、厚度为 300nm 的氮化硅（ Si_3N_4 ）膜作为栅极绝缘膜 1502、厚度为 10nm 的处于微晶状态的硅膜作为微晶半导体膜 1503、厚度为 90nm 的氮化硅（ Si_3N_4 ）膜作为沟道保护层 1504、厚度为 200nm 的处于非晶状态的硅膜作为非晶半导体膜 1506、厚度为 50nm 的添加有磷的非晶硅膜作为杂质半导体层 1507、以及厚度为 150nm 的钼（Mo）膜作为导电膜 1508。注意，微晶半导体膜 1503 及沟道保护层 1504 的沟道长度方向的长度被设置为 $10\ \mu\text{m}$ ，而部分重叠在沟道保护层 1504 的端部上的非晶半导体膜 1506 的长度被设置为 200nm。另外，基于层迭的每个膜的物理特性进行器件模拟。

[0154] 另外，将构成非晶半导体膜 1506 的非晶半导体膜的器件模拟中的参数设定为以下所示的数值。

[0155] 数值如下：受体型缺陷能级（尾状分布）在导带边缘的状态密度满足（ $\text{nta} = 3.0\text{E}21[\text{/cm}^3\text{eV}]$ ）；供体型缺陷能级（尾状分布）的价带边缘的状态密度满足（ $\text{ntd} = 4.0\text{E}20[\text{/cm}^3\text{eV}]$ ）；受体型缺陷能级（尾状分布）状态密度的衰减系数满足（ $\text{wta} = 0.025[\text{eV}]$ ）；供体型缺陷能级（尾状分布）状态密度的衰减系数满足（ $\text{wtd} = 0.05[\text{eV}]$ ）；受体型缺陷能级（块状分布）的峰值位置的状态密度（满足 $\text{nga} = 5.0\text{E}17[\text{/cm}^3\text{eV}]$ ）；供体型缺陷能级（块状分布）的峰值位置的状态密度满足（ $\text{ngd} = 5.0\text{E}17[\text{/cm}^3\text{eV}]$ ）；受体型缺陷能级（块状分布）的峰值位置满足（ $\text{ega} = 0.28[\text{eV}]$ ）；供体型缺陷能级（块状分布）的峰值位置满足（ $\text{egd} = 0.79[\text{eV}]$ ）；受体型缺陷能级（块状分布）状态密度的衰减系数满足（ $\text{wga} = 0.1[\text{eV}]$ ）；供体型缺陷能级（块状分布）状态密度的衰减系数满足（ $\text{wgd} = 0.2[\text{eV}]$ ）；受体能级的尾部的电子俘获截面积满足（ $\text{sigtae} = 3.0\text{E}-15[\text{cm}^2]$ ）；受体能级的尾部的空穴俘获截面积满足（ $\text{sigtah} = 3.0\text{E}-13[\text{cm}^2]$ ）；供体能级的尾部的电子俘获截面积满足（ $\text{sigtde} = 3.0\text{E}-13[\text{cm}^2]$ ）；供体能级的尾部的空穴俘获截面积满足（ $\text{sigtdh} = 3.0\text{E}-15[\text{cm}^2]$ ）；受体的高斯分布的电子俘获截面积满足（ $\text{siggae} = 3.0\text{E}-15[\text{cm}^2]$ ）；受体的高斯分布的空穴俘获截面积满足（ $\text{siggah} = 3.0\text{E}-13[\text{cm}^2]$ ）；供体的高斯分布的电子俘获截面积满足（ $\text{siggde} = 3.0\text{E}-13[\text{cm}^2]$ ）；以及供体的高斯分布的空穴俘获截面积，满足（ $\text{siggdh} = 3.0\text{E}-15[\text{cm}^2]$ ）。

[0156] 另外，将构成微晶半导体膜 1503 的微晶状态的硅膜的参数设定为以下所示的数值。注意，将处于微晶状态的硅膜的缺陷密度设定为非晶状态的硅膜的 1/10。

[0157] 数值如下：受体型缺陷能级（尾状分布）的导带端的状态密度满足（ $\text{nta} = 2.0\text{E}21[\text{/cm}^3\text{eV}]$ ）；供体型缺陷能级（尾状分布）的价带端的状态密度满足（ $\text{ntd} = 4.0\text{E}19[\text{/cm}^3\text{eV}]$ ）；受体型缺陷能级（块状分布）的峰值位置的状态密度满足（ $\text{nga} = 9.0\text{E}17[\text{/cm}^3\text{eV}]$ ）；供体型缺陷能级（块状分布）的峰值位置的状态密度（ $\text{ngd} = 5.0\text{E}17[\text{/cm}^3\text{eV}]$ ）。其它参数与非晶硅膜的参数相同。

[0158] 图 16 示出图 15 所示的晶体管的器件模拟的结果。图 16 的曲线 1601 示出当对图 15 所示的晶体管的源电极施加 0V 而对漏电极施加 14V 时流入漏电极的电流（ I_d ）的变化，该电流（ I_d ）对应于施加到栅电极的电压（ V_g ）。此外，图 16 的曲线 1602 表示，在图 15 中的沟道保护层 1504 的区域为非晶硅膜的情况下，当对源电极施加 0V 而对漏电极施加 14V 时

流入漏电极的电流 (I_d) 的变化, 该电流 I_d 对应于施加到栅电极的电压 (V_g)。此外, 图 16 的曲线 1603 表示, 当对图 15 所示的晶体管的源电极施加 0V 而对漏电极施加 1V 时流入漏电极的电流 (I_d) 的变化, 该电流 (I_d) 对应于施加到栅电极的电压 (V_g)。此外, 图 16 的曲线 1604 表示, 在图 15 中的沟道保护层 1504 的区域为非晶硅膜的情况下, 当对源电极施加 0V 而对漏电极施加 1V 时流入漏电极的电流 (I_d), 该电流 (I_d) 对应于施加到栅电极的电压 (V_g)。

[0159] 由图 16 所示的晶体管的电流 - 电压特性可见, 利用本发明的晶体管结构, 可以不依赖于源极和漏极之间的电压, 可减少晶体管截止时的电流量而不改变晶体管导通时的电流量。此外, 由图 16 可见, I_d 与 V_g 之间的关系特性之一——阈值摆动 (S 值) 得以改善。该晶体管的特性的提高是因为: 晶体管的沟道形成区的厚度, 藉此以完全耗尽型的晶体管相同的方式改善了 S 值; 以及因为将绝缘膜用于沟道形成区的上部, 所以不会产生电流和重新结合电流, 而且晶体管截止时的电流量也会减小。如上述那样, 本发明可以提供包括能提高电特性、降低截止电流的薄膜晶体管的显示器件。并且, 如上述那样, 可以在抑制生产率降低的同时, 还抑制寄生电容的增大及制造成本的提高。

[0160] 本申请基于 2007 年 8 月 7 日提交给日本专利局的日本专利申请 S/N2007-205615 而制作, 该申请的全部内容通过引用包括在本说明书中。

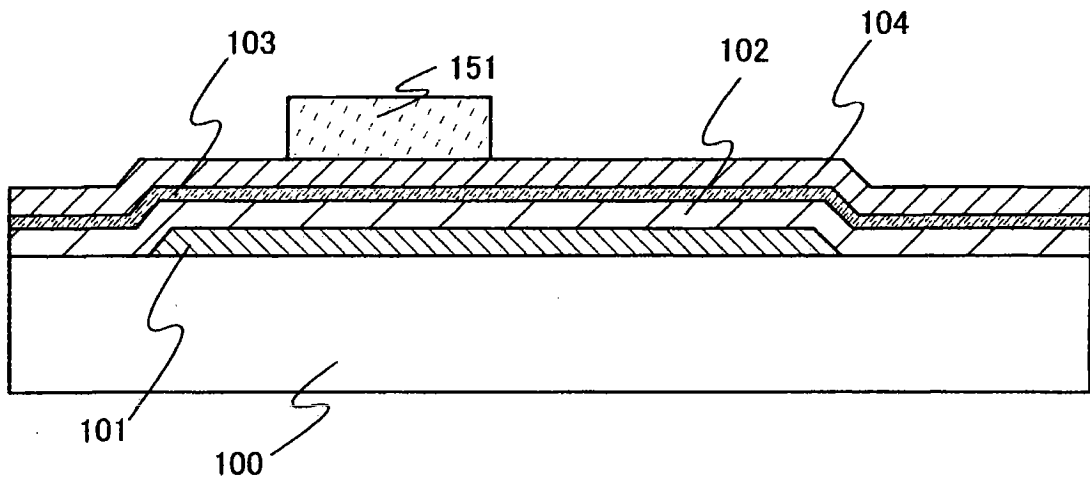


图 1A

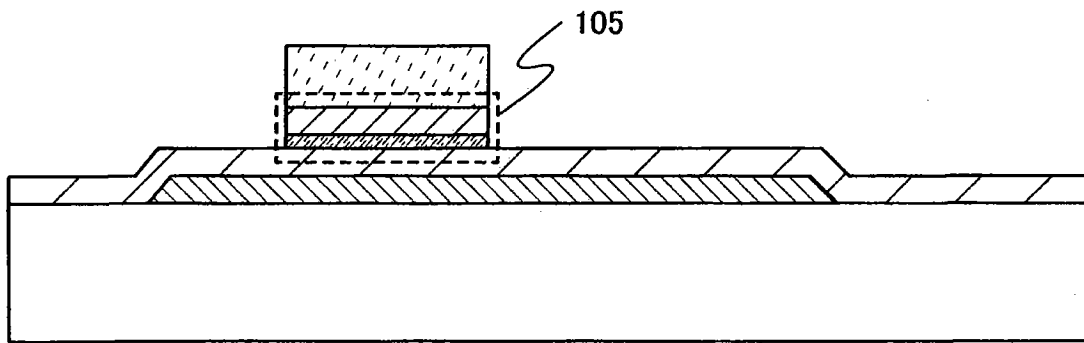


图 1B

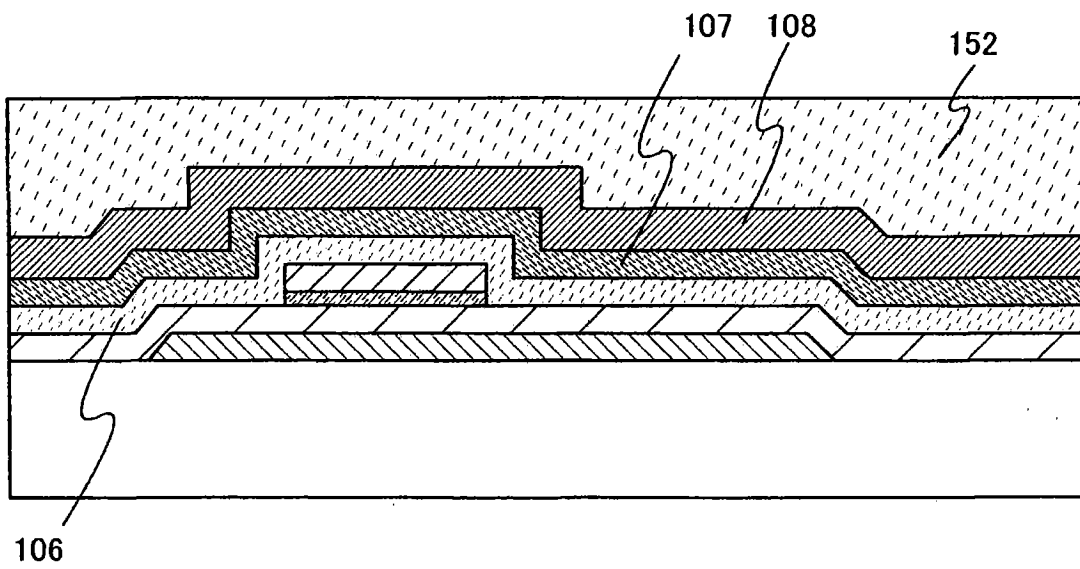


图 1C

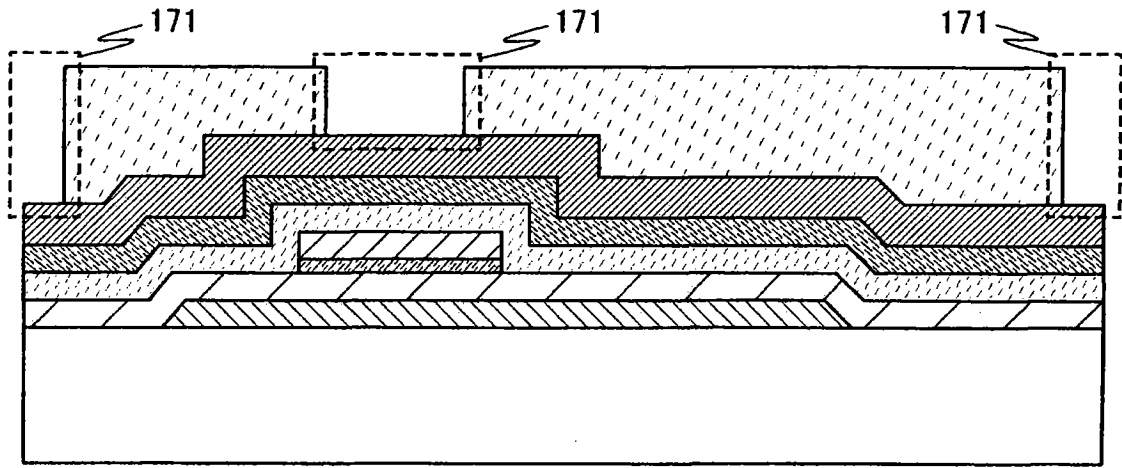


图 2A

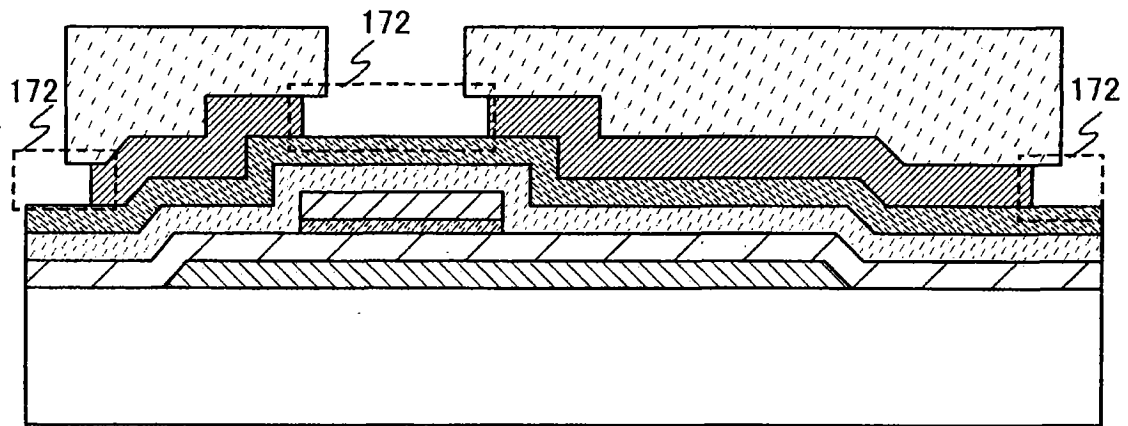


图 2B

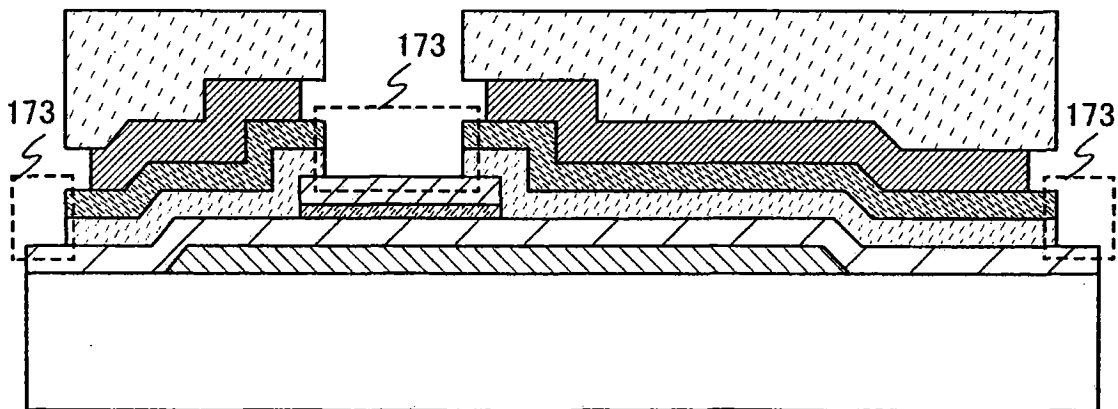


图 2C

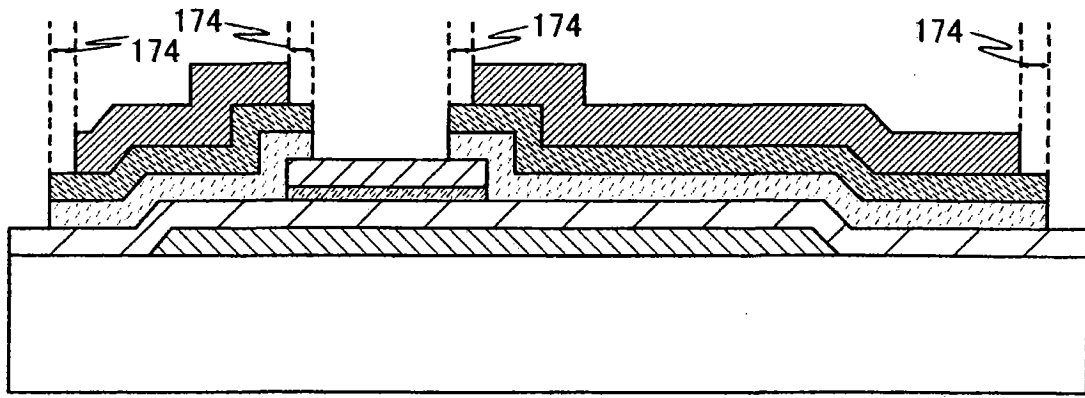


图 3A

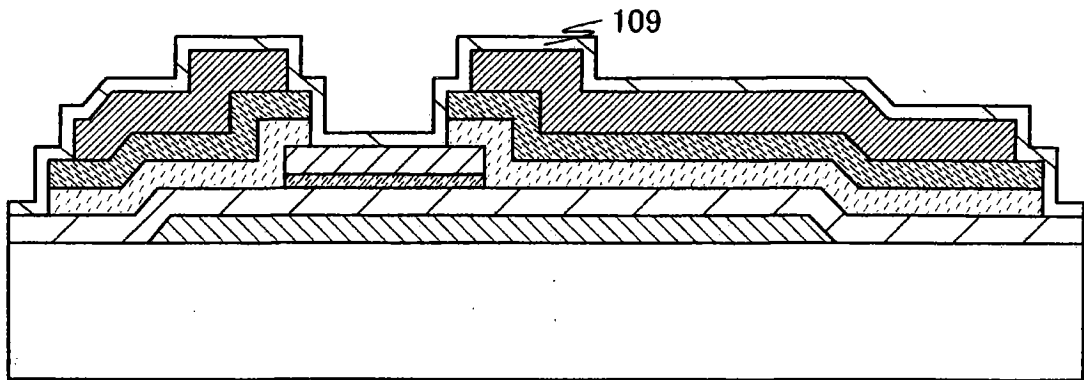


图 3B

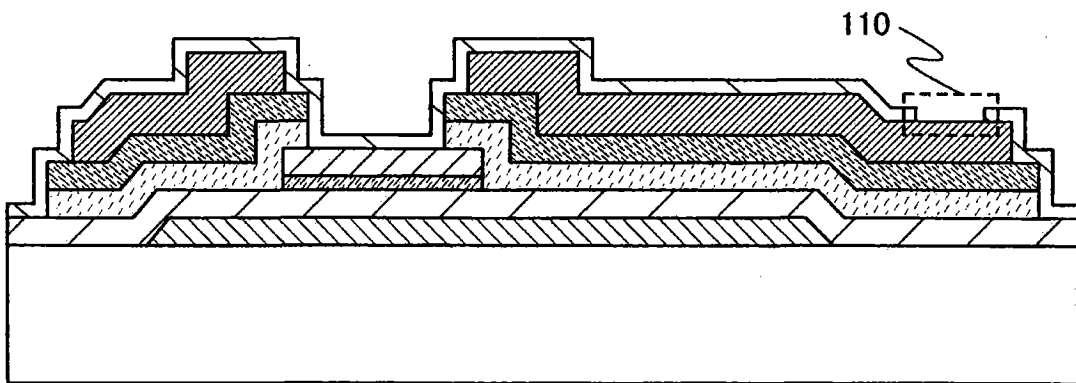


图 3C

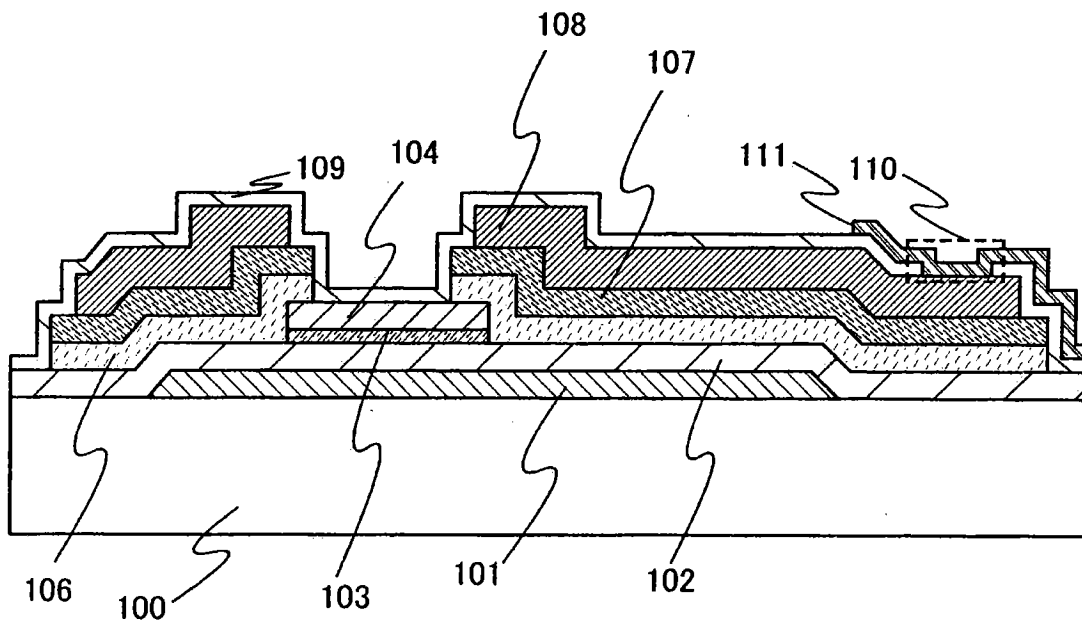


图 4

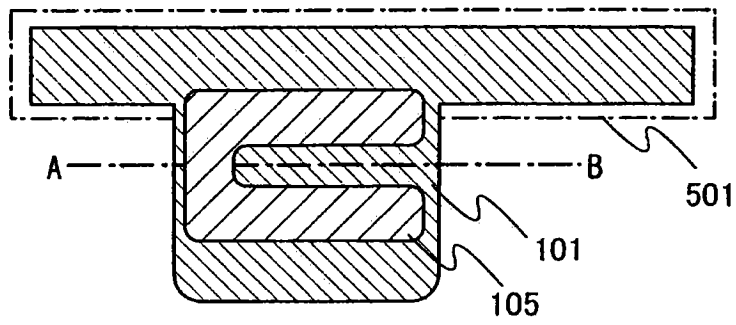


图 5A

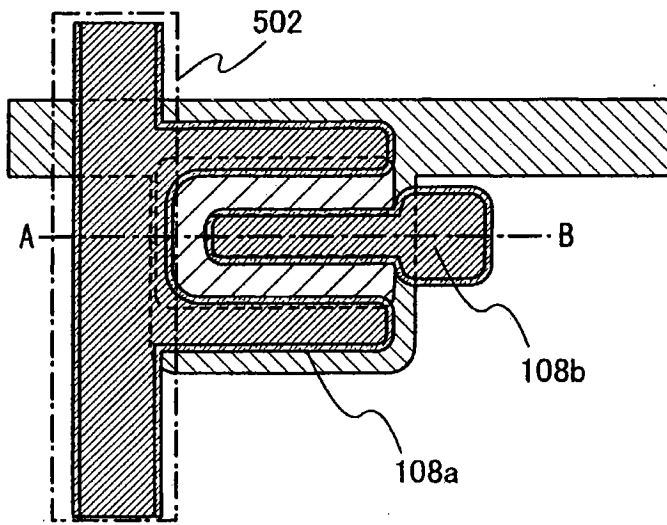


图 5B

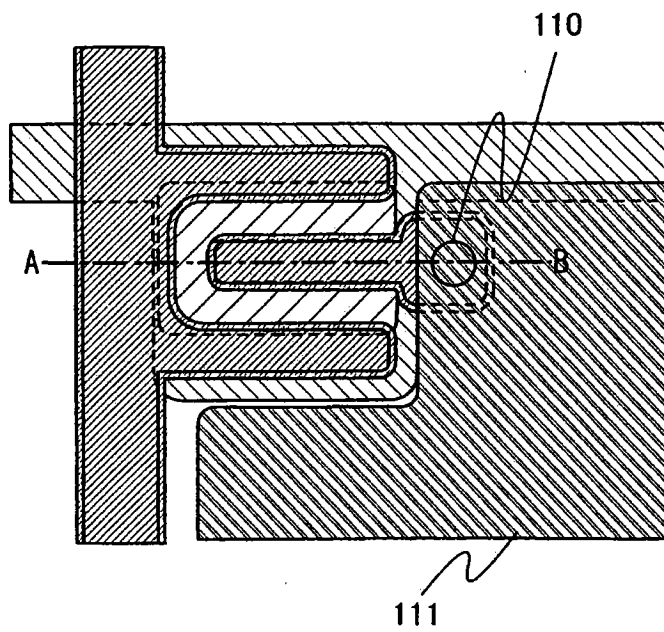


图 5C

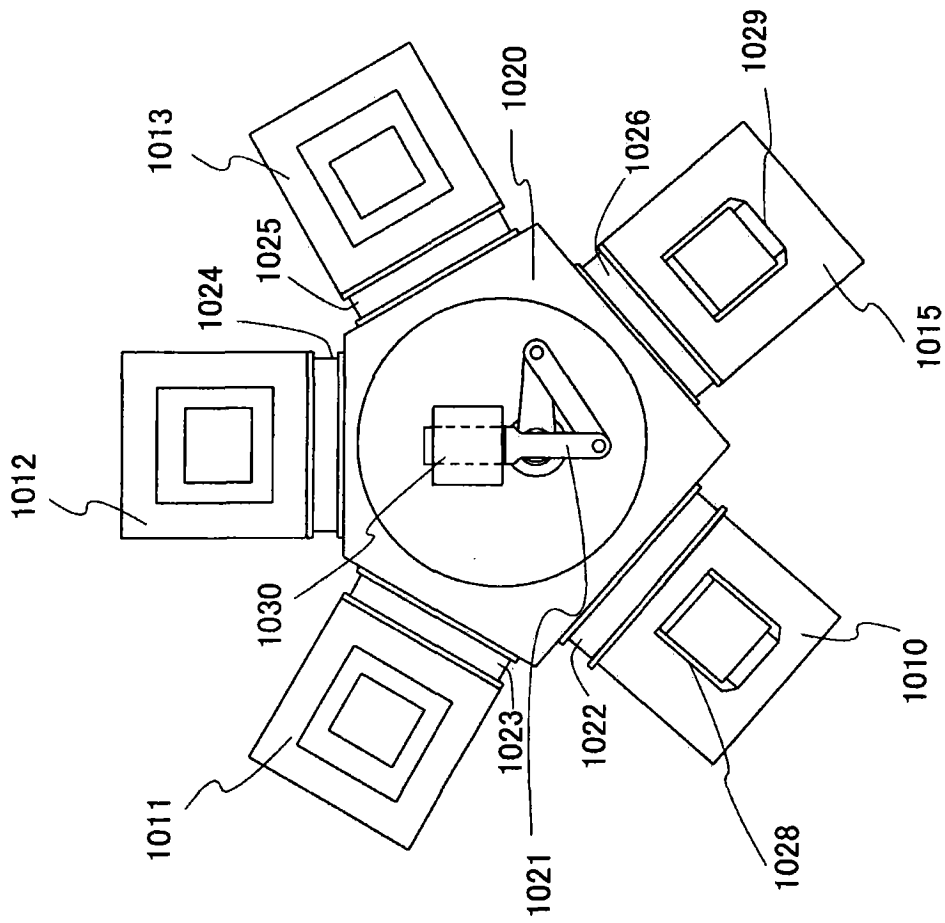


图 6

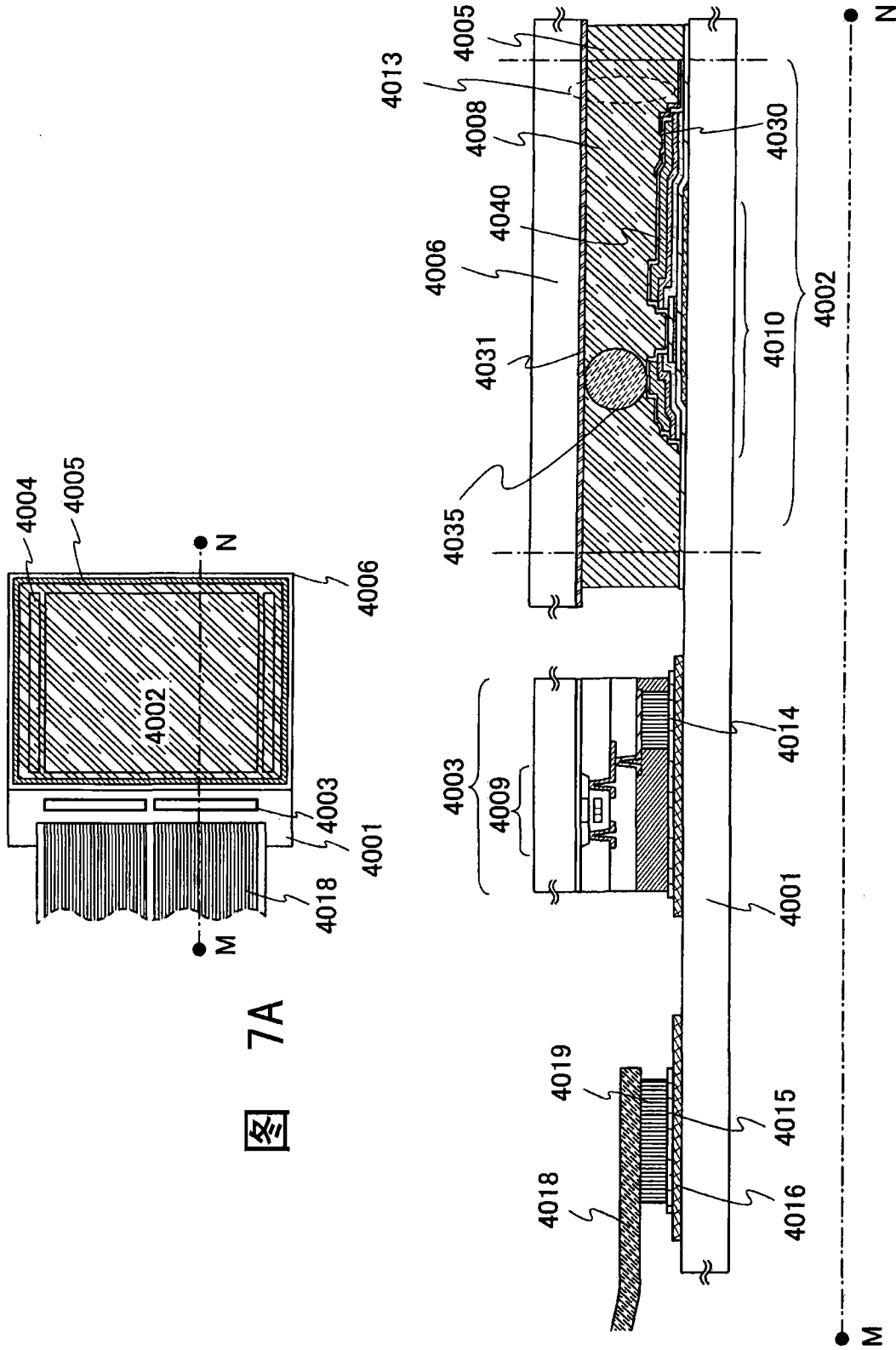


图 7A

图 7B

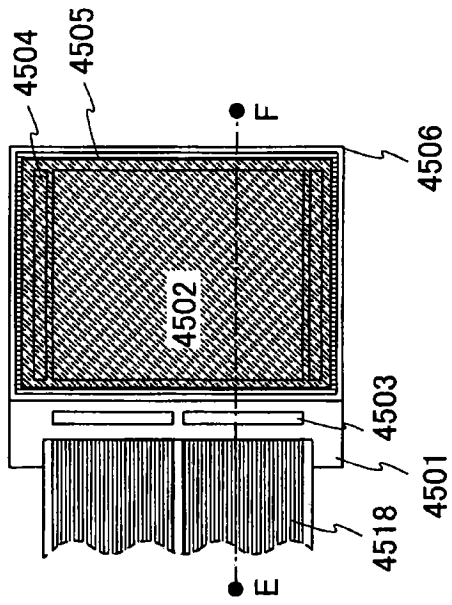


图 8A

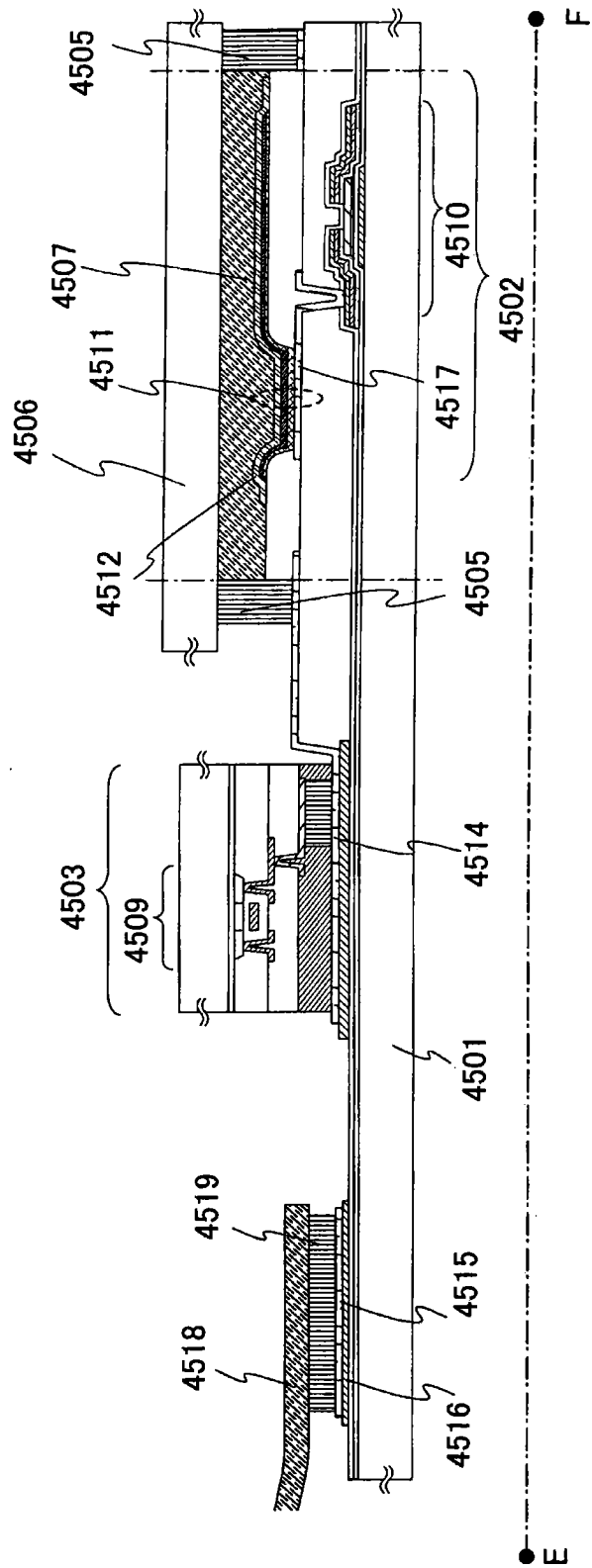


图 8B

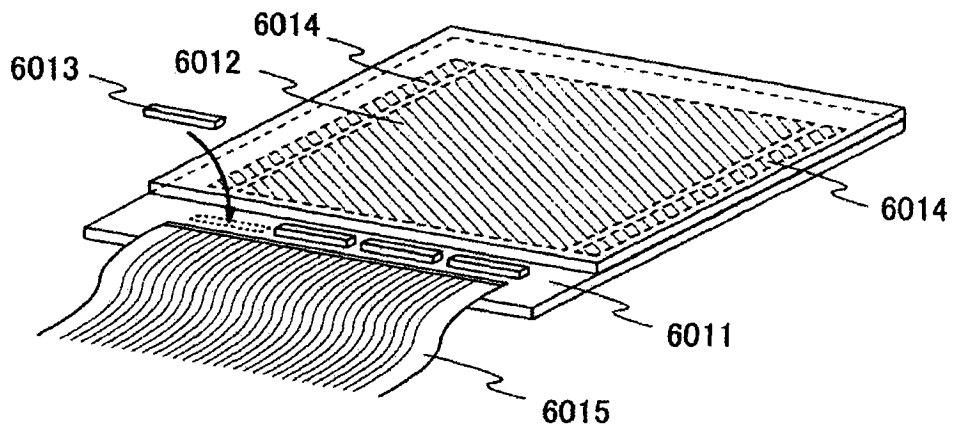


图 9A

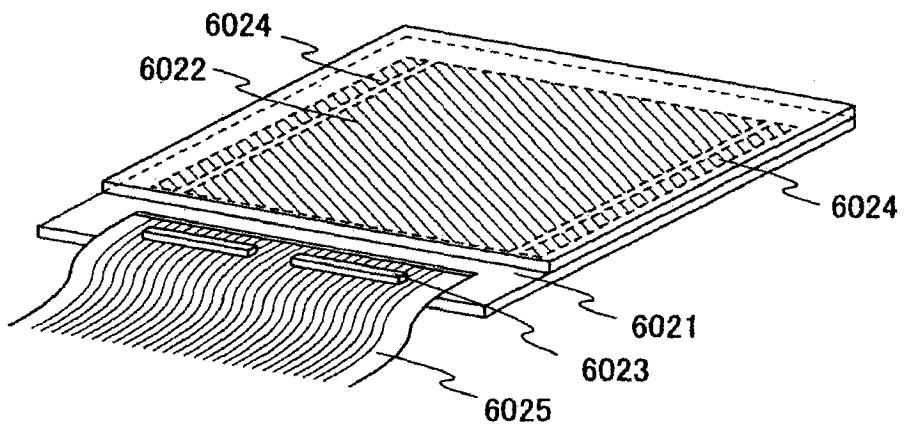


图 9B

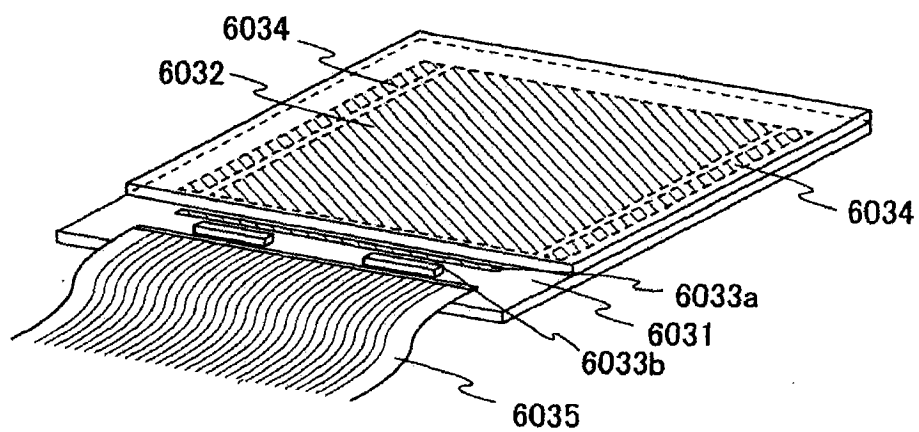


图 9C

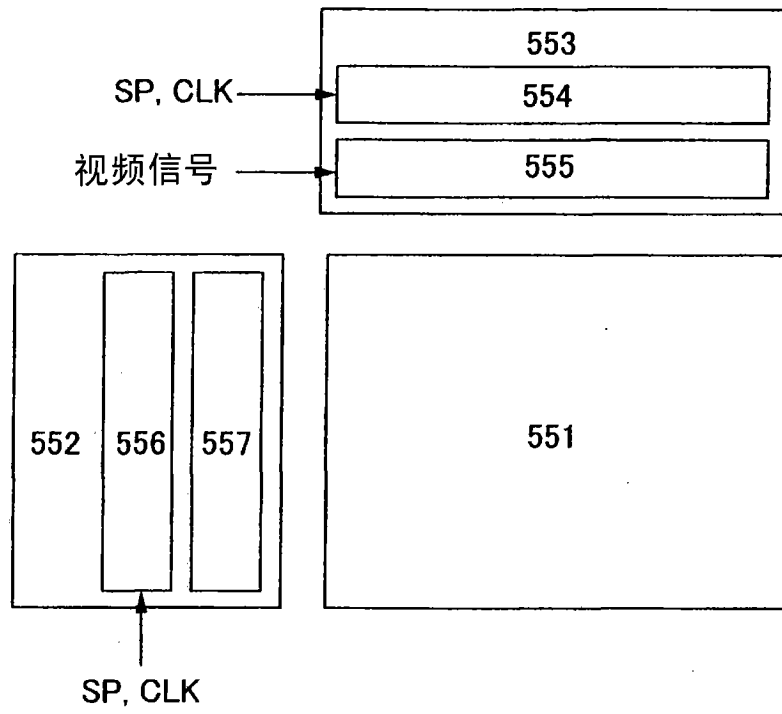


图 10

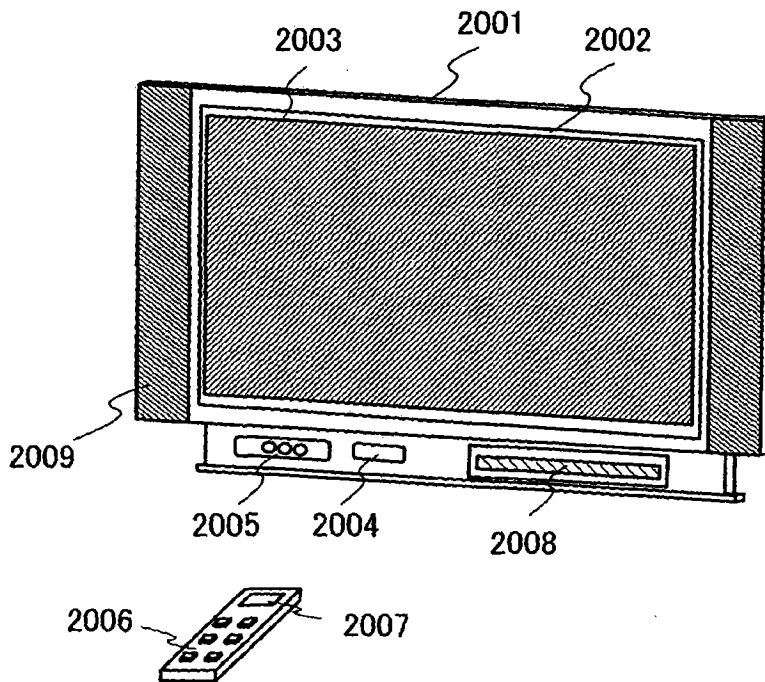


图 11A

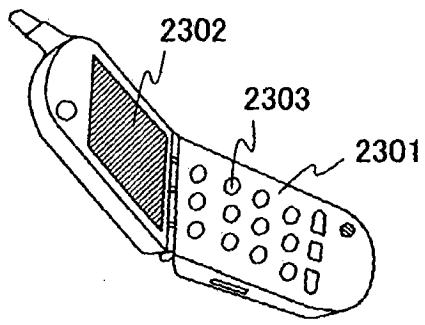


图 11B

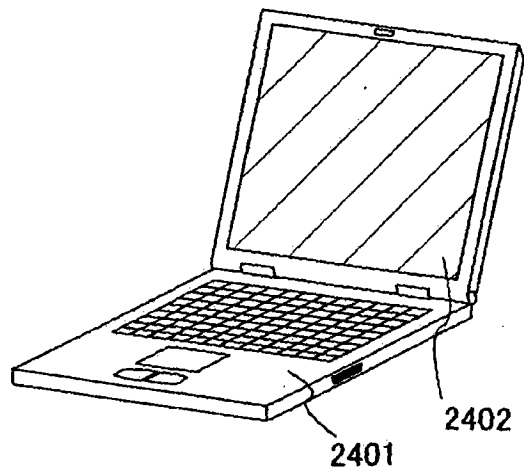


图 11C

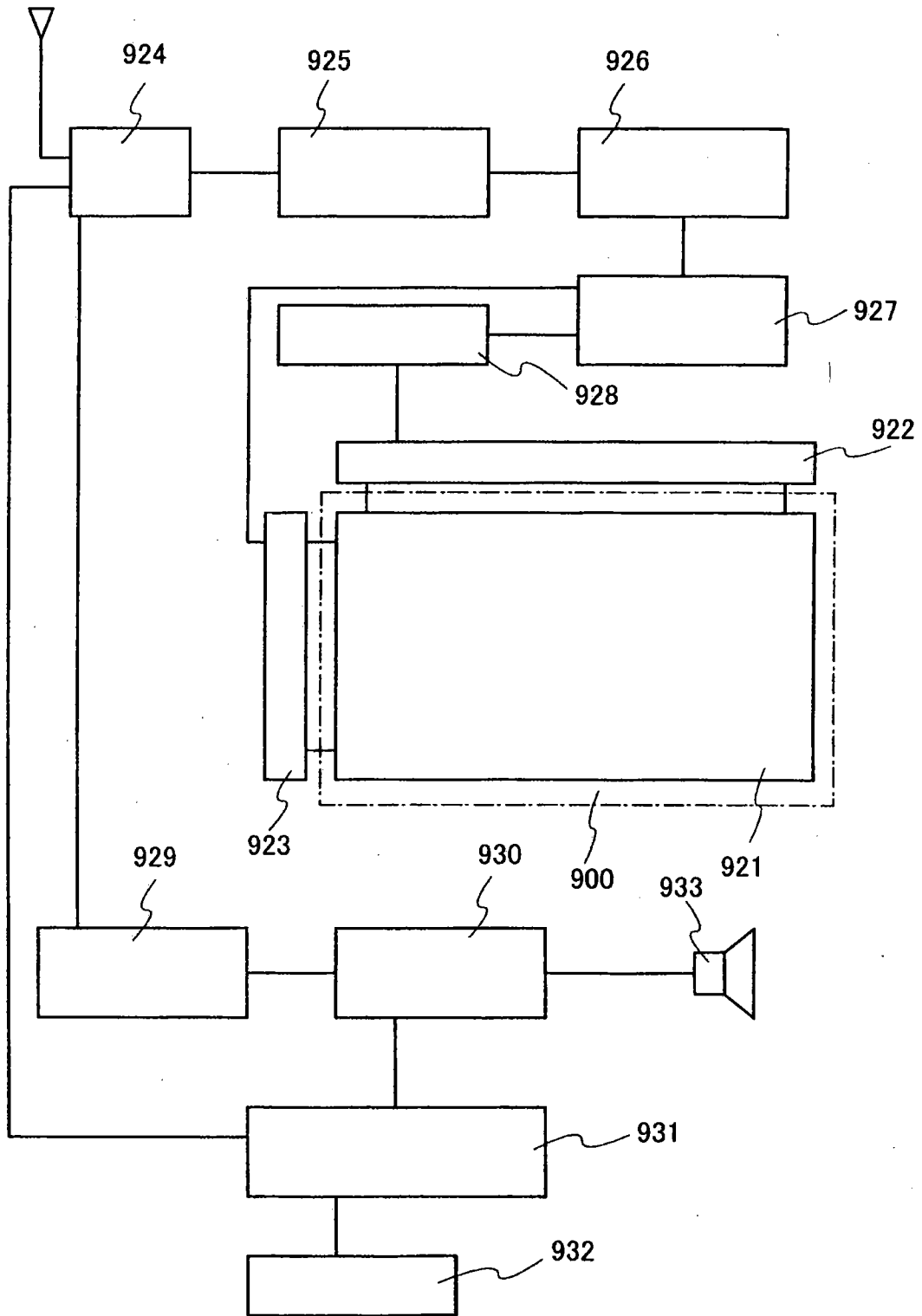


图 12

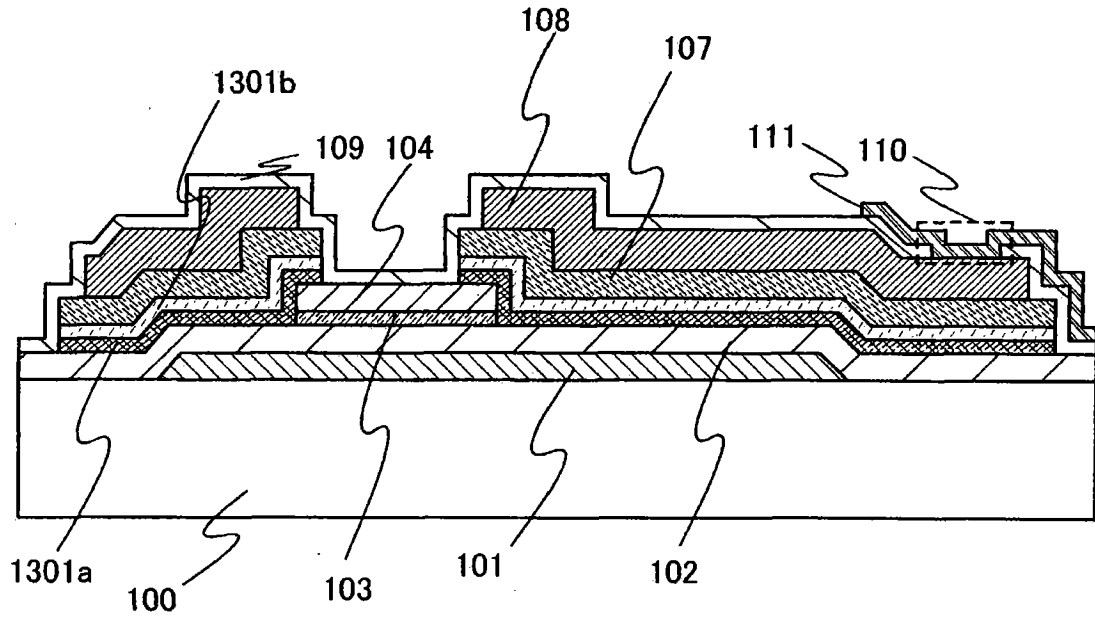


图 13

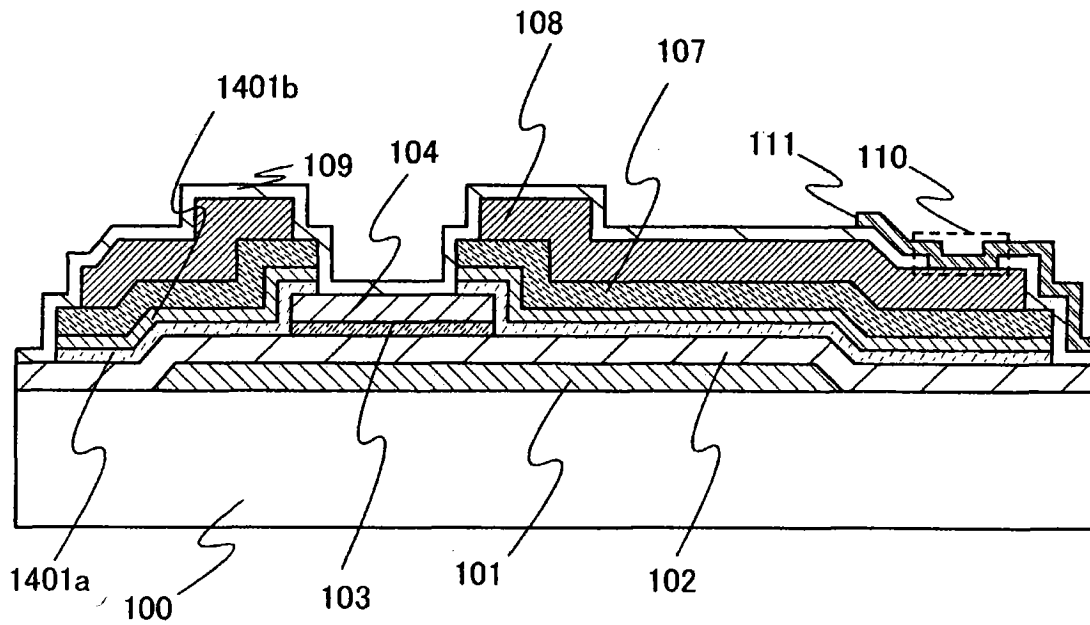


图 14

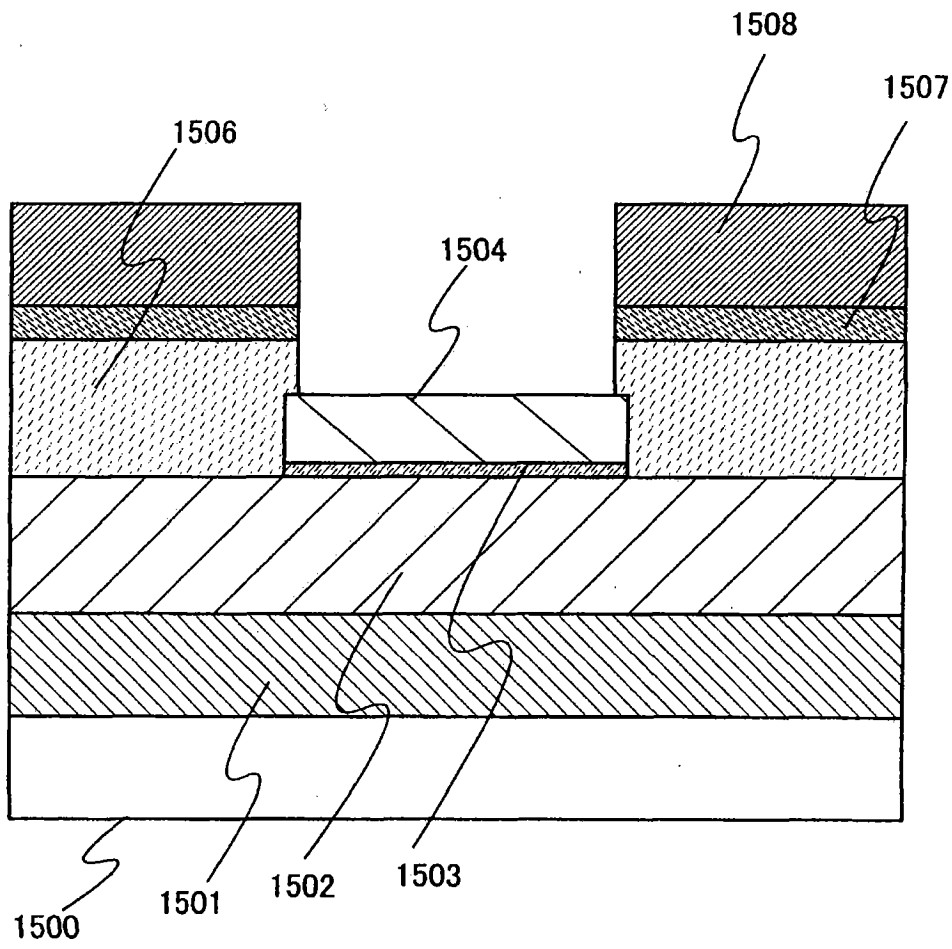


图 15

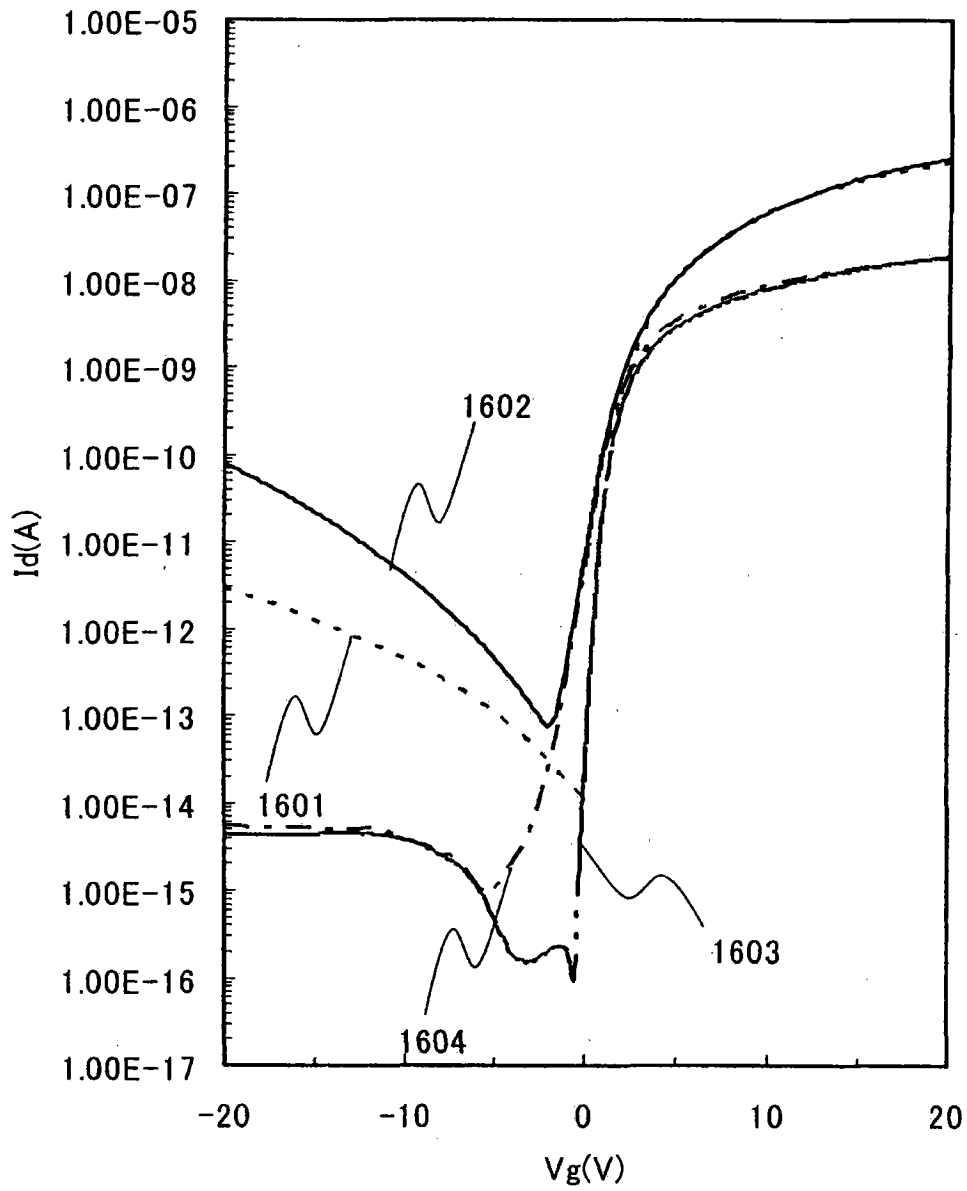


图 16

附图标记说明

100 :衬底,101 :栅电极,102 :栅极绝缘膜,103 :微晶半导体膜,104 :沟道保护层,105 :岛状微晶半导体膜,106 :非晶半导体膜,107 :杂质半导体层,108 :导电膜,108a :源电极,108b :漏电极,109 :绝缘膜,110 :接触孔,111 :像素电极,151 :抗蚀剂,152 :抗蚀剂,171 :孔部,172 :孔部,173 :孔部,174 :宽度,501 :扫描线,502 :信号线,551 :像素部,552 :扫描线驱动电路,553 :信号线驱动电路,554 :移位寄存器,555 :模拟开关,556 :移位寄存器,557 :缓冲器,900 :显示面板,921 :像素部,922 :信号线驱动电路,923 :扫描线驱动电路,924 :调谐器,925 :图像信号放大电路,926 :图像信号处理电路,927 :控制电路,928 :信号分割电路,929 :音频信号放大电路,930 :音频信号处理电路,931 :控制电路,932 :输入部,933 :扬声器,1010 :装载室,1011 :反应室 (1),1012 :反应室 (2),1013 :反应室 (3),1015 :卸载室,1020 :公共室,1021 :传送装置,1022 :闸阀,1023 :闸阀,1024 :闸阀,1025 :闸阀,1026 :闸阀,1028 :盒子,1029 :盒子,1301a :非晶半导体膜,1301b :非晶半导体膜,1401a :非晶半导体膜,1401b :非晶半导体膜,1500 :衬底,1501 :栅电极,1502 :栅极绝缘膜,1503 :微晶半导体膜,1504 :沟道保护层,1506 :非晶半导体膜,1507 :杂质半导体层,1508 :导电膜,1601 :曲线,1602 :曲线,1603 :曲线,1604 :曲线,2001 :外壳,2002 :显示面板,2003 :主屏,2004 :调制解调器,2005 :接收器,2006 :遥控单元,2007 :显示部,2008 :子屏,2009 :扬声器部,2301 :蜂窝电话,2302 :显示部,2303 :操作部,2401 :主体,2402 :显示部,4001 :衬底,4002 :像素部,4003 :信号线驱动电路,4004 :扫描线驱动电路,4005 :密封剂,4006 :衬底,4008 :液晶,4009 :薄膜晶体管,4010 :薄膜晶体管,4013 :液晶元件,4014 :布线,4015 :布线,4016 :连接端子,4018 :FPC,4019 :各向异性导电膜,4030 :像素电极,4031 :对电极,4035 :隔离件,4040 :布线,4501 :衬底,4502 :像素部,4503 :信号线驱动电路,4504 :扫描线驱动电路,4505 :密封剂,4506 :衬底,4507 :填充剂,4509 :薄膜晶体管,4510 :薄膜晶体管,4511 :发光元件,4512 :导电材料,4514 :布线,4515 :布线,4516 :连接端子,4517 :布线,4518 :FPC,4519 :各向异性导电膜,6011 :衬底,6012 :像素部,6013 :信号线驱动电路,6014 :扫描线驱动电路,6015 :FPC,6021 :衬底,6022 :像素部,6023 :信号线驱动电路,6024 :扫描线驱动电路,6025 :FPC,6031 :衬底,6032 :像素部,6033a :模拟开关,6033b :移位寄存器,6034 :扫描线驱动电路,6035 :FPC