(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3799869号

(P3799869)

(45)発行日　平成18年7月19日(2006.7.19)　(24)登録日　平成18年5月12日(2006.5.12)

(51)Int.Cl.		F I		
G06F 1/30	(2006.01)	G06F	1/00	341Q
G06F 15/02	(2006.01)	G06F	15/02	305L
G09G 3/18	(2006.01)	G09G	3/18	
H01L 27/04	(2006.01)	H01L	27/04	B
H01L 21/822	(2006.01)			

請求項の数 6　(全 14 頁)

(21)出願番号　特願平11-89668
(22)出願日　平成11年3月30日(1999.3.30)
(65)公開番号　特開2000-284866(P2000-284866A)
(43)公開日　平成12年10月13日(2000.10.13)
審査請求日　平成15年5月28日(2003.5.28)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　土屋　雅彦
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　小泉　徳夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】電源回路を搭載した半導体装置並びにそれを用いた液晶装置及び電子機器

(57)【特許請求の範囲】

【請求項１】

論理信号をレベルシフトするレベルシフタと、

外部電源から第１，第２の電源電位が供給され、その間の電位の絶対値を昇圧して容量にチャージする昇圧回路と、

前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時にアクティブとなる信号に基づいて、前記第１，第２の電源電位が等しくなる前に、前記昇圧回路の前記容量にチャージされた電位をディスチャージさせるディスチャージ回路と、

を含む電源回路が搭載され、

前記昇圧回路は、昇圧時に前記レベルシフタからの出力信号に基づいて前記容量の一端の接続をオン／オフするスイッチング手段を含み、

前記ディスチャージ回路は、前記電源異常時に不定となる前記レベルシフタの出力信号の論理に拘らず、前記スイッチング手段を強制的にオンさせて、前記容量にチャージされた電位をディスチャージさせることを特徴とする半導体装置。

【請求項２】

請求項１において、

前記所定値の電位と前記外部電源の電位とを比較する比較器と、

電源正常時には前記レベルシフタの出力信号の論理に基づいて前記スイッチング手段のオン／オフを制御し、前記電源異常時には前記比較器の出力論理に基づいて前記スイッチング手段を強制的にオンさせる論理ゲート回路と、

を有することを特徴とする半導体装置。
【請求項３】
請求項１において、
前記ディスチャージ回路には、電源異常時にアクティブとなるパワーオンリセット信号が入力され、
前記ディスチャージ回路は、電源正常時には前記レベルシフタの出力信号の論理に基づいて前記スイッチング手段のオン／オフを制御し、前記電源異常時には前記パワーオンリセット信号の論理に基づいて前記スイッチング手段を強制的にオンさせる論理ゲート回路を有することを特徴とする半導体装置。
【請求項４】
請求項１乃至３のいずれかにおいて、
前記電源回路は、
前記昇圧回路の出力電位に基づいて、複数種の電位を生成する電位生成回路と、
前記複数種の電位の中から選択された駆動電位を出力する駆動回路と、
前記駆動回路を制御して、前記複数種の電位の中から前記駆動電位を選択制御する駆動制御回路と、
をさらに有することを特徴とする半導体装置。
【請求項５】
請求項１乃至４のいずれかに記載の半導体装置と、
前記半導体装置から供給される電位に基づいて駆動される液晶パネルと、
を有することを特徴とする液晶装置。
【請求項６】
請求項５に記載の液晶装置を有することを特徴とする電子機器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電源回路を搭載した半導体装置並びにそれを用いた液晶装置及び電子機器に関し、特に電池を引き抜いた場合などの電源異常時の誤動作の防止に関する。
【０００２】
【背景技術及び発明が解決しようとする課題】
液晶表示装置では、電極が形成された基板間に封入された液晶に電圧を印加して表示動作が行われる。この種の液晶表示装置は、パーソナルコンピータ、ワードプロセッサ、携帯電話、電子手帳など種々の電子機器に近年多用されている。
【０００３】
ここで、この液晶表示装置を有する電子機器を、定められたシーケンスで電源ＯＦＦした時には画面は一瞬にして消えるように対策されている。しかし、表示駆動中に電池を不意に引き抜いたり、電子機器を強制終了したときのように上記のシーケンス以外で表示を終了した時には、瞬時点灯という現象が生ずる。この現象は、例えば表示駆動中に電池を引き抜いた一瞬は一旦画面が消え、その後に、画面内に横線などの点灯像がしばらくの間表示されるというものである。
【０００４】
本発明者等は、この瞬時点灯現象の原因を鋭意解析し、本発明に至った。
【０００５】
本発明の目的は、電源の異常切断時に生ずる瞬時点灯などの誤動作を防止することができる電源回路を搭載した半導体装置並びにそれを用いた液晶装置及び電子機器に関する。
【０００６】
【課題を解決するための手段】
本発明に係る半導体装置は、外部電源から第１，第２の電源電位が供給され、その間の電位の絶対値を昇圧して容量にチャージする昇圧回路と、
前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時にアクティブとなる

信号に基づいて、前記第１，第２の電源電位が等しくなる前に、前記昇圧回路の前記容量にチャージされた電位をディスチャージさせるディスチャージ回路と、
を含む電源回路が搭載されていることを特徴とする。
【０００７】
例えば電池を引き抜いた後の電源オフ時には、外部電源から供給される第１，第２の電源電位は、ある時間経過後に等しくなって例えばグランド電位となる。
【０００８】
瞬時点灯等の誤動作は、例えば電池を引き抜いた後の電源オフ時後に昇圧回路内の容量にチャージされていた電荷がディスチャージされるのに要する放電時間が、第１，第２の電源電位が等しくなるまでの時間よりも長いことに起因して生ずる。
【０００９】
第１，第２の電源電位間の絶対値が所定値を下回った電源異常時にアクティブとなる信号に基づいて、第１，第２の電源電位が等しくなる前に、昇圧回路の出力電位をディスチャージさせることで、瞬時点灯等の誤動作を防止できた。
【００１０】
本発明では、昇圧回路は、昇圧時に論理信号に基づいて前記容量の一端の接続をオン／オフするスイッチング手段を含み、ディスチャージ回路は、電源異常時に前記論理信号の論理に拘わらず前記スイッチング手段を強制的にオンさせて、前記容量にチャージされた電位をディスチャージさせることができる。
【００１１】
このように、昇圧時に論理信号に基づいて容量の一端の接続をオン／オフするスイッチング手段を、電源異常時には論理信号の論理に拘わらず強制的にオンさせることで、容量にチャージされた電荷をディスチャージさせることができる。
【００１２】
本発明では、ディスチャージ回路は、
前記所定値の電位と前記外部電源の電位とを比較する比較器と、
電源正常時には前記論理信号の論理に基づいて前記スイッチング手段のオン／オフを制御し、前記電源異常時には前記比較器の出力論理に基づいて前記スイッチング手段を強制的にオンさせる論理ゲート回路と、
を有することができる。
【００１３】
このように、電源異常を検出する比較器を半導体装置内部に設け、電源異常時には比較器の出力論理を優先させることで、スイッチング手段を強制的にオンさせることができる。
【００１４】
本発明では、電源異常時にアクティブとなるパワーオンリセット信号がディスチャージ回路に入力されものであってもよい。この場合、ディスチャージ回路は、電源正常時には前記論理信号の論理に基づいて前記スイッチング手段のオン／オフを制御し、前記電源異常時には前記パワーオンリセット信号の論理に基づいて前記スイッチング手段を強制的にオンさせる論理ゲート回路を有することができる。
【００１５】
このように、上述の比較器を半導体装置内部に設ける代わりに、半導体装置外部から供給されるパワーオンリセット信号を利用して、電源異常時にはパワーオンリセット信号の論理を優先させることで、スイッチング手段を強制的にオンさせることができる。
【００１６】
本発明では、前記電源回路は、
前記昇圧回路の出力電位に基づいて、複数種の電位を生成する電位生成回路と、
前記複数種の電位の中から選択された駆動電位を出力する駆動回路と、
前記駆動回路を制御して、前記複数種の電位の中から前記駆動電位を選択制御する駆動制御回路と、
をさらに有することができる。

【００１７】
この場合、電位生成回路にて生成される複数種の電位は、昇圧回路の出力電位の絶対値が降下されているので、同様にその絶対値も降下される。従って、駆動回路が誤動作して複数種の中から駆動電位を選択しても、その駆動電位の絶対値が降下しているので誤動作を防止できる。しかも、複数種の電位を全てディスチャージする必要はなく、その元になる昇圧回路の電位のみをディスチャージさせることで足りる。
【００１８】
また本発明は、上述の半導体装置を用いた液晶装置または電子機器にも適用できる。これらの液晶装置または電子機器においては、その駆動電圧の絶対値を速やかに降下させることができるので、瞬時点灯などの誤動作が生ずることがない。
【００１９】
【発明の実施の形態】
以下、本発明の実施の形態について、図面を参照して説明する。
【００２０】
＜液晶装置の説明＞
図１は液晶装置の主要部の構成を示し、図２は図１の液晶パネルを駆動するための駆動波形の一例を示している。
【００２１】
図１において、液晶パネル例えば単純マトリックス型液晶パネル１０は、コモン電極Ｃ０～Ｃｍが形成された第１の基板と、セグメント電極Ｓ０～Ｓｎが形成された第２の基板との間に、液晶を封止することで形成されている。コモン電極の一本とセグメント電極の一本とが交差する交点が表示画素となり、液晶パネル１０には（ｍ＋１）×（ｎ＋１）の表示画素が存在する。
【００２２】
なお、本実施の形態に係る液晶パネルは、単純マトリックス型液晶パネル１０に代えて、アクティブマトリックス型液晶表示パネルなど、他の液晶パネルを用いることもできる。
【００２３】
この液晶パネル１０を駆動する駆動回路２０として、コモン電極Ｃ０～Ｃｍにに接続されたコモンドライバ２２と、セグメント電極Ｓ０～Ｓｎに接続されたセグメントドライバ２４とが設けられている。これらコモンドライバ２２，セグメントドライバ２４は、電源回路３０から所定の電圧が供給されると共に、駆動制御回路４０からの信号に基づいて、その所定の電圧をコモン電極Ｃ０～Ｃｍまたはセグメント電極Ｓ０～Ｓｎに選択的に供給するものである。
【００２４】
ここで、図１に示す液晶パネル１０のコモン電極Ｃ３を選択するフレーム期間の駆動波形の一例を図２に示す。
【００２５】
図２において、太線はコモンドライバ２２より各コモン電極Ｃ０～Ｃｍに供給される駆動波形であり、細線はセグメントドライバ２４より各セグメント電極Ｓ０～Ｓｎに供給される駆動波形を示している。
【００２６】
図２において、液晶に印加される電圧の極性は、極性反転化信号ＦＲに基づいて正、負に反転される。このため、駆動電位としてはＶ０～Ｖ５の６レベルが用いられる。
【００２７】
図２に示すように、コモンドライバ２２から供給される駆動波形は、電位Ｖ０，Ｖ１，Ｖ４，Ｖ５の間で変化する。一方、セグメントドライバ２４から供給される駆動波形は、電位Ｖ０，Ｖ２，Ｖ３，Ｖ５の間で変化する。
【００２８】
＜半導体装置の構成＞
図３は図１の駆動回路２０、電源回路３０及び駆動制御回路４０を含む１チップ半導体装

置の詳細を示している。なお本発明は、駆動回路２０、電源回路３０及び駆動制御回路４０が複数のチップに分けられている場合にも適用できる。

【００２９】

ここで、本実施の形態では第１の電源電位ＶＤＤを、ＶＤＤ＝Ｖ０としている。電源回路３０は、第１の電源電位ＶＤＤと第２の電源電位ＶＳＳとに基づいて、Ｖ１～Ｖ５を生成している。

【００３０】

電源回路３０は、第１のロジック回路３１と、第１～第３のレベルシフタ３２～３４と、昇圧回路３５と、定電流回路３６と、レギュレータ３７と、ボルテージフォロア回路３８とを有する。なお、定電流回路３６と、レギュレータ３７と、ボルテージフォロア回路３８とで、電位生成回路を構成している。

【００３１】

一方、駆動制御回路４０は、第２のロジック回路４１と、第４のレベルシフタ群４２と、電位選択回路４３とを有する。

【００３２】

第１～第３のレベルシフタ３２～３４は、第１のロジック回路３１の論理出力Ｉとその反転出力ＸＩとをそれぞれレベルシフトさせるものであり、第４のレベルシフタ群４２は、第２のロジック回路４１の論理出力Ｉとその反転出力ＸＩとをレベルシフトさせるものである。

【００３３】

駆動制御回路４０内の電位選択回路４３は、第４のレベルシフタ群４２からの出力に従って、電位Ｖ０～Ｖ５の中のいずれの電位をコモン電極とセグメント電極とに供給するかを選択する信号を、駆動回路２０に出力するものである。

【００３４】

ここで、本実施の形態では、｜ＶＤＤ－ＶＳＳ｜＝３Ｖとし、例えばＶＤＤ＝０Ｖ，ＶＳＳ＝－３Ｖする。一方、液晶に印加される電位は、駆動デューティにより異なり、例えばデューティが１／３２では５～７Ｖが必要となり、デューティが１／６４では８～１２Ｖが必要であり、いずれも｜ＶＤＤ－ＶＳＳ｜＝３Ｖでは電位不足である。

【００３５】

そこで、駆動回路３０には昇圧回路３５と定電流回路３６とが設けられ、｜ＶＤＤ－ＶＳＳ｜＝３Ｖを昇圧して、ＶＯＵＴを生成している。本実施の形態では、ＶＯＵＴ＝－９Ｖとする。レギュレータ３７は、図４に示すように、ＶＯＵＴに基づいて安定した一定電位Ｖ５を生成する。さらに、ボルテージフォロア回路３８では、第１の電源電位ＶＤＤ＝Ｖ０と、レギュレータ３７からの電位Ｖ５とに基づいて、例えばそれを分圧して電位Ｖ１～Ｖ４を生成する。このために、ボルテージフォロア回路３８は、例えば図５に示すように、抵抗分割回路３８Ａと、第１～第４の作動増幅装置３８Ｂ～３８Ｅを有する。以上の動作を図６に模式的に示す。

【００３６】

図３に示す駆動回路２０は、図５に概念的に示すように、Ｖ０～Ｖ５のうちの２つの電位を選択するために、例えばＭＯＳトランジスタにて形成されたスイッチＳＷ１～ＳＷ６が設けられている。各スイッチＳＷ１～ＳＷ６のゲート電位を、図２に示す電位選択回路４３が制御することで、コモン電極、セグメント電極に供給される電位が選択される。

【００３７】

＜瞬時点灯の発生原因について＞

次に、上述した液晶装置での瞬時点灯の発生原因について説明する。

【００３８】

図３に示す第４のレベルシフタ群４２の詳細を図７に示す。図７に示すように、この第４のレベルシフタ群４２は、互いに並列接続された第１，第２の回路５５，６５を有する。第１の電源電位ＶＤＤ（＝Ｖ０）の供給線と電位Ｖ５の供給線との間に、第１のＰ型ＭＯＳトランジスタ５０、第１のＮ型ＭＯＳトランジスタ５１及び第２のＮ型ＭＯＳトランジ

スタ５２が直列に接続されて、第１の回路５５が構成される。第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１のゲートには、図２に示す第２のロジック回路４２からの出力Ｉがそれぞれ供給される。

【００３９】

これら各トランジスタ５０～５１と並列に、第２のＰ型ＭＯＳトランジスタ６０、第３のＮ型ＭＯＳトランジスタ６１及び第４のＮ型ＭＯＳトランジスタ６２が直列接続され、第２の回路６５が構成される。第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のゲートには、図２に示す第２のロジック回路４２からの反転出力ＸＩがそれぞれ供給される。

【００４０】

ここで、第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１の間の電位を、このレベルシフタ４２の反転出力ＸＯとし、第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１の間の電位を、このレベルシフタ４２の出力Ｏとする。反転出力ＸＯは第４のＮ型ＭＯＳトランジスタ６２のゲートに供給され、出力Ｏは第２のＮ型ＭＯＳトランジスタ５２のゲートに供給される。

【００４１】

図７に示す従来のレベルシフタの入出力特性は、下記の表１の通りである。

【００４２】

【表１】

表１

入　力　Ｉ	入　力　ＸＩ	出　力　Ｏ
Ｈ（ＶＤＤ）	Ｌ（ＶＳＳ）	Ｈ（ＶＤＤ）
Ｌ（ＶＳＳ）	Ｈ（ＶＤＤ）	Ｌ（Ｖ５）
Ｈ（ＶＤＤ）	Ｈ（ＶＤＤ）	不　定
Ｌ（ＶＳＳ）	Ｌ（ＶＳＳ）	不　定

ここで、上記の表１中のＩ＝ＸＩ＝Ｈ（ＶＤＤ）あるいはＩ＝ＸＩ＝Ｌ（ＶＳＳ）の各状態が、電池を引き抜いた場合等の電源の強制切断時の状態である。ＶＤＤ＝ＯＶ，ＶＳＳ＝－３Ｖである場合には、電源の強制切断時にはＩ＝ＸＩ＝ＶＤＤ＝ＯＶとなる。

【００４３】

このとき、電源の強制切断前の状態において、図７に示す従来回路にてＩ＝Ｈ（ＶＤＤ），ＸＩ＝Ｌ（ＶＳＳ）とし、この状態の後に電源が強制切断された場合について説明する。

【００４４】

この場合、電源が強制切断されると第２のロジック回路４１からの入力Ｉ＝ＸＩ＝Ｈ（ＶＤＤ）となり、第２のＰ型ＭＯＳトランジスタ６０がオンからオフに変化し、第３のＮ型ＭＯＳトランジスタ６１はオフからオンに変化する。このとき、図２に示すＶＯＵＴから生成されるＶ５もＶＤＤに変化するが、このＶ５→ＶＤＤの変化はＶＳＳ→ＶＤＤより遅い。

【００４５】

この理由を図８に詳細を示す従来の３倍昇圧回路３５を用いて説明する。

【００４６】

図８では、第１，第３のＮ型ＭＯＳトランジスタ８１，８３のゲートに、第３のレベルシフタ３４のＯ出力が供給され、第２のＮ型ＭＯＳトランジスタ８２のゲートに、第３のレベルシフタ３４のＸＯ出力が供給される。

【００４７】

この昇圧回路３５は、第３のレベルシフタ３４のＯ出力、ＸＯ出力によりオン／オフ制御されるＮ型ＭＯＳトランジスタ８１～８３によって電荷がチャージされる容量Ｃ１～Ｃ３を有する。出力電位ＶＯＵＴは容量Ｃ３にチャージされた電荷によって決定される。

【００４８】

ここで、電源が強制切断されると、容量Ｃ３の電荷がディスチャージされるが、この速度は遅く、第１，第２の電源電位ＶＤＤ，ＶＳＳが等しくなった後にもディスチャージは完了しない。電位Ｖ５は電位ＶＯＵＴから生成されるため、この電位Ｖ５も容量Ｃ３の電荷の影響によりすぐには電位ＶＤＤ（＝０Ｖ）にはならないからである。

【００４９】

次に図７を参照して説明すると、電源の強制切断前の第４のレベルシフタ群４２の出力Ｏ＝ＶＤＤの電位をデータとすると、このデータは、容量にデータを残して保持するＤＲＡＭでのダイナミックなデータ保持動作と同じく、容量から電荷が抜けるに従いリフレッシュされ、データをダイナミックホールドしていることと同じとなる。

【００５０】

すなわち、図７に示す第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のオン／オフ状態の変化により、出力Ｏの電位は中間レベルに向け下降し、ついには第２のＮ型ＭＯＳトランジスタ５２がオンからオフに変化し、出力ＸＯの電位が上がることになる。

【００５１】

こうすると、図３に示す電位選択回路４３を介して、図５に示す駆動回路２０の第１～第６のスイッチ（ＭＯＳトランジスタ）ＳＷ１～ＳＷ６のゲート電位が変わり、しかも電位Ｖ１～Ｖ５は図８に示す昇圧回路の容量Ｃ２の影響により完全にディスチャージされていないので、これらに起因して上述した瞬時点灯が生ずることになる。

【００５２】

＜昇圧回路３５での瞬時点灯対策＞

図９は、上述した瞬時点灯を防止する対策を施した図２中の昇圧回路３５の回路図である。

【００５３】

図９に示す３倍昇圧回路３５について説明する。図９において、この昇圧回路３５は、第１～第３のＮ型ＭＯＳトランジスタ８１～８３を、デプレーション型トランジスタにて構成している。また、図９に示す昇圧回路３５は、図８に示す構成に加えて、第１，第２のナンド回路９１，９２と、コンパレータ１００と、バッファ１０２とをさらに有する。

【００５４】

ナンドゲート９１の出力は、第１，第３のＮ型ＭＯＳトランジスタ８１，８３のゲートに供給される。ナンドゲート９２の出力は、第２のＮ型ＭＯＳトランジスタ８２のゲートに供給される。

【００５５】

第１のナンド回路９１には第３のシフトレジスタ３４のＯ出力と、バッファ１０２の出力とが入力される。第２のナンド回路９２には、第３のシフトレジスタ３４のＸＯ出力と、バッファ１０２の出力とが入力される。

【００５６】

コンパレータ１００のプラス端子には基準電位ＶＲＥＧが入力され、マイナス端子に第２の電源電位ＶＳＳが入力される。この基準電位ＶＲＥＧは、第１の電源電位ＶＤＤ（＝０Ｖ）に基づいて基準電位生成回路１０１にて生成され、基準電位ＶＲＥＧは例えば－１．８Ｖである。基準電位生成回路１０１は例えば１または直列接続された複数のＭＯＳトランジスタにて構成され、第１の電源電位ＶＤＤを各トランジスタにてしきい値電位Ｖｔｈ分だけ電位降下させることで、基準電位ＶＲＥＧを生成することができる。

【００５７】

このコンパレータ１００の出力は、図１１に示すように、第２の電源電位ＶＳＳが基準電位ＶＲＥＧよりも低い正常時にはＨＩＧＨ（ＶＤＤ）が出力され、第２の電源電位ＶＳＳ

が基準電位ＶＲＥＧよりも高い電源の強制切断時等にはＬＯＷ（ＶＯＵＴ）が出力される。バッファ１０２の出力も、電源電位の正常時にはＨＩＧＨ（ＶＤＤ）となり、電源電位の異常時にはＬＯＷ（ＶＯＵＴ）となる。

【００５８】

なお、コンパレータ１００，基準電位生成回路１０１及びバッファ１０２を、この電源回路３０などを搭載した半導体装置内に設けるものに限らず、バッファ１０２の出力の代わりに、半導体装置外部から入力されるパワーオンリセット信号を、第１，第２のナンド回路９１，９２に供給しても良い。パワーオンリセット信号は、外部電源の電位を常時検出するディテクタの出力であり、電源電位が所定値以下になるとアクティブ（例えばＬＯＷアクティブ）となる信号である。従って、パワーオンリセット信号がアクティブであれば、バッファ１０２の出力と等価となる。

【００５９】

ところで、電源電位の正常供給時には、バッファ１０２の出力またはパワーオンリセット信号はＨＩＧＨ（ＶＤＤ）である。このため、第１，第２のナンド回路９１，９２の出力として、第３のシフトレジスタ３４のＯ出力、ＸＯ出力の論理が反転されて出力される。すなわち電源正常時には、Ｏ出力がＬＯＷ（Ｉ入力がＬＯＷ）、ＸＯ出力がＨＩＧＨ（ＸＩ入力がＨＩＧＨ）であれば、第１のナンド回路９１の出力はＨＩＧＨ、第２のナンド回路９２の出力はＬＯＷとなる。逆に、Ｏ出力がＨＩＧＨ（Ｉ入力がＨＩＧＨ）、ＸＯ出力がＬＯＷ（ＸＩ入力がＬＯＷ）であれば、第１のナンド回路９１の出力はＬＯＷ、第２のナンド回路９２の出力はＨＩＧＨとなる。

【００６０】

ここで、図１２のタイミングｔ１では、第１のＮ型ＭＯＳトランジスタ８１がオン、第２のＰ型ＭＯＳトランジスタ８２がオフ、第３のＮ型ＭＯＳトランジスタ８３がオンしているとする。このため、第１の容量Ｃ１の両端には電位ＶＳＳ、電位ＶＤＤ（Ｉ入力）が印加されるので、第１の容量Ｃ１には電位ＶＳＳの電荷がチャージされる。

【００６１】

次に、図１２のタイミングｔ２では、第１のＮ型ＭＯＳトランジスタ８１がオフ、第２のＮ型ＭＯＳトランジスタ８２がオン、第３のＮ型ＭＯＳトランジスタ８３がオフしている。このとき、第１の容量Ｃ２の他端のＩ入力が電位ＶＤＤから電位ＶＳＳに変化するため、第１の容量Ｃ１には電位（２ＶＳＳ）の電荷がチャージされることになる。

【００６２】

ここで、第２のＮ型ＭＯＳトランジスタ８２がオンし、第２の容量Ｃ２の一端には上記電位（２ＶＳＳ）が、他端には電位ＶＤＤ（ＸＩ入力）が印加されることから、第２の容量Ｃ２に電位（２ＶＳＳ）がチャージされる。ただし、この第２の容量Ｃ２にチャージされた電位は、第３のＮ型トランジスタ８３がオフ状態であるので、電位ＶＯＵＴとして出力されることはない。

【００６３】

次に、図１２のタイミングｔ３では、再び、第１のＮ型ＭＯＳトランジスタ８１がオン、第２のＮ型ＭＯＳトランジスタ８２がオフ、第３のＰ型ＭＯＳトランジスタ８３がオンする。このとき、ＤＩ入力は電位ＶＤＤから電位ＶＳＳに変化することから、第２の容量Ｃ２の他端の電位が電位ＶＤＤから電位ＶＳＳに変化する。このため、第２の容量Ｃ２には電位（３ＶＳＳ）がチャージされる。この第２の容量Ｃ２にチャージされた電位（３ＶＳＳ）は、第３のＮ型トランジスタ８３がオンしているため、第３の容量Ｃ３にチャージされると共に、電位ＶＯＵＴとして出力される。

【００６４】

ここで、本実施の形態ではＶＳＳ＝－３Ｖであるから、－９ＶのＶＯＵＴ電位が得られ、３倍昇圧が実施される。

【００６５】

図１２に示すタイミングｔ３以降の任意のタイミングにて、電源が強制切断されて、ＶＳＳがＶＲＥＧを超えたタイミングｔｎにて、コンパレータ１００及びバッファ１０２の

出力がＨＩＧＨからＬＯＷに変化するものとする。従って、第１，第２のナンド回路９１，９２の出力は、第３のシフトレジスタ３４のＯ出力、ＸＯ出力の論理に拘わらず共にＨＩＧＨとなる。

【００６６】

これにより、第１～第３のＮ型ＭＯＳトランジスタ８１～８３は強制的にオンされる。従って、第２，第３の容量Ｃ２，Ｃ３にチャージされていた電荷はディスチャージされ、出力電位ＶＯＵＴの絶対値を速やかに低下させることができる。

【００６７】

ここで、第３のシフトレジスタ３４のＩ入力、ＸＩ入力は、電源の強制切断により図１２のタイミングｔｍにてＶＤＤ＝ＶＳＳ＝ＨＩＧＨ（０Ｖ）となる。

【００６８】

しかし、第１～第３のＮ型ＭＯＳトランジスタ８１～８３の能力を大きくしてオン抵抗を小さくしておけば、ＶＳＳがＶＤＤと等しくなるより速く、第２，第３の容量Ｃ２，Ｃ３にチャージされていた電荷を、第１～第３のＮ型ＭＯＳトランジスタ８１～８３を介してディスチャージさせることができる。

【００６９】

このため、電源の強制切断時には、ＶＳＳがＶＤＤと等しくなる前に、昇圧回路３５の出力電位ＶＯＵＴを降下させることができるので、上述の通りに瞬時点灯が防止される。

【００７０】

＜昇圧回路の変形例＞

図１０は、昇圧回路３５の変形例を示している。図１０に示す昇圧回路３５は、図８に示す従来の昇圧回路の構成に加えて、第２の容量Ｃ２に並列接続されたＰ型ＭＯＳトランジスタ８４と、そのゲート電位を制御するコンパレータ１００及びバッファ１０２とを有する。なお、コンパレータ１００及びバッファ１０２の動作は、図９の動作と同様である。

【００７１】

図１０に示す昇圧回路３５における電源電位の正常時の３倍昇圧動作は、図９と同様にして実施される。

【００７２】

ここで、第３の容量Ｃ３に電位（３ＶＳＳ）がチャージされているときに電源電位の異常が生ずると、図９と同様にしてバッファ１０２の出力がＬＯＷとなる。これにより、第３の容量Ｃ３と並列接続されたＰ型ＭＯＳトランジスタ８４がオンされる。このため、第３の容量Ｃ３にチャージされていた電荷がディスチャージされ、図９と同様にして瞬時点灯が防止される。

【００７３】

＜ＶＯＵＴの出力段階での瞬時点灯対策＞

図１３は、図８に示す構成を有する従来の昇圧回路３５の後段で、その昇圧回路３５の出力電位ＶＯＵＴをディスチャージさせる変形例を示している。

【００７４】

図１３に示すように、ＶＯＵＴの出力線Ｌ１と第１の電源電位ＶＤＤの供給線との間には、能力の大きなＰ型ＭＯＳトランジスタ１１０が接続され、そのゲートには上述したコンパレータ１００の出力がバッファ１０２を介して供給される。バッファ１０２の出力の代わりに、上述したパワーオンリセット信号を用いても良い。

【００７５】

この図８に示す回路構成では、図９の回路構成とは異なり、電源の強制切断時に昇圧回路３５にて第２の容量Ｃ２の電荷をディスチャージすることはできない。

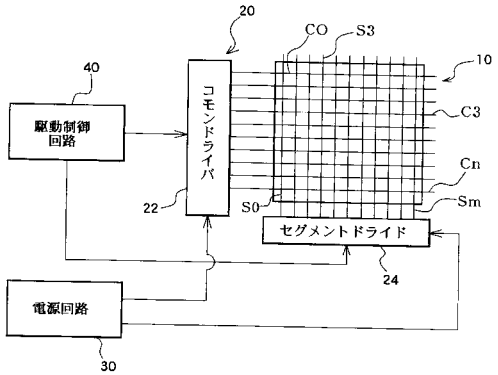
【００７６】

図１３に示す構成によれば、電源の強制切断時には、バッファ１０２の出力あるいはパワーオンリセット信号がＬＯＷ（ＶＯＵＴ）となる。これにより、Ｐ型ＭＯＳトランジスタ１１０がオンされ、図８の第３の容量Ｃ３にチャージされていた電荷はディスチャージされ、出力電位ＶＯＵＴを速やかに低下させることができる。よって、図９、図１０の場合

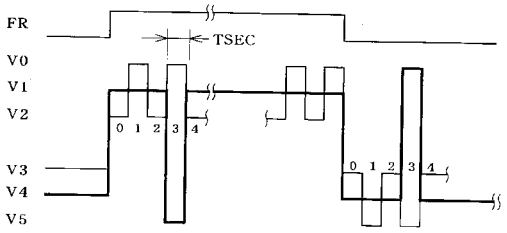
と同様にして、瞬時点灯を防止することができる。
【００７７】
なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。
【００７８】
例えば上述した実施の形態では、３倍昇圧を例に挙げて説明したが、この昇圧倍率は適宜変更可能である。
【００７９】
また本発明は、図１に示す液晶パネル１０が搭載された携帯電話、ゲーム機器、電子手帳、パーソナルコンピータ、ワードプロセッサ、ナビゲーション装置など各種の電子機器に適用することができる。
【図面の簡単な説明】
【図１】本発明が適用される液晶装置を示す概略説明図である。
【図２】図１に示す液晶パネルに供給される駆動波形の一例を示す波形図である。
【図３】図１に示す駆動回路、駆動制御回路及び電源回路を搭載した１チップの半導体装置のブロック図である。
【図４】図３に示すレギュレータの出力特性を示す特性図である。
【図５】図３に示すボルテージフォロア回路と、駆動回路の一部とを示す回路図である。
【図６】図３に示す昇圧回路、レギュレータ及びボルテージフォロア回路の動作を示す動作説明図である。
【図７】図３に示す第４のレベルシフタ群を構成するレベルシフタの回路図である。
【図８】図３に示す昇圧回路の従来例の回路図である。
【図９】本発明の実施の形態に係る昇圧回路の回路図である。
【図１０】図９に示す昇圧回路の変形例を示す回路図である。
【図１１】図９に示すコンパレータの出力を説明するための波形図である。
【図１２】図９に示す昇圧回路の動作に用いられる信号のタイミングチャートである。
【図１３】ＶＯＵＴをディスチャージさせる本発明の他の実施の形態を示す説明図である。
【符号の説明】
１０　液晶パネル
２０　駆動回路
３０　電源回路
３１　第１のロジック回路
３２～３４　第１～第３のレベルシフタ
３５　昇圧回路
３６　定電流回路
３７　レギュレータ
３８　ボルテージフォロア回路
３８Ａ　抵抗分割回路
４０　駆動制御回路
４１　第２のロジック回路
４２　第４のレベルシフタ群
４３　電位選択回路
５０　第１のＰ型ＭＯＳトランジスタ
５１　第１のＮ型ＭＯＳトランジスタ
５２　第２のＮ型ＭＯＳトランジスタ
５５　第１の回路
６０　第２のＰ型ＭＯＳトランジスタ
６１　第３のＮ型ＭＯＳトランジスタ
６２　第４のＮ型ＭＯＳトランジスタ

６５　第２の回路
８１～８３　Ｎ型ＭＯＳトランジスタ
８４　Ｐ型ＭＯＳトランジスタ
９１　第１のナンド回路
９２　第２のナンド回路
Ｃ１　第１の容量
Ｃ２　第２の容量
Ｃ３　第３の容量
１００　コンパレータ
１０１　基準電位生成回路
１０２　バッファ
１１０　Ｐ型ＭＯＳトランジスタ

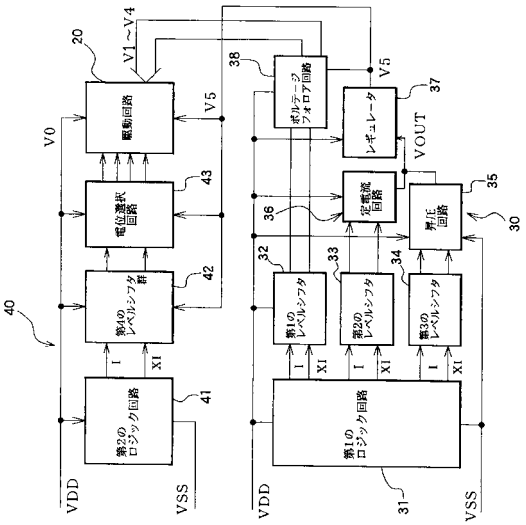
【図１】



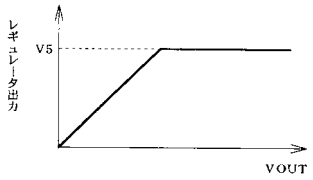
【図２】



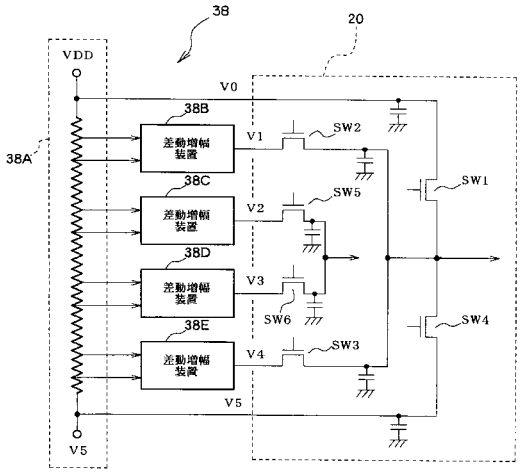
【図３】



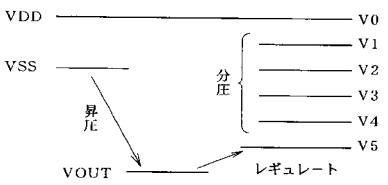
【図４】



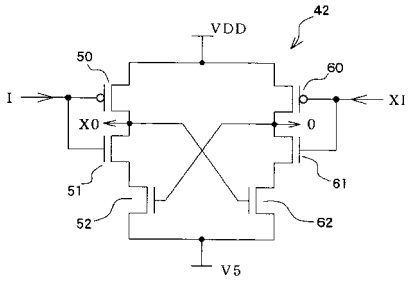
【図５】



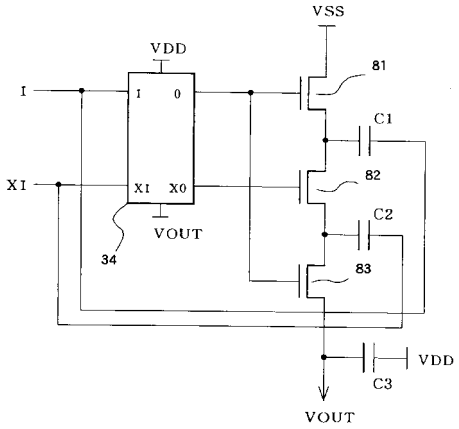
【図６】



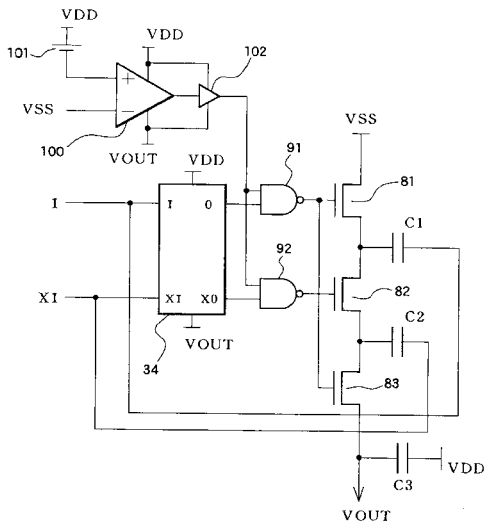
【図７】



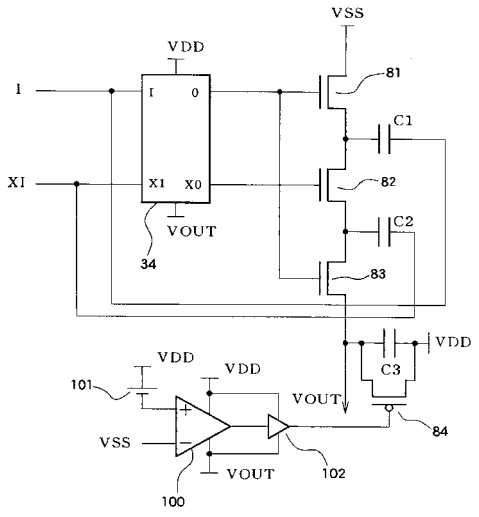
【図８】



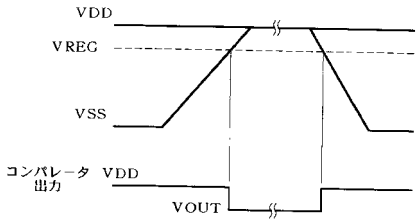
【図９】



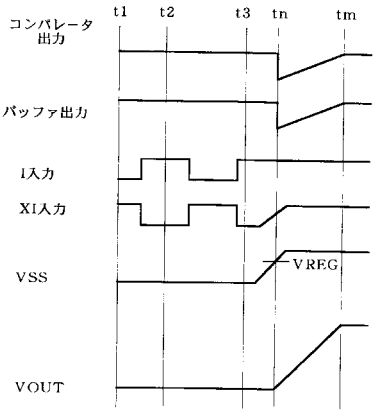
【図１０】



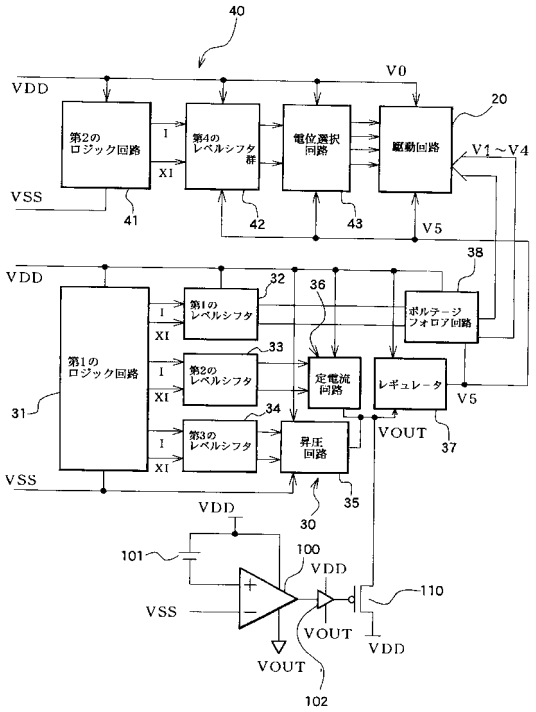
【図１１】



【図１２】


t1
t2
t3
tn
tm
コンパレータ出力
バッファ出力
I入力
XI入力
VSS
VREG
VOUT

【図１３】


40
V0
VDD
第2のロジック回路
I
XI
第4のレベルシフタ群
電位選択回路
駆動回路
20
V1～V4
VSS
41
42
43
V5
38
VDD
32
36
第1のレベルシフタ
ボルテージフォロア回路
第1のロジック回路
33
第2のレベルシフタ
定電流回路
レギュレータ
V5
31
34
第3のレベルシフタ
昇圧回路
VOUT
37
VSS
35
VDD
30
101
100
VDD
110
VSS
VOUT
VDD
VOUT
102

フロントページの続き

審査官　安島　智也

(56)参考文献　国際公開第９６／０２８６５（WO，Ａ１）
国際公開第９６／２１８８０（WO，Ａ１）
特開平１０－３３３６４２（ＪＰ，Ａ）
特開平０３－１４１３２１（ＪＰ，Ａ）
特開昭６１－２８１２９３（ＪＰ，Ａ）
特開平１１－１６７３６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F 1/30
G09G 3/18
H01L 21/822
H01L 27/04