

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

264 729

(11) (B1)

(13)

(51) Int. Cl.⁴

H 04 M 3/22



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

(22) Prihlášené 01 07 87

(21) PV 4965-87.P

(40) Zverejnené 15 11 88

(45) Vydané 15 12 89

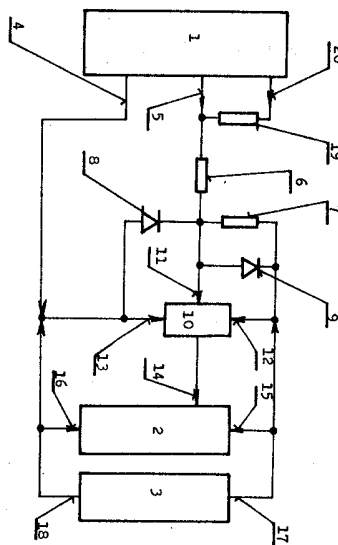
(75)

Autor vynálezu

KOVÁČIK MILAN ing., BANSKÁ BYSTRICA

(54) Zapojenie pre prepojenie obvodov CMOS so zariadeniami so zápornými logickými úrovňami

(57) Zapojenie, určené k danému účelu, pozostávajúce z obvodu CMOS zapojeného spravidla ako invertor a vstupného prevodníka úrovne. Nevýhodné sú v tom, že neumožňujú prevod signálov zo zariadenia pracujúcich len so zápornými logickými úrovňami. Tieto nevýhody sú odstránené zapojením, ktorého podstata spočíva v tom, že prevodník úrovne meraného signálu je tvorený aspoň jedným obvodom pozostávajúcim z prvej diódy a dvoch rezistorov, z ktorých prvý rezistor je pripojený prvým svojím vývodom k jednému z druhých výstupov meraného objektu a druhým svojím vývodom jednak k logickému vstupu obvodu CMOS, jednak ku katóde prvej diódy, ktorej anóda je spojená s druhým napájacím vstupom obvodu CMOS spojeným s druhou napájacou zbernicou napájacieho zdroja, jednak k anóde druhej diódy, ktorej katóda je spojená s prvým napájacím vstupom obvodu CMOS a s prvou napájacou zbernicou zariadenia s CMOS logikou a jednak cez druhý rezistor ku katóde druhej diódy, pričom výstup obvodu CMOS je spojený so vstupom zariadenia s CMOS logikou.



Vynález sa týka zapojenia pre prepojenie obvodov CMOS so zariadeniami so zápornými logickými úrovňami, ktoré pozostáva z meraného objektu a zariadenia s CMOS logikou s napájacím zdrojom, medzi ktorými je zapojený prevodník úrovne meraného signálu, a v ktorom prvý výstup meraného objektu je spojený s druhou napájacou zbernicou s CMOS logikou a napájacieho zdroja, ktorého prvá napájacia zbernica je spojená s prvou napájacou zbernicou zariadenia s CMOS logikou.

Dosiaľ známe zapojenie vstupných prevodníkov, určené k prepojeniu obvodov CMOS so zariadeniami so zápornými logickými úrovňami, sú riešené tak, že pozostávajú z obvodu CMOS zapojeného spravidla ako invertor a vstupného prevodníka úrovne. Uvedené zapojenia sa využívajú k prepojeniu operačných zosilňovačov napájaných symetrickým napájacím napätím, napr. ± 15 V. Prevodník úrovne upravuje ich vstupné signály na logické úrovne, vhodné pre spracovanie invertormi CMOS.

Hlavné nevýhody týchto známych zapojení spočívajú v tom, že neumožňujú prevod signálov zo zariadení pracujúcich len so zápornými logickými úrovňami, neumožňujú priame pripojenie obvodov CMOS k zariadeniam pracujúcim so zápornými logickými úrovňami a hlavne neumožňujú univerzálny prevod signálov z týchto zariadení z napäťových, kontaktných a rezistorových výstupov.

Uvedené nevýhody sú odstránené zapojením podľa vynálezu, ktorého podstata spočíva v tom, že prevodník úrovne meraného signálu je tvorený aspoň jedným obvodom pozostávajúcim z prvej diódy a dvoch rezistorov, z ktorých prvý rezistor je pripojený svojím prvým vývodom k jednému z druhých výstupov meraného objektu a druhým svojím vývodom jednak k logickému vstupu obvodu CMOS, jednak ku katóde prvej diódy, ktorej anóda je spojená s druhým napájacím vstupom obvodu CMOS spojeným s druhou napájacou zbernicou napájacieho zdroja, jednak k anóde druhej diódy, ktorej katóda je spojená s prvým napájacím vstupom obvodu CMOS a s prvou napájacou zbernicou zariadenia s CMOS logikou a jednak cez druhý rezistor ku katóde druhej diódy, pričom výstup obvodu CMOS je spojený s vstupom zariadenia s CMOS logikou.

Hlavné výhody podľa vynálezu spočívajú v tom, že s použitím minimálneho počtu prvkov umožňuje univerzálny prevod vstupných záporných napäťových alebo odporových signálov, pričom minimalizácia prvkov prevodníka úrovne je dosiahnutá využitím prvkov ochranného obvodu pre účely úpravy vstupného signálu pre obvod CMOS.

Pripojenie prevodníka úrovne ku každému vstupu viacstupňového obvodu CMOS, ktorý môže byť tvorený hradlami, multiplexorom, prevodníkom kódu, čítačom a pod., umožňuje využívať jeho funkčné vlastnosti pre spracovanie informácií zo zariadenia, ktoré pracuje so signálmi so zápornými logickými úrovňami.

Na pripojenom obr. je schematicky znázornený príklad zapojenia podľa vynálezu.

Prvý výstup 4 meraného objektu 1 je pripojený k druhému napájacímu vstupu 13 obvodu 10 CMOS a k druhej napájacej zbernici 16 zariadenia 2 s CMOS logikou, ktorá je spojená s druhou napájacou zbernicou 18 napájacieho zdroja 3. Obvod 10 CMOS môže byť tvorený napr. hradlom, multiplexorom, prevodníkom kódu alebo čítačom. K meranému objektu 1 je pripojený prevodník úrovne meraného signálu, tvorený obvodom pozostávajúcim z prvého rezistoru 6, druhého rezistoru 7 a prvej diódy 8.

Prvý vývod prvého rezistoru 6 je spojený jednak s druhým výstupom 5 meraného objektu 1 a jednak cez tretí rezistor 19 s tretím výstupom 20 meraného objektu 1. Druhý vývod prvého rezistoru 6 je pripojený jednak k logickému vstupu 11 obvodu CMOS, jednak ku katóde prvej diódy 8, ktorej anóda je spojená s druhým napájacím vstupom 13 obvodu 10 CMOS spojeným s druhou napájacou zbernicou 18 napájacieho zdroja 3 a jednak k anóde druhej diódy 9, ktorej katóda je spojená s prvým napájacím vstupom 12 obvodu 10 CMOS a s prvou napájacou zbernicou 15 zariadenia 2 a CMOS logikou, ktorá je spojená s prvou napájacou zbernicou 17 napájacieho zdroja

3. Ďalej je druhý vývod prvého rezistoru 6 pripojený cez druhý rezistor 7 ku katóde druhej diódy 9 a výstup obvodu 10 CMOS je spojený s vstupom 14 zariadenia 2 s CMOS logikou.

Činnosť uvedeného zapojenia je popísaná pre najjednoduchší prípad pre prepojenie invertora CMOS so zariadením so zápornými logickými úrovňami pozri obr. Hodnoty vstupného záporného signálu a jemu odpovedajúce výstupné úrovne CMOS sú nasledovné.

Záporný signál o nižšej úrovni ako je nastavená prvým rezistorom 6 a tretím rezistorom 19 polarizuje prvú diódu 8 v priepustnom smere, logický vstup 11 obvodu 10 CMOS je na úrovni L a jeho výstup je na úrovni H. Záporný signál pripojený na druhý výstup 5 meraného objektu 1 o vyššej úrovni ako je nastavená prvým rezistorom 6 a tretím rezistorom 19 alebo signál s úrovňou OV pripája k logickému vstupu 11 obvodu 10 CMOS prostredníctvom druhého rezistora 7 úroveň z prvej napájacej zbernice 17 napájacieho zdroja 3. Logický vstup 11 obvodu 10 CMOS je na úrovni H a jeho výstup je na úrovni L. Prvá dióda 8 a druhá dióda 9 tvoria ochranu a zabezpečujú požadované vstupné napätie logického vstupu 11 obvodu 10 CMOS. Pre viacvstupový obvod 10 CMOS je činnosť prevodníka úrovne rovnaká. Logické a kombinačné funkcie pre konkrétny obvod 10 CMOS je možné vytvárať podľa funkčnej tabuľky pričom úroveň nižšieho záporného signálu označíme L.

Uvedené zapojenie pre prepojenie obvodov CMOS so zariadeniami so zápornými logickými úrovňami sa môže využívať v oblasti telekomunikácií a spojových organizácií pre prevod, spracovanie a vytváranie logických funkcií s výstupnou úrovňou CMOS zo vstupných záporných logických úrovní - 60V/0V, - 48V/0V, ktoré sa vyskytujú v elektromechanických ústrediach a v iných odvetviach národného hospodárstva, v ktorých je potrebný prevod signálov so zápornými logickými úrovňami s následným spracovaním zariadeniami realizovanými obvodmi CMOS.

P R E D M E T V Y N Á L E Z U

1. Zapojenie pre prepojenie obvodov CMOS so zariadeniami so zápornými logickými úrovňami, ktoré pozostáva z meraného objektu a zariadenia s CMOS logikou s napájacím zdrojom, medzi ktorými je zapojený prevodník úrovne meraného signálu, a v ktorom prvý výstup meraného objektu je spojený s druhou napájacou zbernicou zariadenia s CMOS logikou a napájacieho zdroja, ktorého prvá napájacia zbernica je spojená s prvou napájacou zbernicou zariadenia s CMOS logikou, vyznačené tým, že prevodník úrovne meraného signálu je tvorený aspoň jedným obvodom pozostávajúcim z prvej diódy (8) a dvoch rezistorov (6, 7), z ktorých prvý rezistor (6) je pripojený prvým svojím vývodom k jednému z druhých výstupov (5) meraného objektu (1) a druhým svojím vývodom jednak k logickému vstupu (11) obvodu (10) CMOS, jednak ku katóde prvej diódy (8), ktorej anóda je spojená s druhým napájacím vstupom (13) obvodu (10) CMOS spojeným s druhou napájacou zbernicou (18) napájacieho zdroja (3), jednak k anóde druhej diódy (9), ktorej katóda je spojená s prvým napájacím vstupom (12) obvodu (10) CMOS a s prvou napájacou zbernicou (15) zariadenia (2) s CMOS logikou a jednak cez druhý rezistor (7) ku katóde druhej diódy (9), pričom výstup obvodu (10) CMOS je spojený so vstupom (14) zariadenia (2) s CMOS logikou.

2. Zapojenie podľa bodu 1, vyznačené tým, že k prvému vývodu prvého rezistoru (6) je jedným svojím vývodom pripojený tretí rezistor (19), ktorého druhý vývod je pripojený k tretiemu výstupu (20) meraného objektu (1).

1 výkres

