(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 624 994**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **88 16738**

(51) Int Cl⁴ : G 06 F 12/08.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 19 décembre 1988.

(30) Priorité : JP, 18 décembre 1987, n° 319018/87, n° 319019/87, n° 319020/87, n° 319023/87 et n° 319024/87.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 25 du 23 juin 1989.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : NEC CORPORATION.* — JP.

(72) Inventeur(s) : Hajime Fukuzawa ; Kozo Yamano ; Yasuyuki Iwata ; Fumihiko Miyazawa.

(73) Titulaire(s) :

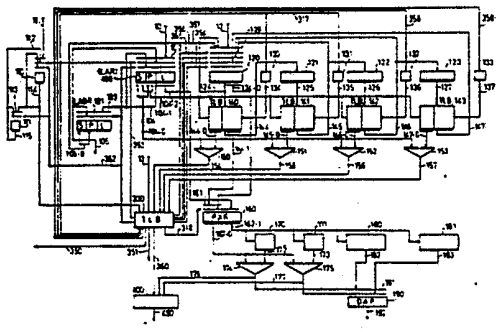
(74) Mandataire(s) : Société de protection des inventions.

(54) Système de commande de registre intermédiaire de traduction.

(57) L'invention concerne un système de commande de registre intermédiaire de traduction d'adresse.

Le système comporte N registres intermédiaires de traduction d'adresse 111, 140, 141, 142, 143, un dispositif d'attribution de référence pour la recherche simultanée par adresse logique, et un dispositif de replacement, pour le replacement d'une paire de traduction d'adresse dans un registre intermédiaire, en cas de détection d'absence de paire de traduction d'adresse par le dispositif d'attribution de référence.

Application à l'adressage de mémoire virtuelle.



FR 2 624 994 - A1

2624994

SYSTEME DE COMMANDE DE REGISTRE INTERMEDIAIRE DE TRADUCTION

La présente invention est relative à un système de commande de registre intermédiaire de traduction d'adresse.

Une mémoire virtuelle, utilisée dans un système d'adressage virtuel, peut avoir une capacité mémoire plus grande, en général plusieurs fois, que celle d'une mémoire principale.

Afin de rendre l'adressage virtuel possible, la mémoire virtuelle est divisée en une pluralité de segments, dont chacun est ensuite subdivisé en plusieurs pages, qui comprennent un nombre donné d'octets.

Ces pages sont placées en divers endroits de la mémoire principale, et c'est pour cette raison que sont préparées des tables des pages indiquant l'emplacement réel de chaque page. Ceci signifie que chaque table des pages indique la position réelle de chacune des pages dans un segment donné. De la même façon, une autre table des pages indique l'emplacement des pages se rapportant à un autre segment de la mémoire virtuelle.

Du fait que ces tables des pages sont également affectées de façon aléatoire pour différents segments de la mémoire principale, il existe des tables des segments, qui indiquent la position de chaque table des pages.

Les tables des segments et les tables des pages sont mises en mémoire dans la mémoire principale, et sont utilisées pour traduire une adresse logique (que l'on pourrait aussi appeler adresse virtuelle) en adresse réelle, qui est la position exacte de la page désirée dans la mémoire principale. La traduction d'adresse est un processus pour traduire une adresse logique en une adresse dans la mémoire principale.

Le format classique de l'adresse logique est constitué par une division en trois champs, pour le numéro de segment, le numéro de page et l'adresse de la ligne dans la page. Le numéro de segment est utilisé comme index pour l'entrée dans la table des segments. L'entrée dans la table des segments a une valeur représentant l'adresse de base de la table des pages associée au segment désigné par le champ de segment. Le numéro de page est utilisé

comme index pour l'entrée dans la table des pages. L'entrée de la table des pages a une valeur représentant l'adresse réelle de la page. L'adresse de la ligne dans la page ne subit aucune modification pendant la traduction de l'adresse, et, combinée avec l'adresse de la page dans laquelle elle a été traduite, elle constitue l'adresse réelle, c'est-à-dire une adresse dans la mémoire principale réelle.

La traduction d'adresse par référence des tables est extrêmement lente, du fait qu'elle nécessite à chaque fois plusieurs cycles de mémoire.

Pour cette raison, et afin de ne pas répéter le processus de traduction d'adresse à chaque fois que l'on recherche la mémoire, la pratique courante consiste à utiliser un répertoire des pages actives (RPA, également appelé mémoire intermédiaire de traduction d'adresse, abrégé par MITA) dans lequel est conservée une pluralité de paires de traductions d'adresses, chaque paire étant constituée par les dernières adresses logiques référencées, et les adresses réelles des pages correspondantes. Ce RPA est constitué par une mémoire très rapide, et son utilisation permet d'effectuer un processus complet de traduction d'adresse au cours d'un seul cycle de mémoire.

Les très gros systèmes d'ordinateurs utilisés aujourd'hui dans des applications importantes nécessitent des capacités mémoire encore plus étendues, ce qui contribue à augmenter à la fois les mémoires virtuelles et les mémoires principales. Plus particulièrement, les mémoires virtuelles doivent avoir des capacités mémoire de l'ordre du gigaoctet (pour des adresses logiques de 30 bits et plus) et du téraoctet (pour des adresses logiques de 40 bits et plus). Pour la traduction des adresses logiques, qui implique une recherche dans une mémoire virtuelle d'aussi grande taille, on envisage d'utiliser la traduction d'adresse par recherche dans une table à trois niveaux, ou même à quatre niveaux, au lieu de la recherche classique à deux niveaux dans une table des

segments et dans une table des pages. Cette possibilité accroît encore l'importance de la technologie RPA.

Alors que les récents progrès de la technologie LSI (intégration à grande échelle) engendrent une réduction significative des retards dûs aux ensembles de portes, par là-même réduisant de façon accélérée les cycles machines des très gros ordinateurs, les retards imputables aux RAMs constituant les unités de mémoire, telles que celles qui constituent le répertoire des pages actives, ou le câblage pour relier aux mémoires du système d'intégration à grande échelle, sont plus difficiles a reduire que les délais induits par les ensembles de portes, de telle sorte que les cycles machine du système sont déterminés par des retards autour de ces mémoires, qui constituent, à cet égard, un goulet de rétrécissement. Un autre problème est lié à l'expansion des répertoires des pages actives, remplis par le nombre croissant des adresses logiques, qui reflète à son tour l'augmentation de la capacité des mémoires virtuelles.

Un répertoire des pages actives peut être constitué soit par association totale, soit par association d'ensembles, cette dernière possibilité utilisant une partie de la section d'adresse logique pour l'attribution d'une référence.

Le brevet américain numéro 3,786,427 décrit un exemple de répertoire des pages actives constitué par association totale. Dans ce répertoire des pages actives associatif (également appelé contenu de mémoire adressé ou CMA), une adresse de page logique à traduire devrait être comparée avec chaque page logique en mémoire dans le CMA, de telle sorte qu'il faudrait autant de comparateurs que de pages logiques en mémoire, d'où il résulterait une difficulté d'accroîssement de la capacité du CMA. Un autre inconvénient provient du fait que les retards dans le processus de choix de l'adresse réelle ne peuvent pas être réduits, car il faut choisir une seule adresse réelle parmi un grand nombre. Pour cette raison, la

pratique courante consiste à utiliser les répertoires des pages actives par association d'ensembles dans les très gros ordinateurs récents.

Les brevets américains numéros 4,589,092 , 4,638,426 et 4,719,568 donnent des exemples de ce répertoire des pages actives par association d'ensembles. Chacun de ces répertoires utilise deux ensembles de répertoire des pages actives (également appelé RPA à double sens) pour améliorer sa vitesse de réalisation et détermine une seule adresse réelle à partir de l'un ou de l'autre des deux ensembles. La méthode utilisée par les répertoires à double sens consiste à lire une section d'adresse clé, qui est une partie d'une adresse logique enregistrée dans chaque répertoire, à la comparer avec la section d'adresse clé de l' adresse logique dont la traduction est demandée, à choisir et déterminer l'adresse réelle directement lue dans chaque répertoire, en même temps que l'adresse clé, en fonction du résultat de la comparaison. Cette méthode de détermination de l'adresse réelle utilise la sortie d'un répertoire constitué par une mémoire beaucoup plus lente qu'un ensemble de portes, et qui nécessite de plus de passer par un comparateur pour générer un signal de détermination de l'adresse réelle. En outre, du fait qu'il faut choisir et déterminer une adresse réelle pour rechercher une mémoire-cache, ce signal de détermination de l' adresse réelle devrait passer d'une intégration à grande échelle à une autre, ce qui représente un autre inconvénient majeur et rend difficile la réduction des cycles machines d'un gros ordinateur travaillant à très grande vitesse.

De plus, lorsque l'on étend les répertoires pour faire face à l'accroissement du nombre des adresses logiques généré par l'extension de la mémoire virtuelle, la mémoire est inévitablement ralentie, et par conséquent, l'extension du répertoire est rendue plus difficile. Simultanément, l'augmentation du nombre (ou des voies) des répertoires devient plus difficile.

Dans les cas ou plusieurs répertoires sont utilisés,

comme cela est décrit dans les brevets américains mentionnés précédemment numéros 4,638,426 et 4, 719,568 il y a un autre inconvénient lié aux gros matériels, car, en l'absence de la paire de traduction d'adresse demandée, le replacement du répertoire nécessite l'emploi d'un matériel faisant appel à l'algorithme le plus récemment utilisé (LRU) pour déterminer l'entrée du répertoire qui est restée non utilisée pendant la période la plus longue.

Un premier aspect de la presente invention présente un premier système équipé de N (nombre entier non inférieur à 2) registres intermédiaires de traduction d'adresse, dont chacun enregistre une pluralité de paires de traduction d'adresse, chaque paire comprenant une adresse logique et une adresse réelle correspondante, dans lequel

chacun des registres intermédiaires de traduction d'adresse est individuellement assigné à l'un des rangs de priorité allant du premier au Nième pour chaque attribution de référence d'adresse d'instruction, et à l'un des rangs de priorité allant du premier au Nième pour chaque attribution de référence d'adresse de fonctionnement, et qui inclut

un dispositif d'attribution de référence pour la recherche simultanée par adresses logiques, et

un dispositif de replacement, lorsque l'absence de la paire de traduction d'adresse désirée dans l'un des registres intermédiaires de traduction d'adresse occupant le premier rang de priorité a été déterminée par la recherche au moyen du dispositif d'attribution de référence, pour le replacement d'une paire de traduction d'adresse dans le registre intermédiaire de traduction d'adresse occupant le premier rang de priorité, avec une autre paire de traduction d'adresse présente dans un autre registre intermédiaire de traduction d'adresse que celle occupant le premier rang de priorité.

Un second aspect de la présente invention présente un second système équipé de registres intermédiaires de traduction d'adresse auxquels sont assignés des rangs

de priorité allant du premier au Nième (N étant un nombre entier non inférieur à 2) et chacun d'eux enregistre une pluralité de paires de traduction d'adresse, chaque paire comprenant une adresse logique et une adresse réelle correspondante, qui inclut

un dispositif d'attribution de référence pour la recherche par adresses logiques, des registres intermédiaires d'adresse occupant un rang de priorité allant du premier au Nième, et

un dispositif de replacement, lorsque l'absence de la paire de traduction d'adresse désirée dans l'un des registres intermédiaires de traduction d'adresse occupant le premier rang de priorité et la présence de la paire de traduction d'adresse désirée dans un autre registre intermédiaire de traduction d'adresse occupant un autre rang de priorité que le premier ont été déterminés par la recherche au moyen du dispositif d'attribution de reference, de tout registre intermédiaire de traduction d'adresse, occupant un rang de priorité ou un autre entre ledit premier registre intermédiaire de traduction d'adresse et le registre intermédiaire de traduction d'adresse dans lequel la paire de traduction d'adresse est présente, en fonction du rang de priorité, de manière à replacer une paire de traduction d'adresse dans le registre intermédiaire de traduction d'adresse occupant le premier rang de priorité, avec une autre paire de traduction d'adresse présente dans l'autre registre intermédiaire de traduction d'adresse, et

lorsque l'absence de la paire de traduction d'adresse dans l'un des registres intermédiaires de traduction d'adresse a été déterminée par la recherche au moyen du dispositif d'attribution de référence, pour substituer une paire de traduction d'adresse dans le registre intermédiaire de traduction d'adresse occupant le dernier rang de priorité.

Ces caractéristiques, ainsi que d'autres détails, éléments de constitution et avantages de la présente invention vont apparaitre à la lecture de la description

détaillée qui suit, accompagnée des dessins annexes, dans lesquels:

la Fig. 1 illustre une mise en application choisie de la présente invention;

la Fig. 2 montre la constitution du circuit de commande 200 du répertoire des pages actives de la Fig. 1;

la Fig. 3 montre la constitution du circuit de commande de cache 400 de la Fig. 1; et

les Figs. 4 à 6 sont des diagrammes qui décrivent l'opérande de la mise en application choisie de l'invention.

Dans les figures, les mêmes numéros de référence indiquent respectivement les mêmes éléments de structure.

En se référant à la Fig. 1, une mise en application choisie de la présente invention inclut un registre d'adresse logique (RAL) 100. Le registre 100 est conçu de manière à maintenir une adresse logique transmise par une source de demande, et l' adresse logique devant être maintenue par le registre 100 est constituée par un numéro de segment (S), un numéro de page (P) et un numéro de ligne dans la page (L). Lorsque l' adresse logique est traduite en adresse réelle, le numéro de segment (S) et le numéro de page (P) sont traduits, mais l'adresse de la ligne dans la page (L) n'est pas traduite et est utilisée telle quelle pour l' adresse réelle. Un registre intermédiaire d'adresse logique (RIAL) 101 est conçu de manière à effectuer une mise en réserve temporaire des contenus du RAL 100. Un registre de demande de mémoire (RDM) 110 est conçu de manière à maintenir une demande de lecture de mémoire correspondant à l' adresse logique envoyée par la source de demande. Après acceptation de la demande de lecture de mémoire par le RDM 110, une série de lectures commence dans la mémoire.

Un registre intermédiaire de demande de mémoire (RIDM) 111 est conçu de manière à effectuer une mise en réserve temporaire des contenus du RDM 110, il correspond au RIAL 101 pour les adresses logiques et est commandé en synchronisation avec les actions du RIAL 101. Ainsi,

lorsqu'une adresse logique est mise en réserve dans le RIAL 101, la demande de lecture de mémoire correspondante est également mise en réserve dans le RIDM 111.

Les registres d'écriture de données dans le répertoire des pages actives (REDR) 120, 121, 122 et 123 sont conçus de manière à conserver les informations (paires de traduction d'adresse) devant être enregistrées dans les répertoires 140 à 143.

Les RPA 140, 141, 142 et 143 sont des registres intermédiaires pour la traduction rapide des adresses logiques en adresses réelles. Disposés dans une configuration à quatre niveaux, les RPA 140, 141, 142 et 143 sont respectivement assignés aux premier, second, troisième et quatrième rangs de priorité.

Dans les RPA 140 a 143, une partie du numéro de segment (S) et une partie du numéro de page (P) de l' adresse logique sont utilisées comme adresse de référence, et les parties restantes du numéro de segment (S) et du numéro de page (P) sont enregistrées comme adresse clé. Les parties de l' adresse logique constituant cette adresse clé et l' adresse réelle correspondante sont enregistrées sous forme de paire. Les comparateurs de détection de réalisation 150, 151, 152 et 153 du RPA comparent une section d'adresse clé lue par les RPA 140 à 143 et la section d'adresse clé de l' adresse logique inscrite dans le RAL 100, et déterminent dans lequel de ces RPA 140 à 143 est enregistrée cette adresse logique.

Un registre d'adresse réelle (RAR) 160 est conçu de manière à conserver les adresses réelles traduites par les RPA 140 à 143, et les adresses réelles sont toujours fournies exclusivement par le RPA 140.

Les ensembles d'adresses (EA) 170 et 171 sont des mémoires intermédiaires qui conservent les informations relatives à l'emplacement des ensembles de données (ED) 180 et 181 ; le mot instruction et les données d'opérande devant être recherchés y sont respectivement enregistrés, et les EA et ED sont disposés dans des configurations à

deux niveaux.

Les ED 180 et 181 sont des mémoires intermédiaires qui enregistrent les mots instruction et les données d'opérande. Un registre de lecture des ensembles de données (RLED) 190 est conçu de manière à conserver un mot instruction et les données d'opérande lues dans l'ED 180 ou dans l'ED 181. Lorsqu'une adresse réelle est envoyée dans le RAR 160, les EA 170 et 171 et les ED 180 et 181 sont simultanément référencés par la section d'adresse inférieure du RAR 160. La section d'adresse supérieure de l' adresse réelle, enregistrée dans les EA 170 et 171 est lue et transmise respectivement aux comparateurs de détections de réalisation de cache 174 et 175. Ces comparateurs 174 et 175 comparent la section d'adresse supérieure de l' adresse réelle fixée dans le RAR 160 avec celle de l' adresse réelle lue dans les EA 170 et 171 et détermine lequel des ED 180 et 181 contient le mot instruction et la donnée d'opérande à rechercher. En fonction des résultats de la détermination, les données lues dans l' ED 180 et l' ED 181 sont choisies par un sélecteur 190, et envoyées dans le RLED 190 pour envoyer le mot instruction et la donnée d'opérande applicables à la source de demande.

Un circuit de commande 200 du RPA et un circuit de commande de cache 400 assurent respectivement la commande sur les sections relatives au RPA et au cache.

Dans la mesure où le processus de recherche du mot instruction et de la donnée d'opérande par traduction de l' adresse logique en adresse réelle a déjà été expliqué, les actions caractéristiques de la présente invention vont maintenant être décrites en détail.

Lorsqu'une demande de recherche du mot instruction et de la donnée d'opérande est envoyée depuis une source de demande, une adresse logique est inscrite dans le RAL 100 par l'intermédiaire d'une ligne de signal 10, et une demande de lecture de mémoire est inscrite dans le RDM 110 par l'intermédiaire d'une autre ligne de signal 11.

Les RPA 140 à 143 sont simultanément référencés par

l'intermédiaire d'une ligne de signal 104-1 par l'adresse de l'attribution de référence du RPA à partir de l' adresse logique inscrite dans le RAL 100, et les sections d'adresse clé enregistrées dans les RPA 140 à 143 sont lues, et transmises, par l'intermédiaire des lignes de signal 144-0 à 147-0, aux comparateurs de détection de réalisation du RPA 150 à 153 pour être comparées avec les sections d'adresse clé de l'adresse logique transmises par une ligne de signal 104-0 et inscrites dans le RAL 100.

A ce moment, on suppose que le comparateur de détection de réalisation 150 du RPA détecte l'identité (ou "atteint") de telle sorte que l' adresse réelle recherchee est trouvee dans le RPA 140. Les comparateurs de détection de réalisation du RPA 150 à 153 produisent un "1" logique lorsqu'ils détectent l'identité ou un "0" logique lorsqu'ils détectent la non-identité. Le résultat de cette détection est transmis au circuit de commande 200 du RPA par l'intermédiaire des lignes de signal 154 à 157. L' adresse réelle lue dans le RPA 140 est transmise à un sélecteur 161, et est généralement inscrite telle quelle dans le RAR 160. Dans le même temps, l'adresse de la ligne dans la page de l' adresse logique inscrite dans le RAL 100, par l'intermédiaire d'une ligne de signal 104-2, est inscrite dans le RAR 160, depuis le RAL 100, et c'est à ce moment que l' adresse réelle devient définitive. En fonction de cette adresse lue dans le RAR 160, le mot instruction et la donnée opérande applicables sont lus dans le RLED 190 par les EA 170 et 171, et par les ED 190 et 191. Simultanément, la présence de la paire de traduction d'adresse du RPA 140 devant être demandée, est declaree, par le circuit de commande 200 du RPA, par l'intermédiaire d'une ligne de signal 360, au circuit de commande du cache 400. L'information de demande lue dans le RLED 190 est retournée, par l'intermédiaire d'une ligne de signal 192, à la source de demande, avec une réponse indiquant l'information de demande à prendre, envoyée à la source de demande par l'intermédiaire d'une

ligne de signal 450 du circuit de commande du cache 400.

On suppose maintenant que le résultat de la comparaison effectuée par les comparateurs de détection de realisation du RPA indique l'absence de l' adresse réelle recherchée dans le RPA 140, et sa présence dans un autre RPA, par exemple le RPA 142. Le circuit de commande 200 du RPA, ayant reçu le résultat de la comparaison effectuée par les comparateurs de détection de réalisation du RPA 150 à 153 donne alors une instruction de replacement de la paire de traduction d'adresse, qui constitue l'information de traduction de l' adresse lue et qui est présente dans le RPA 142, dans le RPA 140. A la suite de cette instruction, les paires de traduction d'adresse situées à la même adresse de référence dans tous les RPA, depuis le premier RPA 140 occupant le premier rang de priorité, jusqu'au RPA 142 ayant l' adresse réelle actuellement recherchée, c'est-à-dire le RPA 140 occupant le premier rang de priorité, le RPA 141 occupant le second, le RPA 142 occupant le troisième, sont replacées selon cet ordre de priorité. C'est pourquoi dans ce cas, le contenu du RPA 143 occupant le quatrieme rang de priorite reste inchangé.

Tout d'abord, les paires de traduction d'adresse pertinentes dans les RPA 140 à 142 sont lues simultanément, et celle qui est dans le RPA 142, et qui a été atteinte, est inscrite, par l'intermédiaire d'un sélecteur 128, dans le REDR 120, comme étant celle à qui a été assigné un nouveau premier rang de priorité. Les paires de traduction d'adresse pertinentes dans les RPA 140 et 141 sont inscrites respectivement dans les REDR 121 et 122, et le processus du replacement des RPA 140 à 142 est achevé par l'écriture du contenu des REDR 120 à 122 aux positions d'adresses correspondantes, respectivement dans les RPA 140 à 142.

Par ce processus de replacement, l'information de traduction de l' adresse réelle (paire de traduction d'adresse) correspondant à l' adresse logique inscrite dans le RAL 100 est enregistrée dans le registre des

pages actives 140, et l' adresse réelle voulue est transmise depuis le RPA 140 vers le RAR 160.

Ce processus de replacement va maintenant être décrit en détail, en se référant à la Fig. 1, qui illustre une mise en application choisie de la présente invention, à la Fig. 2 qui montre la constitution du circuit de commande 200 du RPA, à la Fig. 3 qui illustre le circuit de commande 400 du cache, et aux Figs. 4 et 5, qui montrent les temps s'écoulant entre les diverses operations.

La Fig. 4 illustre le processus de replacement, qui constitue l'une des opérations caractéristiques de la présente invention, et a lieu en cas d'absence de la paire de traduction d' adresse voulue dans le RPA 140, et de présence de cette même paire dans un autre RPA.

A la Fig. 4, ①, ② et ③ représentent des demandes de lecture opérande de mémoire, émises par une source de demande, ainsi que leurs adresses logiques.

En se référant aux Figs. 1 et 4, une demande de lecture de mémoire provenant d'une source de demande est acceptée par l'intermédiaire d'une ligne de signal 11, par le RDM 110, et l'adresse correspondante de demande de lecture de mémoire est acceptée par l'intermédiaire de la ligne de signal 10 par le RAL 100. On sait que la localisation de la mémoire d'un programme est généralement caractérisée par le fait que, lorsqu'on accède à un mot instruction ou à une donnée opérande, il y a risque d'accès successif aux zones de la mémoire proches de la zone à laquelle on vient d'accéder. Les memoires cache et du RPA sont des mécanismes qui utilisent cette caractéristique. Les accès mémoire pour les demandes ①, ② et ③ sont proches les uns des autres dans la mémoire, et les adresses réelles de ces demandes ①, ② et ③ se trouvent dans la même page. La taille de la page, dans cette mise en application choisie, est de 4 kilo-octets.

Lorsque la demande ①, transmise au temps t1 par les lignes 10 et 11, est acceptée au temps t2 par le RAL 100

et le RDM 110, les RPA 140 à 143 sont simultanément references par l'intermédiaire de la ligne de signal 104-1. Le résultat de l'attribution de référence est transmis au circuit de commande de RPA 200 par l'intermédiaire des lignes de signal 154 à 157. La demande de lecture de mémoire est transmise par le RDM 110 au circuit de commande 200 du RPA par l'intermédiaire de la ligne de signal 114.

En se référant maintenant aux Figs. 1, 2 et 4, un bistable d'interdiction de la demande d'émettre (BIDE) 201 et un bistable de non prêt à accepter la demande (BNPAD) 202 sont des bistables dans lesquels le "1" logique est assigné à l'absence de la paire de traduction d'adresse voulue dans le RPA 140. Un signal de sortie provenant du BIDE 201 est transmis à la source de demande par l'intermédiaire d'une ligne de signal 350, et cela provoque l'interdiction de l'envoi de toute nouvelle demande pendant cette période. Le "1" logique dans le BNPAD indique l'impossibilité d'attribuer une référence aux RPA 140 a 143, et les résultats de l'attribution de référence aux RPA 140 à 143 sont invalidés aussi longtemps que le "1" logique est activé. Au temps t2, lorsque le BNPAD 202 est à la position "0" logique, les résultats de l' attribution de référence aux RPA 140 à 143 sont validés. Les résultats de l' attribution de référence aux RPA 140 à 143 sont inscrits dans le BIDE 201, le BNPAD 202, dans un bistable d'instruction de maintien de la demande (BIMD) 203, un bistable d'indication d'atteinte du niveau 0 pour le RPA (BIANO) 204, un bistable d'indication d'atteinte manquée (BIAM) 205, un bistable de commande de substitution (BCS) 206 et des bistables de commande de la détermination du niveau de substitution (BCDNS) 209 à 211. Les valeurs effectives sont inscrites dans le BIDE 201, le BNPAD 202, le BIMD 203, le BIANO 204, le BIAM 205 et le BCS 206 uniquement lorsqu'une demande de lecture de mémoire est présente dans le RDM 110, qui est en position "0" logique en presence d'une demande de lecture de mémoire. Dans le cas

présent, la demande ① signifie l'absence de la paire de traduction d'adresse voulue dans le RPA 140, et sa présence dans le RPA 142. Par conséquent les sorties des comparateurs de détection de réalisation 150 à 153 du RPA, indiquant les résultats des attributions de référence aux RPA 140 à 143, sont respectivement "0", "0", "1" et "0" logiques. Lorsque le RPA 140 n'a pas été atteint, le BIDE 201 et le BNPAD 202 sont mis en position "1" au temps t3. Le BCS 206 est un bistable qui passe à l'etat logique "1" pour commencer l'opération de substitution en cas d'absence de la paire de traduction d'adresse voulue dans le RPA 140, et de présence dans les RPA 141 à 143, et, dans le cas présent, il passe au "1" logique au moment t3. Le BIMD 203 et le BIAM 205 sont des bistables qui passent à l'état logique "1" en cas de présence de la paire de traduction d'adresse voulue dans chacun des RPA 140 à 143, et dans ce cas, ils sont en position de "0" logique au temps t3, lorsque la paire de traduction d'adresse voulue est présente dans le RPA 142. Le BIANO 204 est un bistable qui passe à l'état logique "1" en cas de présence de la paire de traduction d'adresse voulue dans le RPA 140, et, dans ce cas, il est mis à l'état logique "0" au temps t3. Les BCDNS 209 à 211 contiennent les résultats de l' attribution de référence aux RPA 141 à 143, tels quels. Dans le cas présent, ils sont respectivement en position "0", "1" et "0" logique, au temps t3. De plus, au temps t3, la demande 1 , qui a été maintenue dans le RAL 100 et le RDM 110 est inscrite respectivement dans le RIAL 101 et le RIDM 111. Une adresse de demande de lecture de memoire et une demande de lecture de mémoire ②, nouvellement émises par la source de demande parce que le BIDE 201 était au "0" logique au temps t2, sont respectivement inscrites dans le RAL 100 et le RDM 110, au temps t3.

Par ailleurs, une adresse réelle lue dans le RPA 140 au temps t2, sans se préoccuper de savoir s'il s'agit ou non de l'adresse voulue, est inscrite dans le RAR 160 au temps t3. Puis on essaie d'attribuer une référence aux

caches, c'est-à-dire aux EA 170 et 171 et aux ED 180 et 181, et cela a pour résultat que certaines informations sont inscrites dans le RLED 190 au temps t4. Du fait que dans le cas présent, l' adresse réelle recherchée ne se trouve pas dans le RPA 140, les données inscrites dans le RLED 190 au temps t4 ne peuvent pas être validées. Ce fait est signalé par l'intermédiaire de la ligne de signal 360 au circuit de commande du cache 400, au moment où le passage du BIANO 204 à la position "0" logique indique l'absence de la paire de traduction d'adresse voulue dans le RPA 140. Ce signal provenant de la ligne de signal 360 invalide tous les résultats de l' attribution de référence au cache au temps t3, un bistable de réponse (BR) 401 indiquant la validité du contenu du RLED 190 est mis en position "0" logique au temps t4, et l'invalidité du contenu du RLED 190 est signalée par l'intermédiaire de la ligne de signal 450 à la source de demande.

Le "1" logique inscrit dans le BCS 206 au temps t3 est successivement inscrit dans les BCS 207 et 208, respectivement aux temps t4 et t5. Le "1" logique, lorsqu'il a été inscrit dans le BIDE 201 et le BNPAD 202, est maintenu jusqu'à ce que le "1" logique soit inscrit dans le BCS 208. Lorsque le "1" logique est inscrit dans le BCS 208, un signal de "0" logique est transmis par une porte d'inversion logique 238 aux portes NON ET 224 et 220. Après cela, des signaux de sortie provenant du BIDE 201 et du BNPAD 202 sont supprimés, et le BIDE 201 ainsi que le BNPAD 202, qui sont alors à l'état logique "1", sont remis à l'état logique "0". Par conséquent, pendant que le BIDE 201 et le BNPAD 202 sont remis au "0" logique au temps t6, ils sont simultanément maintenus à l'état logique "1" entre le temps t3 et le temps t5. Pendant cette période, l'interdiction d'émission de toute nouvelle demande provenant de la source de demande est indiquee, et les résultats de l' attribution de référence aux RPA 140 à 143 sont invalidés.

Les sorties des BCS 206 et 208 sont soumises à une

opération OU, et commandent les sélecteurs 102 et 112 par l'intermédiaire d'une ligne de signal 353. La ligne de signal 353 transmet des signaux pour modifier les choix des sélecteurs 102 et 112, respectivement aux RIAL 101 et RIDM 111. Aux temps t4 et t6, les demandes ① et ② maintenues par le RIAL 101 et le RIDM 111 sont respectivement inscrites dans le RAL 100 et le RDM 110. Le signal de "1" logique provenant du BCS 206 met le contenu du BIMD à l'état logique "1". Par conséquent, le BIMD 203 est mis à l'état logique "1" au temps t4. Puis le signal d'état logique "1" du BCS 207 est inversé en "0" logique par une porte d'inversion logique 237, et le signal inversé est transmis, par l'intermédiaire d'une ligne de signal 302, à une porte NON ET 228, et il remet le BIMD 203 à l'état logique "0", par la suppression de la sortie provenant du BIMD 203. Ainsi, le BIMD 203 est à l'état logique "1" uniquement au temps t4. La sortie du BIMD 203 transmise par l'intermédiaire d'une ligne de signal 352, commande ainsi les sélecteurs 102, 103, 112 et 113, qui commandent respectivement les données d'entrée du RAL 100, du RIAL 101, du RDM 110 et du RIDM 111, de manière à choisir leur propre sortie, c'est-à-dire respectivement les sorties du RAL 100, du RIAL 101, du RDM 110 et du RIDM 111. Par conséquent, ces registres sont maintenus aux temps t4 et t5.

Les demandes ② positionnées dans le RAL 100 et le RDM 110 sont positionnées dans le RIAL 101 et dans le RIDM 111 au temps t4. Les demandes ① positionnées dans le RIAL 101 et le RIDM 111 sont positionnées dans le RAL 100 et le RDM 110. Au temps t4, les contenus des RPA 140 à 143 sont lus de nouveau. Puis, au temps t5, les contenus des RPA 140 à 142 sont enregistrés de façon définitive respectivement dans les REDR 121 à 123. Ensuite, en réponse à la sortie provenant des BCDNS 209 à 211, le sélecteur 128 choisit les contenus désirés dans les RPA 140 à 142. La sortie du sélecteur 128 est positionnée dans le REDR 120.

Les BCDNS 209 à 211 conservent les informations

indiquant lequel des RPA 141 à 143 a été atteint par la paire de traduction d'adresse voulue, c'est-à-dire dans lequel elle se trouve, et leurs sorties sont utilisées pour commander le sélecteur 102, ainsi que comme signaux de positionnement pour les registres d'instruction d'écriture dans le RPA (RIE) 130 à 133. Le signal de commande pour le sélecteur 120 est transmis par l'intermédiaire des lignes de signal 354, 355, 356 et 357, qui sont commandées de telle sorte que chacune d'elle émet une sortie logique "0" lorsque le BCS 206 est à l'état logique "1". Ainsi, lorsque la sortie logique "1" du BCS 206 est inversée par une porte d'inversion logique 236, vers le "0" logique, les sorties des lignes de signal 354 à 357, transmises aux portes ET 256, 257, 258 et 259, sont par là-même remises à l'état logique "0". Ceci est utilisé lorsque la paire de traduction d'adresse recherchée ne se trouve dans aucun des RPA 140 à 143, et c'est alors la traduction de l'adresse décrite dans la suite du texte, qui est effectuée. A tout autre moment, une seule des sorties des lignes de signal 354 à 357 est donnée comme "1" logique, alors que toutes les autres sont des "0" logiques.

Le contenu de la ligne de signal 354 est utilisé lorsqu'aucun des RPA 140 à 143 n'a été atteint, c'est-à-dire lorsque la paire de traduction d'adresse voulue ne se trouve dans aucun des RPA 140 à 143, et le maintien du REDR est alors réclamé. Ainsi, si aucun des RPA 140 à 143 n'a été atteint, les BCDNS 209 à 211 sont mis à l'état logique "0". Les sorties logiques "0" des BCDNS 209 à 211 sont respectivement transmises aux portes d'inversion logique 252 à 254 par l'intermédiaire des lignes de signal 319 à 321, sont inversées en "1" logique, puis sont transmises à une porte ET 255 par l'intermédiaire des lignes de signal 304 à 306. En réponse au "1" logique transmis par l'intermédiaire de n'importe laquelle des lignes de signal 304 à 306, la porte ET 255 transmet un "1" logique par l'intermédiaire d'une ligne de signal 307, à la porte ET 256, qui par conséquent transmet un

"1" logique par la ligne de signal 354, sauf lorsque le BCS 206 est à l'état logique "1". En fonction de ce "1" logique provenant de la ligne de signal 354, un sélecteur 128 choisit la sortie du REDR 120, dont le contenu est ensuite remis dans le REDR 120. Il en résulte que le REDR est maintenu. On trouvera une description plus détaillée de cette opération dans la suite du texte. Les contenus transmis par l'intermédiaire des autres lignes de signal 355 à 357 sont les signaux des BCDNS 209 à 211, transmis tels quels par l'intermédiaire des portes ET 257 à 259. En conséquence, les sorties des BCDNS 209 à 211 sont transmises telles quelles au sélecteur 128, sauf lorsque le BCS 206 est à l'état logique "1".

Le sélecteur 128 choisit une ligne de signal 145 pour véhiculer la sortie du RPA 141 lue, de manière à positionner une paire de traduction d'adresse lue dans le RPA 141, dans le REDR 120, lorsque la ligne de signal 355 envoie un "1" logique, c'est-à-dire lorsque le BCDNS 209 est à l'état logique "1". Lorsque la ligne de signal 356 envoie un "1" logique, c'est-à-dire lorsque le BCDNS 210 est à l'état logique "1", le sélecteur 128 choisit le contenu transmis par l'intermédiaire de la ligne de signal 146 pour positionner une paire de traduction d'adresse lue dans le RPA 142, dans le REDR 120. Lorsque la ligne de signal 357 envoie un "1" logique, c'est-à-dire lorsque le BCDNS est à l'état logique "1", le contenu lu dans le RPA 143 est véhiculé par l'intermédiaire de la ligne de signal 147, et est choisi, et une paire de traduction d'adresse lue dans le RPA 143 est positionnée dans le REDR 120. Pour résumer, dans cette série d'opérations, lorsque la paire de traduction d'adresse voulue ne se trouve pas dans le RPA 140 occupant le premier rang de priorité, mais qu'elle se trouve dans un autre répertoire (141, 142 ou 143) occupant respectivement le second, le troisième ou le quatrième rangs de priorité, cette paire de traduction d'adresse est enregistrée dans le RPA 140 comme nouvelle paire de traduction d'adresse occupant le premier rang de

priorité, et dans ce but, le passage de cette paire est effectué vers le REDR 120. Du fait que les REDR 121, 122 et 123 constituent un nouvel ordre de priorité, les paires de traduction d'adresse sont lues dans les RPA 140, 141 et 142 et sont positionnées de façon déterminée.

La mise à jour de l'ordre de priorité réel et du processus de replacement font intervenir chacun des RPA ayant un rang de priorité, entre le RPA 140 occupant le premier rang de priorité et le RPA 141 à 143 dans lequel se trouve la paire de traduction d'adresse voulue. Le contenu des paires de traduction d'adresse des autres RPA occupant un rang inférieur dans l'ordre de priorité n'est pas modifié. Cette procédure va être décrite dans la suite du texte, en fonction de tous les positionnements successifs possibles de la paire de traduction d'adresse voulue dans l'un des RPA 141, 142 et 143. Tout d'abord, si la paire de traduction d'adresse voulue se trouve dans le RPA 141, la paire de traduction d'adresse dans ce RPA 141 sera envoyée au RPA 140 et inversement. Les contenus des paires de traduction d'adresse dans les autres RPA 142 et 143 resteront inchangés. Puis, en cas de présence de la paire de traduction d'adresse voulue dans le RPA 142, la paire de traduction d'adresse dans ce RPA 142 sera envoyée au RPA 140, celle qui se trouve dans la RPA 140, au RPA 141, et celle qui se trouve dans le RPA 141, au RPA 142. Le contenu de la paire de traduction d'adresse se trouvant dans le RPA 143 restant ne sera pas changée.

Enfin, lorsque la paire de traduction d'adresse voulue se trouve dans le RPA 143 occupant le dernier rang de priorité, la paire de traduction d'adresse dans le RPA 143 sera envoyée au RPA 140, celle qui se trouve dans le RPA 140 sera envoyée au RPA 141, celle du RPA 141 au RPA 142 et celle du RPA 142 au RPA 143. Dans ce cas, toutes les paires de traduction d'adresse contenues dans les RPA 140 à 143 sont replacées. Comme cela sera mis en évidence par la description qui suit, la paire de traduction d'adresse voulue est positionnée dans le REDR 120, et,

dans les autres REDR 121 à 123 sont positionnées de façon déterminée, les paires de traduction d'adresse des RPA 140 à 142, chacune à un rang supérieur dans l'ordre de priorite, par rapport à leur propre objet d'écriture, dans les RPA 141 à 143. La mise à jour réelle, ou la non mise à jour peut être effectuée en commandant l'écriture dans les RPA 140 à 143 sur la base d'une présence perçue de la paire de traduction d'adresse voulue dans l'un ou l'autre des RPA 141 à 143. La commande d'écriture est effectuée telle que demandée par les registres d'instruction d'écriture (RIE) 130 à 133. Au moment de positionner les RIE 130 à 133 à l'état logique "1", les paires de traduction d'adresse fixées dans les REDR 120 à 123 sont écrites dans les RPA 140 à 143 correspondants. Lorsque les RIE 130 à 133 sont à l'état logique "0", les contenus des RPA 140 à 143 correspondants restent inchangés. La description qui suit est résumée et donnée sous forme de tableau à la Fig. 5.

En se référant maintenant à la Fig. 5, chacun des BCDNS 209 à 211 indique, en fonction des résultats de l'attribution de référence aux RPA 141 à 143, dans lequel des RPA 141 à 143 se trouve la paire de traduction d'adresse voulue. Ainsi, le BCDNS 209 à l'état logique "1" indique la présence de la paire de traduction d'adresse voulue dans le RPA 141. Le BCDNS à l'état logique "1" indique la présence de la paire de traduction d'adresse voulue dans le RPA 142. Le BCDNS 211 à l'état logique "1" indique la présence de la paire de traduction d'adresse voulue dans le RPA 143.

Lorsque le BCDNS 209 est à l'état logique "1", les RIE 130 à 133 sont respectivement à l'état logique "1", "1", "0" et "0", au temps qui doit être défini dans la suite du texte. Les paires de traduction d'adresse enregistrées dans les RPA 141 et 140 sont respectivement envoyées aux RPA 140 et 141, et sont remises à jour. De la même façon, lorsque le BCDNS 210 est à l'état logique "1", les RIE 130 à 133 sont respectivement à l'état logique "1", "1", "1" et "0", et les paires de traduction d'adresse

enregistrées dans les RPA 142, 140 et 141 sont respectivement envoyées aux RPA 140, 141 et 142, et remises à jour. Lorsque le BCDNS 211 est à l'état logique "1", les RIE sont respectivement à l'état logique "1", "1", "1" et "1", et les paires de traduction d'adresse enregistrées dans les RPA 143, 140, 141 et 142 sont respectivement envoyées aux RPA 140, 141, 142 et 143, et remises à jour.

A la Fig. 5, le cas où chacun des BCDNS 209 à 211 est à l'état logique "0" est pris en exemple pour décrire comment est traitée l'absence de la paire de traduction d'adresse voulue dans tous les RPA 140 à 143.

Maintenant, on prend note de l'état dans lequel est maintenue chaque paire de traduction d'adresse dans les RPA 140 à 143 occupant respectivement les rangs de priorité allant du premier au quatrième. La gestion des paires de traduction d'adresse dans les RPA 140 à 143 occupant ces rangs de priorité respectifs est effectuée de telle sorte que les paires de traduction d'adresse soient enregistrées dans un ordre séquentiel, commençant par le plus récemment utilisé, et finissant par le moins récemment utilisé. Ainsi les paires de traduction d'adresse enregistrées dans les RPA 140 à 143 sont traitées par l'algorithme du plus récemment utilisé (PRU). Par conséquent, pour prendre en compte la paire de traduction d'adresse enregistrée dans le RPA 143 occupant le dernier rang de priorité, cette paire est gérée par l'algorithme du moins récemment utilisé (MRU).

Il faut également noter que le choix et le positionnement dans le REDR 120 de la paire de traduction d'adresse voulue sont commandés par les sorties des BCDNS 209 à 211. C'est un des problèmes soulevés par un aspect difficile de la présente invention. Dans un appareil fonctionnant avec des cycles machine très rapides, tels que celui décrit par la présente invention, le sélecteur 128 est directement commandé par des signaux (contenus des lignes de signal 154 à 157) obtenus en passant les sorties lues des RPA 140 à 143, chacune étant constituée

par une mémoire, par l'intermédiaire des comparateurs de détection de réalisation du RPA 150 à 153. Ceci est dû à la contrainte de temps de retard, et est particulièrement manifeste lorsque ces signaux sont transmis d'une intégration à grande échelle à une autre, chacun constituant une fonction logique. Dans ce cas, les lignes de signal 155 à 157 sont très affectées. D'autre part, les bistables 201 à 206 et 209 à 211 dans le circuit de commande 200 du RPA, dont chacun ne commande qu'un bit et qui sont activés par les sorties des lignes de signal 154 à 157, rendent possible la condensation dans des emplacements physiquement rapprochés des comparateurs de détection de réalisation du RPA 150 à 153, et contrairement au sélecteur 128, ne nécessitent pas la commande de plusieurs bits. Ceci a pour résultat un avantage non négligeable en ce qui concerne le temps de retard, ainsi qu'une capacité de fonctionnement même à des cycles machine très élevés.

En se référant de nouveau à la Fig. 4, dans les REDR 120 à 123, les paires de traduction d'adresse devant être replacées dans les RPA 140 à 143 dans un nouvel ordre de priorité sont fixées au temps t5. Dans le cas présent, où la paire de traduction d'adresse voulue est présente dans le RPA 142, les BCDNS 209 à 211 sont respectivement mis à l'état logique "0", "1" et "0". De plus, au temps t4, lorsque le BCS 206 est mis à l'état logique "0", le sélecteur 128 est directement commandé en fonction des sorties des BCDNS 209 à 211. Il en résulte que dans les REDR 120 à 123, les paires de traduction d'adresse des RPA 143, 140, 141 et 142, lues par l' adresse logique de la demande ① au temps t4, sont respectivement fixées au temps t5. Puis, les RIE 130 à 133 sont mis à l'état logique "1", "1", "1" et "0" en fonction de la Fig. 5 au temps t5.

La commande de mise à l'état logique des valeurs logiques dans les RIE 130 à 133 va être décrite dans la suite du texte. Les valeurs selon la Fig. 5, dans les RIE 130 à 133 ne sont mises à l'état logique que pour une

durée 1T au moment où le BCS 208 est mis à l'état logique "1".

En se référant à la Fig. 5, les registres d'instruction d'écriture 130 et 131 sont toujours à l'état logique "1" au moment mentionné précédemment. Le RIE 132 est mis à l'état logique "1" lorsque le BCDNS 209 est mis à l'état logique "0". Le RIE 133 est mis à l'état logique "1" lorsque les BCDNS 209 et 210 sont mis à l'état logique "0". Les bistables de commande de substitution 206 à 208 sont des bistables dont les changements d'état sont conçus de telle manière que le passage à l'état logique "1" se fait en réponse au démarrage du processus de replacement.

En revenant à la Fig. 4, le BCS 206 est mis à l'état logique "1" au temps t4, en réponse au démarrage du processus de replacement, et les temps t4 et t5, ainsi que leur "1" logique sont respectivement étendus aux BCS 207 et 208. Lorsque le BCS 207 est mis à l'état logique "1" au temps t4, la sortie du BCS 207 met les RIE 130 et 131 au temps t5, directement par l'intermédiaire de la ligne de signal 317. La sortie du BCS 207 est transmise aux portes ET 260 et 261 par l'intermédiaire de la ligne de signal 317. Par conséquent, les portes ET 260 et 261 n'envoient des sorties effectives qu'au moment où le BCS 207 est à l'état logique "1". A ce moment, la porte ET 260 transmet une sortie au temps t4, par l'intermédiaire de la ligne de signal 358, et met dans le RIE 132 la valeur fournie par la ligne de signal 304, résultant de l'inversion de la sortie du bistable de commande de détermination du niveau de substitution 209, par la porte d'inversion logique 252. Dans le cas présent, lorsque le BCDNS 209 est mis à l'état logique "0" au temps t4, le RIE 132 est mis à l'état logique "1" au temps t5. La porte ET 161 émet une sortie au temps t4 par la ligne de signal 359, et met dans le RIE 133 le produit logique des valeurs fournies aux lignes de signal 304 et 305, résultant respectivement de l'inversion des sorties des BCDNS 209 et 210, par les portes d'inversion logique 252

et 253. Dans le cas présent, lorsque les BCDNS 209 et 210 sont respectivement mis à l'état logique "0" et "1" au temps t4, les sorties des portes d'inversion logique 252 et 253 sont respectivement des "1" et des "0" logiques, et la porte ET 261 émet un "0" logique en sortie pour passer le RIE 133 à l'état logique "0" au temps t5.

Il résulte de ce qui précède qu'au temps t5, les paires de traduction d'adresse des RPA 143, 140, 141 et 142, lues par les adresses de référence des RPA 140 à 143 pour la demande ①, sont respectivement inscrites dans les registres d'écriture de données dans les RPA 120 à 123, et les RIE 130 à 133 sont respectivement mis à l'état logique "1", "1", "1" et "0". Puis, au temps t5, les paires de traduction d'adresse des RPA 142, 140 et 141 sont écrites dans les RPA 140, 141 et 142 en fonction du nouvel ordre de priorité, dans des positions correspondant aux adresses de référence des RPA 140 à 143 pour la demande ①. A ce moment, comme le RIE 133 est à l'état logique "0", le contenu du RPA 143 n'est pas remis à jour. De cette façon est achevé le processus de remplacement au temps t5, selon la Fig. 5. Par conséquent, étant donné que la paire de traduction d'adresse voulue est fixée dans le RPA 140 au temps t5, si le RPA 140 est référencé au temps t6, par exemple par la demande ①, l'adresse réelle recherchée sera trouvée dans le RAR 160 au temps t7. Cependant, dans ce dispositif, de manière à réaliser un replacement plus rapide, permettant d'obtenir l'adresse réelle dans le RAR 160, une commande de court-circuit est transmise pour envoyer directement la section d'adresse réelle du REDR 120 au RAR 160, simultanément avec l'enregistrement de la paire de traduction d'adresse voulue, depuis le REDR 120 vers le RPA 140. Ainsi, au temps t5, la section d'adresse réelle dans le REDR 120 est directement fournie au RAR 160 par l'intermédiaire d'une ligne de signal 124-0, en même temps que son enregistrement dans le RPA 140. La sortie du BCS 208 mise à l'état logique "1" est envoyée au

sélecteur 161 par l'intermédiaire de la ligne de signal 318 au temps t5. Le sélecteur 161, lorsque la ligne de signal 318 envoie le "1" logique, effectue un choix et écrit dans le RAR 160, le contenu de la ligne de signal 124-0, et, lorsque la ligne de signal 318 envoie le "0" logique, le sélecteur effectue un choix et écrit dans le RAR 160 le contenu de la ligne de signal 144-1. En même temps, l'adresse de la ligne dans la page (L), de l' adresse logique de demande ①, conservée par le RAL 100, est écrite dans le RAR 160 par l'intermédiaire de la ligne de signal 104-2, et l' adresse réelle voulue est fixée dans le registre d'adresse réelle 160 au temps t6. Simultanément, à ce moment-là, la sortie logique "1" du BCS 208 est inscrite dans le bistable d'indication d'atteinte du niveau 0 204 par l'intermédiaire de la ligne de signal 318 au temps t6.

De cette manière, il est apparemment possible d'obtenir, un temps plus tôt, le même état que celui de l' attribution de référence au RPA 140 par la demande ① au temps t6, de l'écriture de l' adresse réelle dans le RAR 160 au temps t7 et de la mise simultanée du BIANO 204 à l'état logique "1". Par conséquent, en fonction de l' adresse réelle recherchée dans le RAR 160 au temps t6, les mémoires cache, c'est-à-dire les ensembles d'adresses 170 et 171 et les ensembles de données 180 et 181, sont référencées.

A ce point, de manière à simplifier la description des éléments qui ne sont pas directement propres à la présente invention, on supposera que la donnée recherchée est présente dans l' ED 180 ou 181.

Tout d'abord, les EA 170 et 171, et les ED 180 et 181 sont simultanément référencés par l'intermédiaire de la ligne de signal 162-1, par une adresse d' attribution de reference de cache faisant partie des adresses logiques inscrites dans le RAR 160. Les sections d'adresse clé enregistrées sont lues dans les EA 170 et 171, et sont respectivement envoyées aux comparateurs de détection d'atteinte de cache 174 et 175, par les lignes de signal

172 et 173. Ces comparateurs 174 et 175 comparent les valeurs provenant des lignes de signal 172 et 173, avec la section d'adresse clé de l' adresse réelle inscrite dans le RAR 160, transmise par le RAR par l'intermédiaire d'une ligne de signal 162-0. Si l'identité est détectée par le comparateur de détection d'atteinte de cache 174 ou 175 (c'est-à-dire si l'un ou l'autre des comparateurs l'atteint), l'enregistrement des données demandées par la source de demande dans l' ED 180 ou 181 est détecté.

Les comparateurs de détection d'atteinte de cache 174 et 175 produisent un "1" logique si l'identité est détectée, ou un "0" logique si l'identité n'est pas détectée. Par conséquent, dans ce cas, la sortie de l'un ou l'autre des comparateurs de détection d'atteinte de cache 174 ou 175 est un "1" logique. Le résultat de cette détection est transmis au circuit de commande du cache 400 par l'intermédiaire des lignes de signal 176 et 177, et simultanément envoyé au sélecteur 191. Pendant ce temps, la donnée en mémoire placée aux endroits adressés par la ligne de signal 162-1 est lue dans l' ED 180 et 181, et, en fonction du résultat de la comparaison par les comparateurs de détection d'atteinte de cache 174 et 175 fourni par les lignes de signal 176 et 177, la donnée en mémoire demandée par la source de demande est choisie par le sélecteur 191 et est écrite dans le registre de lecture des ensembles de données 190 au temps t7. Simultanément, la sortie logique "1" du BIAND 204, mise à l'état logique "1" au temps t6 a informé le circuit de commande du cache 400 par l'intermédiaire de la ligne de signal 360.

En se référant maintenant à la Fig. 3, les portes d'inversion logique 402 et 403 et la porte NON ET 404 prennent le produit logique des résultats de la détection provenant des comparateurs de détection d'atteinte de cache 174 et 175 transmis par les lignes de signal 176 et 177, et un "1" logique est envoyé à une porte ET 405 par l'intermédiaire de la ligne de signal 408.

Par conséquent, du fait que les deux lignes de signal 360 et 408 ont véhiculé un "1" logique, la porte ET 405 produit un "1" logique et met le bistable de réponse 401 à l'état logique "1" au temps t7. L'information requise par la demande ①, au RLED 190, lue à ce moment t7, est envoyée à la source de demande par l'intermédiaire de la ligne de signal 192. Simultanément, la sortie logique "1" du bistable de réponse 401 est retournée par l'intermédiaire de la ligne de signal 450 à la source de demande, comme réponse indiquant que la donnée demandée peut y être prélevée.

Au temps t6, la demande ②, conservée jusque là dans le RIAL 101 et le RIDM 111 est de nouveau inscrite dans le RAL 100 et dans le RDM 110, pour reprendre l'attribution de référence des RPA 140 à 143. Du fait que la demande ② accède à une donnée de la mémoire placée dans la même page que la demande ①, l'adresse réelle recherchée par la demande ② doit être présente dans le RPA 140 occupant le premier rang de priorité. Par conséquent, les sorties logiques des comparateurs de détection d'atteinte du RPA 150 à 153 sont respectivement "1", "0", "0", "0". Ces états sont indiqués au circuit de commande du RPA 200. Au temps t7, les bistables de commande pour le BIDE (bistable d'interdiction de la demande d'émettre) 201, le BNPAD (bistable de non prêt à accepter la demande) 202, le BIMD (bistable d'instruction de maintien de la demande) 203, le BIAM (bistable d'indication d'atteinte manquée) 205 et le BCS (bistable de commande de substitution) 206, sont tous mis à l'état logique "0". Le BIANO 204 est mis à l'état logique "1" lorsque la ligne de signal 154 a véhiculé le "1" logique. Simultanément, au temps t7, la section d'adresse réelle lue dans le RPA 140, et l'adresse de ligne dans la page (L) de l'adresse logique de la demande ②, contenue dans le RAL 100, sont respectivement écrites dans le RAR 160 par l'intermédiaire des lignes de signal 144-1 et 104-2. L'adresse réelle voulue est fixée dans le RAR 160 au temps

t7, et les mémoires cache, c'est-à-dire les EA 170 et 171 ainsi que les ED 180 et 181, sont référencées. Au temps t8, la donnée requise par la demande ②, et une réponse indiquant que la donnée demandée doit y être prélevée, sont retournées à la source de demande par l'intermédiaire des lignes de signal 192 et 450, à la suite d'une demande de donnée ②, et d'une réponse à cette demande. Pendant ce temps, au temps t6, le BIDE 201 interdisant l'émission de toute nouvelle demande par la source de demande, est remis à l'état logique "0". Il en résulte qu'une nouvelle demande ③ est acceptée par le RAL 100 et le RDM 110 au temps t7, et comme pour la demande ②, la donnée demandée est recherchée. A la suite de la réponse à la demande, la donnée demandée est retournée à la source de demande par l'intermédiaire des lignes de signal 192 et 450, après la demande de recherche de donnée ② et sa réponse.

Lorsque la paire de traduction d'adresse à laquelle on a le plus récemment accédé est enregistrée dans le RPA 140 occupant le premier rang de priorité, les adresses réelles se rapportant aux demandes suivantes ont plus de chance d'être enregistrées dans le RPA 140, de telle sorte que les adresses réelles voulues peuvent être plus rapidement transmises par le RPA 140.

Si l' adresse réelle voulue ne se trouve pas dans le RPA 140, mais est présente dans le RPA 141 ou 143, c'est exactement le même processus qui va se dérouler. A la fin du processus de replacement en fonction de l'ordre de priorité de tous les RPA, depuis le RPA 140 jusqu'au RPA 141 ou 143, selon le cas, les adresses réelles recherchées peuvent être constamment transmises par le RPA 140.

De cette manière, le processus consistant à sélectionner à chaque fois le RPA dans lequel l' adresse réelle est enregistrée, après avoir déterminé ce RPA, devient superflu.

De plus, comme cela a été décrit précédemment, l'algorithme de replacement en fonction de l'ordre de

priorité des RPA 140 à 143, est exactement identique à l'algorithme du MRU (moins récemment utilisé). Les paires de traduction d'adresse enregistrées dans les RPA, depuis le RPA 140 occupant le premier rang de priorité, jusqu'au RPA 143 occupant le quatrième rang de priorité, restent enregistrées dans une séquence commençant par l'adresse la plus récemment utilisée, et se terminant par l'adresse référencée le moins récemment. Par conséquent, si l' adresse réelle recherchée ne se trouve dans aucun des RPA 140 à 143, et si la paire ce traduction d'adresse dans l'un ou l'autre des RPA 140 à 143 doit être ré-ecrite, il ne sera pas nécessaire ce choisir le niveau de ré-écriture par un circuit d'algorithme de replacement utilisant un algorithme MRU ou similaire, et au contraire, la paire de traduction d'adresse du RPA 143, c'est-à-dire le dernier dans l'ordre de priorité, peut toujours être déterminée automatiquement comme objet de ré-écriture.

La suite du texte va décrire le fonctionnement caractéristique de la présente invention dans le cas où la paire de traduction d'adresse ne se trouve dans aucun des RPA 140 à 143.

La Fig. 6 illustre les temps du processus de replacement en cas d'absence de la paire de traduction d'adresse voulue dans les RPA 140 à 143.

Les chiffres encerclés ① , ② et ③ indiquent des demandes de lecture de mémoire opérande émises par la source de demande, et leur adresse logique.

En se référant maintenant simultanément aux Figs. 1, 2 et 6, on suppose que la paire de traduction d'adresse voulue requise par la demande ① n'est présente dans aucun des RPA 140 à 143, et que les demandes suivantes ② et ③ doivent accéder à la même page que la demande ①. Ainsi, lorsque la paire de traduction d'adresse utilisée par la demande ① est enregistrée dans le RPA 140, les paires de traduction d'adresse demandées par les demandes ② et ③ vont aussi être enregistrées dans le RPA 140. Comme cela est expliqué, et en se référant à la Fig. 4,

les adresses réelles requises par les demandes ② et ③ sont rapidement transmises depuis le RPA 140 vers le RAR 160. Par conséquent, la description qui suit va particulièrement porter sur le fonctionnement à la suite de la demande ① en cas d'absence de la paire de traduction d'adresse voulue dans les RPA 140 à 143, et ne sera que peu développée pour la partie où le fonctionnement est le même que celui de la Fig. 4.

Comme dans l'exemple illustré à la Fig. 4, les RPA 140 à 143 sont référencés par la demande ① au temps t2. Les résultats de la détection par les comparateurs de détection d'atteinte du cache 150 à 153 sont indiqués au circuit de commande du RPA 200 par l'intermédiaire des lignes de signal 154 à 157. Dans ce cas, un "0" logique est notifié par tous les comparateurs 150 à 153 au RPA 200, par l'intermédiaire des lignes de signal 154 à 157. Au temps t3, le BIDE 201, le BNPAD 202, le BIMD 203, le BIANO 204, le BIAM 205, le BCS 206 et les BCDNS 209 à 211 sont mis aux valeurs logiques suivantes.

Tout d'abord, lorsque la ligne de signal 154 véhicule un "0" logique, le BIANO 204 est mis à l'état logique "0", en réponse à quoi, l'invalidité du résultat de l'attribution de référence au RPA 140 est indiquée au circuit de commande du cache 400, par l'intermédiaire de la ligne de signal 360, et l'invalidation de la donnée lue dans l'ED 180 ou l'ED 181 pour le RLED 190 est indiquée. Le "0" logique sur la ligne de signal 154 est inversé par la porte d'inversion logique 212, et le "1" logique qui en résulte est inscrit dans le BIDE 201 et le BNPAD 202. Puis sont notifiées l'interdiction d'émission de toute nouvelle demande depuis la source de demande, et l'invalidation des résultats de l'attribution de référence aux RPA 140 à 143, jusqu'à ce que le BIDE 201 et le BNPAD 202 soient remis à l'état logique "0". Du fait que toutes les lignes de signal 154 à 157 véhiculent des "0" logiques, toutes ces valeurs logiques sont inversées par les portes d'inversion logique 212 à 215, et sont mises à l'état logique "1".

Ces "1" logiques sont transmis par l'intermédiaire des lignes de signal 265 à 268 à une porte ET 217 qui, en prenant le produit logique de toutes les valeurs logiques "1", sort un "1" logique. Ce "1" logique met le BIMD 203 et le BIAM 205 à l'état logique "1" par l'intermédiaire de la ligne de signal 270. Le BIMD 203, au temps t3, notifie le maintien de l'adresse de demande de lecture de la memoire et la demande de lecture de la mémoire, pour les demandes ② et ①, maintenues par le RAL 100, le RDM 110, le RIAL 101, et le RIDM 111, jusqu'à ce qu'il soit remis à l'état logique "0". L'adresse de demande de lecture de mémoire et la demande de lecture de mémoire pour la demande ①, maintenue au temps t2, par le RAL 100 et le RDM 110, sont respectivement inscrites dans le RIAL 101 et le RIDM 111, au temps t3. Du fait que le BIDE reste à l'état logique "0" au temps t2, une nouvelle demande ② est émise par la source de demande. L'adresse de demande de lecture de mémoire et la demande de lecture de mémoire pour la demande ② sont respectivement écrites dans le RAL 100 et le RDM 110, au temps t3.

Le BIAM 205 est un bistable qui est mis à l'état logique "1" lorsque la paire de traduction d'adresse voulue n'est présente dans aucun des RPA 140 à 143, et la sortie de ce "1" logique ordonne à un circuit de traduction d'adresse (non illustré) par l'intermédiaire de la ligne de signal 351, d'exécuter la traduction de l'adresse. Ce BIAM 205 reste à l'état logique "1", jusqu'a ce qu'il soit remis à son état initial par un signal d'annonce d'achèvement d'une traduction d'adresse, provenant du circuit de traduction d'adresse.

Dans le BCS 206 est inscrite la somme logique des résultats de la détection effectuée par les comparateurs de détection d'atteinte du RPA 151, 152 et 153, respectivement envoyés, par l'intermédiaire des lignes de signal 155, 156 et 157, par les portes d'inversion logique 213, 214 et 215, et par une porte NON ET 218. Par conséquent, le "0" logique est inscrit au temps t3, et le processus de replacement illustré à la Fig. 4 n'est

pas réalisé. Enfin, dans les BCDNS 209 à 211 sont inscrits, tels quels, les résultats de la détection effectuée par les comparateurs de détection d'atteinte du RPA 151, 152 et 153, par l'intermédiaire des lignes de signal 155 à 157, et au temps t3, tous les BCDNS 209 à 211 sont mis à l'état logique "0", qui est maintenu jusqu'à ce que les RPA 140 à 143 aient reçu une nouvelle référence.

Lorsque les valeurs logiques mentionnées précédemment sont inscrites dans les bistables de commande 201, 202, 203, 204, 205, 206, 209 à 211 au temps t3, le BIAM 205, par l'intermédiaire de la ligne de signal 351, indique au circuit de traduction d'adresse qu'il doit exécuter la traduction d'adresse telle que décrite précédemment. De manière à effectuer la traduction d'adresse de la demande ① en même temps, l' adresse logique de la demande ① maintenue par le RIAL 101 est transmise au circuit de traduction d'adresse par l'intermédiaire d'une ligne de signal 105. Dans le circuit de traduction d'adresse, la traduction de l'adresse en une adresse réelle est exécutée par l' adresse logique de la demande ① , transmise par l'intermédiaire de la ligne de signal 105. Ainsi, la table des segments et la table des pages enregistrées dans la mémoire principale sont référencées par le numéro de segment (S) et le numéro de page (P) de l' adresse logique. En réponse à cette référence, le numéro de page réel est prélevé, et l' adresse réelle est trouvée en la combinant comme adresse réelle supérieure de l'adresse de la ligne dans la page (L) des 12 bits les moins significatifs de l' adresse logique.

Dans la mesure où ce processus de traduction d'une adresse logique en une adresse réelle est bien connu de tous ceux qui sont qualifiés dans ce domaine, et ne relève pas directement de la présente invention, sa description va volontairement être réduite au minimum nécessaire.

Dans la table des segments et la table des pages sont

respectivement enregistrées des entrées de segment et des entrées de pages, dans l'ordre des numéros de segment (S) et des numéros de page (P). Dans cette mise en application choisie, les entrées de segments et les entrées de pages sont respectivement constituées de 8 octets et 4 octets.

Tout d'abord, la première adresse réelle dans la table des segments, contenue dans un registre de base de segment (non illustré), et le numéro de segment multiple de 8, de l' adresse logique contenue dans le RAL 100 sont additionnés pour créer l' adresse réelle de l'entrée de segment appelée numéro de segment (S), et pour lire l'entrée de segment sur cette base.

La première adresse réelle dans la table des pages est prise dans cette entrée de segment, et est additionnée averc le numéro de page multiple de 4 (P) de l' adresse logique maintenue dans le RAL 100, pour créer l' adresse réelle de l'entrée de page, appelée numéro de page (P), et pour lire l'entrée de page.

A partir de cette entrée de page est prélevé le numéro de page réel, qui est l' adresse réelle des 20 bits les plus significatifs sur les 32 bits de l' adresse réelle, et la traduction de l' adresse logique en adresse réelle est ainsi réalisée.

Alors que la traduction d'adresse décrite ci-dessus est effectuée dans le circuit de traduction d'adresse, une attente de réalisation de la traduction d'adresse s'installe dans le circuit de commande du RPA 200. Le circuit de traduction d'adresse, par l'intermédiaire de la ligne de signal 12, envoie le numéro de page réel, obtenu par la traduction d'adresse décrite plus haut, comme adresse réelle pour la traduction d'adresse, et de manière à notifier le moment d'envoi de cette adresse réelle pour la traduction d'adresse, il émet un signal d'annonce d'achèvement de la traduction d'adresse, par l'intermédiaire de la ligne de signal 13.

Le signal d'annonce d'achèvement de la traduction d'adresse est un signal de temps qui positionne une

adresse réelle pour traduction d'adresse dans un registre d'interface du circuit de traduction d'adresse, de manière à envoyer l' adresse réelle pour traduction d'adresse, et qui annonce l'achèvement de la traduction d'adresse par un "1" logique.

Au temps n de la Fig. 6, le signal d'annonce d'achèvement de la traduction d'adresse est notifié par le circuit de traduction d'adresse, par l'intermédiaire de la ligne de signal 13, au circuit de commande du RPA 200. Ce signal d'annonce est mis à l'état logique "0" par une porte d'inversion logique 216, et est transmis, par la ligne de signal 269 et les portes ET 228 à 231, au BIMD 203 et au BIAM 205 pour supprimer leurs sorties. Par conséquent, les contenus du BIMD 203 et du BIAM 205 sont remis à l'état logique "0" au temps n+1. Au même moment, le signal d'annonce d'achèvement de la traduction d'adresse est transmis au BCS 206, par l'intermédiaire de la ligne de signal 13, et en réponse à ce signal d'annonce, le BCS 206 est remis à l'état logique "1" au temps n+1.

On voit ici que les temps t3 à t7 de la Fig. 4 et les temps n+1 à n+5 de la Fig. 6 sont respectivement exactement les mêmes. C'est pourquoi les opérations se déroulant aux temps n+1 à n+5 de la Fig. 6 sont commandées de la même manière que celles qui se déroulent aux temps t3 à t7 décrites à la Fig. 4. Comme cela a été décrit précédemment, au temps n+1, c'est-à-dire 1 temps après le temps n, où le signal d'annonce d'achèvement de la traduction d'adresse est envoyé, l' adresse réelle pour traduction d'adresse est inscrite dans le registre d'interface du circuit de traduction d'adresse, et est transmis par la ligne de signal 12.

Au moment où le BCS 206 est mis à l'état logique "1", le "1" logique du BCS 206 est inversé vers le "0" logique par la porte d'inversion logique 236, et est envoyé aux portes ET 256, 257, 258 et 259. En réponse à ce "0" logique, les portes ET 256, 257, 258 et 259 sont mises aux "0" logique, et elles transmettent leurs sorties au

sélecteur 128, par l'intermédiaire des lignes de signal 354, 355, 356 et 357. Lorsque chacune des lignes de signal 354, 355, 356 et 357 émet un "0" logique, le sélecteur 128 sélectionne les lignes de signal 105-0 et 12, dont le contenu est mis à l'état logique "0" dans le REDR 120. Par conséquent, au temps n+2, la section d'adresse clé de l' adresse logique de la demande ①, maintenue par le RIAL 101, et l' adresse réelle pour traduction d'adresse de la demande ① sont inscrites dans le REDR 120 comme paire de traduction d'adresse occupant un nouveau premier rang de priorité, résultant de la traduction de l'adresse. Lorsque chacun des BCDNS 209 à 211 est mis à l'état logique "0", les portes ET 256 à 259 émettent respectivement un "1", "0", "0" et "0" logiques au moment où le BCS 207 passe à l'état logique "1". Ces signaux sont transmis au sélecteur 128, par l'intermédiaire des lignes de signal 354 à 357, et le sélecteur 128 sélectionne la ligne de signal 124 pour véhiculer la sortie du REDR 120. Le contenu choisi est également inscrit dans le REDR 120 pour y être conservé. Donc, au temps n+2, les "1", "0", "0" et "0" logiques sont respectivement transmis au sélecteur 128 par l'intermédiaire des lignes de signal 354 à 357, et le contenu du REDR 120 est conservé. De la même façon, au temps n+3, la paire de traduction d'adresse de la demande ① obtenue par la traduction d'adresse est inscrite dans le REDR 120, et, dans les autres REDR 121, 122 et 123 sont respectivement inscrites les paires de traduction d'adresse des RPA 140, 141 et 142 lues par les adresses d' attribution de référence de la demande ① pour les RPA 140 à 143. Au moment où le BCS 207 est mis à l'état logique "1", le BCS 207 envoie un "1" logique aux RIE 130 et 131 directement par l'intermédiaire de la ligne de signal 317. Les portes ET 260 et 261, lorsque chacun des BCDNS 209 à 211 est à l'état logique "0", sont validées par la sortie logique "1" du BCS 207, et elle transmettent respectivement un "1" logique aux RIE 132 et 133, par l'intermédiaire des lignes de signal 358 et

359. Puis, au moment où le BCS 208 est mis à l'état logique "1", chacun des RIE 130 à 133 est mis à l'état logique "1". Par conséquent, au temps n+3, les RIE 130 à 133 sont tous mis à l'état logique "1", et la paire de traduction d'adresse de la demande ① résultant de la traduction d'adresse selon un nouvel ordre de priorité, est écrite dans le RPA 140, à un endroit correspondant aux adresses d' attribution de référence de la demande ① pour les RPA 140 à 143. Dans les autres RPA 141, 142 et 143 sont respectivement écrites les paires de traduction d'adresse des RPA 140, 141 et 142 lues par les adresses d' attribution de référence de la demande ① pour les RPA 140 à 143.

Par consequent, le processus décrit précédemment réécrit automatiquement la paire de traduction d'adresse occupant le dernier rang de priorité, enregistré dans le RPA 143, et un circuit d'algorithme de replacement dans le RPA, utilisant l' algorithme MRU (moins récemment utilisé) ou un algorithme similaire, devient dès lors inutile.

Le traitement de la demande ① sous commande de court-circuit du REDR 120, et le traitement des demandes suivantes ② et ③, sont réalisés exactement de la même façon que le cas décrit avec référence à la Fig. 4.

L'un des éléments caractéristiques de la présente invention est la simplification de l' attribution de référence de l' adresse réelle par le RPA pour déterminer le cycle machine. Cette caractéristique permet de réduire les retards de porte, ce qui raccourcit les cycles machine du système.

Un autre élément de la présente invention est l'utilisation d'un circuit d'algorithme de replacement dans le RPA, qui présente l'avantage de réduire considérablement le volume du matériel et donc la taille globale de l'installation.

Une autre caractéristique de la présente invention est l'accroissement réduit des cycles machine du système, qui permet d'augmenter les capacités et le nombre des

registres de pages actives, et a pour résultat une amélioration significative des performances du système.

REVENDICATIONS

1. Système de commande de registre intermédiaire de traduction d'adresse équipé de N (nombre entier non inférieur à 2) registres intermédiaires de traduction d'adresse, dont chacun enregistre une pluralité de paires de traduction d'adresse, chaque paire comprenant une adresse logique et une adresse réelle correspondante, dans lequel

chacun desdits N registres intermédiaires est individuellement assigné à l'un N des premiers rangs de priorité pour chaque instruction d' attribution de reference et à l'un des N premiers rangs de priorité pour chaque opérande d' attribution de référence, et qui inclut

un dispositif d' attribution de référence pour la recherche simultanée par adresse logique, et

un dispositif de replacement, pour le replacement, lorsque l' absence de la paire de traduction d'adresse voulue dans l'un desdits registres intermédiaires de traduction d'adresse occupant le premier rang de priorité a été détecté par la recherche utilisant ledit dispositif d' attribution de référence , d'une paire de traduction d'adresse dans ledit registre intermédiaire de traduction d'adresse occupant le premier rang de priorité avec une autre paire de traduction d'adresse présente dans un registre intermédiaire de traduction d'adresse autre que celui qui occupe le premier rang de priorité.

2. Système de commande de registre intermédiaire de traduction d'adresse équipé de registres intermédiaires de traduction d'adresse auxquels sont assignés des rangs de priorité allant du premier au Nième (N étant un nombre entier non inférieur à 2), et dont chacun enregistre une pluralité de paires de traduction d'adresse, chaque paire comprenant une adresse logique et une adresse réelle correspondante, incluant

un dispositif d' attribution de référence pour rechercher lesdits registres intermédiaires d'adresse

occupant un rang de priorité allant du premier au Nième, par les adresses logiques, et

un dispositif de replacement, pour le replacement, lorsque l''absence de la paire de traduction d'adresse voulue dans l'un desdits registres intermédiaires de traduction d'adresse occupant le premier rang de priorité, ainsi que la présence de la paire de traduction d'adresse dans un autre desdits registres intermédiaires occupant un rang de priorité autre que le premier, ont été détectés par la recherche utilisant ledit dispositif d' attribution de référence, chaque registre intermédiaire de traduction d'adresse occupant un rang de priorité entre ledit premier registre intermédiaire de traduction d'adresse et le registre intermédiaire de traduction d'adresse dans lequel ladite paire de traduction d'adresse est présente en fonction desdits rangs de priorité, de manière à replacer une paire de traduction d'adresse dans ledit registre intermédiaire de traduction d'adresse occupant le premier rang de priorite avec ladite paire de traduction d'adresse présente dans ledit autre registre intermédiaire de traduction d'adresse, et

lorsque l'absence de la paire de traduction d'adresse voulue dans n'importe lequel des registres intermédiaires de traduction d'adresse a été déterminée par la recherche utilisant ledit dispositif d' attribution de référence, remplaçant une paire de traduction d'adresse dans le registre intermédiaire de traduction d'adresse occupant le dernier rang de priorité.

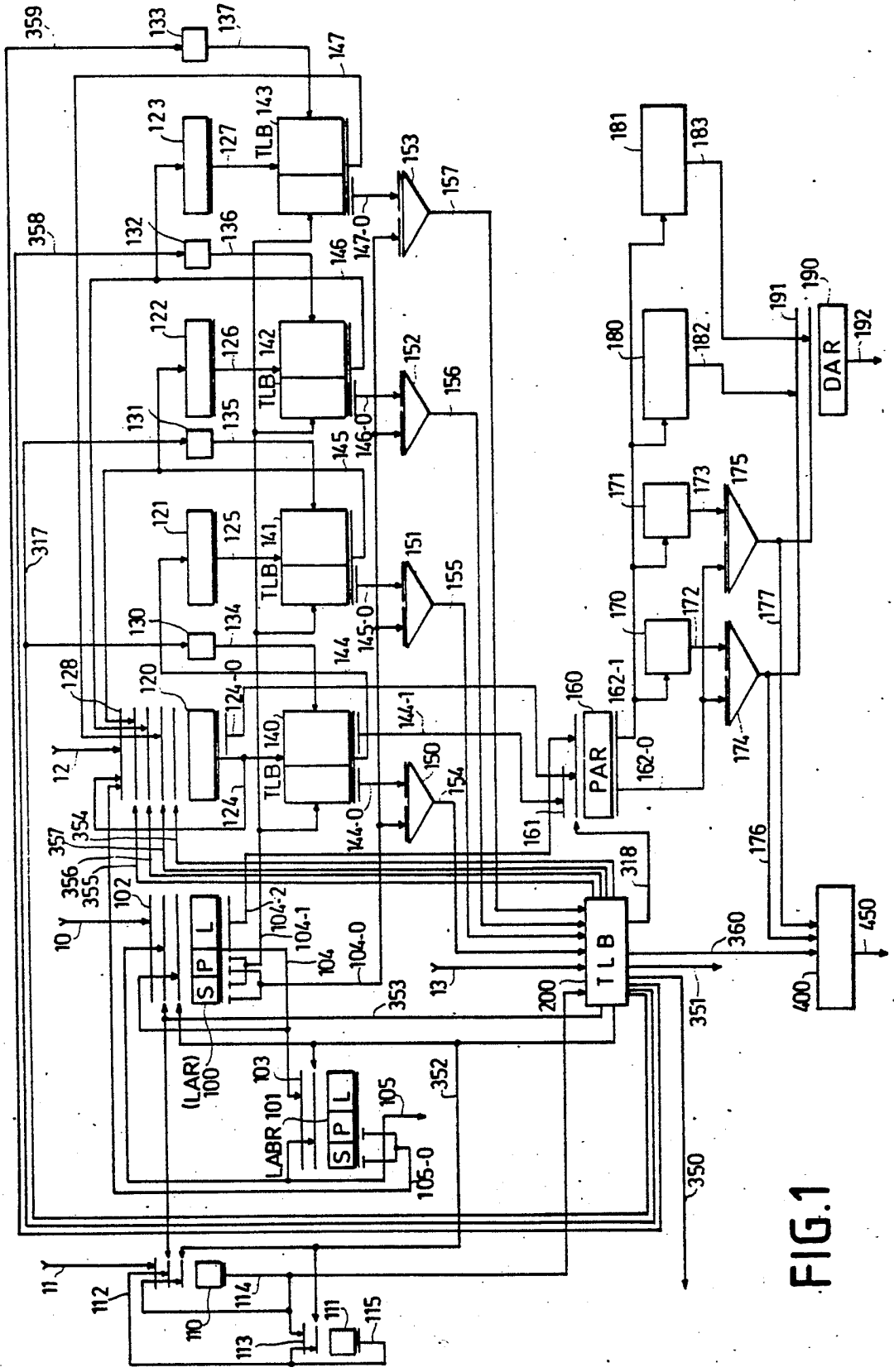


FIG.1

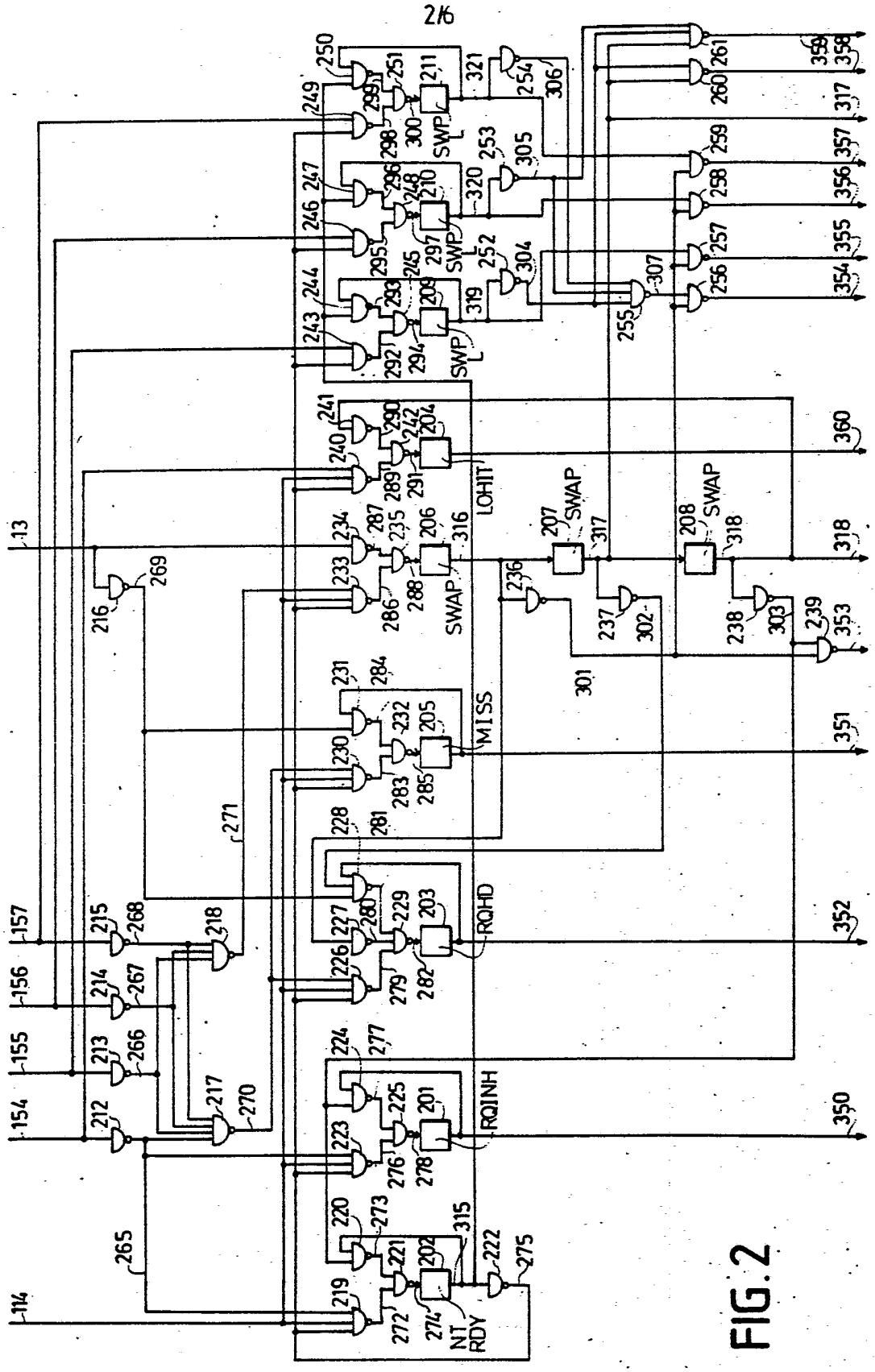
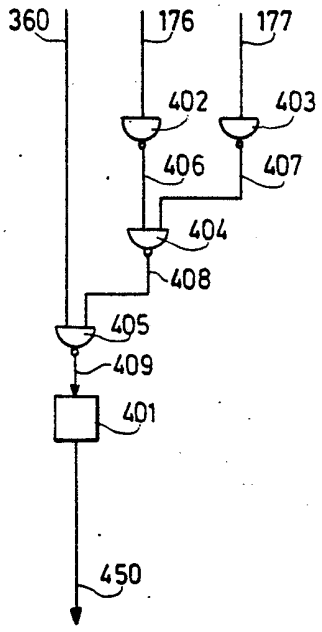


FIG. 2

FIG.3



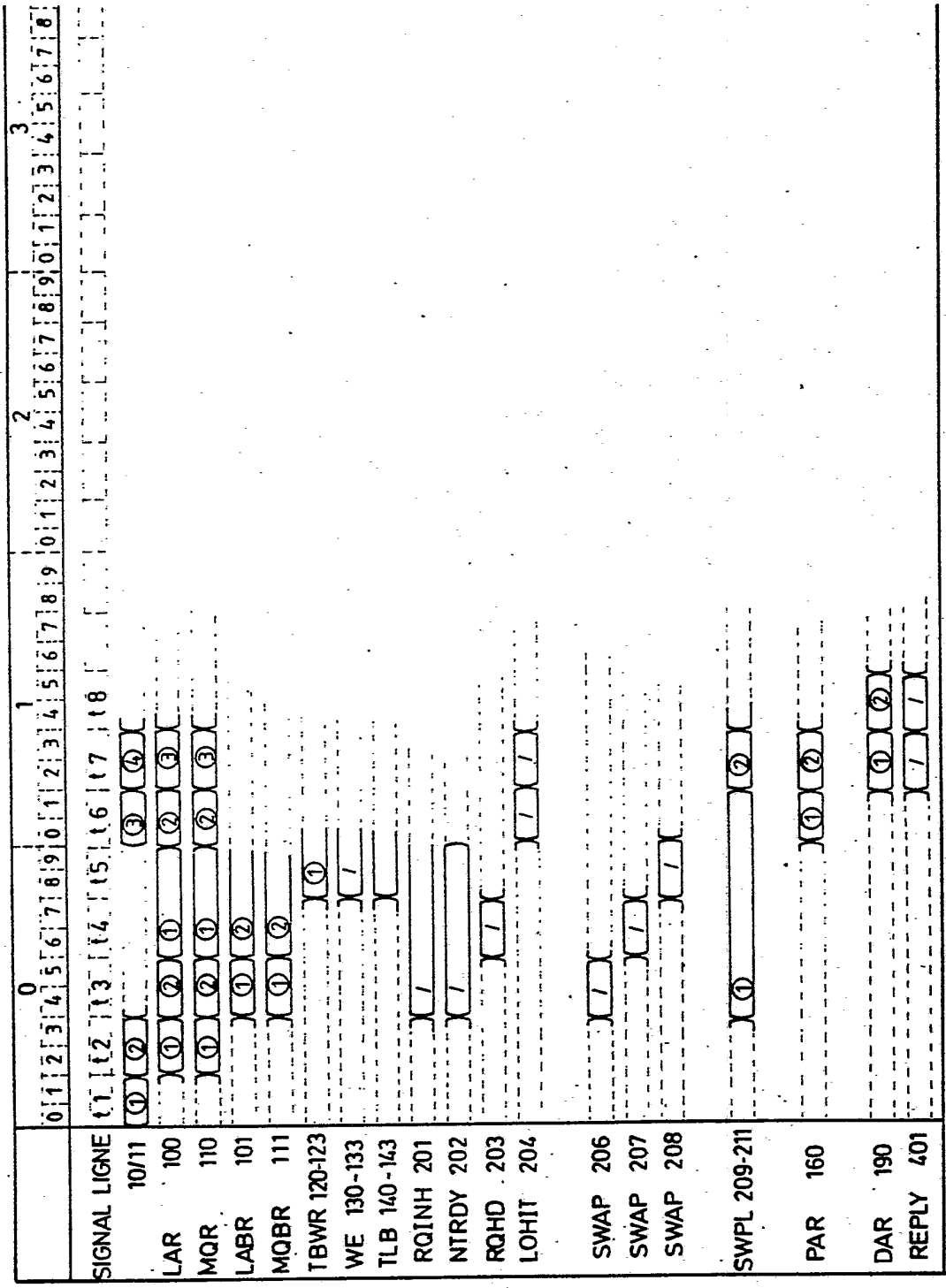

SIGNAL LIGNE
10/11
LAR 100
MQR 110
LABR 101
MQBR 111
TBWR 120-123
WE 130-133
TLB 140-143
RQINH 201
NTRDY 202
RQHD 203
LOHIT 204
SWAP 206
SWAP 207
SWAP 208
SWPL 209-211
PAR 160
DAR 190
REPLY 401

FIG. 4

FIG.5

SWPL			T L B			
			140	141	142	143
209	210	211	WE 130	WE 131	WE 132	WE 133
1	0	0	TLB 141	TLB 140	PAS DE MISE A JOUR	PAS DE MISE A JOUR
			1	1	0	0
0	1	0	TLB 142	TLB 140	TLB 141	PAS DE MISE A JOUR
			1	1	1	0
0	0	1	TLB 143	TLB 140	TLB 141	TLB 142
			1	1	1	1
0	0	0		TLB 140	TLB 141	TLB 142
			1	1	1	1

PAIRE D'ADRESSES DE TRADUCTIONS

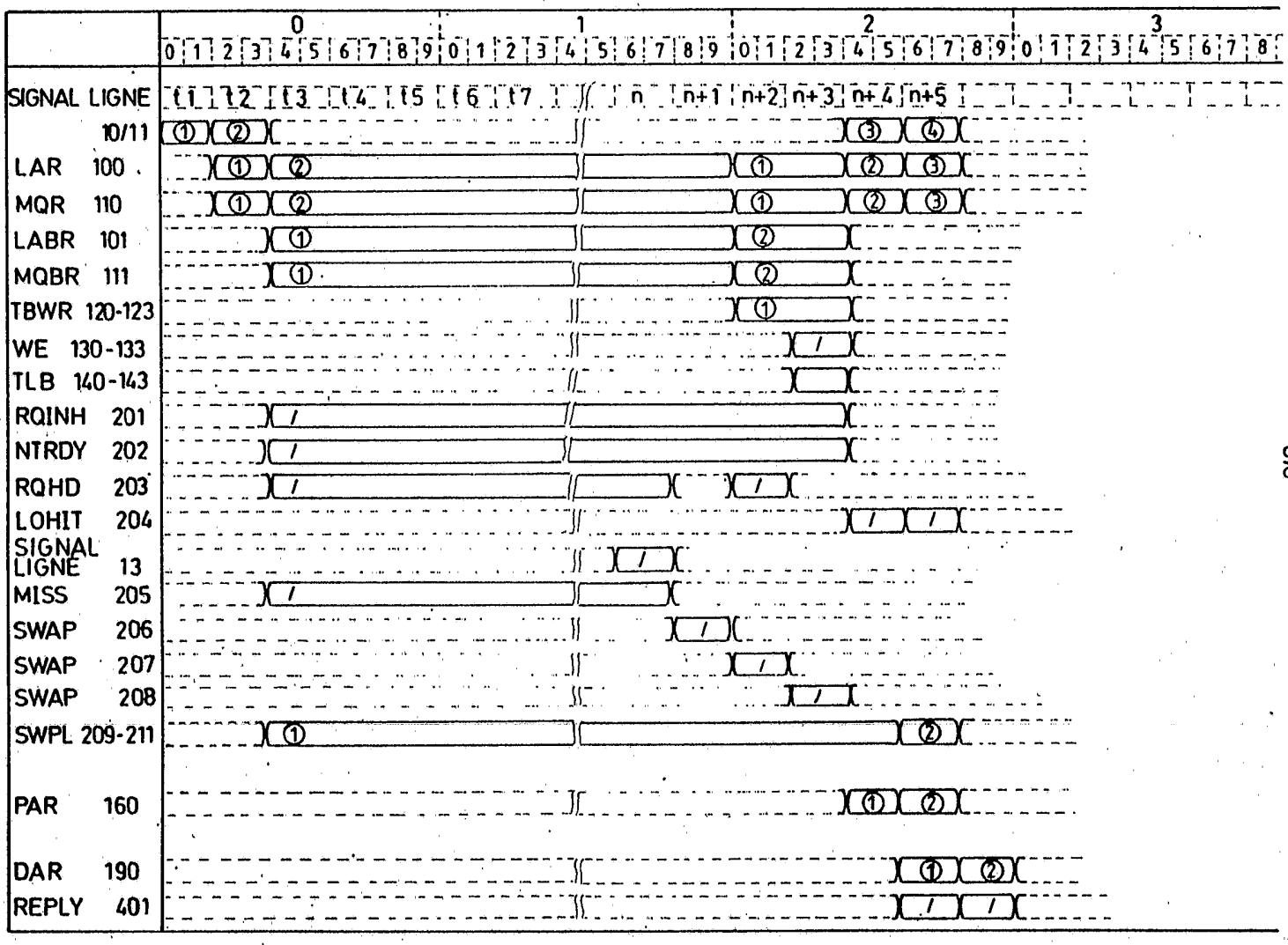


FIG. 6

2624994