

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



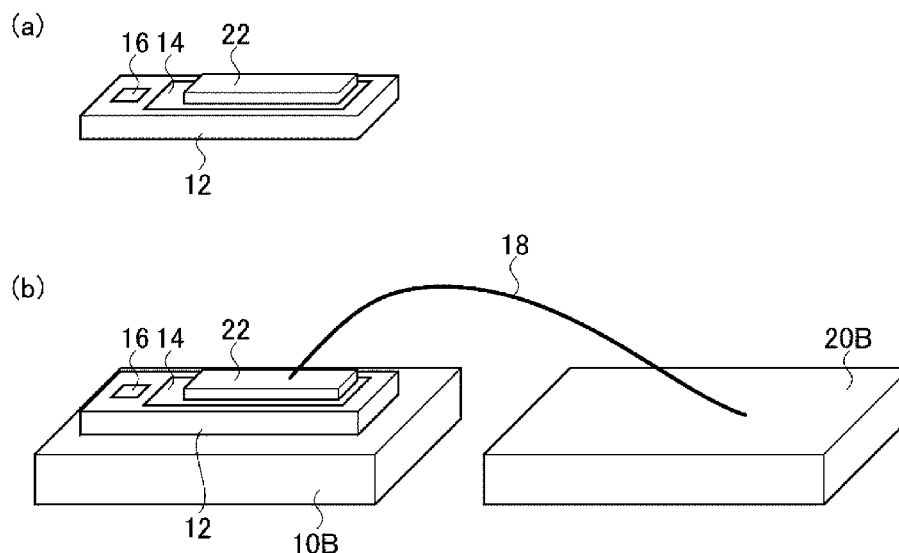
(10) 国際公開番号

WO 2017/183580 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) H01L 29/12 (2006.01)
H01L 21/3205 (2006.01) H01L 29/417 (2006.01)
H01L 21/768 (2006.01) H01L 29/739 (2006.01)
H01L 23/522 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2017/015306
- (22) 国際出願日: 2017年4月14日(14.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-083634 2016年4月19日(19.04.2016) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 大塚 拓一 (OTSUKA Takukazu);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et
al.); 〒1050001 東京都港区虎ノ門一丁目 2 番
8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: SEMICONDUCTOR DEVICE, POWER MODULE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置、パワーモジュール及びその製造方法



(57) Abstract: A semiconductor device is provided with a semiconductor chip (12), and a silver fired cap (22) formed so as to cover a source pad electrode (14) on the semiconductor chip (12). The semiconductor chip (12) is arranged on a first substrate electrode (10B), and one end of a copper wire (18) is bonded onto the silver fired cap (22) using ultrasonic waves. A semiconductor device having improved power cycle withstand capacity, a power module, and a method for manufacturing the same are provided.

[続葉有]



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 半導体装置は、半導体チップ(12)と、半導体チップ(12)上のソースパッド電極(14)を覆うように形成される銀焼成キャップ(22)とを備える。半導体チップ(12)が第1の基板電極(10B)上に配置され、超音波により銀焼成キャップ(22)上に銅ワイヤ(18)の一方端が接合される。パワーサイクル耐量を向上させることが可能な半導体装置、パワーモジュール及びその製造方法を提供する。

明 細 書

発明の名称：半導体装置、パワーモジュール及びその製造方法
技術分野

[0001] 本実施の形態は、半導体装置、パワーモジュール及びその製造方法に関する。

背景技術

[0002] パワーモジュールのジャンクション温度 T_j の上昇とともに、パワーサイクル耐量が従来の技術（アルミワイヤ）では厳しくなっている。そこで、最近では、寿命を延ばすためにアルミワイヤではなく銅ワイヤを使用する場合がある。また、ワイヤに代えてリード材や電極柱などの上部配線を使用する場合もある。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-4544号公報

特許文献2：特開2000-100849号公報

特許文献3：特開2016-4796号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、銅ワイヤを半導体チップ上に接合する場合は、アルミワイヤに比べ超音波のパワーが非常に大きくなるため、デバイスを破壊してしまう。

[0005] また、リード材や電極柱などの上部配線を使用する場合は、その接合材としてPbフリー系のはんだが使用される。しかし、Pbフリー系のはんだを使用した場合、シリコンカーバイド（SiC）など200℃以上の耐熱性を持つデバイスでは、融点がジャンクション温度 $T_j = 200℃$ に近く、さらに ΔT_j パワーサイクルが大きくなるため、パワーサイクル耐量（パワーサイクル寿命）は小さくなってしまう。

[0006] 本実施の形態は、パワーサイクル耐量を向上させることが可能な半導体装

置、パワーモジュール及びその製造方法を提供する。

課題を解決するための手段

[0007] 本実施の形態の一態様によれば、半導体チップと、前記半導体チップ上の電極を覆うように形成される高耐熱性の焼成膜とを備える半導体装置が提供される。

[0008] 本実施の形態の他の態様によれば、半導体チップが形成される工程と、前記半導体チップ上の電極を覆うように高耐熱性の焼成膜が形成される工程とを有する半導体装置の製造方法が提供される。

発明の効果

[0009] 本実施の形態によれば、パワーサイクル耐量を向上させることが可能な半導体装置、パワーモジュール及びその製造方法を提供することができる。

図面の簡単な説明

[0010] [図1]比較例1に係る半導体装置の模式的鳥瞰図。

[図2]第1の実施の形態に係る半導体装置の模式的鳥瞰図であり、(a)銅ワイヤ接合前の状態、(b)銅ワイヤ接合後の状態。

[図3]第1の実施の形態に係る半導体装置のシミュレーションモデルを示す模式的断面構造図。

[図4]図3に示されるシミュレーションモデルの効果を示すグラフ。

[図5]比較例2に係る半導体装置の模式的鳥瞰図。

[図6]第2の実施の形態に係る半導体装置の模式的鳥瞰図。

[図7]第2の実施の形態に係る半導体装置のシミュレーションモデル1（キャップ構造）を示す模式的断面構造図。

[図8]比較例2に係る半導体装置のシミュレーションモデル2（はんだ構造）を示す模式的断面構造図。

[図9]シミュレーションモデル1とシミュレーションモデル2の比較結果を示すグラフ。

[図10] ΔT_j パワーサイクルとパワーサイクル寿命の関係を示すグラフ。

[図11]ワイヤ材に亀裂が生じた状態を示す図。

[図12]時間の経過とともにひずみ量が飽和することを示すグラフ。

[図13]第1又は第2の実施の形態に係る半導体装置の製造方法を示す図であり、(a)半導体チップを示す図、(b)マスク印刷工程を示す図、(c)乾燥工程を示す図、(d)焼成工程を示す図。

[図14]図13に示される製造方法により製造された銀焼成キャップの写真。

[図15]第2の実施の形態に係る半導体装置を用いたモジュールの構成図(写真)であり、(a)鳥瞰図、(b)平面図。

[図16]図15に示されるモジュールを成形した後の構成図(写真)。

[図17]図15に示されるモジュールを部分的に拡大した写真。

[図18]図15に示されるモジュールを部分的に拡大した写真。

[図19]図15に示されるモジュールの全体を示す写真。

[図20]図15に示されるモジュールを部分的に拡大した写真。

[図21]第1の実施の形態に係る半導体装置を用いたモジュールの模式的構成図。

[図22]第1又は第2の実施の形態に係る半導体装置の ΔT_j パワーサイクルテストにおける電流と温度の変化の模式図。

[図23]第1又は第2の実施の形態に係る半導体装置の熱サイクルテストにおける温度プロファイル例。

[図24]第1又は第2の実施の形態に係る半導体装置であって、(a)ワンインワンモジュール(1 in 1 Module)のSiC MISFETの模式的回路表現図、(b)ワンインワンモジュールのIGBTの模式的回路表現図。

[図25]第1又は第2の実施の形態に係る半導体装置であって、ワンインワンモジュールのSiC MISFETの詳細回路表現図。

[図26]第1又は第2の実施の形態に係る半導体装置であって、(a)ツーインワンモジュールのSiC MISFETの模式的回路表現図、(b)ツーインワンモジュールの絶縁ゲートバイポーラトランジスタ(IGBT: Insulated Gate Bipolar Transistor)の模式的回路表現図。

[図27]第1又は第2の実施の形態に係る半導体装置に適用する半導体デバイ

スの例であって、(a) SiC MISFETの模式的断面構造図、(b) IGBTの模式的断面構造図。

[図28]第1又は第2の実施の形態に係る半導体装置に適用する半導体デバイスの例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MISFETの模式的断面構造図。

[図29]第1又は第2の実施の形態に係る半導体装置に適用する半導体デバイスの例であって、エミッタパッド電極EP、ゲートパッド電極GPを含むIGBTの模式的断面構造図。

[図30]第1又は第2の実施の形態に係る半導体装置に適用可能な半導体デバイスの例であって、SiC DI (Double Implanted) MISFETの模式的断面構造図。

[図31]第1又は第2の実施の形態に係る半導体装置に適用可能な半導体デバイスの例であって、SiC トレンチ (T : Trench) MISFETの模式的断面構造図。

[図32]第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータの模式的回路構成において、(a)半導体デバイスとしてSiC MISFETを適用し、電源端子PL、接地端子NL間にスナバコンデンサを接続した回路構成例、(b)半導体デバイスとしてIGBTを適用し、電源端子PL、接地端子NL間にスナバコンデンサを接続した回路構成例。

[図33]半導体デバイスとしてSiC MISFETを適用した第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータの模式的回路構成図。

[図34]半導体デバイスとしてIGBTを適用した第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータの模式的回路構成図。

発明を実施するための形態

[0011] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載におい

て、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0012] 又、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0013] [比較例 1]

既に説明したように、パワーモジュールのジャンクション温度 T_j の上昇とともに、パワーサイクル耐量がアルミワイヤでは厳しくなっている。そこで、比較例 1 に係る半導体装置では、図 1 に示すように、銅ワイヤ 18 を使用して第 1 の基板電極 10B と第 2 の基板電極 20B とを接続している。具体的には、第 1 の基板電極 10B 上に半導体チップ 12 を配置し、半導体チップ 12 上のソースパッド電極 14 の所定位置 18B に超音波を印加し、銅ワイヤ 18 を接合している。符号 16 はゲートパッド電極である。

[0014] しかし、比較例 1 に係る半導体装置によると、銅ワイヤ 18 を接合する際に非常に大きな超音波のパワーが必要になり、デバイスを破壊してしまう。もしくは、破壊を防ぐためのパッドの構造を作成する必要があり、デバイス構造が複雑化してしまう。

[0015] [第 1 の実施の形態]

(半導体装置)

図 2 は、第 1 の実施の形態に係る半導体装置の模式的鳥瞰図である。

[0016] 図 2 (a) に示すように、第 1 の実施の形態に係る半導体装置は、半導体チップ 12 と、半導体チップ 12 上のソースパッド電極 14 を覆うように形成される高耐熱性の焼成膜 22 とを備える。

- [0017] 例えば、高耐熱性の焼成膜 22 は、銀焼成膜でもよいし、銅焼成膜でもよい。以下、銀焼成膜を「銀焼成キャップ 22」、銅焼成膜を「銅焼成キャップ 22」という。
- [0018] 図 2 (b) に示すように、半導体チップ 12 が第 1 の基板電極 10B 上に配置され、超音波により銀焼成キャップ 22 上に銅ワイヤ 18 の一方端が接合される。また、超音波により銅ワイヤ 18 の他方端が第 2 の基板電極 20B に接合される。
- [0019] 尚、銅ワイヤ 18 の代わりに、Al ワイヤやクラッドワイヤを適用しても良い。クラッドワイヤにおいては、中心部は Cu で形成されているが、中心部は Cu を覆うように Al が接合されている。クラッドワイヤは、Al ワイヤに比べ高耐熱性・低熱抵抗性を有している。
- [0020] ここで、第 1 の基板電極 10B や第 2 の基板電極 20B は、金属とセラミックスと金属との接合体からなる回路基板、例えば DBC (Direct Bonding Copper) 基板、DBA (Direct Brazed Aluminum) 基板や AMB (Active Metal Brazed, Active Metal Bond) 基板などの絶縁基板 (回路基板) の、チップ搭載面側の導体パターンにより構成することもできる。絶縁基板の表面側電極および裏面側電極の金属材料としては基本的には同じものが使われる。例えば、DBC 基板であれば、Cu/Al₂O₃/Cu 構造、DBA 基板であれば、Al/AlN/Al 構造、AMB 基板であれば、Cu/Si₃N₄/Cu 構造などを適用可能である。ただし、表面側電極および裏面側電極では役割が多少異なる。表面側電極は、チップや電極などを接合したり、それぞれパターンを切り、正 (P) 側パワー電極、負 (N) 側パワー電極、出力 (Out) 側パワー電極などの役目を果たす。裏面側電極は、冷却器へ接合されたり、ヒートスプレッドに接合したりと熱を下に伝える役目を有する。
- [0021] 以上のように、第 1 の実施の形態に係る半導体装置では、半導体チップ 12 上のソースパッド電極 14 上に高耐熱焼成材料 (銀焼成又は銅焼成) でキャップを行う構造を採用している。これにより、銅ワイヤ接合時にかかる超音波のパワーが緩衝され、銅ワイヤ接合時にかかる大きな荷重からデバイス

の破壊を防ぐことができるため、パワーサイクル耐量を向上させることが可能となる。

[0022] (銀焼成キャップによるデバイスへのダメージの低減効果)

図3は、第1の実施の形態に係る半導体装置のシミュレーションモデルを示す模式的断面構造図である。ここでは、図3に示すように、シリコンカーバイド(SiC)ベースの半導体チップ12上に酸化膜25が形成され、酸化膜25上にアルミニウム電極26が形成され、アルミニウム電極26上にメッキ工程で金(Au)薄膜28が形成され、金薄膜28上に銀焼成キャップ22が形成されている。

[0023] ここでは、アルミニウム電極26を例示しているが、電極の材料はアルミニウムに限定されるものではなく、銅(Cu)でもよい。

[0024] また、金薄膜28は、銀焼成キャップ22を付着させるためのものである。金薄膜28に代えて、銀薄膜、又はパラジウム(Pd)薄膜を形成してもよい。

[0025] 図4は、図3に示されるシミュレーションモデルの効果を示すグラフである。横軸は、銀焼成キャップ22の膜厚 t を示す。縦軸は、銀焼成キャップ22に変位 DA を与えた際に酸化膜25にかかる最大主応力比を示す。ここでは、銀焼成キャップ22がない場合の酸化膜25にかかる応力を「1」としている(点P1参照)。

[0026] 図4に示される矢印Pを見ても分かるように、銀焼成キャップ22がある場合は、劇的に酸化膜25にかかる応力を低減できる。具体的には、銀焼成キャップ22の膜厚 t が $5\mu\text{m}$ である場合、最大主応力比は約0.4程度であった(点P2参照)。銀焼成キャップ22の膜厚 t が $10\mu\text{m}$ である場合、最大主応力比は約0.2程度であった(点P3参照)。銀焼成キャップ22の膜厚 t が $30\mu\text{m}$ である場合、最大主応力比は約0.1程度であった(点P4参照)。銀焼成キャップ22の膜厚 t は特に限定されるものではないが、例えば、約 $10\mu\text{m}\sim 100\mu\text{m}$ 程度であるのが望ましい(線Q参照)。

[0027] 以上のように、第1の実施の形態に係る半導体装置では、デバイス上の電極に銀焼成を用いてキャップを行うようにしている。このキャップ構造は、緩衝材の役割を果たすため、銅ワイヤ18からのダメージを低減することが可能となる。もちろん、銅ワイヤ18を使用すれば、非常に強い接合が可能になり、パワーサイクル耐量が増加するという効果もある。

[0028] [比較例2]

既に説明したように、パワーモジュールのジャンクション温度 T_j の上昇とともに、パワーサイクル耐量がアルミワイヤでは厳しくなっている。そこで、比較例2に係る半導体装置では、図5に示すように、リード材や電極柱などの上部配線24を使用して第1の基板電極10Bと第2の基板電極20Bとを接続している。

[0029] このようにリード材や電極柱などの上部配線24を使用する場合は、その接合材としてPbフリー系のはんだ17A、17Bが使用される。Pbフリー系のはんだ17A、17Bとは、スズ(Sn)を主成分として、銀(Ag)、銅(Cu)、スズ(Sn)などが添加物として配合されているSn系のはんだである。しかし、Pbフリー系のはんだ17A、17Bを使用した場合、シリコンカーバイド(SiC)など200℃以上の耐熱性を持つデバイスでは、融点がジャンクション温度 $T_j = 200^\circ\text{C}$ に近く、さらに ΔT_j パワーサイクルが大きくなるため、パワーサイクル耐量は小さくなってしまう。

[0030] [第2の実施の形態]

(半導体装置)

図6は、第2の実施の形態に係る半導体装置の模式的鳥瞰図である。

[0031] 図6に示すように、第2の実施の形態に係る半導体装置は、第1の実施の形態と同様、半導体チップ12と、半導体チップ12上のソースパッド電極14を覆うように形成される高耐熱性の焼成膜22とを備える。

[0032] 第1の実施の形態と同様、高耐熱性の焼成膜22は、銀焼成キャップ22(又は銅焼成キャップ22)である。銀焼成キャップ22の膜厚 t は特に限

定されるものではないが、例えば、約 $10\ \mu\text{m}$ ～ $100\ \mu\text{m}$ 程度であるのが望ましい。

[0033] 半導体チップ 12 が第 1 の基板電極 10B 上に配置され、はんだ 26A を接合材として高耐熱性の焼成膜 22 上に平板状の上部配線 24 の一方端が接合される。また、はんだ 26B を接合材として上部配線 24 の他方端が第 2 の基板電極 20B に接合される。はんだ 26A、26B には、比較例 2 と同様、Pb フリー系のはんだを用いることができる。

[0034] 以上のように、第 2 の実施の形態に係る半導体装置では、半導体チップ 12 上のソースパッド電極 14 上に高耐熱焼成材料（銀焼成又は銅焼成）でキャップを行い、その上に従来のはんだを使用するようにしている。これにより、はんだにかかる累積相当ひずみを減少させ、パワーサイクル耐量を向上させることが可能となる。

[0035] （銀焼成キャップ有無での累積相当ひずみの比較）

図 7 は、第 2 の実施の形態に係る半導体装置のシミュレーションモデル 1（キャップ構造）を示す模式的断面構造図である。図 7 に示すように、シミュレーションモデル 1 では、Pb フリー系のはんだ 17A を銀焼成キャップ 22 上に使用している。はんだ 17A、17B の膜厚は $100\ \mu\text{m}$ であり、銀焼成キャップ 22 の膜厚は $50\ \mu\text{m}$ である場合を想定している。基板電極 10B の裏面は、 65°C で冷却されることを想定している。

[0036] 図 8 は、比較例 2 に係る半導体装置のシミュレーションモデル 2（はんだ構造）を示す模式的断面構造図である。図 8 に示すように、シミュレーションモデル 2 では、Pb フリー系のはんだ 17A、17B のみを使用している。すなわち、銀焼成キャップ 22 は、半導体チップ 12 上には配置されておらず、半導体チップ 12 下にのみ配置されている。はんだ 17A、17B の膜厚は $150\ \mu\text{m}$ である場合を想定している。

[0037] 図 9 は、シミュレーションモデル 1 とシミュレーションモデル 2 の比較結果を示すグラフである。縦軸は、はんだにかかる累積相当ひずみを示し、横軸は、ジャンクション温度 T_j を示す。累積相当ひずみは、はんだなどの材

料の寿命を推定する際の目安として使用される。同じ材料では、累積相当ひずみが大きいほど寿命が短くなる。

[0038] 点S 1と点S 2とを結ぶ線分Sは、シミュレーションモデル2（はんだ構造）における累積相当ひずみの変化を表している。線分Sを見ても分かるように、はんだ構造では、ジャンクション温度 T_j の上昇とともに累積相当ひずみが大きくなる。

[0039] 一方、点C 1と点C 2とを結ぶ線分C+Sは、シミュレーションモデル1（キャップ構造）における累積相当ひずみの変化を表している。線分C+Sを見ても分かるように、キャップ構造では、銀焼成キャップ22の緩衝効果により、ジャンクション温度 T_j が変わっても累積相当ひずみはほとんど変化しない。

[0040] 具体的には、キャップ構造によれば、はんだ構造に比べて、ジャンクション温度 T_j が 120°C である場合、累積相当ひずみは約32%程度減少することが分かった（点C 1，点S 1参照）。また、ジャンクション温度 T_j が 200°C である場合、累積相当ひずみは約44%程度減少することが分かった（点C 2，点S 2参照）。

[0041] 以上のように、キャップ構造によれば、パワーサイクル耐量を向上できる、もしくは ΔT_j パワーサイクル、 $\text{Max } T_j$ が大きくなってもパワーサイクル耐量を保持できる効果がある。

[0042] ここで、 ΔT_j パワーサイクルは、次式に示すように、パワーサイクルをオンしたときのジャンクション温度 T_j の最大値 $\text{Max } T_j$ とオフしたときのジャンクション温度 $\text{Min } T_j$ との差である。 $\text{Max } T_j$ が 150°C で $\text{Min } T_j$ が 50°C である場合、 ΔT_j パワーサイクルは 100°C となり、 $\text{Max } T_j$ が 200°C で $\text{Min } T_j$ が 50°C である場合、 ΔT_j パワーサイクルは 150°C となる。

[0043] [数1]

$$\Delta T_j = \text{Max } T_j - \text{Min } T_j$$

[0044] ΔT_j パワーサイクルとパワーサイクル寿命の関係は、模式的に図 10 に示すように表される。通常、図 10 に示すように、 ΔT_j パワーサイクルが低いときは寿命が長くなる傾向が見られ（T1 参照）、 ΔT_j パワーサイクルが高いときは寿命が短くなる傾向が見られる（T2 参照）。また、点で接合するワイヤ材は亀裂 18C が生じやすく（図 11 参照）、面で接合するリード材の方が寿命が長い傾向がある。

[0045] （はんだの寿命と累積相当ひずみの関係）

次に、疲労寿命の算出方法について説明する。非弾性ひずみ（塑性ひずみ、クリープひずみ）が発生するような大きな負荷を繰り返しかけて、少ない繰り返し数（ 10^5 サイクル以下）で疲労破壊させる場合を低サイクル疲労と呼ぶ。低サイクル疲労の疲労寿命は以下に示すマンソン・コフィン則で表される。

[0046] [数2]

$$\Delta \varepsilon_p \cdot N_f^n = C$$

[0047] $\Delta \varepsilon_p$ は塑性ひずみ振幅 [—] であり、 N_f は塑性疲労（疲労寿命） [回] であり、C、N は材料物性値である。

[0048] [数3]

$$\Delta \varepsilon_{ne} = \frac{\varepsilon_{ac_ne}(\text{fin_step}) - \varepsilon_{ac_ne}(\text{ref_step})}{2}$$

[0049] $\varepsilon_{ac_ne}(\text{fin_step})$ は 2 サイクル目の累積相当ひずみであり、 $\varepsilon_{ac_ne}(\text{ref_step})$ は 1 サイクル目の累積相当ひずみである。図 12 に示すように、時間の経過とともにひずみ量は飽和するため、数 3 では、1 サイクル目と 2 サイクル目の間をとるようにしている。マンソン・コフィン則によれば、 $\Delta \varepsilon_p$ が小さいと寿命は延びる。キャップ構造によれば、累積相当ひずみが小さくなるため、はんだの寿命が延びることが分かる。

[0050] 以上のように、第 2 の実施の形態に係る半導体装置では、Pb フリー系の

はんだ１７Ａ，１７Ｂを銀焼成キャップ２２上に使用するようになっている。これにより、はんだが直接受けていた応力を銀焼成キャップ２２で緩衝することにより、はんだにかかる累積相当ひずみを減少させ、パワーサイクル耐量を向上させることが可能となる。

[0051] 【製造方法】

以下、第１又は第２の実施の形態に係る半導体装置の製造方法について説明する。

[0052] まず、図１３（ａ）に示すように、半導体チップ１２の上部に金薄膜２８を形成する。次いで、図１３（ｂ）に示すように、スキージ３０を用いてマスク２８Ｍの開口部から焼成ペースト２２Ｐを押し込み、ソースパッド電極１４に対応する領域にマスク印刷を行う。次いで、図１３（ｃ）に示すように、焼成ペースト２２Ｐがマスク印刷された半導体チップ１２をホットプレート３２の上で乾燥させる。最後に、図１３（ｄ）に示すように、加熱プレート３４Ｕ，３４Ｄを用いて半導体チップ１２を焼成（熱＋加圧）する。これにより、図１４に示すように、半導体チップ１２の上部に銀焼成キャップ２２を形成することができる。

[0053] 尚、上記の工程において、マスク印刷の代わりに、ディスペンス法を適用しても良い。ディスペンス法を用いても同程度の品質の焼成膜を作成可能である。

[0054] 【モジュール】

以下、第１又は第２の実施の形態に係る半導体装置を複数個備えるパワーモジュールの構成について説明する。

[0055] 図１５は、第２の実施の形態に係る半導体装置を用いたモジュールの構成図（写真）であり、（ａ）は鳥瞰図、（ｂ）は平面図である。図１５に示すように、第１の基板電極１０Ｂと第２の基板電極２０Ｂとが上部配線２４により接続されている。第１の基板電極１０Ｂと第２の基板電極２０Ｂのそれぞれから外方に信号電極端子Ｇ１，Ｄ１，Ｓ１、信号電極端子Ｇ４，Ｄ４，Ｓ４が引き出されている。もちろん、第１の基板電極１０Ｂと第２の基板電

極 20B 以外の基板電極を上部配線 24 により接続することも可能である。また、基板電極 10B には、ハイレベル側の MISFET Q1 のドレイン D1 に対応するパワー端子 P が接続され、基板電極 20B には、ローレベル側の MISFET Q4 のドレイン D4 若しくはハイレベル側の MISFET Q1 のソース S1 に対応するに対応するパワー端子 O（出力端子）が接続される。さらに、ローレベル側の MISFET Q1 のソースパッド電極 S1 に上部配線 24 を介して接続されるランド電極には、ローレベル側の MISFET Q4 のソース S4 に対応するパワー端子 N が接続される。以上の説明において、ハイレベル側の MISFET Q1 およびローレベル側の MISFET Q4 は、例えば、図 26（a）に示すようなツインワンモジュールの回路を構成する半導体デバイスの対応している。尚、図 26（b）に示すようなツインワンモジュールの IGBT Q1・Q4 であっても良い。以下同様である。

[0056] 図 16 は、図 15 に示されるモジュールを成形した後の構成図（写真）である。図 16 に示すように、第 1 の基板電極 10B や第 2 の基板電極 20B は樹脂 M など成形される。

[0057] 図 17 及び図 18 は、図 15 に示されるモジュールを部分的に拡大した写真である。図 17 及び図 18 に示すように、第 1 の基板電極 10B 上に半導体チップ 12 が配置されている。半導体チップ 12 に銀焼成キャップ 22 が形成され、その銀焼成キャップ 22 上にはんだ 26A、26B を使用して上部配線 24 を接合している。

[0058] 図 19 は、図 15 に示されるモジュールの全体を示す写真である。図 20 は、図 15 に示されるモジュールを部分的に拡大した写真である。図 19 及び図 20 に示すように、半導体チップ 12 がワイヤー W を介して信号電極端子 G1、D1、S1、信号電極端子 G4、D4、S4 に接続されている。

[0059] 図 21 は、第 1 の実施の形態に係る半導体装置を用いたモジュールの模式的構成図である。図 21 に示すように、1 つの半導体チップ 12 に複数本の銅ワイヤ 18 を接合することも可能である。

[0060] [接合エネルギー]

次に、超音波で接合する際の接合エネルギーについて説明する。

[0061] 接合エネルギーは、次式に示すように、接合時の摩擦係数 μ と速度 v と圧力 P を時間で積分したものである。摩擦係数 μ も速度 v も圧力 P の関数である。一般的に、接合エネルギーが高い程接合力も高くなる。

[0062] [数4]

$$\text{接合エネルギー} = \int \mu(P) v(P) P \, d\mu \, dv \, dP$$

[0063] [ΔT_j パワーサイクルテスト]

第1又は第2の実施の形態に係る半導体装置の ΔT_j パワーサイクルテストにおける電流 I_c と温度 T の変化の模式図は、図22に示すように表される。

[0064] ΔT_j パワーサイクルテストは、図22に示すように、接合温度を相対的に短時間の周期で上昇・下降させるテストであり、例えば、ワイヤ接合部などの寿命を評価することができる。

[0065] パワーサイクル試験の場合は、図22に示すように、半導体装置モジュールに通電・遮断を繰り返し、チップを発熱させる。第1又は第2の実施の形態に係る半導体装置の ΔT_j パワーサイクルテストにおいては、例えば、 $T_j = 150^\circ\text{C}$ を2 s、その後オフして冷却温度になるまでの時間（例 $T_j = 50^\circ\text{C}$ 、オフ時間＝18 s）を繰り返し行う。

[0066] [熱サイクルテスト]

第1又は第2の実施の形態に係る半導体装置において、熱サイクルテストにおける温度プロファイル例は、図23に示すように表される。熱サイクルテストは大気雰囲気中で行われ、マイナス 40°C ～プラス 150°C の範囲で実施した。熱サイクルの1サイクルの周期は80分であり、その内訳は、マイナス 40°C で30分、マイナス 40°C からプラス 150°C までの昇温時間10分、プラス 150°C で30分、プラス 150°C からマイナス 40°C までの冷却時間10分である。100サイクル毎に順方向電圧降下 V_f 、逆方向

耐圧 V_r を測定したが、特性劣化は観測されていない。

[0067] 通常、熱サイクルテスト、もしくはパワーサイクル試験でも接合部の劣化が始まると、順方向などの高電流を流す試験では抵抗が増加し、順方向電圧 V_f が変化する。

パワーサイクル耐量は特性劣化も含めて起こってもその劣化の進行が遅い場合には、パワーサイクル耐量が高いと評価することができる。

[0068] 以上の ΔT_j パワーサイクルテストおよび熱サイクルテストの結果より、第1又は第2の実施の形態に係る半導体装置の銅ワイヤ18又は上部配線24の接合強度は、十分に確保されている。

[0069] なお、第1又は第2の実施の形態では、銀焼成キャップ22上に銅ワイヤ18又ははんだ26Aを配置することとしているが、これに限定されるものではない。例えば、銀焼成キャップ22上に銀焼成で上部配線24を接合するようにしてもよい。銀焼成キャップ22上に銀焼成することで膜厚を増加させることができる。これにより、はんだ26Aよりも高耐熱化を図ることができ、信頼性を向上させることが可能となる。

[0070] [半導体装置の具体例]

第1又は第2の実施の形態に係る半導体装置20であって、ワンインワンモジュールのSiC MISFETの模式的回路表現は、図24(a)に示すように表され、ワンインワンモジュールのIGBTの模式的回路表現は、図24(b)に示すように表される。

[0071] 図24(a)には、MISFETQに逆並列接続されるダイオードD1が示されている。MISFETQの主電極は、ドレイン端子DTおよびソース端子STで表される。同様に、図24(b)には、IGBTQに逆並列接続されるダイオードD1が示されている。IGBTQの主電極は、コレクタ端子CTおよびエミッタ端子ETで表される。ダイオードD1としては、ファーストリカバリダイオード(FRD)や、ショットキーバリアダイオード(SBD)を外付けしても良い。また、MISFETの半導体基板中に形成されるダイオードのみを用いても良い。

[0072] また、第1又は第2の実施の形態に係る半導体装置20であって、ワンインワンモジュールのSiC MISFETの詳細回路表現は、図25に示すように表される。

[0073] また、1つのモジュールに複数個のMISFETが内蔵されていても良い。一例として5チップ(MISFET×5)搭載可能であり、それぞれのMISFETQは、5個まで並列接続可能である。尚、5チップの内、一部をダイオードD1用として搭載することも可能である。

[0074] さらに詳細には、図25に示すように、MISFETQに並列にセンス用MISFETQsが接続される。センス用MISFETQsは、MISFETQと同一チップ内に、微細トランジスタとして形成されている。図25において、SSは、ソースセンス端子、CSは、電流センス端子であり、Gは、ゲート信号端子である。尚、第1又は第2の実施の形態においても半導体デバイスQには、センス用MISFETQsが同一チップ内に、微細トランジスタとして形成されている。

[0075] また、第1又は第2の実施の形態に係る半導体装置20Tであって、ツーインワンモジュールのSiC MISFETの模式的回路表現は、図26(a)に示すように表される。

[0076] 図26(a)に示すように、2個のMISFETQ1・Q4と、MISFETQ1・Q4に逆並列接続されるダイオードD1・D4が1つのモジュールに内蔵されている。G1は、MISFETQ1のゲート信号端子であり、S1は、MISFETQ1のソース端子である。G4は、MISFETQ4のゲート信号端子であり、S4は、MISFETQ4のソース端子である。Pは、正側電源入力端子であり、Nは、負側電源入力端子であり、Oは、出力端子である。

[0077] また、第1又は第2の実施の形態に係る半導体装置20Tであって、ツーインワンモジュールのIGBTの模式的回路表現は、図26(b)に示すように表される。図26(b)に示すように、2個のIGBTQ1・Q4と、IGBTQ1・Q4に逆並列接続されるダイオードD1・D4が1つのモジ

ジュールに内蔵されている。G1は、IGBTQ1のゲート信号端子であり、E1は、IGBTQ1のエミッタ端子である。G4は、IGBTQ4のゲート信号端子であり、E4は、IGBTQ4のエミッタ端子である。Pは、正側電源入力端子であり、Nは、負側電源入力端子であり、Oは、出力端子である。

[0078] (半導体デバイスの構成例)

第1又は第2の実施の形態に適用可能な半導体デバイスの例であって、SiC MISFETの模式的断面構造は、図27(a)に示すように表され、IGBTの模式的断面構造は、図27(b)に示すように表される。

[0079] 第1又は第2の実施の形態に適用可能な半導体デバイス110(Q)の例として、SiC MISFETの模式的断面構造は、図27(a)に示すように、n-高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたソース領域130と、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126の表面と反対側の裏面に配置されたn⁺ドレイン領域124と、n⁺ドレイン領域124に接続されたドレイン電極136とを備える。

[0080] 図27(a)では、半導体デバイス110は、プレーナゲート型nチャネル縦型SiC MISFETで構成されているが、後述する図31に示すように、nチャネル縦型SiC TMISFETなどで構成されていても良い。

[0081] また、第1又は第2の実施の形態に適用可能な半導体デバイス110(Q)には、SiC MISFETの代わりに、GaN系FETなどを採用することもできる。

[0082] 第1又は第2の実施の形態に適用可能な半導体デバイス110には、SiC系、GaN系のいずれかのパワーデバイスを採用可能である。

- [0083] さらに、第1又は第2の実施の形態に適用可能な半導体デバイス110には、バンドギャップエネルギーが、例えば、 $1.1\text{ eV} \sim 8\text{ eV}$ のワイドギャップ型と云われる半導体を用いることができる。
- [0084] 同様に、第1又は第2の実施の形態に適用可能な半導体デバイス110A(Q)の例として、IGBTは、図27(b)に示すように、n-高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたエミッタ領域130Eと、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、エミッタ領域130Eおよびpボディ領域128に接続されたエミッタ電極134Eと、半導体基板126の表面と反対側の裏面に配置されたp⁺コレクタ領域124Pと、p⁺コレクタ領域124Pに接続されたコレクタ電極136Cとを備える。
- [0085] 図27(b)では、半導体デバイス110Aは、プレーナゲート型のnチャネル縦型IGBTで構成されているが、トレンチゲート型nチャネル縦型IGBTなどで構成されていても良い。
- [0086] 第1又は第2の実施の形態に適用可能な半導体デバイス110の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MISFETの模式的断面構造は、図28に示すように表される。ゲートパッド電極GPは、ゲート絶縁膜132上に配置されたゲート電極138に接続され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。
- [0087] また、ゲートパッド電極GPおよびソースパッド電極SPは、図28に示すように、半導体デバイス110の表面を覆うパッシベーション用の層間絶縁膜144上に配置される。尚、ゲートパッド電極GPおよびソースパッド電極SPの下方の半導体基板126内には、図27(a)或いは、図28の中央部と同様に、微細構造のトランジスタ構造が形成されていても良い。
- [0088] さらに、図28に示すように、中央部のトランジスタ構造においても、パ

ッシベーション用の層間絶縁膜 144 上にソースパッド電極 SP が延在して配置されていても良い。

[0089] 第1又は第2の実施の形態に適用する半導体デバイス 110A の例であって、ソースパッド電極 SP、ゲートパッド電極 GP を含む IGBT の模式的断面構造は、図 29 に示すように表される。ゲートパッド電極 GP は、ゲート絶縁膜 132 上に配置されたゲート電極 138 に接続され、エミッタパッド電極 EP は、エミッタ領域 130E および p ボディ領域 128 に接続されたエミッタ電極 134E に接続される。

[0090] また、ゲートパッド電極 GP およびエミッタパッド電極 EP は、図 29 に示すように、半導体デバイス 110A の表面を覆うパッシベーション用の層間絶縁膜 144 上に配置される。尚、ゲートパッド電極 GP およびエミッタパッド電極 EP の下方の半導体基板 126 内には、図 27 (b) 或いは、図 29 の中央部と同様に、微細構造の IGBT 構造が形成されていても良い。

[0091] さらに、図 29 に示すように、中央部の IGBT 構造においても、パッシベーション用の層間絶縁膜 144 上にエミッタパッド電極 EP が延在して配置されていても良い。

[0092] —SiC DIMISFET—

第1又は第2の実施の形態に適用可能な半導体デバイス 110 の例であって、SiC DIMISFET の模式的断面構造は、図 30 に示すように表される。

[0093] 第1又は第2の実施の形態に適用可能な SiC DIMISFET は、図 30 に示すように、n-高抵抗層からなる半導体基板 126 と、半導体基板 126 の表面側に形成された p ボディ領域 128 と、p ボディ領域 128 の表面に形成された n⁺ソース領域 130 と、p ボディ領域 128 間の半導体基板 126 の表面上に配置されたゲート絶縁膜 132 と、ゲート絶縁膜 132 上に配置されたゲート電極 138 と、ソース領域 130 および p ボディ領域 128 に接続されたソース電極 134 と、半導体基板 126 の表面と反対側の裏面に配置された n⁺ドレイン領域 124 と、n⁺ドレイン領域 124 に接続さ

れたドレイン電極 136 とを備える。

[0094] 図30では、半導体デバイス110は、pボディ領域128と、pボディ領域128の表面に形成されたn⁺ソース領域130が、ダブルイオン注入（DI）で形成され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。ゲートパッド電極GP（図示省略）は、ゲート絶縁膜132上に配置されたゲート電極138に接続される。また、ソースパッド電極SPおよびゲートパッド電極GP（図示省略）は、図30に示すように、半導体デバイス110の表面を覆うパッシベーション用の層間絶縁膜144上に配置される。

[0095] SiC DIMISFETは、図30に示すように、pボディ領域128に挟まれたn-高抵抗層からなる半導体基板126内に、破線で示されるような空乏層が形成されるため、接合型FET（JFET）効果に伴うチャネル抵抗 R_{JFET} が形成される。また、pボディ領域128／半導体基板126間には、図30に示すように、ボディダイオードBDが形成される。

[0096] —SiC TMISFET—

第1又は第2の実施の形態に適用可能な半導体デバイス110の例であって、SiC TMISFETの模式的断面構造は、図31に示すように表される。

[0097] 第1又は第2の実施の形態に適用可能なSiC TMISFETは、図31に示すように、n層からなる半導体基板126Nと、半導体基板126Nの表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたn⁺ソース領域130と、pボディ領域128を貫通し、半導体基板126Nまで形成されたトレンチの内にゲート絶縁層132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGと、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126Nの表面と反対側の裏面に配置されたn⁺ドレイン領域124と、n⁺ドレイン領域124に接続されたドレイン電極136とを備える。

[0098] 図31では、半導体デバイス110は、pボディ領域128を貫通し、半導体基板126Nまで形成されたトレンチ内にゲート絶縁層132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGが形成され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。ゲートパッド電極GP（図示省略）は、ゲート絶縁膜132上に配置されたゲート電極138に接続される。また、ソースパッド電極SPおよびゲートパッド電極GP（図示省略）は、図31に示すように、半導体デバイス110の表面を覆うパッシベーション用の層間絶縁膜144U上に配置される。

[0099] SiC TMISFETでは、SiC DIMISFETのような接合型FET（JFET）効果に伴うチャネル抵抗 R_{JFET} は形成されない。また、pボディ領域128／半導体基板126N間には、ボディダイオードBDが形成される。

[0100] 第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータ140の模式的回路構成において、半導体デバイスとしてSiC MISFETを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図32（a）に示すように表される。同様に、第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータ140Aの模式的回路構成において、半導体デバイスとしてIGBTを適用し、電源端子PL、接地端子NL間にスナバコンデンサCを接続した回路構成例は、図32（b）に示すように表される。

[0101] 第1又は第2の実施の形態に係る半導体装置を電源Eと接続する際、接続ラインの有するインダクタンスLによって、SiC MISFETやIGBTのスイッチング速度が速いため、大きなサージ電圧 $L di/dt$ を生ずる。例えば、電流変化 $di = 300A$ 、スイッチングに伴う時間変化 $dt = 100ns$ とすると、 $di/dt = 3 \times 10^9(A/s)$ となる。インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Vにこのサージ電圧 $L di/dt$ が重畳される。電源端子PLと接地端子NL間に

接続されるスナバコンデンサCによって、このサージ電圧 $L di/dt$ を吸収することができる。

[0102] (半導体装置を適用した応用例)

次に、図33を参照して、半導体デバイスとしてSiC MISFETを適用した第1又は第2の実施の形態に係る半導体装置を用いて構成した3相交流インバータ140について説明する。

[0103] 図33に示すように、3相交流インバータ140は、ゲートドライブ部150と、ゲートドライブ部150に接続された半導体装置部152と、3相交流モータ部154とを備える。半導体装置部152は、3相交流モータ部154のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。ここで、ゲートドライブ部150は、SiC MISFET Q1・Q4、SiC MISFET Q2・Q5、およびSiC MISFET Q3・Q6に接続されている。

[0104] 半導体装置部152は、蓄電池(E)146が接続されたコンバータ148のプラス端子(+)とマイナス端子(-)間に接続され、インバータ構成のSiC MISFET Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、SiC MISFET Q1~Q6のソース・ドレイン間には、フリーホイールダイオードD1~D6がそれぞれ逆並列に接続されている。

[0105] 次に、図34を参照して、半導体デバイスとしてIGBTを適用した第1又は第2の実施の形態に係る半導体装置20Tを用いて構成した3相交流インバータ140Aについて説明する。

[0106] 図34に示すように、3相交流インバータ140Aは、ゲートドライブ部150Aと、ゲートドライブ部150Aに接続された半導体装置部152Aと、3相交流モータ部154Aとを備える。半導体装置部152Aは、3相交流モータ部154AのU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。ここで、ゲートドライブ部150Aは、IGBT Q1・Q4、IGBT Q2・Q5、およびIGBT Q3・Q6に接続されている。

- [0107] 半導体装置部 1 5 2 A は、蓄電池 (E) 1 4 6 A が接続されたコンバータ 1 4 8 A のプラス端子 (+) とマイナス端子 (-) 間に接続され、インバータ構成の I G B T Q 1 ・ Q 4、Q 2 ・ Q 5、および Q 3 ・ Q 6 を備える。さらに、I G B T Q 1 ~ Q 6 のエミッタ・コレクタ間には、フリーホイールダイオード D 1 ~ D 6 がそれぞれ逆並列に接続されている。
- [0108] 本実施の形態に係る半導体装置或いはパワーモジュールは、ワンインワン、ツーインワン、フォーインワン、シックスインワン若しくはセブンインワン型のいずれにも形成可能である。
- [0109] 以上説明したように、本実施の形態によれば、パワーサイクル耐量を向上させることが可能な半導体装置、パワーモジュール及びその製造方法を提供することができる。
- [0110] [その他の実施の形態]

上記のように、実施の形態について記載したが、この開示の一部をなす論述および図面は例示的なものであり、限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

- [0111] このように、ここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

- [0112] 本実施の形態の半導体装置およびパワーモジュールは、I G B T モジュール、ダイオードモジュール、M O S モジュール (S i、S i C、G a N) 等の半導体モジュール作製技術に利用することができ、H E V / E V 向けのインバータ、産業機器向けのインバータ、コンバータなど幅広い応用分野に適用可能である。

符号の説明

- [0113] 1 0 B … 第 1 の基板電極
1 2 … 半導体チップ
1 4 … ソースパッド電極
1 6 … ゲートパッド電極

17 A, 17 B, 26 A, 26 B…はんだ

18…銅ワイヤ

20 B…第2の基板電極

22…高耐熱性の焼成膜（銀焼成キャップ，銅焼成キャップ）

24…上部配線

25…酸化膜

26…アルミニウム電極

28…金薄膜

T_j…ジャンクション温度

請求の範囲

- [請求項1] 表面側および裏面側に電極が形成された半導体チップと、
前記半導体チップの表面側の少なくとも一部の電極を覆うように形成される高耐熱性の焼成膜と
を備えることを特徴とする半導体装置。
- [請求項2] 前記半導体チップが第1の基板電極上に配置され、
前記高耐熱性の焼成膜上にワイヤの一方端が接合されていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記ワイヤは、銅ワイヤ、Alワイヤ若しくはクラッドワイヤを備え、
前記ワイヤの一方端が超音波接合されていることを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記半導体チップが第1の基板電極上に配置され、
はんだを接合材として前記高耐熱性の焼成膜上に平板状の上部配線の一方端が接合されることを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記高耐熱性の焼成膜は、銀焼成膜であることを特徴とする請求項1に記載の半導体装置。
- [請求項6] 前記高耐熱性の焼成膜は、銅焼成膜であることを特徴とする請求項1に記載の半導体装置。
- [請求項7] 前記電極と前記焼成膜との間に、金薄膜、銀薄膜、若しくはパラジウム膜のいずれかの電極表面薄膜を備えることを特徴とする請求項1～6のいずれか1項に記載の半導体装置。
- [請求項8] 前記焼成膜の厚さは、 $10\mu\text{m}$ ～ $100\mu\text{m}$ の範囲であることを特徴とする請求項1～7のいずれか1項に記載の半導体装置。
- [請求項9] 前記半導体チップは、MISFETを備え、
前記半導体チップ上の電極は、ソースパッド電極を備えることを特徴とする請求項1に記載の半導体装置。

- [請求項10] 請求項1～9のいずれか1項に記載の半導体装置を複数個備えることを特徴とするパワーモジュール。
- [請求項11] 前記半導体チップは、ワイドギャップ型半導体を備えることを特徴とする請求項1に記載の半導体装置。
- [請求項12] 前記半導体チップは、100℃以上の ΔT_j パワーサイクルを備えることを特徴とする請求項1に記載の半導体装置。
- [請求項13] 絶縁性の基板と、
前記基板上に形成された第1乃至第3の基板電極と、
前記第1の基板電極上に配置され、その表面側および裏面側に電極が形成された半導体チップと、
前記半導体チップの表面側の少なくとも一部の電極を覆うように形成される高耐熱性の焼成膜と、
前記焼成膜と前記第2の基板電極との間を接続する第1の上部配線と、
前記半導体チップの表面側の前記焼成膜に覆われていない電極と前記第3の基板電極との間を接続する第2の上部配線と、
前記第1乃至第3の基板電極と前記半導体チップと前記第1および第2の上部配線を封止する樹脂と
を備えることを特徴とする半導体装置。
- [請求項14] 前記焼成膜と前記第1の上部配線との間に前記焼成膜よりも厚いはんだ層を有することを特徴とする請求項13に記載の半導体装置。
- [請求項15] 前記第1の上部配線の厚みは、前記半導体チップと前記焼成膜との厚みよりも厚いことを特徴とする請求項13または14に記載の半導体装置。
- [請求項16] 前記焼成膜が複数形成されており、複数の前記焼成膜を同一の前記第1の上部配線で共通接続することを特徴とする請求項13～15のいずれか1項に記載の半導体装置。
- [請求項17] 半導体チップ上の電極を覆うように高耐熱性の導電性膜を形成する

工程と、

前記高耐熱性の導電性膜を焼成する工程と
を有することを特徴とする半導体装置の製造方法。

[請求項18] 前記半導体チップが第1の基板電極上に配置され、
超音波により前記高耐熱性の導電性膜上に銅ワイヤ若しくはAlワイヤの一方端が接合されることを特徴とする請求項17に記載の半導体装置の製造方法。

[請求項19] 前記半導体チップが第1の基板電極上に配置され、
はんだを接合材として前記高耐熱性の焼成膜上に平板状の上部配線の一方端が接合されることを特徴とする請求項17に記載の半導体装置の製造方法。

[請求項20] 前記高耐熱性の焼成膜は、銀焼成膜若しくは銅焼成膜を備えることを特徴とする請求項17に記載の半導体装置の製造方法。

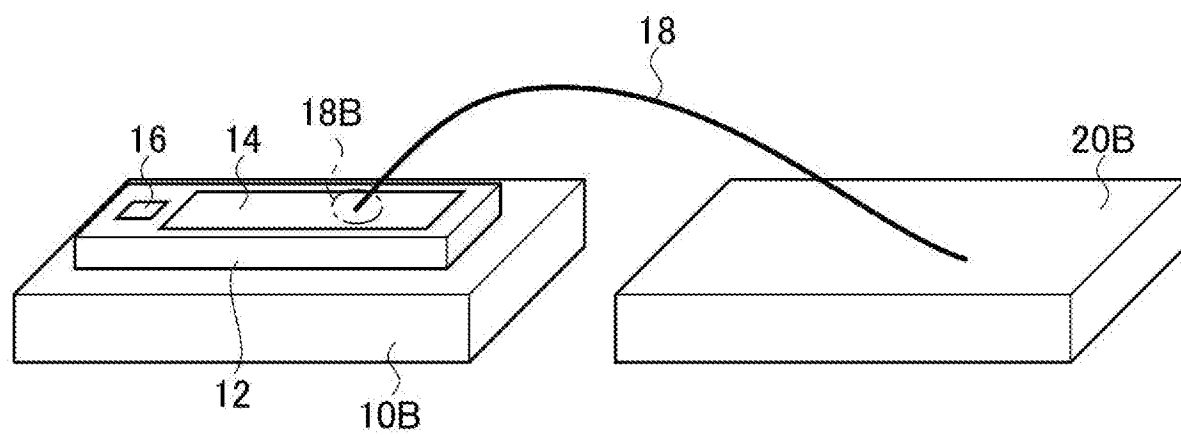
[請求項21] 前記高耐熱性の焼成膜は、マスク印刷若しくはディスペンス法により形成されることを特徴とする請求項17に記載の半導体装置の製造方法。

[請求項22] 前記電極上にメッキ工程で金薄膜、銀薄膜、若しくはパラジウム薄膜のいずれかの薄膜が形成され、前記薄膜上に前記高耐熱性の焼成膜が形成されることを特徴とする請求項17に記載の半導体装置の製造方法。

[請求項23] 前記半導体チップは、MISFETを備え、
前記半導体チップ上の電極は、ソースパッド電極を備えることを特徴とする請求項17に記載の半導体装置の製造方法。

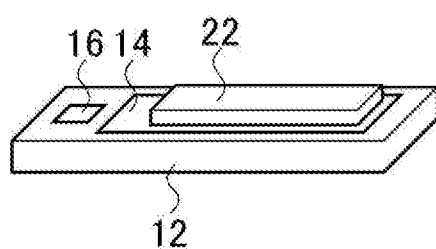
[請求項24] 前記半導体チップは、複数チップを備えることを特徴とする請求項17～23のいずれか1項に記載の半導体装置の製造方法。

[図1]

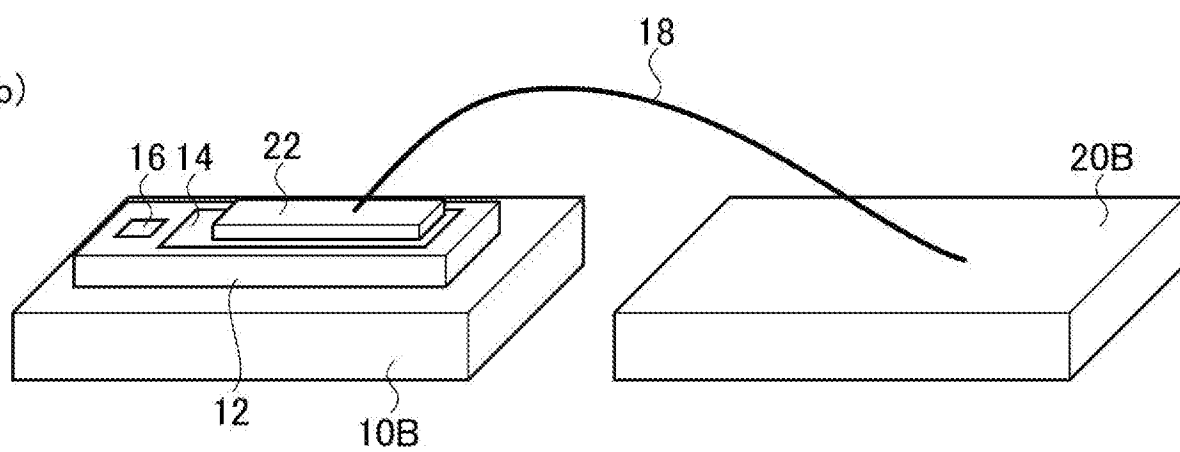


[図2]

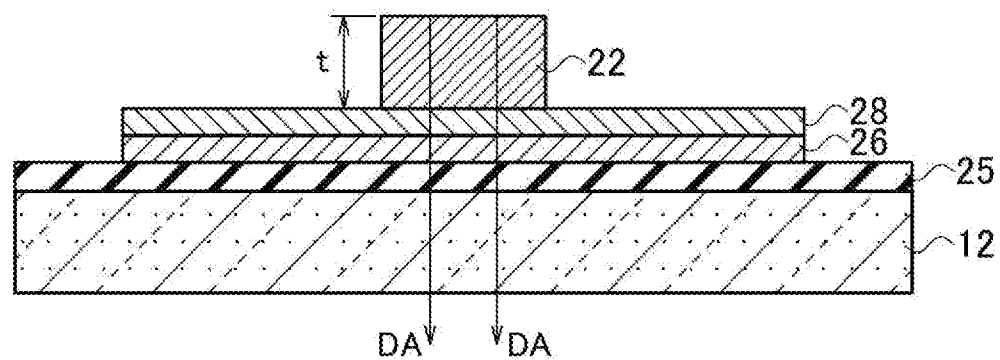
(a)



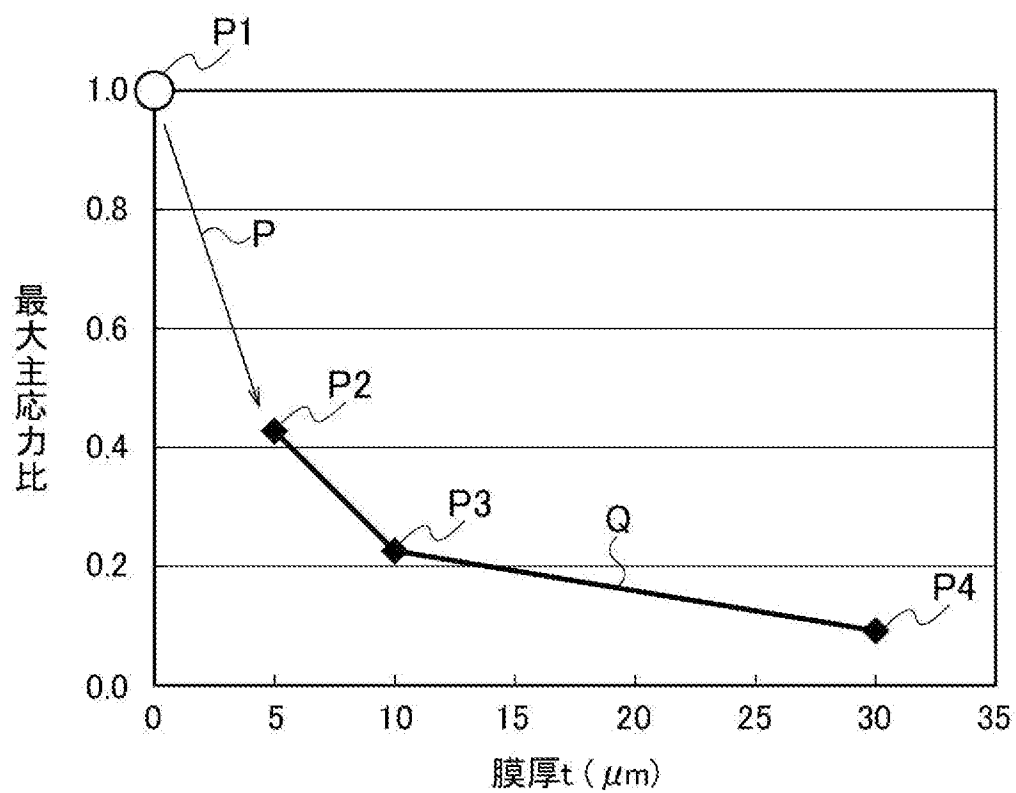
(b)



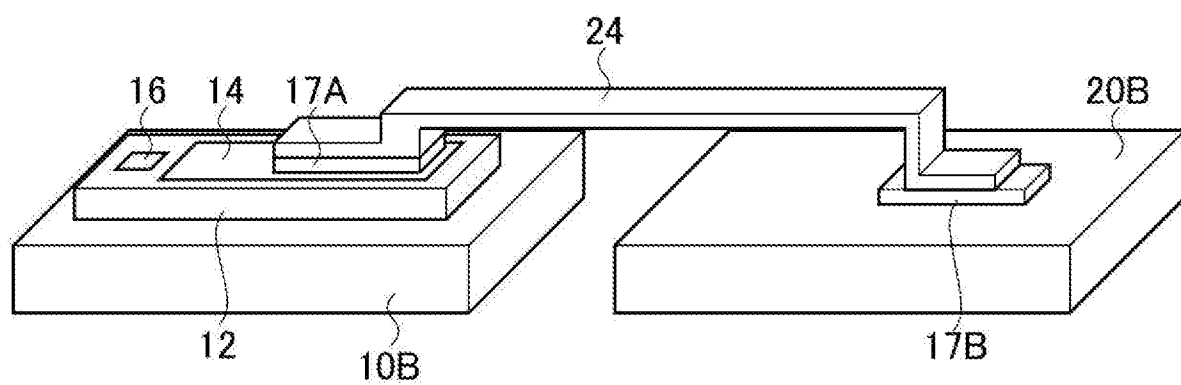
[図3]



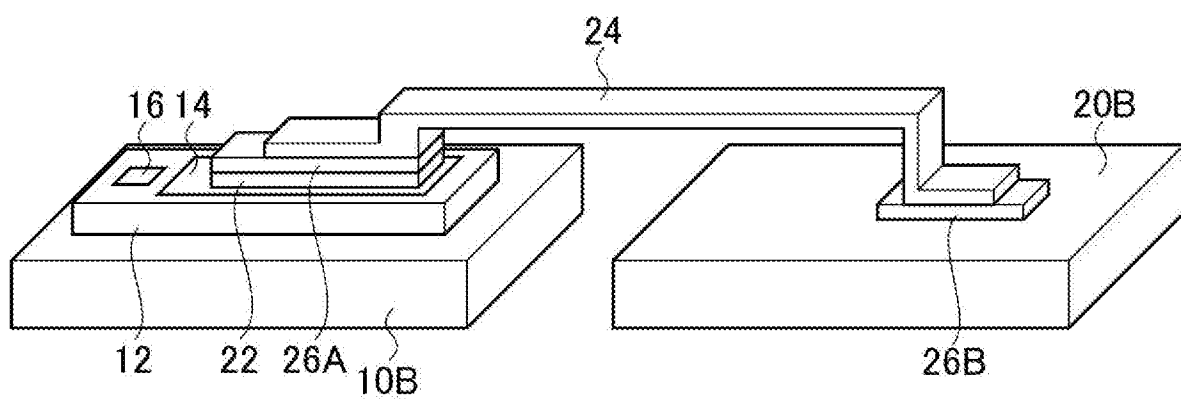
[図4]



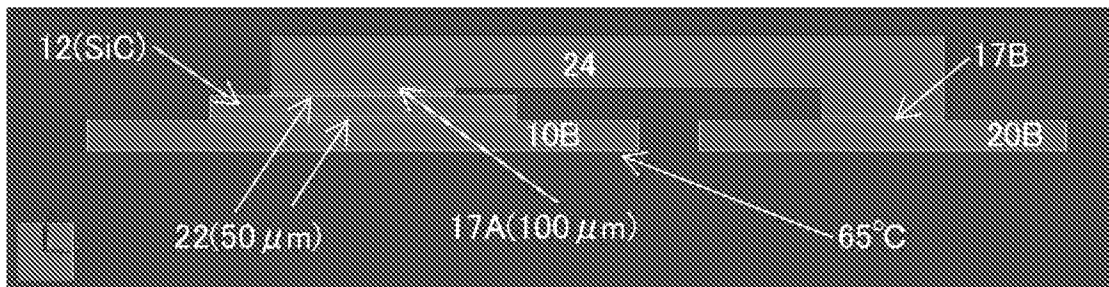
[図5]



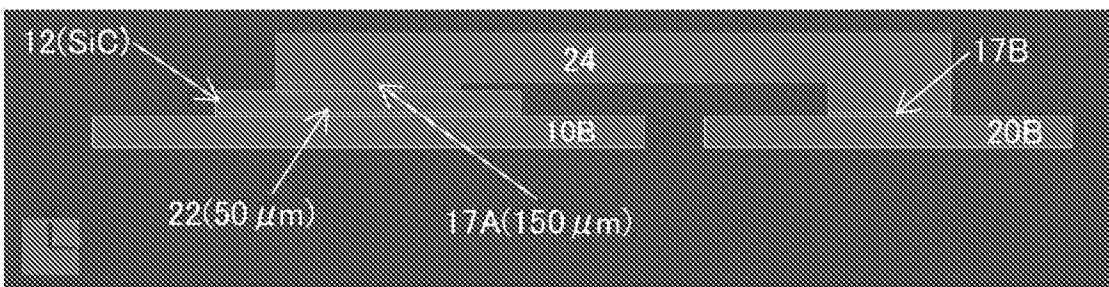
[図6]



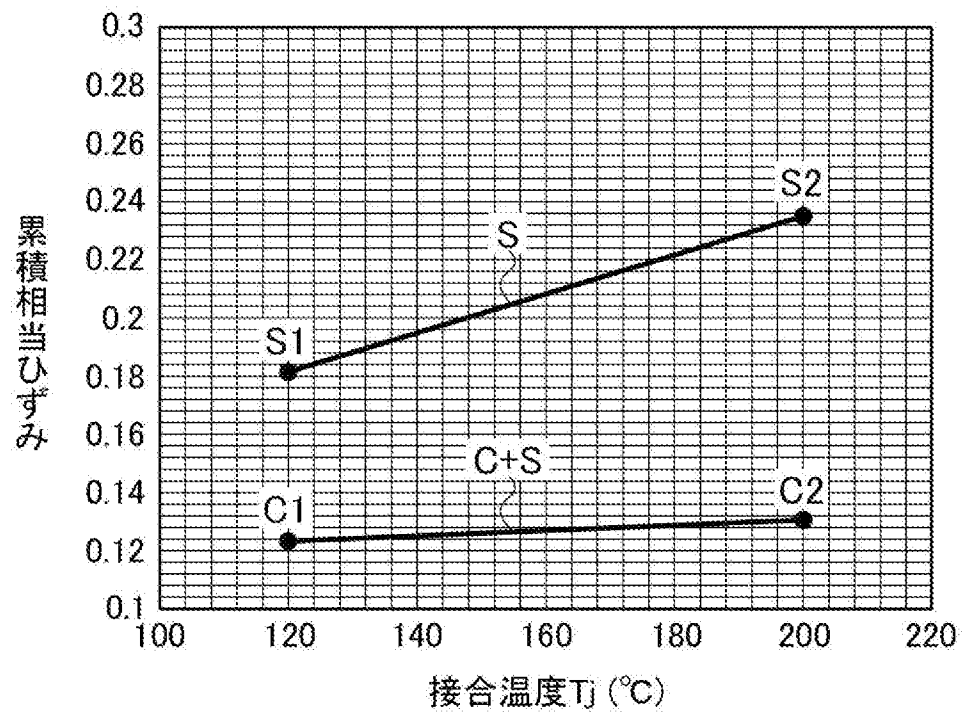
[図7]



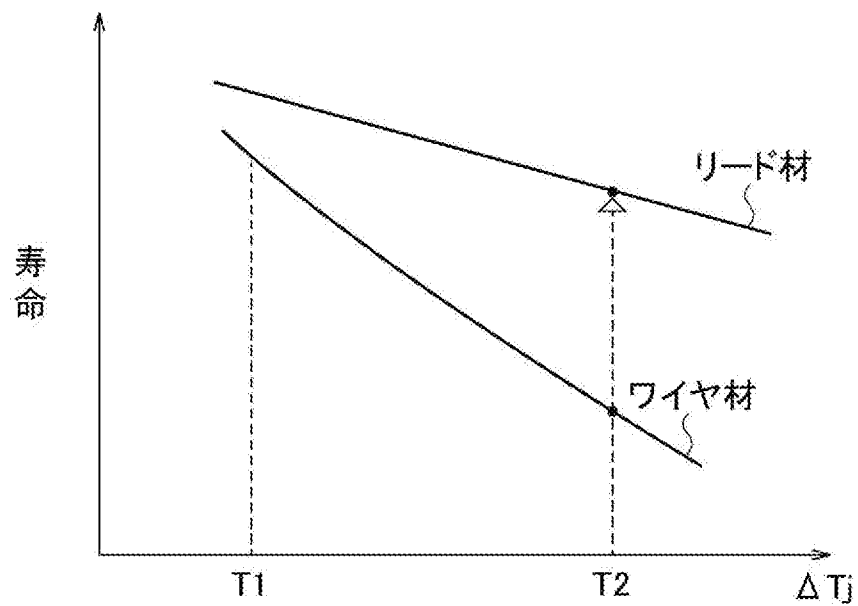
[図8]



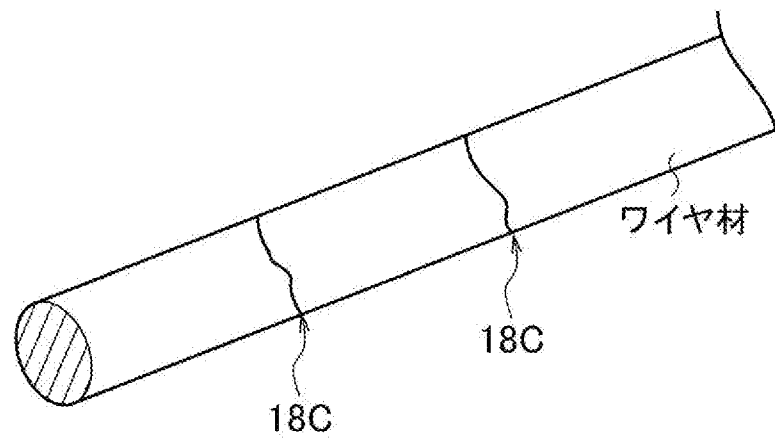
[図9]



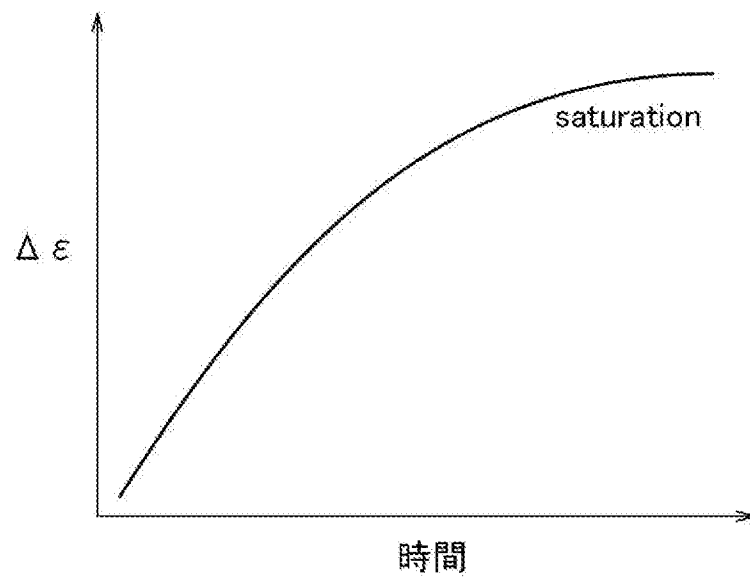
[図10]



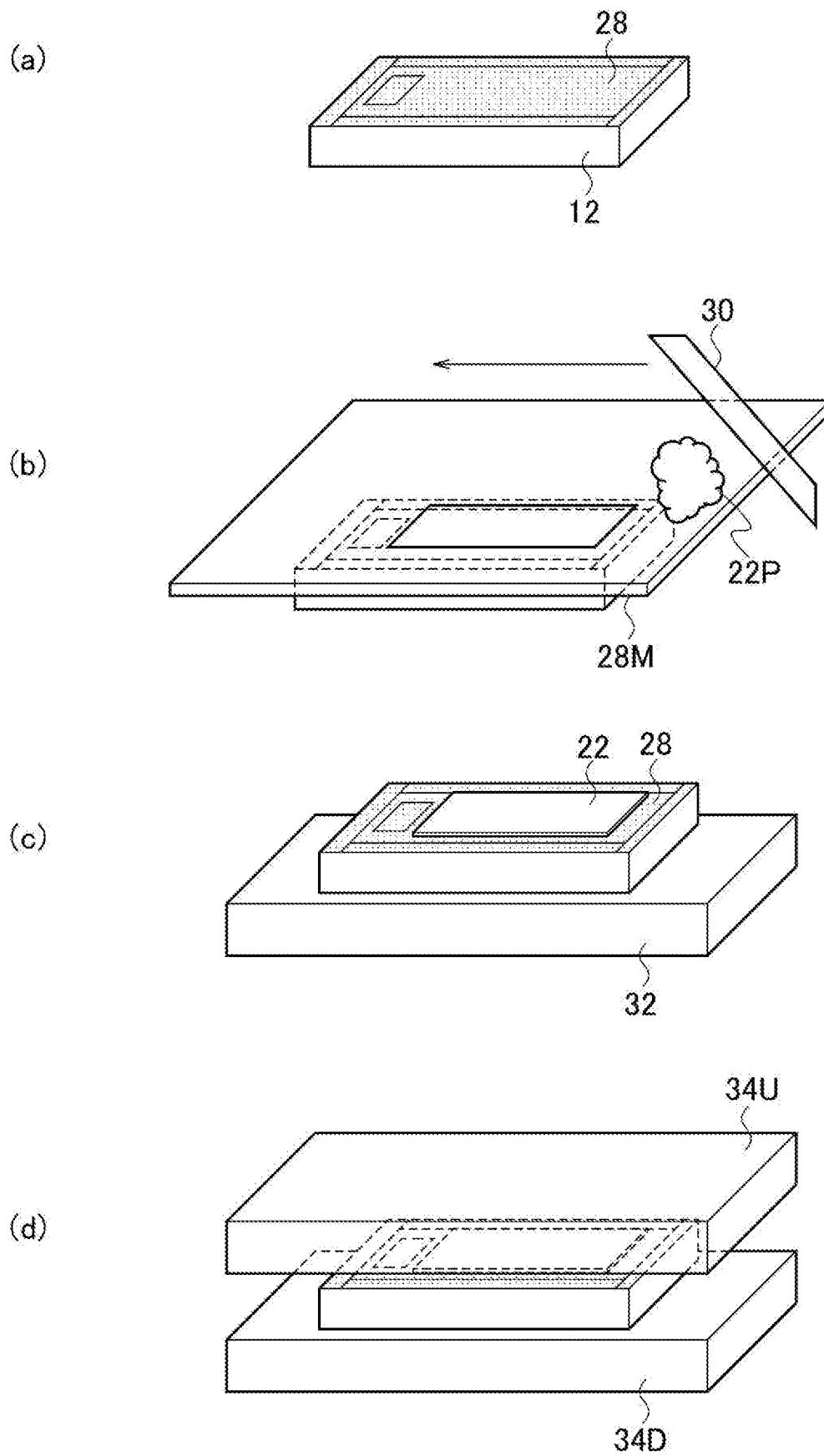
[図11]



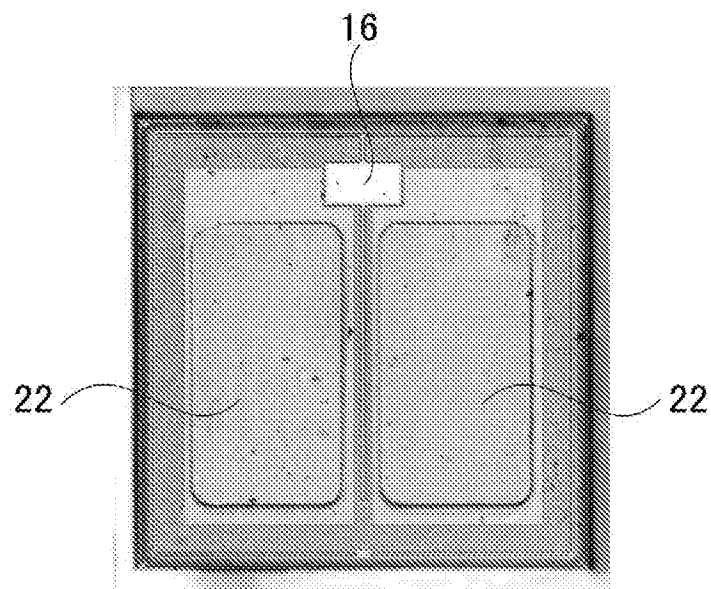
[図12]



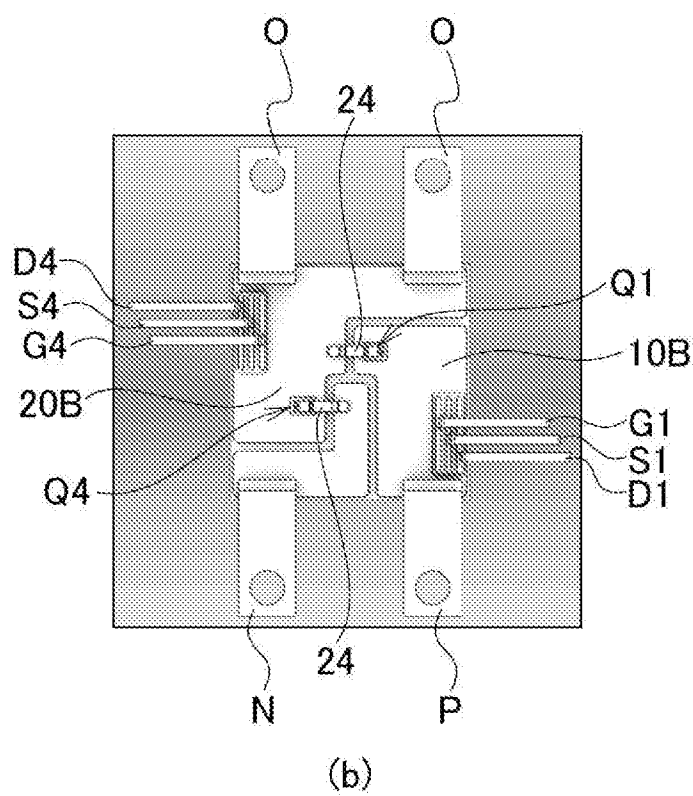
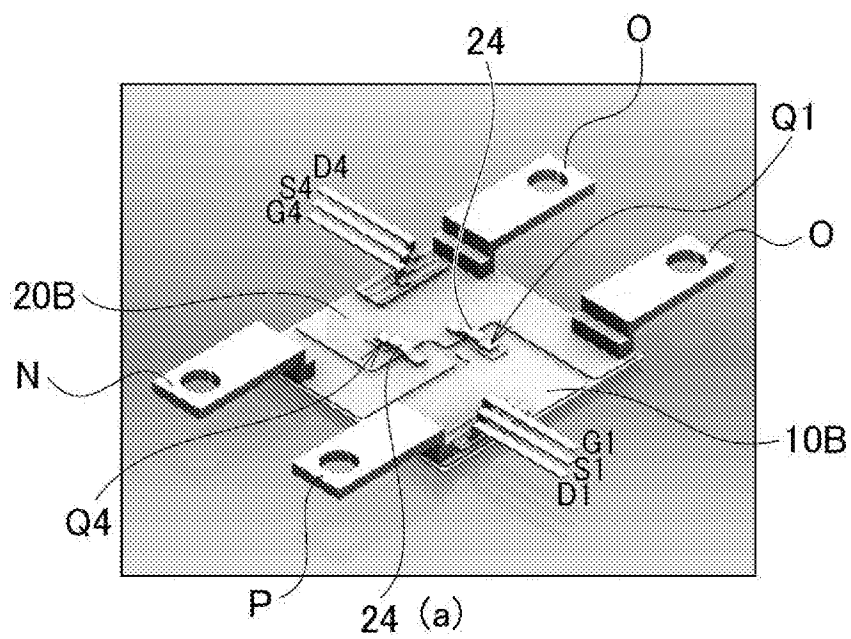
[図13]



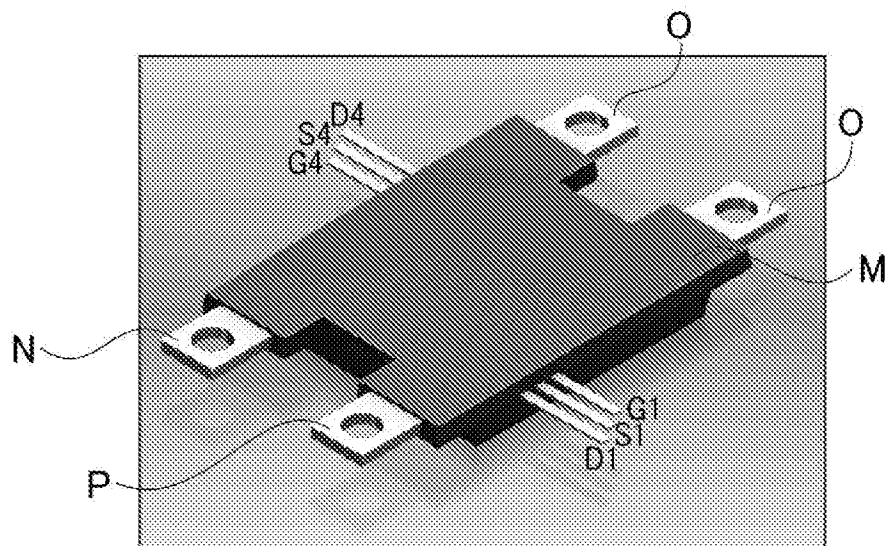
[図14]



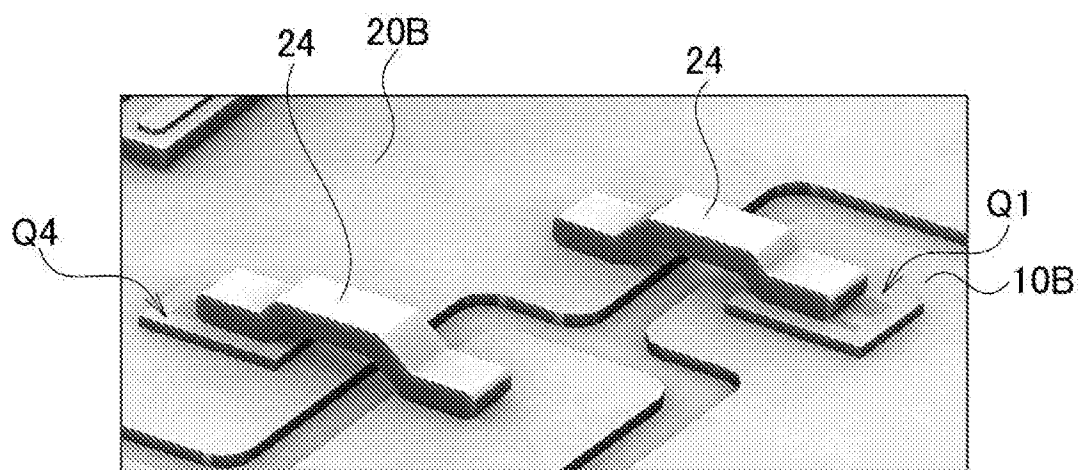
[図15]



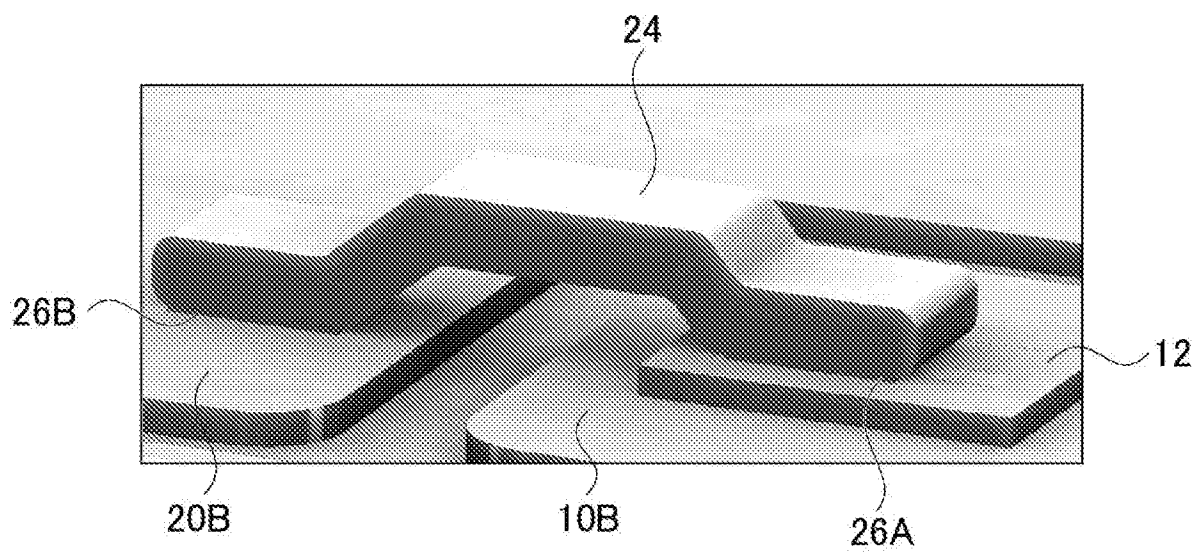
[図16]



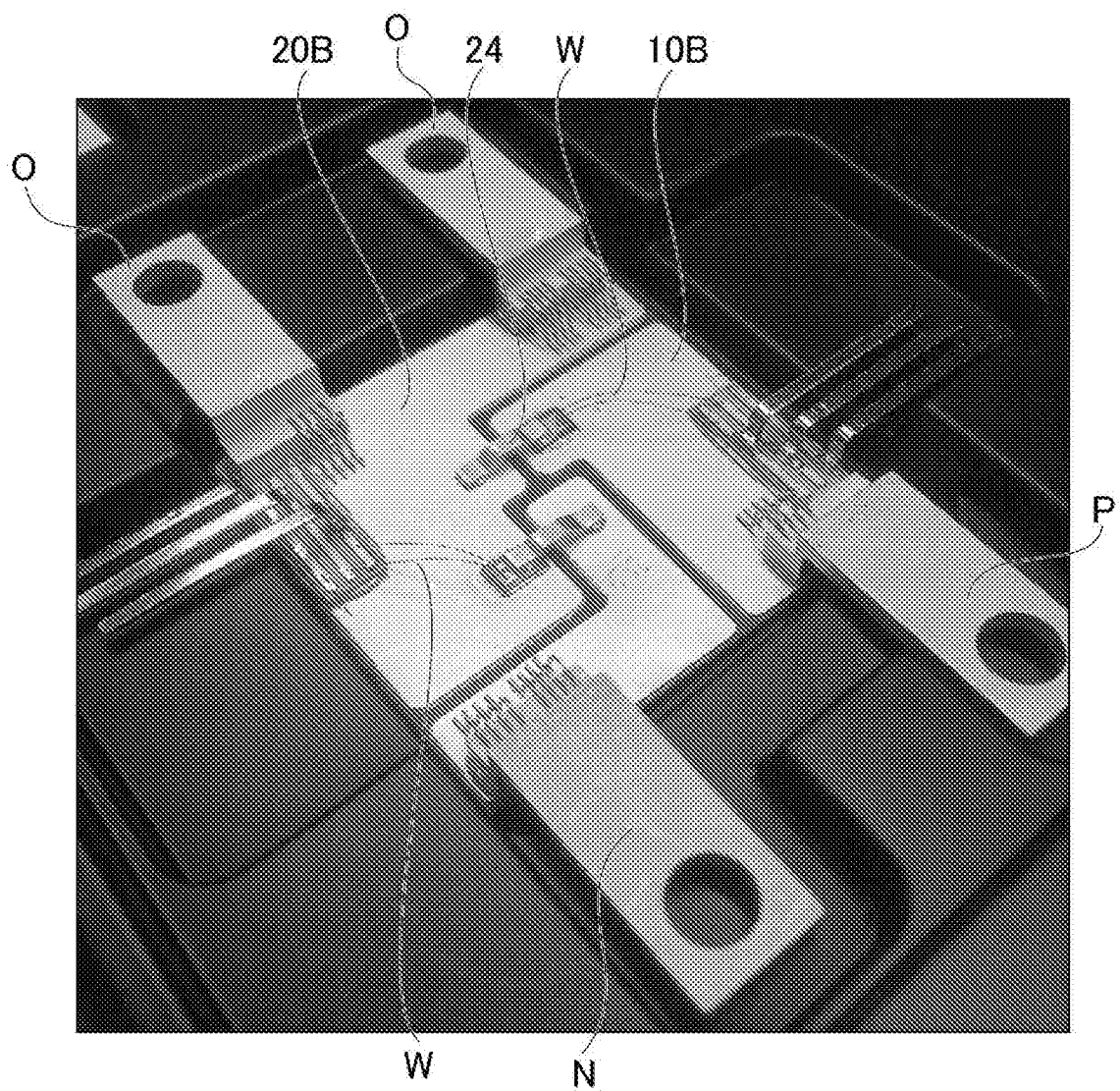
[図17]



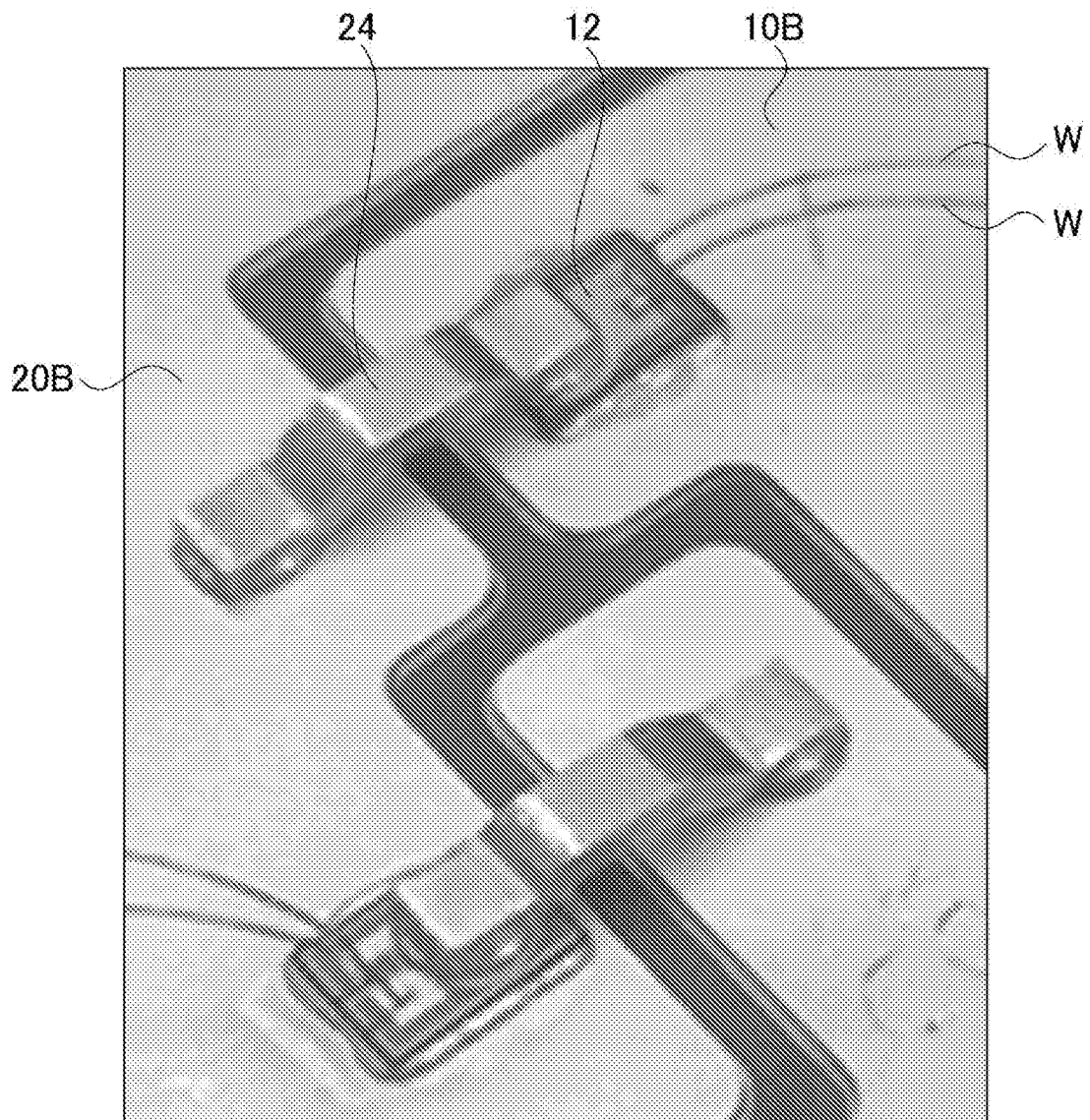
[図18]



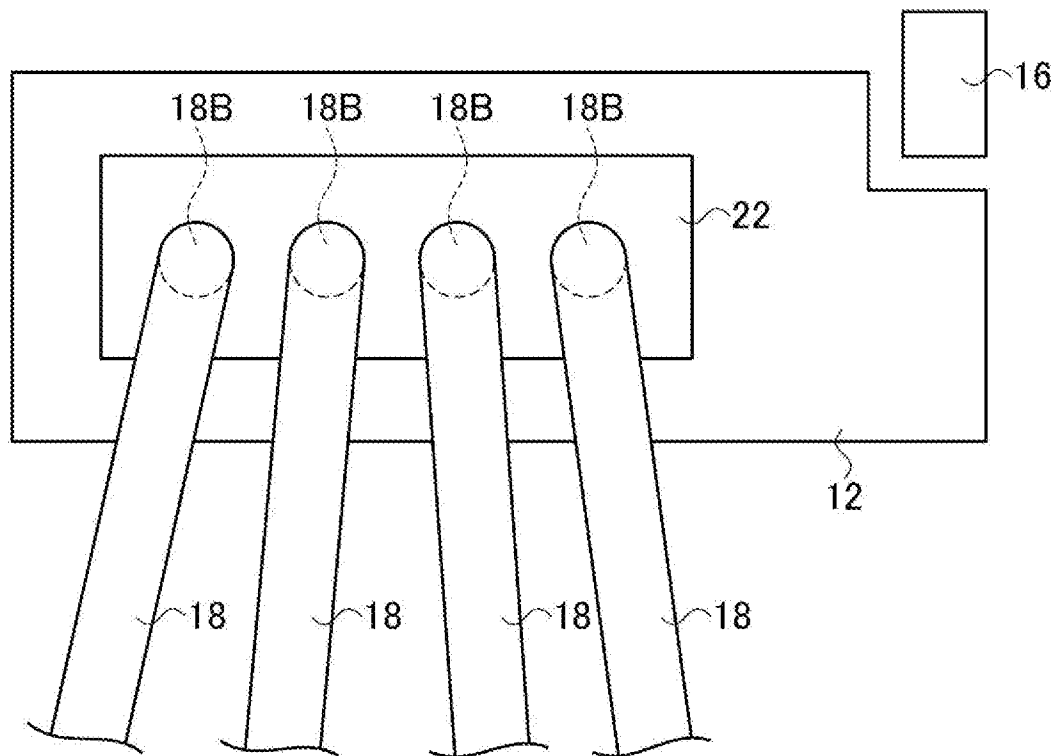
[図19]



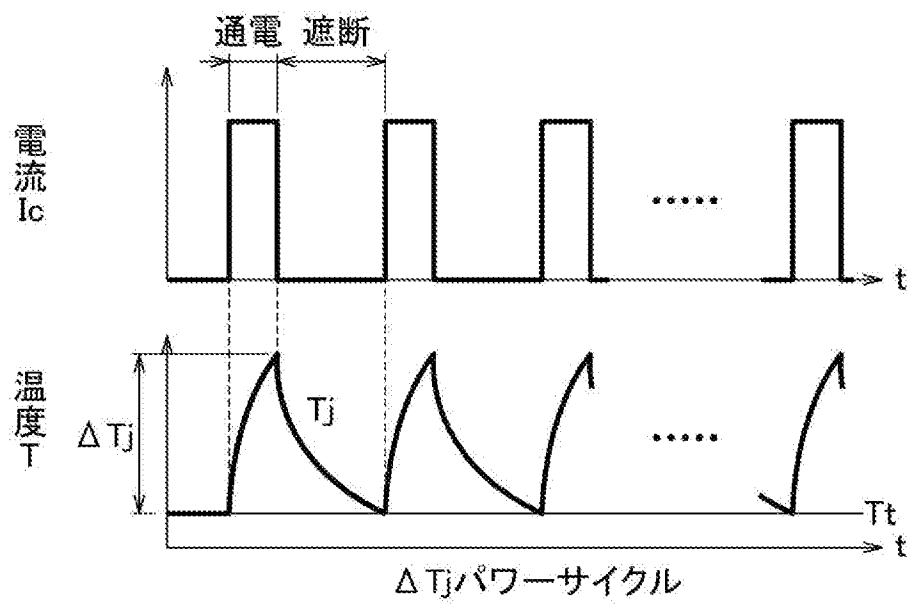
[図20]



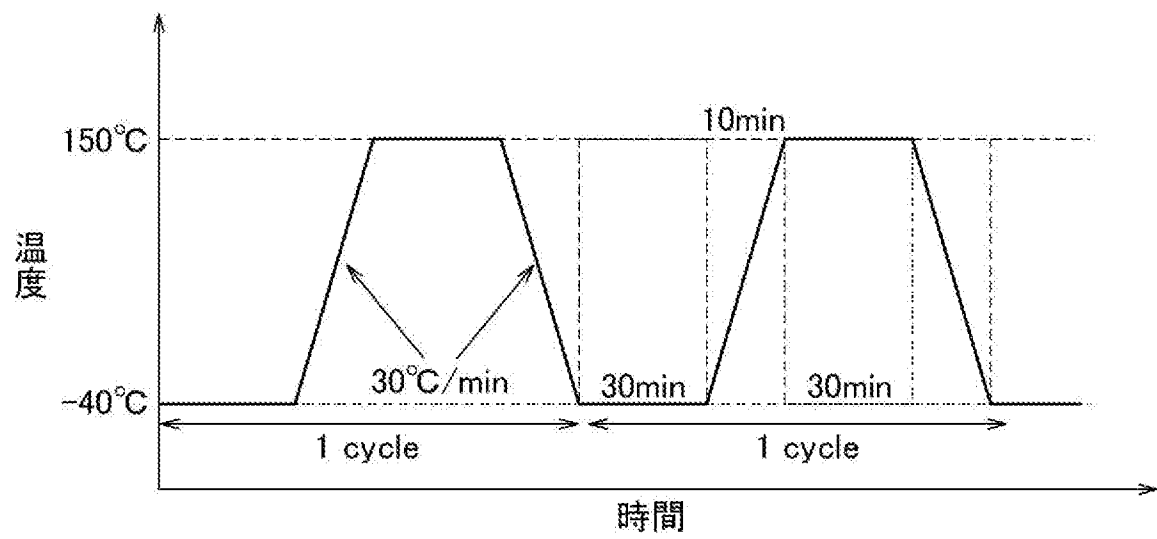
[図21]



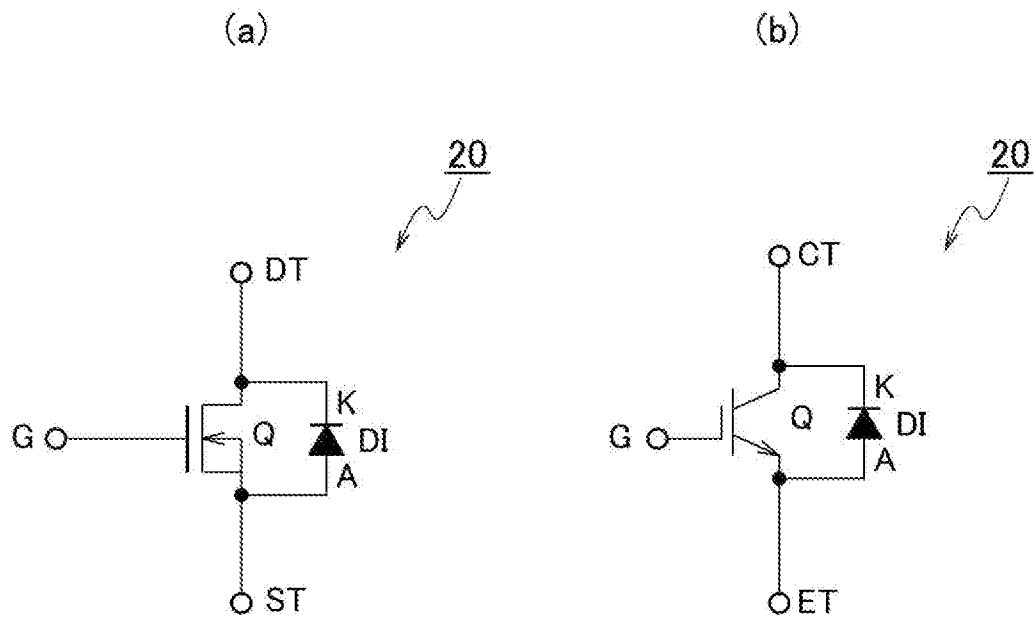
[図22]



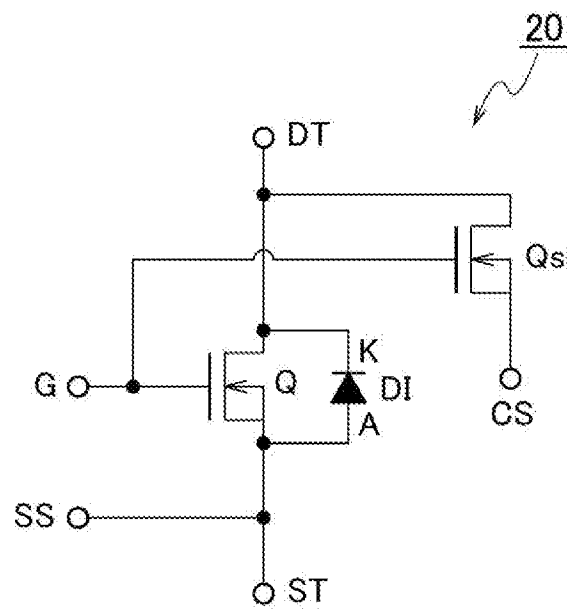
[図23]



[図24]

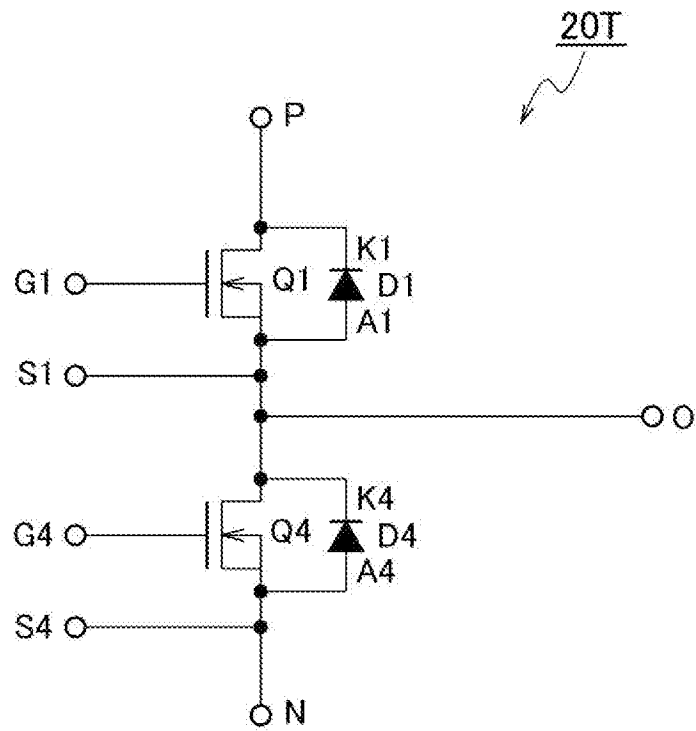


[図25]

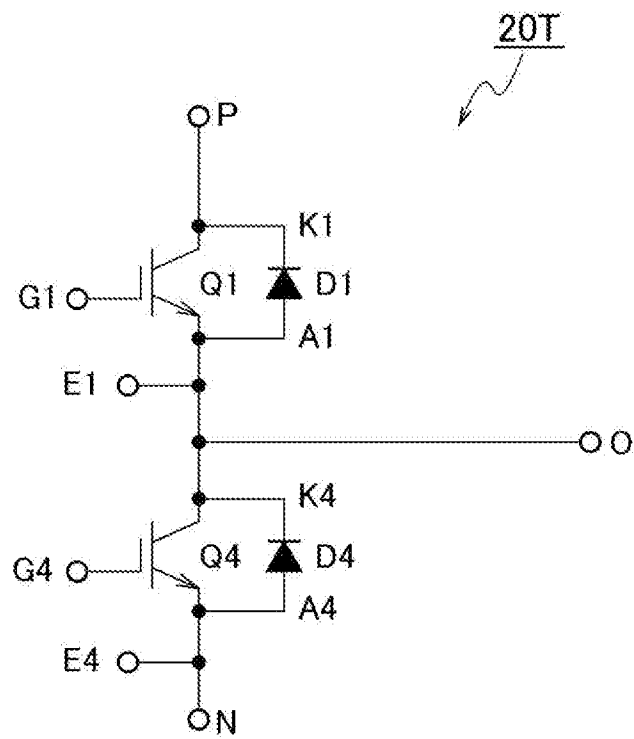


[図26]

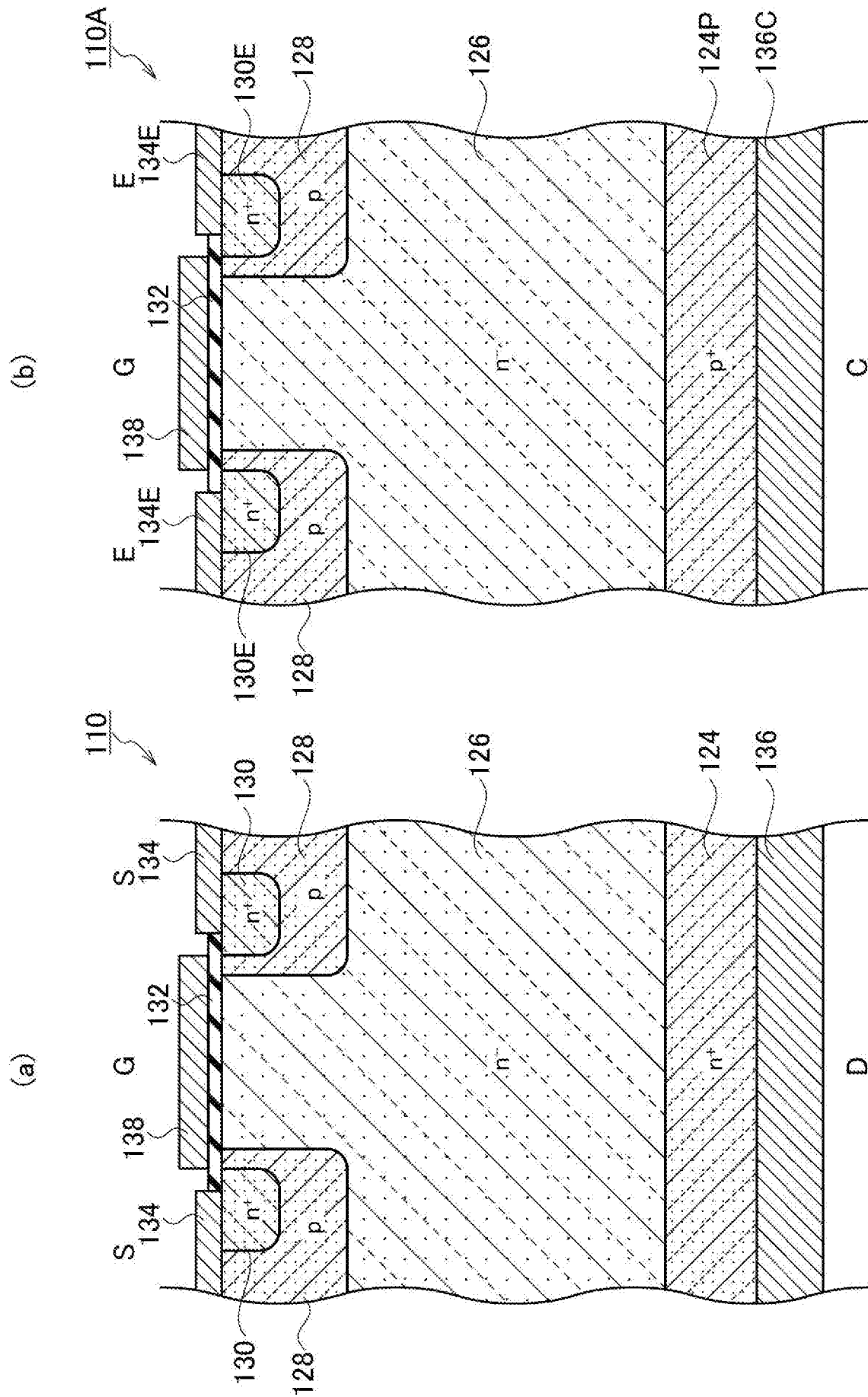
(a)



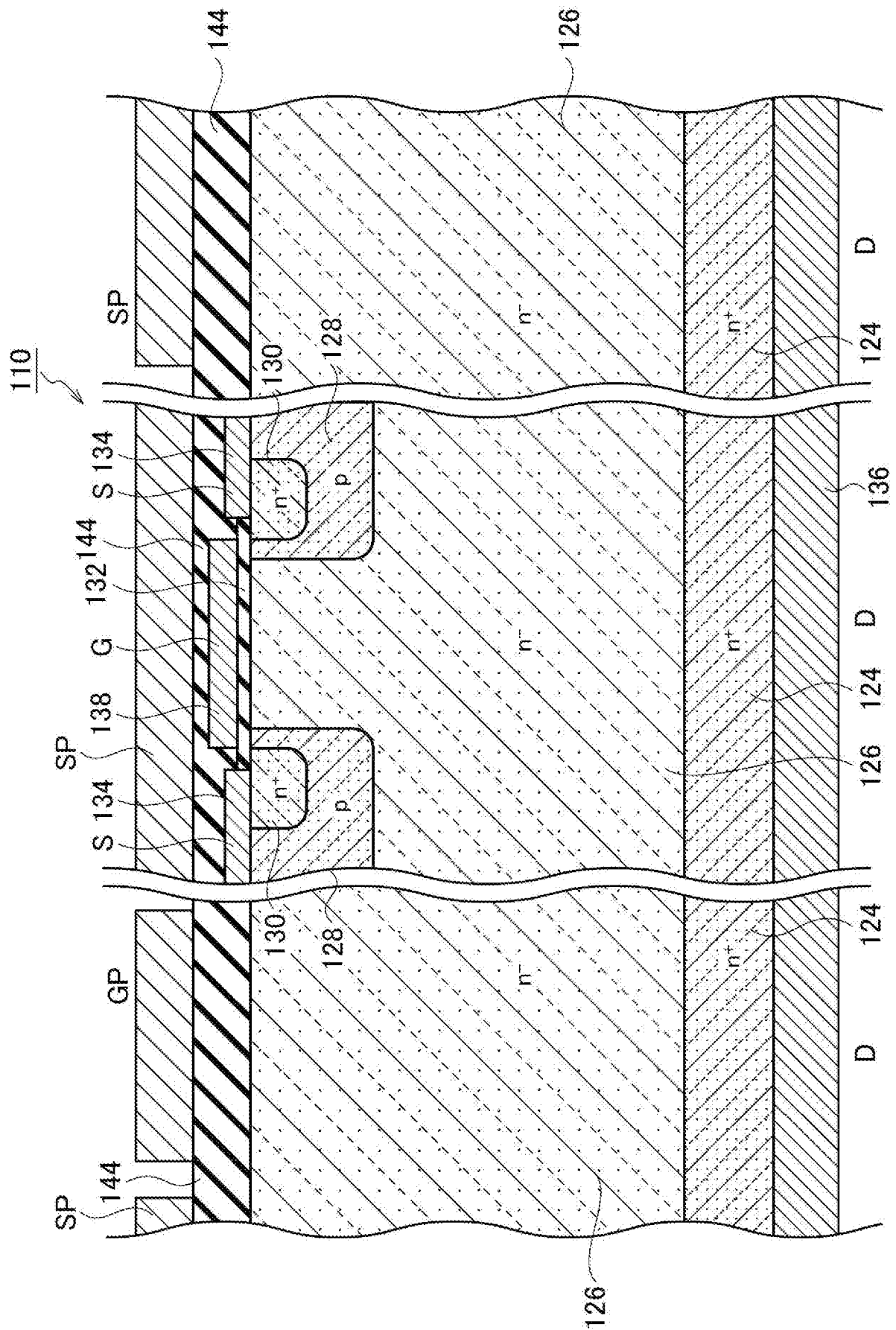
(b)



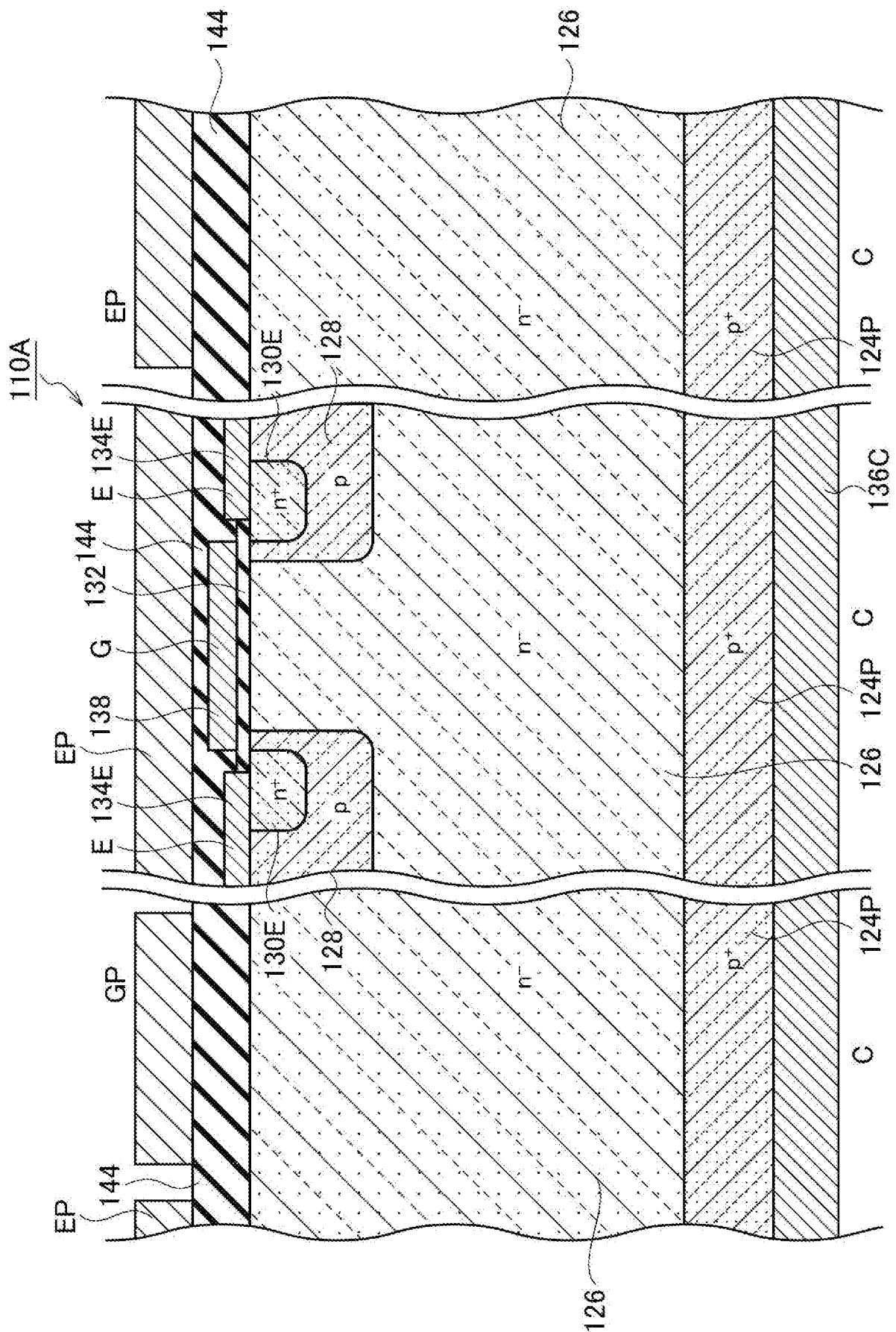
[図27]



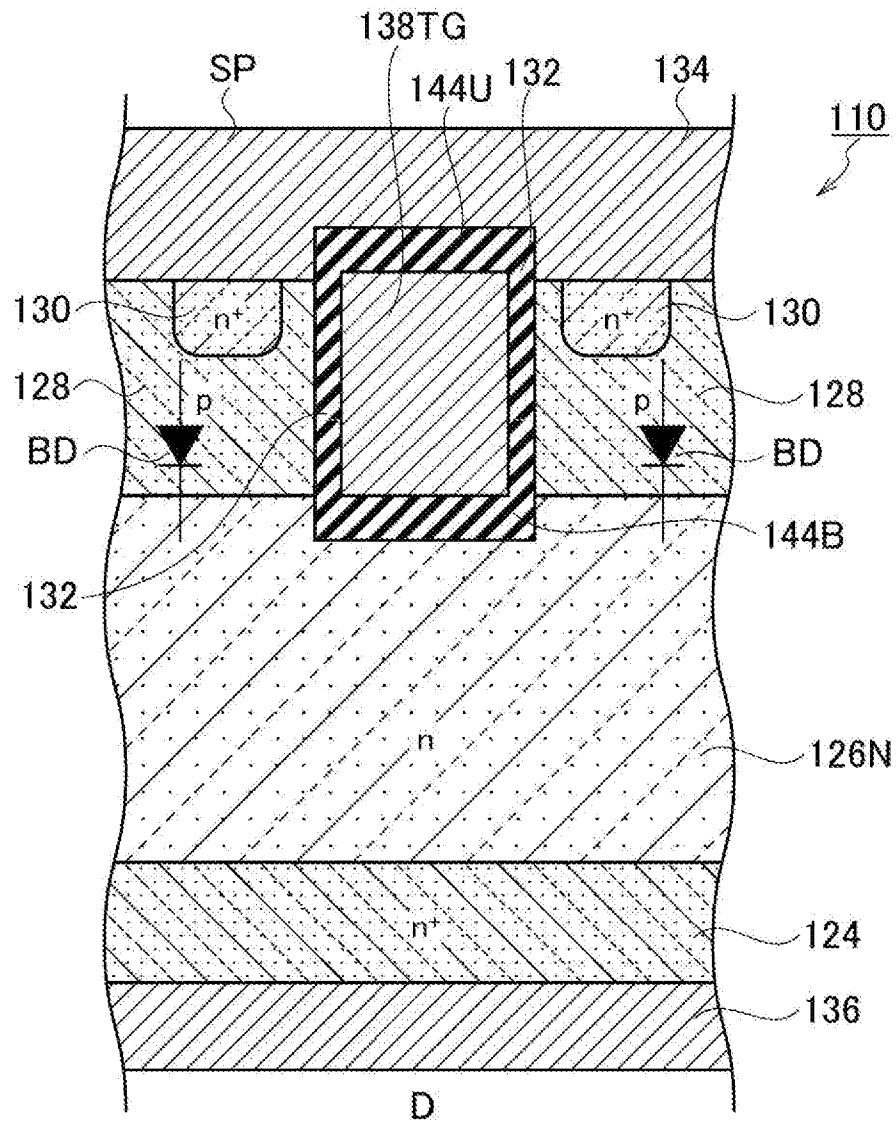
[図28]



[図29]

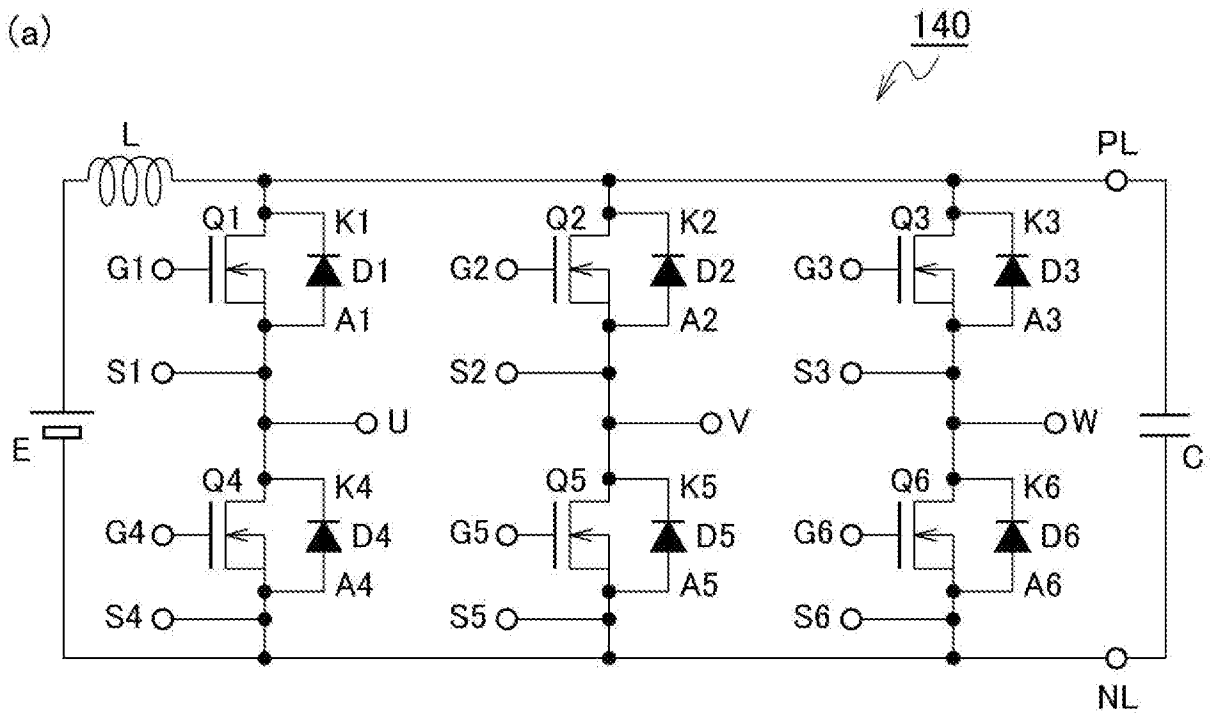


[図31]

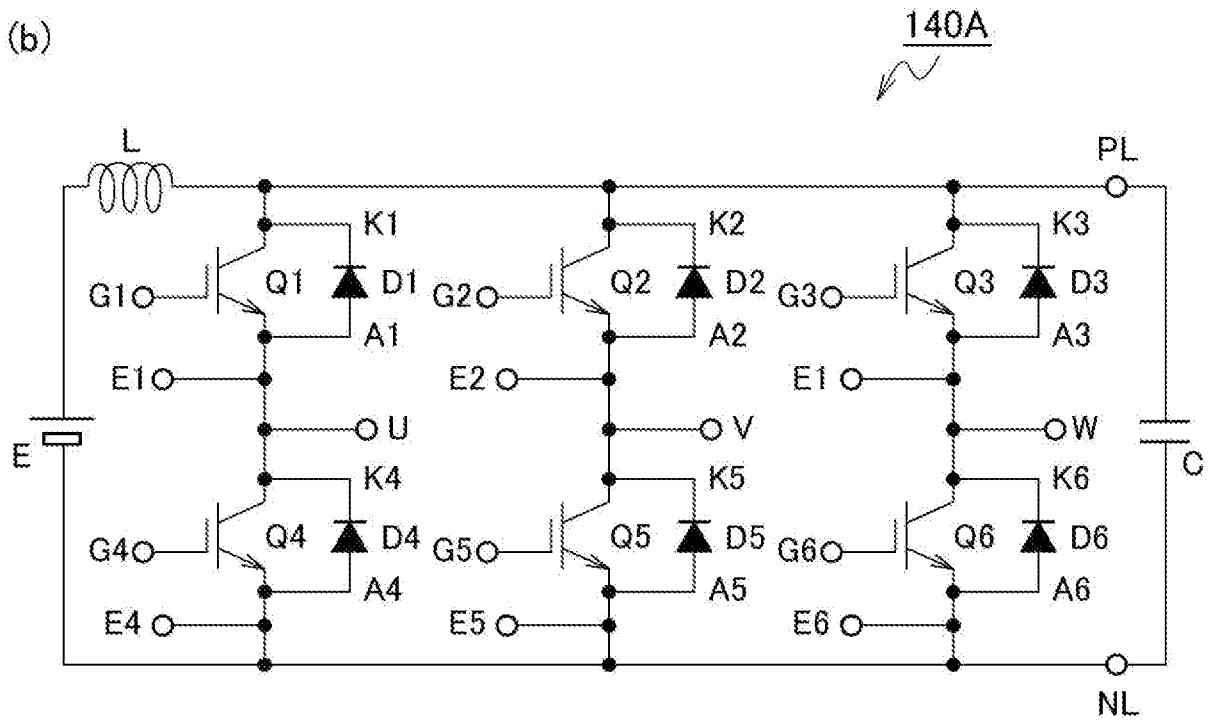


[図32]

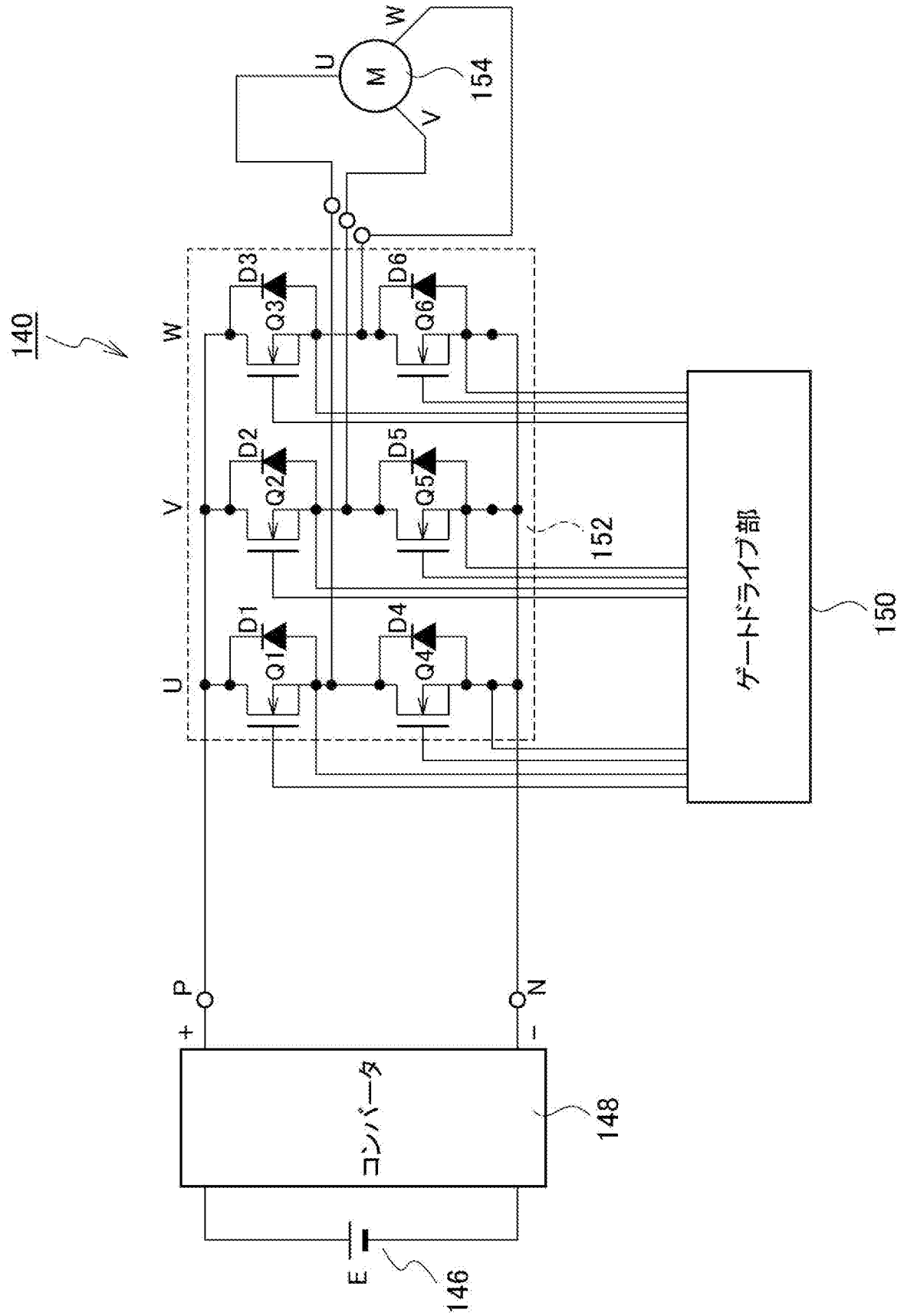
(a)



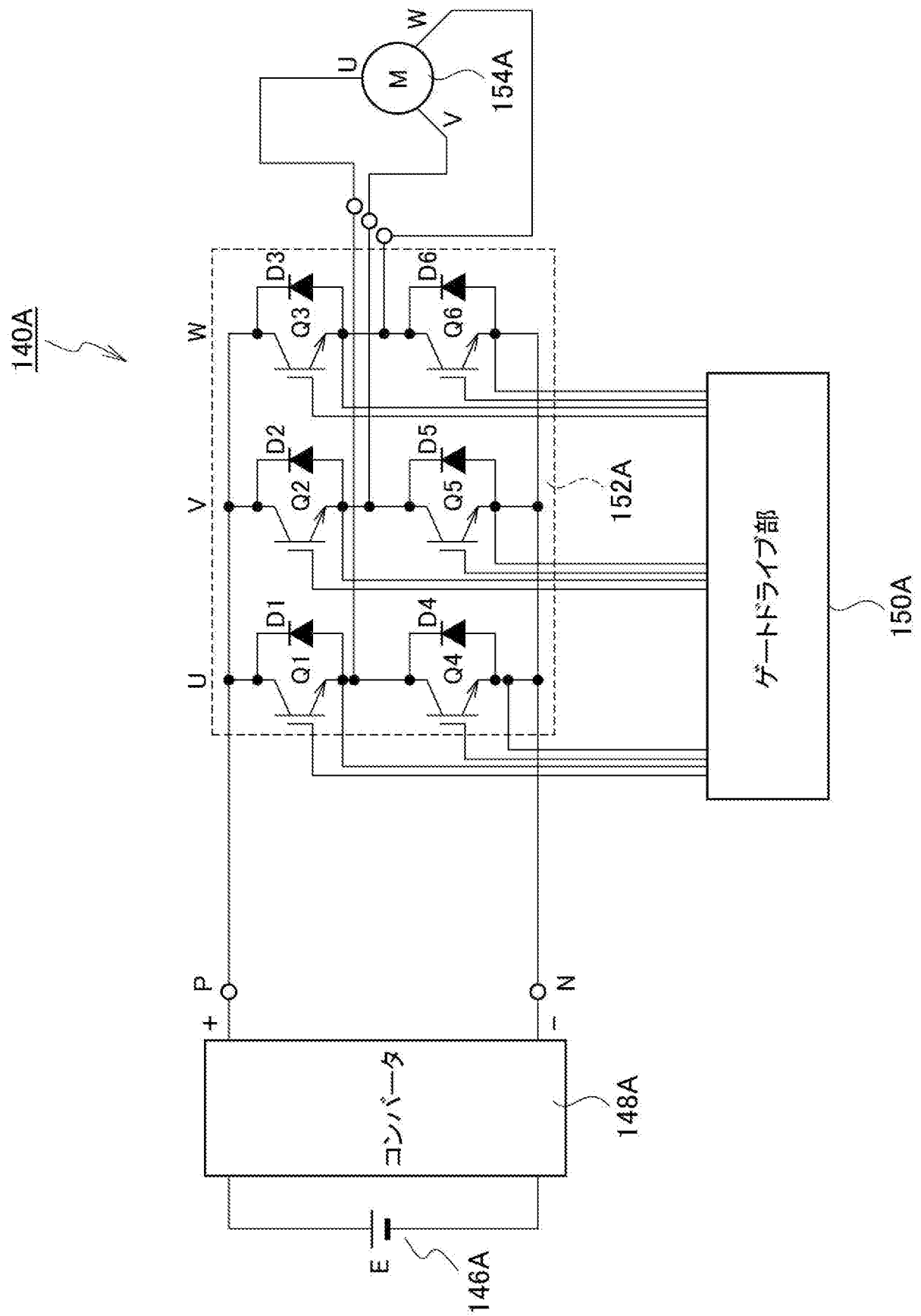
(b)



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015306

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H01L21/3205, H01L21/768, H01L23/522, H01L29/12, H01L29/417,
H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-82367 A (Nippon Micrometal Corp.), 08 May 2014 (08.05.2014), paragraphs [0015], [0016], [0021], [0024]; fig. 1, 2 (Family: none)	1-24
Y	JP 2009-179825 A (Daiken Chemical Co., Ltd.), 13 August 2009 (13.08.2009), paragraphs [0012], [0030], [0047], [0052], [0056], [0060]; fig. 1 to 3 (Family: none)	1-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
05 June 2017 (05.06.17)

Date of mailing of the international search report
13 June 2017 (13.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015306

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-4796 A (Rohm Co., Ltd.), 12 January 2016 (12.01.2016), paragraphs [0025], [0026], [0078], [0079]; fig. 2 & US 2017/0092596 A1 paragraphs [0061], [0062], [0114], [0115]; fig. 2A, 2B & WO 2015/190559 A1 & DE 112015002815 T5	4, 9, 10, 13-16, 19, 23, 24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/60(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i,
H01L29/12(2006.01)i, H01L29/417(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/60, H01L21/3205, H01L21/768, H01L23/522, H01L29/12, H01L29/417, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-82367 A (日鉄住金マイクロメタル株式会社) 2014.05.08, 第15, 16, 21, 24段落、図1, 2 (ファミリーなし)	1-24
Y	JP 2009-179825 A (大研化学工業株式会社) 2009.08.13, 第12, 30, 47, 52, 56, 60段落、図1-3 (ファミリーなし)	1-24

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2017

国際調査報告の発送日

13.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 和樹

50

3252

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-4796 A (ローム株式会社) 2016.01.12, 第 2 5 , 2 6 , 7 8 , 7 9 段落、図 2 & US 2017/0092596 A1, 第 6 1 , 6 2 , 1 1 4 , 1 1 5 段落、図 2 A , 2 B , & W0 2015/190559 A1 & DE 112015002815 T5	4, 9, 10, 13-16, 19, 23, 24