(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4829844号
(P4829844)
(45)発行日　平成23年12月7日(2011.12.7)　(24)登録日　平成23年9月22日(2011.9.22)

(51)Int.Cl.　F I
H03K 5/15 (2006.01)　H03K 5/15 G

請求項の数 6 (全 10 頁)

(21)出願番号　特願2007-162737(P2007-162737)
(22)出願日　平成19年6月20日(2007.6.20)
(65)公開番号　特開2009-4992(P2009-4992A)
(43)公開日　平成21年1月8日(2009.1.8)
審査請求日　平成22年1月12日(2010.1.12)

(73)特許権者　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実
(74)代理人　100115691
弁理士　藤田　篤史

最終頁に続く

(54)【発明の名称】パルス合成回路

(57)【特許請求の範囲】
【請求項１】
互いに位相が異なるｎ個（ｎは２以上の整数）の第１パルス信号およびｎ個の第２パルス信号を合成する回路であって、
前記ｎ個の第１パルス信号に対応するｎ個の第１駆動トランジスタと、
前記ｎ個の第２パルス信号に対応するｎ個の第２駆動トランジスタと、
カレントミラー回路とを備え、
前記ｎ個の第１パルス信号の各々のハイレベル期間は、前記ｎ個の第２パルス信号の全てがローレベルである期間の一部または全部と重複し、前記ｎ個の第２パルス信号の各々のハイレベル期間は、前記ｎ個の第１パルス信号の全てがローレベルである期間の一部または全部と重複し、
前記ｎ個の第１駆動トランジスタの各々は、接地ノードにソースが接続され、第１のノードにドレインが接続され、自己に対応する第１パルス信号をゲートに受け、
前記ｎ個の第２駆動トランジスタの各々は、前記接地ノードにソースが接続され、第２のノードにドレインが接続され、自己に対応する第２パルス信号をゲートに受け、
前記カレントミラー回路は、前記第２のノードに入力端が接続され、前記第１のノードに出力端が接続され、当該第２のノードに流れる電流に応じた電流を当該第１のノードに流す
ことを特徴とするパルス合成回路。
【請求項２】

請求項１において、
前記第１のノードに入力端子が接続される第１のインバータ回路をさらに備える
ことを特徴とするパルス合成回路。
【請求項３】
請求項２において、
前記カレントミラー回路の入力端と前記第２のノードとの間に介在し、前記第１のインバータ回路の出力をゲートに受けるスイッチトランジスタをさらに備える
ことを特徴とするパルス合成回路。
【請求項４】
請求項２または請求項３において、
前記第１のインバータ回路の出力端子に入力端子が接続され、前記第１のノードに出力端子が接続される第２のインバータ回路をさらに備える
ことを特徴とするパルス合成回路。
【請求項５】
請求項２または請求項３において、
電源ノードと前記第１のノードとの間に接続され、前記第１のインバータ回路の出力をゲートに受けるトランジスタをさらに備える
ことを特徴とするパルス合成回路。
【請求項６】
請求項１，２，３のいずれか１項において、
前記第１のノードに接続され、当該第１のノードおける電荷を保持するデータ保持回路をさらに備える
ことを特徴とするパルス合成回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、互いに位相が異なる複数のパルス信号を合成する回路に関する。
【背景技術】
【０００２】
従来、ＰＬＬ（Phase Locked Loop）を用いて互いに位相が等間隔にずれている複数の基準クロック信号を生成し、その複数の基準クロック信号を用いて所望の周波数の出力クロック信号を生成するクロック生成回路が知られている。
【０００３】
特開平５－８３０８９号公報（特許文献１）には、複数の基準クロック信号を生成し、ｎ個（ｎは２以上の整数）のアンド回路の各々に対して２つの基準クロック信号を与えてｎ個のパルス信号を生成し、そのｎ個のパルス信号をワイヤードオア回路によって合成することで所望のクロック信号を生成している。
【０００４】
特開２００１－２０９４５４号公報では、複数の基準クロック信号を生成し、ｎ個のフリップフロップの各々に対して２つの基準クロック信号を与えてｎ個のパルス信号を生成し、そのｎ個のパルス信号をワイヤードオア回路によって合成することで、所望のクロック信号を生成している。
【０００５】
このように、従来では、ワイヤードオア回路を用いて、複数の基準クロック信号に基づいて生成されたｎ個のパルス信号を合成している。一般的に、合成するパルス信号の数が多い場合、ワイヤードオア回路は、複数の論理素子を組み合わせて構成される。例えば、５個のパルス信号を合成する場合、ワイヤードオア回路は、２つのパルス信号の論理和を出力するオア回路と、３つのパルス信号の論理和を出力するオア回路と，２つのオア回路の出力の論理積を出力するアンド回路によって構成される。
【０００６】

また、特許文献２の図１１には、ワイヤードオア回路の一例が示されている。このワイヤードオア回路では、ｎ個のｎＭＯＳトランジスタの各々のドレインとｐＭＯＳトランジスタのドレインとがインバータ回路の入力端子に共通に接続され、ｐＭＯＳトランジスタのソースが電源ノードに接続され、複数のｎＭＯＳトランジスタの各々のソースが接地ノードに接続されている。そして、ｎ個のｎＭＯＳトランジスタのゲートには、ｎ個のパルス信号がそれぞれ与えられる。

【特許文献１】特開平５－８３０８９号公報

【特許文献２】特開２００１－２０９４５４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

このようなパルス合成回路では、ｎ個のパルス信号の各々に対する遅延量を互いに等しくする必要がある。しかしながら、ワイヤードオア回路を複数の論理素子によって構成すると、論理素子の回路構成が非対称になるので、オア回路の各々における遅延量が互いに異なってしまう。さらに、一般的な２入力のオア回路においても、２個の入力信号に対して回路構成が対称的でないので、２個の入力信号の各々に対する遅延量が互いに異なってしまう。

【０００８】

また、特許文献２の図１１に示されたワイヤードオア回路では、回路の対称性は確保されているが、ｐＭＯＳトランジスタのドレインにおいて電圧レベルがハイレベルになるときとローレベルになるときとではスルーレートが異なるので、出力信号の立ち上がりと立ち下がりとの間で遅延差が生じてしまう。

【０００９】

そこで、この発明は、回路の対称性を確保でき、出力信号の立ち上がりと立ち下がりとの遅延差を小さくすることができるパルス合成回路を提供することを目的とする。

【課題を解決するための手段】

【００１０】

この発明によれば、パルス合成回路は、互いに位相が異なるｎ個（ｎは２以上の整数）の第１パルス信号およびｎ個の第２パルス信号を合成する回路であって、上記ｎ個の第１パルス信号に対応するｎ個の第１駆動トランジスタと、上記ｎ個の第２パルス信号に対応するｎ個の第２駆動トランジスタと、カレントミラー回路とを備え、上記ｎ個の第１パルス信号の各々のハイレベル期間は、上記ｎ個の第２パルス信号の全てがローレベルである期間の一部または全部と重複し、上記ｎ個の第２パルス信号の各々のハイレベル期間は、上記ｎ個の第１パルス信号の全てがローレベルである期間の一部または全部と重複し、上記ｎ個の第１駆動トランジスタの各々は、接地ノードにソースが接続され、第１のノードにドレインが接続され、自己に対応する第１パルス信号をゲートに受け、上記ｎ個の第２駆動トランジスタの各々は、上記接地ノードにソースが接続され、第２のノードにドレインが接続され、自己に対応する第２パルス信号をゲートに受け、上記カレントミラー回路は、上記第２のノードに入力端が接続され、上記第１のノードに出力端が接続され、その第２のノードに流れる電流に応じた電流をその第１のノードに流す。

【００１１】

上記パルス合成回路では、ｎ個の第１パルス信号およびｎ個の第２パルス信号に対してｎ個の第１駆動トランジスタおよびｎ個の第２駆動トランジスタが対称的に構成される。よって、ｎ個の第１パルス信号およびｎ個の第２パルス信号に対する遅延量を互いに等しくすることができる。また、駆動トランジスタの各々の出力は、回路構成が対称的であるカレントミラー回路によって合成される。これにより、第１のノードにおいて電圧レベルがハイレベルになるときのスルーレートと電圧レベルがローレベルになるときのスルーレートとをほぼ等しくすることができ、第１のノードに発生する出力信号の立ち上がりと立ち下がりの遅延差を小さくすることができる。

【発明の効果】

【００１２】
以上のように、ｎ個の第１パルス信号およびｎ個の第２パルス信号の各々において位相遅延の相対精度を向上させることができ、出力信号の立ち上がりと立ち下がりとの遅延差を小さくすることができる。
【発明を実施するための最良の形態】
【００１３】
以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。
【００１４】
（第１の実施形態）
図１は、この発明の第１の実施形態によるパルス合成回路の構成を示す。このパルス合成回路１１は、ｎ個（ｎは２以上の整数、ここではｎ＝３）のパルス信号ＰＡ０～ＰＡ２とｎ個のパルス信号ＰＢ０～ＰＢ２とを合成して、出力信号Ｐｏｕｔを出力する。
【００１５】
パルス合成回路１１は、パルス信号ＰＡ０～ＰＡ２に対応する駆動トランジスタＴＡ０～ＴＡ２と、パルス信号ＰＢ０～ＰＢ２に対応する駆動トランジスタＴＢ０～ＴＢ２と、カレントミラー回路１０１と、インバータ回路１０２とを備える。
【００１６】
駆動トランジスタＴＡ０～ＴＡ２，ＴＢ０～ＴＢ２の各々のソースは、接地電位を受ける接地ノードに接続される。駆動トランジスタＴＡ０～ＴＡ２の各々のドレインは、ノードＮ１に接続され、駆動トランジスタＴＢ０～ＴＢ２の各々のドレインは、ノードＮ２に接続される。また、駆動トランジスタＴＡ０～ＴＡ２，ＴＢ０～ＴＢ２の各々のゲートには、その駆動トランジスタに対応するパルス信号が与えられる。
【００１７】
カレントミラー回路１０１の入力端は、ノードＮ２に接続され、カレントミラー回路１０１の出力端は、ノードＮ１に接続される。また、カレントミラー回路１０１は、入力端に流れる電流に応じた電流を出力端に流す。ここでは、カレントミラー回路１０１は、各々のゲートが互いに接続された２つのｐＭＯＳトランジスタによって構成されている。この２つのｐＭＯＳトランジスタの各々のソースは、電源電圧を受ける電源ノードに接続され、入力側のｐＭＯＳトランジスタのドレインは、自己のゲートに接続されるとともにノードＮ２に接続され、出力側のｐＭＯＳトランジスタのドレインは、ノードＮ１に接続される。
【００１８】
インバータ回路１０２は、ノードＮ１と出力ノードＮｏｕｔとの間に接続される。出力ノードＮｏｕｔには、出力信号Ｐｏｕｔが発生する。
【００１９】
ここで、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２について説明する。図２のように、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２の各々は、互いに位相が異なる。パルス信号ＰＡ０～ＰＡ２の各々のハイレベル期間は、パルス信号ＰＢ０～ＰＢ２の全てがローレベルである期間の全部と重複し、パルス信号ＰＢ０～ＰＢ２の各々のハイレベル期間は、パルス信号ＰＡ０～ＰＡ２の全てがローレベルである期間の全部と重複する。すなわち、パルス信号ＰＢ０～ＰＢ２の論理和は、パルス信号ＰＡ０～ＰＡ２の論理和に対して排他的な関係であるといえる。パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２は、パルス信号ＰＡ０から順番に交互にローレベルからハイレベルになる。例えば、パルス信号ＰＡ０が立ち上がった後、パルス信号ＰＡ０が立ち下がると同時にパルス信号ＰＢ０が立ち上がる。このようなパルス信号は、位相がτずつずれる基準クロック信号ＣＫ０～ＣＫ５に基づいて生成することができる。例えば、２入力のアンド回路に対して基準クロック信号ＣＫ０，ＣＫ４を与えることにより（すなわち、基準クロック信号ＣＫ０，ＣＫ４の論理積を求めることにより）、パルス信号ＰＡ０を生成することができる。パルス信号ＰＡ１，ＰＡ２，ＰＢ０～ＰＢ２についても同様に生成することができる。

【００２０】
次に、図２を参照しつつ、図１に示したパルス合成回路１１による動作について説明する。
【００２１】
パルス信号ＰＡ０～ＰＡ２のいずれか１つがハイレベルになると、そのパルス信号に対応する駆動トランジスタ（例えば、駆動トランジスタＴＡ０）がオン状態になり、ノードＮ１から接地ノードへ電流が引き込まれる。これにより、ノードＮ１の電圧レベルは、ハイレベルからローレベルになるので、出力ノードＮｏｕｔの電圧レベルは、ハイレベルになる（すなわち、出力信号Ｐｏｕｔが立ち上がる）。
【００２２】
一方、パルス信号ＰＢ０～ＰＢ２のいずれか１つがハイレベルになると、そのパルス信号に対応する駆動トランジスタ（例えば、駆動トランジスタＴＢ０）がオン状態になり、ノードＮ２から接地ノードへ電流が引き込まれる。また、カレントミラー回路１０１によってノードＮ２に流れる電流に応じた電流が電源ノードからノードＮ１に供給される。これにより、ノードＮ１の電圧レベルは、ローレベルからハイレベルになるので、出力ノードＮｏｕｔの電圧レベルは、ローレベルになる（すなわち、出力信号Ｐｏｕｔが立ち下がる）。
【００２３】
次に、図１に示したパルス合成回路１１における回路構成の対称性について説明する。このパルス合成回路１１では、駆動トランジスタＴＡ０～ＴＡ２，ＴＢ０～ＴＢ２の各々のソースは、接地ノードに接続され、各々のドレインは、カレントミラー回路１０１を構成するｐＭＯＳトランジスタを介して電源ノードに接続される。このように、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２に対して駆動トランジスタＴＡ０～ＴＡ２，ＴＢ０～ＴＢ２を対称的に構成することにより、パルス信号の各々に対する遅延量を互いに等しくすることができる。すなわち、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２間において位相遅延の相対精度を向上させることができる。また、駆動トランジスタＴＡ０～ＴＡ２，ＴＢ０～ＴＢ２の各々の出力をカレントミラー回路１０１によって合成することにより、ノードＮ１において電圧レベルがハイレベルになるときのスルーレートと電圧レベルがローレベルになるときのスルーレートとを互いにほぼ等しくすることができる。以上により、出力信号Ｐｏｕｔの立ち上がりと立ち下がりとの遅延差を従来よりも小さくすることができる。
【００２４】
（第２の実施形態）
図３は、この発明の第２の実施形態によるパルス合成回路の構成を示す。このパルス合成回路２１は、図１に示した構成に加えて、スイッチトランジスタ２０１と、インバータ回路２０２とを備える。
【００２５】
スイッチトランジスタ２０１は、カレントミラー回路１０１の入力端とノードＮ２との間に接続され、インバータ回路１０２の出力をゲートに受ける。インバータ回路２０２は、インバータ回路１０２の出力端子に入力端子が接続され、ノードＮ１に出力端子が接続される。
【００２６】
次に、図３に示したスイッチトランジスタ２０１，インバータ回路２０２の各々による動作について説明する。
【００２７】
駆動トランジスタＴＢ０～ＴＢ２のいずれかがオン状態になると、ノードＮ２から接地ノードに電流が引き込まれ、カレントミラー回路１０１によって電源ノードからノードＮ１に電流が供給される。これにより、ノードＮ１の電圧レベルがローレベルからハイレベルになり、インバータ回路１０２の出力がハイレベルからローレベルになる。インバータ回路１０２の出力がローレベルになると、スイッチトランジスタ２０１がオフ状態になる

。このように、ノードＮ１がハイレベルになった後では、カレントミラー回路１０１の入力端からノードＮ２を介して接地ノードへ電流が流れなくなる。よって、駆動トランジスタＴＢ０～ＴＢ２がオン状態になるときにカレントミラー回路１０１を流れる定常電流を少なくすることができ、消費電力を低減することができる。

【００２８】

また、インバータ回路１０２の出力がローレベルになると、インバータ回路２０２の出力はハイレベルになる。これにより、ノードＮ１には、インバータ回路２０２からハイレベルの出力が供給される。このように、スイッチトランジスタ２０１がオフ状態になりノードＮ１がフローティング状態になっても、ノードＮ１の電圧レベルをハイレベルに保持することができる。これにより、フローティング問題を解消することができ、ノードＮ１の電圧レベルを安定させることができる。

【００２９】

なお、図４のように、パルス合成回路２１が、インバータ回路２０２に代えて、トランジスタ２０３を備えていても良い。トランジスタ２０３は、電源ノードとノードＮ１との間に接続され、インバータ回路１０２の出力をゲートに受ける。インバータ回路１０２の出力がローレベルになると、トランジスタ２０３はオン状態になるので、ノードＮ１の電圧レベルをハイレベルに保持することができる。

【００３０】

また、図５のように、パルス合成回路２１が、インバータ回路２０２に代えて、メモリ回路２０４を備えていている場合も、ノードＮ１の電圧レベルを安定させることが可能である。

【００３１】

以上の各実施形態において、パルス信号ＰＡ０～ＰＡ２の論理和とパルス信号ＰＢ０～ＰＢ２の論理和とが互いに排他的な関係であるものとして説明してきたが、図６，図７のように、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２の各々のハイレベル期間が他のパルス信号のハイレベル期間と完全に重複しない場合（すなわち、パルス信号ＰＡ０～ＰＡ２，ＰＢ０～ＰＢ２の各々がノン・オーバーラップ状態である場合）も、出力信号Ｐｏｕｔを生成することが可能である。図６および図７の例では、パルス信号ＰＡ０～ＰＡ２の各々のハイレベル期間は、パルス信号ＰＢ０～ＰＢ２の全てがローレベルである期間の一部と重複し、パルス信号ＰＢ０～ＰＢ２の各々のハイレベル期間は、パルス信号ＰＡ０～ＰＡ２の全てがローレベルである期間の一部と重複する。

【産業上の利用可能性】

【００３２】

以上のように、本発明によるパルス合成回路は、パルス信号間における位相遅延の相対精度を確保しつつ出力信号の立ち上がりと立ち下がりとの遅延差を小さくすることができるので、位相がτずつずれた複数の基準クロック信号に基づいて所望の周波数を有する出力クロック信号を生成するクロック生成回路に用いられるパルス合成回路等として有用である。

【図面の簡単な説明】

【００３３】

【図１】この発明の第１の実施形態によるパルス合成回路の構成を示す図。

【図２】図１に示したパルス合成回路の動作について説明するための信号波形図。

【図３】この発明の第２の実施形態によるパルス合成回路の構成を示す図。

【図４】図３に示したパルス合成回路の変形例を示す図。

【図５】図３に示したパルス合成回路の別の変形例を示す図。

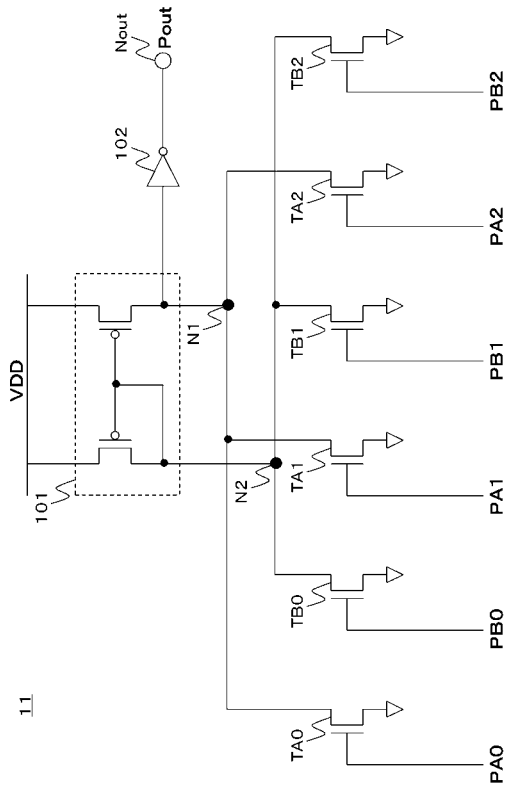
【図６】パルス信号がノン・オーバーラップである場合の例について説明するための信号波形図。

【図７】パルス信号がノン・オーバーラップである場合の別の例について説明するための信号波形図。

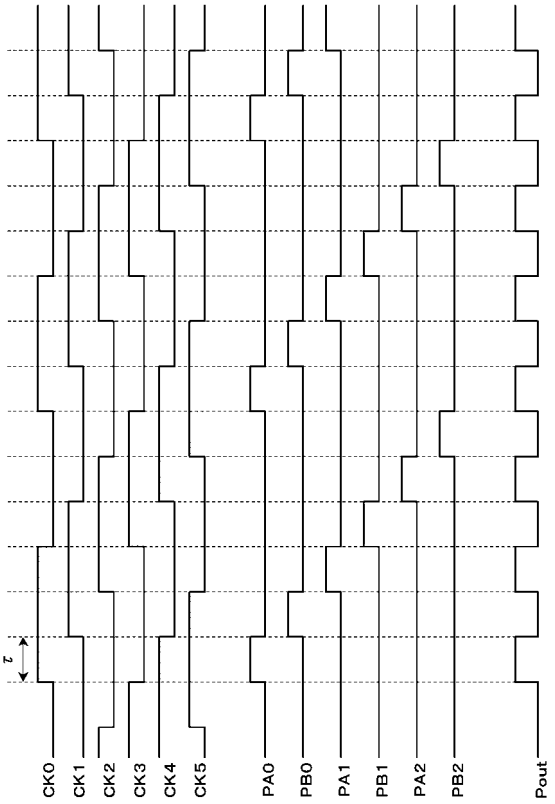
【符号の説明】

【００３４】
１１，２１　パルス合成回路
ＴＡ０，ＴＡ１，ＴＡ２，ＴＢ０，ＴＢ１，ＴＢ２　トランジスタ
１０１　カレントミラー回路
１０２　インバータ回路
２０１　トランジスタ
２０２　インバータ回路
２０３　トランジスタ
２０４　メモリ回路

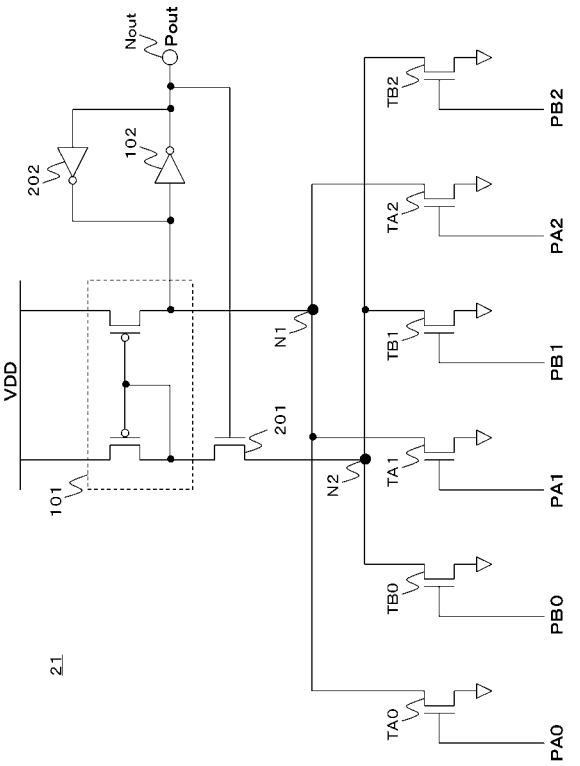
【図１】



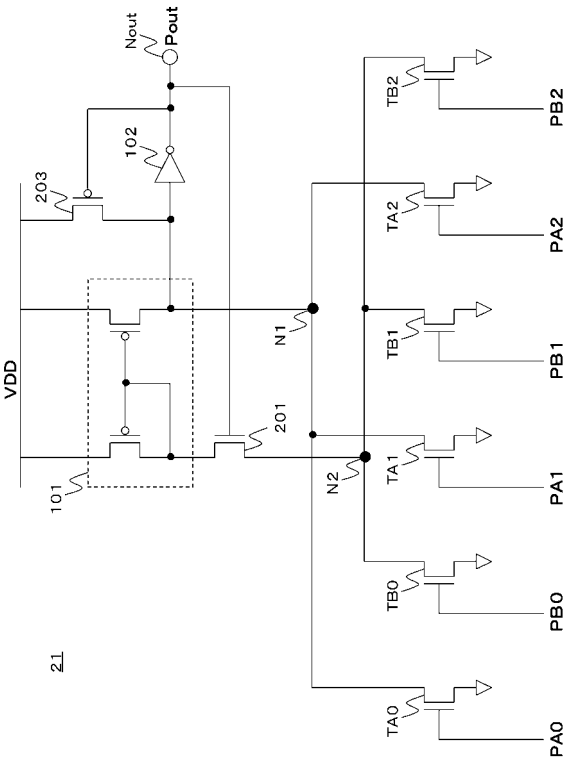
【図２】



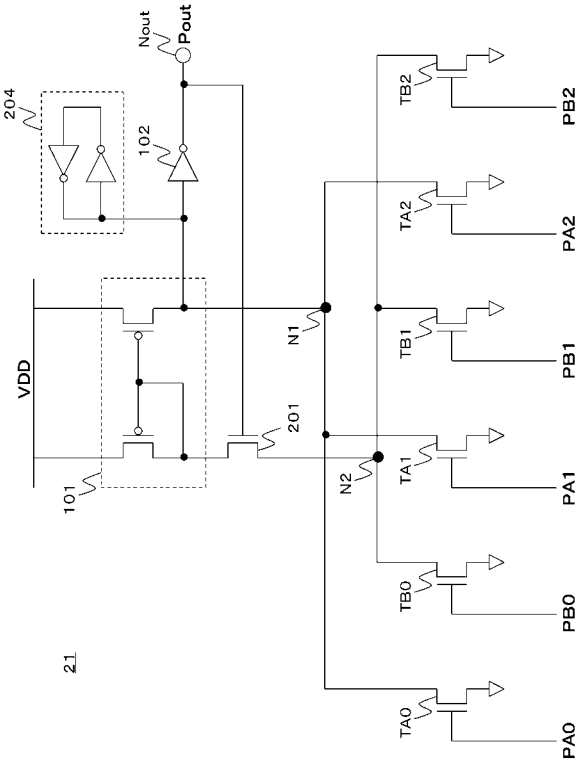
【図３】


Nout
Pout
202
102
VDD
101
201
N1
N2
TB2
TA2
TB1
TA1
TB0
TA0
PB2
PA2
PB1
PA1
PB0
PA0
21

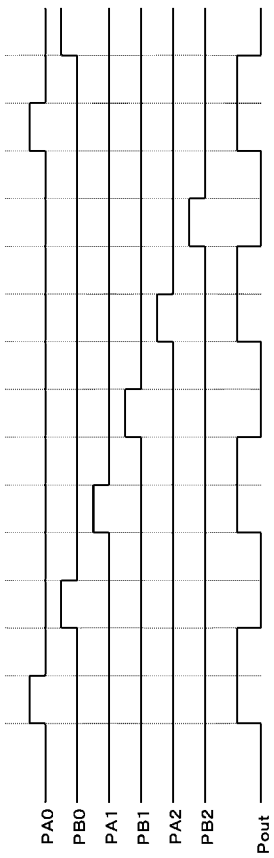
【図４】


Nout
Pout
203
102
VDD
101
201
N1
N2
TB2
TA2
TB1
TA1
TB0
TA0
PB2
PA2
PB1
PA1
PB0
PA0
21

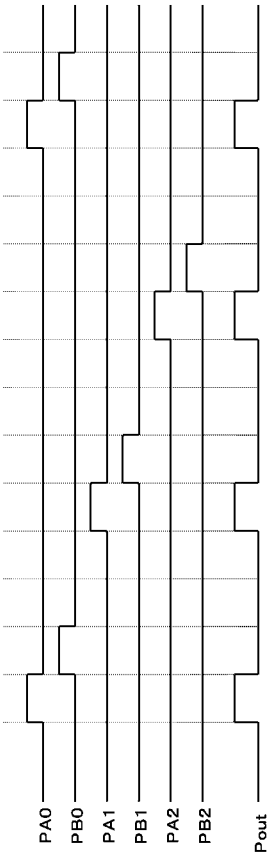
【図５】


Nout
Pout
204
102
VDD
101
201
N1
N2
TB2
TA2
TB1
TA1
TB0
TA0
PB2
PA2
PB1
PA1
PB0
PA0
21

【図６】


PA0
PB0
PA1
PB1
PA2
PB2
Pout

【図７】



フロントページの続き

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 崎山 史朗
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 徳永 祐介
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 道正 志郎
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 松本 秋憲
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 森江 隆史
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 曽川 和昭
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 笹川 幸宏
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 炭田 昌哉
大阪府門真市大字門真１００６番地 松下電器産業株式会社内

審査官 吉田 隆之

(56)参考文献 特開２００１－２０９４５４（ＪＰ，Ａ）
特開２００３－１２４７８７（ＪＰ，Ａ）
特開昭６２－１５４９１７（ＪＰ，Ａ）
特開平１－２７２２３０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ ５