(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3684401号
(P3684401)
(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]	F I		
H01L 21/762	H01L	21/76	D
H01L 21/02	H01L	21/02	B
H01L 21/76	H01L	27/12	B
H01L 27/12	H01L	27/12	F
	H01L	21/76	L

請求項の数 8　(全 9 頁)

(21)出願番号　特願平11-322105
(22)出願日　平成11年11月12日(1999.11.12)
(65)公開番号　特開2000-183157(P2000-183157A)
(43)公開日　平成12年6月30日(2000.6.30)
審査請求日　平成14年10月18日(2002.10.18)
(31)優先権主張番号　1998/P55656
(32)優先日　平成10年12月17日(1998.12.17)
(33)優先権主張国　韓国(KR)

(73)特許権者　591024111
株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山１３６－１
(74)代理人　110000051
特許業務法人共生国際特許事務所
(72)発明者　蘇　相　文
大韓民國　京畿道　利川市　高潭洞　山１１番地　高潭　寄宿舎　１０４－９０５

審査官　加藤　浩一

(56)参考文献　特開平０７－２３１０３６（ＪＰ，Ａ）
特開平０３－１３６３４６（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】ＳＯＩウェーハの製造方法

(57)【特許請求の範囲】
【請求項１】
ベース基板及び半導体基板を提供する段階；
前記ベース基板上に第１絶縁膜を形成する段階；
前記半導体基板の一側面に第１深さを持つトレンチ型の第１素子分離膜を形成する段階；
前記第１素子分離膜間に前記第１深さより深い第２深さを持つトレンチ型の第２素子分離膜を形成する段階；
前記第１及び第２素子分離膜の形成された前記半導体基板の一側面上に第２絶縁膜を形成する段階；
前記第１と第２絶縁膜がコンタクトされるように、前記ベース基板と前記半導体基板をボンディングする段階；
前記第２素子分離膜が露出するように、前記第２素子分離膜を研磨停止層として、前記半導体基板の他側面を１次研磨する段階；
前記第２素子分離膜と第１素子分離膜が同じ深さを持つように、前記第２素子分離膜をエッチングする段階；及び
半導体層が形成されるように、前記第１及び第２素子分離膜を研磨停止層として、１次研磨した前記半導体基板の他側面を２次研磨する段階を含むことを特徴とするＳＯＩウェーハの製造方法。
【請求項２】
前記第１絶縁膜は前記ベース基板を熱酸化して形成させた熱酸化膜であることを特徴と

する請求項１記載のＳＯＩウェーハの製造方法。
【請求項３】
前記第１絶縁膜は、化学気相蒸着法にて蒸着されたＢＰＳＧ膜、ＳＯＧ膜、O_3－ＴＥＯＳ酸化膜、高密度プラズマ酸化膜から選択される一つの膜であることを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【請求項４】
前記第１素子分離膜を形成する段階は、前記半導体基板の一側面に第１深さでトレンチを形成する段階；前記トレンチが埋め込まれるように前記半導体基板の一側面上に酸化膜を蒸着する段階；及び前記半導体基板の一側面が露出するように前記酸化膜をエッチングする段階を含んでなることを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【請求項５】
前記第２素子分離膜を形成する段階は、前記第１素子分離膜間の前記半導体基板の一側面に第２深さでトレンチを形成する段階；前記トレンチが埋め込まれるように前記半導体基板の一側面上に酸化膜を蒸着する段階；及び前記半導体基板の一側面が露出するように前記酸化膜をエッチングする段階を含むことを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【請求項６】
前記半導体基板の一側面上に第２絶縁膜を形成する段階と、前記ベース基板と半導体基板をボンディングさせる段階との間に、前記ベース基板と半導体基板を洗浄する段階をさらに含むことを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【請求項７】
前記ベース基板と半導体基板をボンディングする段階後、前記基板間のボンディング強度が増大するように、窒素（N_2）または酸素（O_2）雰囲気下で８００～１，２００℃で３０～１２０分の間に熱処理することを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【請求項８】
前記１次研磨段階は、前記第２素子分離膜に隣接した部分まで前記半導体基板の他側面を研削する段階；及び前記第２素子分離膜を研磨停止層として、前記第２素子分離膜が露出するように、研削した前記半導体基板の他側面を研磨する段階を含むことを特徴とする請求項１記載のＳＯＩウェーハの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明はＳＯＩ(Silicon-On-Insulator)ウェーハの製造方法に関し、特に素子が形成される半導体層の厚さの均一度を向上させるためのＳＯＩウェーハの製造方法に関する。
【０００２】
【従来の技術】
近年、半導体素子の高集積化及び高性能化に伴い、バルクシリコンからなる単結晶シリコンウェーハの代わりに、ＳＯＩウェーハを用いた半導体集積技術が注目されている。これは、ＳＯＩウェーハに集積された半導体素子が通常の単結晶シリコンウェーハに集積された半導体素子と比較して、接合容量(Junction Capacitance)の減少による高速化、しきい電圧(Threshold Voltage)の減少による低電圧化、及び完全な素子分離によるラッチ-アップ(Latch-Up)の減少などの利点を持つためである。
【０００３】
前述したＳＯＩウェーハは、支持手段のベース基板と、前記ベース基板上に配置されてボンディング媒介体としての機能を行う埋め込み酸化膜と、前記埋め込み酸化膜上に配置されて素子形成領域を提供する半導体層との積層構造からなる。前記ＳＯＩウェーハを製造する為に、従来はＳＩＭＯＸ(seperation by implanted oxygen)法及びボンディング法が利用されている。
【０００４】

ＳＩＭＯＸ法は、シリコンウェーハ内に酸素イオンを注入し、次に、酸素イオンとシリコンが反応するように熱処理を行うことにより、前記シリコンウェーハの表面から所定深さに前記シリコンウェーハをベース基板と半導体層に分離させる埋め込み酸化膜を形成し、その結果、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるＳＯＩウェーハが得られる。
ボンディング法は、二枚のシリコン基板例えばベース基板と半導体基板を、前記基板の何れか一つに形成された埋め込み酸化膜の介在下でボンディングさせ、次に、前記半導体基板の一部厚さを研磨して素子の形成される半導体層を得て、その結果、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるＳＯＩウェーハが得られる。
【０００５】
ところが、ＳＩＭＯＸ法はイオン注入によって形成されるため、素子が形成される半導体層の厚さを調節し難く、かつ工程時間が長いという欠点がある。よって、最近は二枚のシリコン基板をボンディングさせるボンディング法が主に用いられている。さらに、ボンディング法を用いたＳＯＩウェーハの製造方法は、その製造工程の間に活性領域を限定する素子分離膜が備えられるため、公知の半導体製造工程で素子分離工程を省略することができるという利点もある。
【０００６】
図１乃至図４はボンディング法を用いた従来技術によるＳＯＩウェーハの製造方法を説明するための工程断面図である。
図１を参照すれば、ベース基板１が具備され、第１酸化膜２が前記ベース基板１の一側面上に形成される。前記第１酸化膜２は熱酸化工程により形成された熱酸化膜である。
【０００７】
図２を参照すれば、バルクシリコンからなる半導体基板３が具備され、トレンチ型の素子分離膜４が前記半導体基板３に形成される。前記トレンチ型の素子分離膜４は前記半導体基板３にトレンチを形成し、次に、前記トレンチ内に酸化膜を埋め込むことにより形成される。第２酸化膜５が前記素子分離膜４及び半導体基板３上に形成される。前記素子分離膜４は素子形成領域を限定する機能を行い、特に後続工程で研磨停止層として利用される。
【０００８】
図３を参照すれば、前記ベース基板１と半導体基板３は第１酸化膜２と第２酸化膜５がコンタクトされるようにボンディングされる。
【０００９】
図４を参照すれば、半導体層３ａは素子分離膜４を研磨停止層とする化学機械研磨(Chemical Mechanical Polishing：以下、ＣＭＰ)工程にて半導体基板３の他側表面を研磨することにより得られる。この結果、ベース基板１と、第１及び第２酸化膜を含む埋め込み酸化膜６と、素子分離膜４が具備された半導体層３ａとの積層構造からなるＳＯＩウェーハ１０が得られる。
【００１０】
【発明が解決しようとする課題】
ＳＯＩウェーハにおいて、半導体層の厚さの均一度は前記ＳＯＩウェーハに集積される半導体素子の特性に重要な要素として作用する。則ち、半導体層は素子が形成される活性領域を提供するため、その厚さの均一度が確保されるべきである。しかしながら、従来のＳＯＩウェーハの製造方法では均一な厚さの半導体層が得られないという問題点がある。
より詳細に、半導体層は素子分離膜を研磨停止層として半導体基板の後面を研磨することにより得られる。ところが、酸化膜とシリコン膜はそれら間の研磨選択比が異なるため、図４に示すように、半導体層３ａの中心部分が端部に比べてその高さが低くなる様なわん状変形(dishing：Ｄ)により均一な厚さを有することができない。このため、前述したＳＯＩウェーハに集積された半導体素子の特性は劣ることになる。
【００１１】
従って、本発明の目的は半導体層の厚さの均一度を向上させることができるＳＯＩウェー

ハの製造方法を提供することにある。
【００１２】
【課題を解決するための手段】
前記目的を達成するために、本発明は、ベース基板及び半導体基板を提供する段階；前記ベース基板上に第１絶縁膜を形成する段階；前記半導体基板の一側面に第１深さを持つトレンチ型の第１素子分離膜を形成する段階；前記第１素子分離膜間に前記第１深さより深い第２深さを持つトレンチ型の第２素子分離膜を形成する段階；前記第１及び第２素子分離膜の形成された前記半導体基板の一側面上に第２絶縁膜を形成する段階；前記第１と第２絶縁膜がコンタクトされるように、前記ベース基板と前記半導体基板をボンディングする段階；前記第２素子分離膜が露出するように、前記第２素子分離膜を研磨停止層として、前記半導体基板の他側面を１次研磨する段階；前記第２素子分離膜と第１素子分離膜が同じ深さを持つように、前記第２素子分離膜をエッチングする段階；及び半導体層が形成されるように、前記第１及び第２素子分離膜を研磨停止層として、１次研磨した前記半導体基板の他側面を２次研磨する段階を含むことを特徴とする。
【００１３】
本発明及びそれを実施できるやり方は、以下の説明及び図面を参照することによって理解できる。
【００１４】
【発明の実施の形態】
以下、図面に基づき、本発明の好適実施例を詳細に説明する。
図５乃至図１１は、本発明の実施例によるＳＯＩウェーハの製造方法を説明するための工程断面図である。
図５を参照すれば、バルクシリコンからなるベース基板１１が具備され、第１絶縁膜１２が前記ベース基板１１の一側面上に１,０００～１０,０００Å厚さで形成される。前記第１絶縁膜１２は、前記ベース基板１１の一側面を熱酸化させることにより形成された熱酸化膜であるとか、或いは化学気相蒸着(Chemical Vapor Deposition：以下、ＣＶＤ)法にて蒸着されたＢＰＳＧ膜、ＳＯＧ膜、O_3-ＴＥＯＳ酸化膜、高密度プラズマ酸化膜から選択される一つの膜である。
【００１５】
図６を参照すれば、バルクシリコンからなる半導体基板２１が具備される。ここで、前記半導体基板２１は、素子の形成される活性領域ＡＲと前記活性領域ＡＲを限定するフィールド領域FR_1、FR_2とを含む。前記フィールド領域FR_1、FR_2は第１フィールド領域FR_1と第２フィールド領域FR_2を含み、前記第１フィールド領域FR_1と第２フィールド領域FR_2は交互に配置される。第１トレンチ２２は前記半導体基板２１の第１フィールド領域FR_1をエッチングすることにより形成され、前記第１トレンチ２２は第１深さ例えば１,０００～３,０００Å深さで形成される。
【００１６】
図７を参照すれば、第１素子分離膜２３は半導体基板２１の第１フィールド領域FR_1に形成される。前記第１素子分離膜２３は、第１トレンチ２２が埋め込まれるように、前記半導体基板２１の一側面上にＣＶＤ法にて酸化膜を蒸着し、前記半導体基板２１の一側面が露出するように、マスクを使用せず前記酸化膜をエッチングすることにより形成される。ここで、前記第１トレンチ２２に埋め込まれる酸化膜はＢＰＳＧ膜、ＳＯＧ膜、O_3-ＴＥＯＳ酸化膜、高密度プラズマ酸化膜から選択される一つの膜が用いられる。
【００１７】
図８を参照すれば、第２トレンチ２４は第１素子分離膜２３間の半導体基板２１の第２フィールド領域FR_2をエッチングすることにより形成される。前記第２トレンチ２４は第１トレンチ２２よりは深い第２深さ例えば４,０００～６,０００Å深さで形成される。
【００１８】
図９を参照すれば、第２素子分離膜２５は半導体基板２１の第２フィールド領域FR_2に形成される。前記第２素子分離膜２５は、前述した第１素子分離膜２３の形成工程と同様

に、第２トレンチ２４が埋め込まれるように前記半導体基板２１の一側面上に酸化膜が埋め込まれ、次に、前記半導体基板２１の一側面が露出するように、マスクを使用せず前記酸化膜をエッチングすることにより形成される。第２絶縁膜２６は前記第１及び第２素子分離膜２３、２５を含めた半導体基板２１の一側面上に形成される。ここで、前記第２トレンチ２４内に埋め込まれた酸化膜と第２絶縁膜２６は、ＢＰＳＧ膜、ＳＯＧ膜、O_3-ＴＥＯＳ酸化膜、高密度プラズマ酸化膜から選択される一つの膜が用いられる。

【００１９】

図１０を参照すれば、ベース基板１１と半導体基板２１は、NH_4OH：H_2O_2：H_2Oが１：４：２０の体積比で混合された第１溶液、あるいはH_2SO_4：H_2Oが４：１の体積比で混合された第２溶液から選択される一つにより洗浄されたり、または前記両溶液により連続的に洗浄される。前記洗浄工程は、ベース基板１１と半導体基板２１の間のボンディング以前に、各基板１１、２１のボンディング面すなわち第１絶縁膜１２と第２絶縁膜２６の表面に存在するパーティクル(Particle)が除去され、かつ、第１絶縁膜１２と第２絶縁膜２６の表面が親水性を持つように行われることである。洗浄されたベース基板１１と半導体基板２１は、第１絶縁膜１２と第２絶縁膜２６のがコンタクトされるように、7.5×10^{-1}～7.5×10^{-4}Ｔｏｒｒの真空下でボンディングされ、次に、前記基板間１１、２１のボンディング強度が増大するように、窒素(N_2)又は酸素(O_2)雰囲気下で８００～１,２００℃で３０～１２０分の間に熱処理される。ここで、ベース基板１１と半導体基板２１の間に介在された第１及び第２絶縁膜１２、２６はＳＯＩウェーハで埋め込み酸化膜として機能を行う。

【００２０】

図１１を参照すれば、半導体基板２１の他側面は第２素子分離膜２５に隣接した部分まで研削され、次に、研磨停止層として機能を行う第２素子分離膜２５が露出するように１次研磨される。前記半導体基板２１に対する１次研磨は、チャックテーブル(Chuck Table)の回転速度が１０～３０ｒｐｍ、スピンドル(Spindle)により加える圧力が４～８ｐｓｉ、前記スピンドルの回転速度が２０～４０ｒｐｍの条件で行われる。ここで、半導体基板２１の他側表面にわん状変形Ｄが発生する。

【００２１】

図１２を参照すれば、露出した第２素子分離膜２５は、第１素子分離膜２３と同じ高さを持つように、１００～３００：１の比率を持つＢＯＥ溶液によりエッチングされる。前記第２素子分離膜２５のエッチングは、半導体層を得るための後続の研磨工程において、前記半導体層の表面にわん状変形が発生しないようにするために行われる。

【００２２】

図１３を参照すれば、素子の形成される半導体層２１ａは、１次研磨した半導体基板の他側面を、同じ高さを持つ第１及び第２素子分離膜２３、２５を研磨停止層とするＣＭＰ工程により２次研磨することにより形成され、この結果、ベース基板１１と、第１及び第２絶縁膜１２、２６を含む埋め込み酸化膜３０と、素子分離膜２３、２５を備えた半導体層２１ａとの積層構造からなるＳＯＩウェーハ４０が得られる。ここで、前記半導体層２１ａは均一な厚さを持つ。詳しくは、半導体基板２１の厚さが部分的に異なるため、２研磨工程が行われる間に、厚い半導体基板部分が薄い半導体基板部分より多く研磨される。よって、１次研磨時に前記半導体基板に発生したわん状変形は殆ど除去され、その結果、半導体層２１ａでのわん状変形は殆ど発生しない。また、わん状変形はその発生がとても少ないため、素子特性にあまり影響しない。一方、前記２次研磨工程は前記１次研磨工程と同様に、チャックテーブルの回転速度が１０～３０ｒｐｍ、スピンドルにより加える圧力が４～８ｐｓｉ、前記スピンドルの回転速度が２０～４０ｒｐｍの条件で行われる。

【００２３】

【発明の効果】

以上のように、本発明のＳＯＩウェーハの製造方法は、半導体基板が異なる深さを持つ素子分離膜を研磨停止層として研磨されるため、均一な厚さを持つ半導体層が得られる。よって、均一な厚さの半導体層を持つＳＯＩウェーハが製造できるため、前記ＳＯＩウェー

ハに集積される半導体素子の特性を向上させることができる。

【００２４】

尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【図１】　従来技術によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図２】従来技術によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図３】従来技術によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図４】従来技術によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図５】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図６】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図７】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図８】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図９】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図１０】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図１１】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

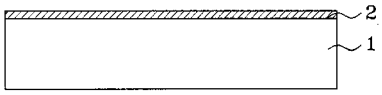
【図１２】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

【図１３】本発明の実施例によるＳＯＩウェーハの製造方法を説明するための各工程別断面図である。

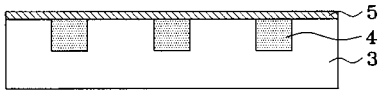
【符号の説明】

１１　　ベース基板
１２　　第１絶縁膜
２１　　半導体基板
２１ａ　　半導体層
２２　　第１トレンチ
２３　　第１素子分離膜
２４　　第２トレンチ
２５　　第２素子分離膜
２６　　第２絶縁皮膜
３０　　埋め込み酸化膜
４０　　ＳＯＩウェーハ

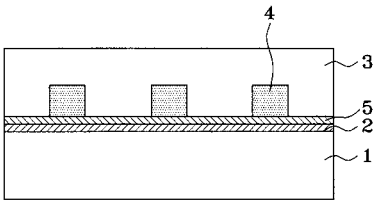
【図１】



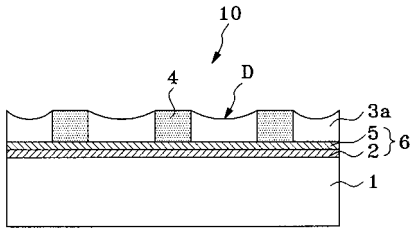
【図２】



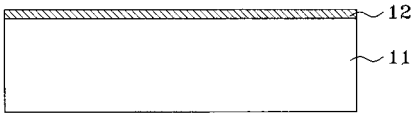
【図３】



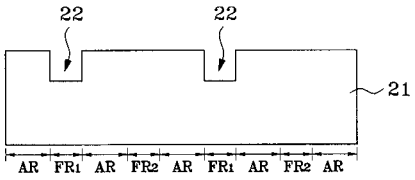
【図４】



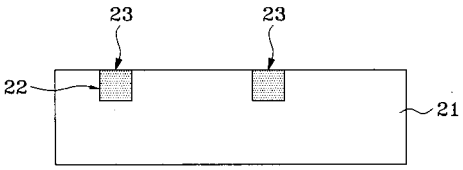
【図５】



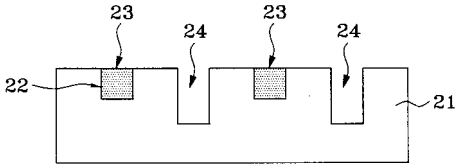
【図６】



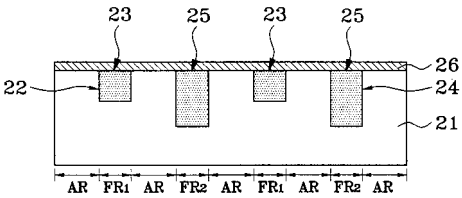
【図７】



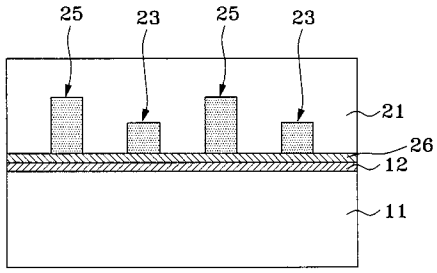
【図８】



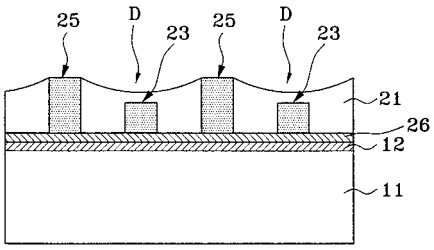
【図９】



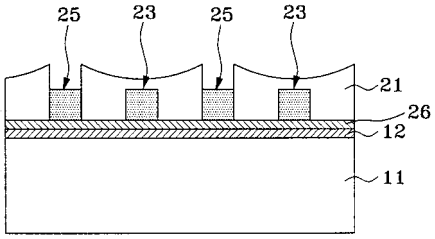
【図１０】



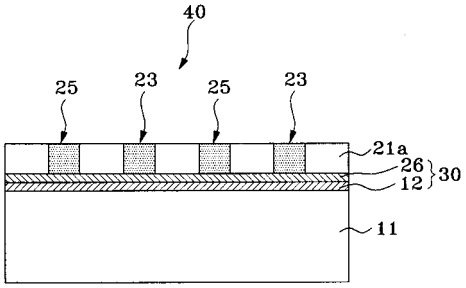
【図１１】



【図１２】



【図１３】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/762
H01L 21/02
H01L 21/76
H01L 27/12