



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I537818 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：101117379

(22)申請日：中華民國 101 (2012) 年 05 月 16 日

(51)Int. Cl. : G06F7/44 (2006.01)

(30)優先權：2011/05/26 日本

2011-118125

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：藤田雅史 FUJITA, MASASHI (JP)；前橋幸男 MAEHASHI, YUKIO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200534369A

TW 201031153A

US 3664118A

US 6911855B2

審查人員：吳家豪

申請專利範圍項數：12 項 圖式數：33 共 148 頁

(54)名稱

除法器電路及使用其之半導體裝置

DIVIDER CIRCUIT AND SEMICONDUCTOR DEVICE USING THE SAME

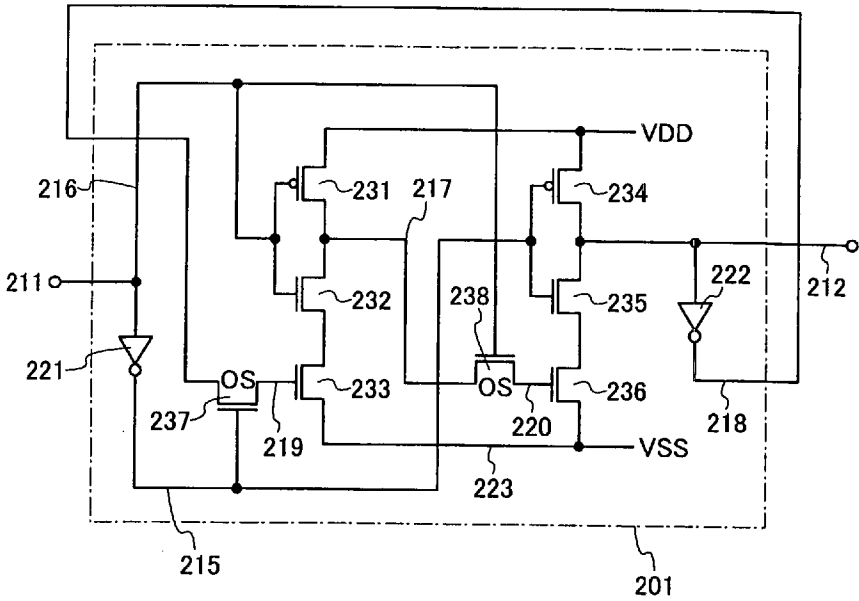
(57)摘要

本發明提出一種具有低功率耗損和小面積的半導體裝置。藉由使用通道包括氧化物半導體的電晶體來作為包括在一正反器電路中的電晶體，可達到具有數量少之電晶體、低功率耗損、及小面積的除法器電路。藉由使用該除法器電路，可提供穩定操作且高度可靠的半導體裝置。

A semiconductor device with low power consumption and a small area is provided. By using a transistor including an oxide semiconductor for a channel as a transistor included in a flip-flop circuit, a divider circuit in which the number of transistors is small, power consumption is low, and the area is small can be achieved. By using the divider circuit, a semiconductor device which operates stably and is highly reliable can be provided.

指定代表圖：

第1B圖



- 符號簡單說明：
- 201 . . . FF 電路
 - 211 . . . 終端部
 - 212 . . . 節點
 - 215 . . . 節點
 - 216 . . . 節點
 - 217 . . . 節點
 - 218 . . . 節點
 - 219 . . . 節點
 - 220 . . . 節點
 - 221 . . . 反向器
 - 222 . . . 反向器
 - 223 . . . 節點
 - 231 . . . 電晶體
 - 232 . . . 電晶體
 - 233 . . . 電晶體
 - 234 . . . 電晶體
 - 235 . . . 電晶體
 - 236 . . . 電晶體
 - 237 . . . 電晶體
 - 238 . . . 電晶體

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101117379

※申請日：101 年 05 月 16 日

※IPC 分類：G06F 7/44 (2006.01)

一、發明名稱：(中文／英文)

除法器電路及使用其之半導體裝置

Divider circuit and semiconductor device using the same

二、中文發明摘要：

本發明提出一種具有低功率耗損和小面積的半導體裝置。藉由使用通道包括氧化物半導體的電晶體來作為包括在一正反器電路中的電晶體，可達到具有數量少之電晶體、低功率耗損、及小面積的除法器電路。藉由使用該除法器電路，可提供穩定操作且高度可靠的半導體裝置。

三、英文發明摘要：

A semiconductor device with low power consumption and a small area is provided. By using a transistor including an oxide semiconductor for a channel as a transistor included in a flip-flop circuit, a divider circuit in which the number of transistors is small, power consumption is low, and the area is small can be achieved. 410. By using the divider circuit, a semiconductor device which operates stably and is highly reliable can be provided.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

201：FF 電路

211：終端部

212：節點

215：節點

216：節點

217：節點

218：節點

219：節點

220：節點

221：反向器

222：反向器

223：節點

231：電晶體

232：電晶體

233：電晶體

234：電晶體

235：電晶體

236：電晶體

237：電晶體

238：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種除法器電路及一種使用此除法器電路的半導體裝置。

在本說明書中，半導體裝置係指能利用半導體特性來運作的裝置；半導體元件、電光裝置、儲存裝置、信號處理單元、半導體電路和電子裝置都包括在半導體裝置的範疇中。

【先前技術】

如中央處理單元（CPU）的半導體裝置依據應用而具有各種配置。例如，這種半導體裝置各包括複數個電路，以及用來儲存資料或程式的電路（主記憶體）、各種如暫存器或快取記憶體的儲存電路。

暫存器具有暫時保持用於算術電路實行算術處理的資料信號、保持程式執行狀態或之類的功能。此外，快取記憶體係置於算術電路和主記憶體之間，以減少存取低速之主記憶體並加速由算術電路實行的算術處理。

在這類包括複數個電路的半導體裝置中，在振盪電路中產生之具有高頻率的時脈信號會被轉成與除法器（亦稱為預定標器）一起使用之具有低頻率之時脈信號，並使用已轉換之具有低頻率的時脈信號來同步電路。

一般來說，除法器電路包括延遲正反器（DFF）電路（例如參見專利文件1）。

[參考]

[專利文件]

[專利文件 1]日本已公開專利申請書第 2000-224026 號

【發明內容】

首先參考第 9A 至 9C 圖來說明通用除法器電路的配置及操作之實例。第 9A 圖係包括延遲正反器 (DFF) 電路之除法器電路 100 的方塊圖。除法器電路 100 包括串聯之 DFF 電路 101、DFF 電路 102、和 DFF 電路 103 的三級 DFF 電路。

DFF 電路 101-103 各包括一時脈信號輸入部 CK、一輸入部 D、一輸出部 Q、及一輸出部 $\bar{Q}$ 。DFF 電路 101 的時脈信號輸入部 CK 係電性連接終端部 111。具有預定頻率的時脈信號 CLK 會輸入至終端部 111。輸入至終端部 111 的時脈信號 CLK 經由時脈信號輸入部 CK 輸入至 DFF 電路 101。DFF 電路 101 的輸出部 $\bar{Q}$ 係電性連接 DFF 電路 101 的輸入部 D。此外，DFF 電路 101 的輸出部 Q 經由節點 112 電性連接 DFF 電路 102 的時脈信號輸入部 CK。DFF 電路 102 的輸出部 $\bar{Q}$ 係電性連接 DFF 電路 102 的輸入部 D。DFF 電路 102 的輸出部 Q 經由節點 113 電性連接 DFF 電路 103 的時脈信號輸入部 CK。DFF 電路 103 的輸出部 $\bar{Q}$ 係電性連接 DFF 電路 103 的輸入部 D。DFF 電路 103 的輸

出部 Q 係電性連接終端部 114。

第 9B 圖係藉由使用電路符號顯示為通用 DFF 電路的 DFF 電路 101 之配置之圖示。第 9B 圖所示之 DFF 電路 101 包括反向器 121、反向器 122、反向器 123、類比開關 124、類比開關 125、時控反向器 126、及時控反向器 127。

在第 9B 圖中，連接終端部 111 及反向器 121 之輸入部的節點 115 相當於時脈信號輸入部 CK。反向器 121 產生為輸入時脈信號 CLK 之反向信號的時脈補數信號 CLKB，並輸出時脈補數信號 CLKB 至節點 116。類比開關 124、類比開關 125、時控反向器 126、及時控反向器 127 與時脈信號 CLK 和時脈補數信號 CLKB 同步運作。類比開關 124 的輸入相當於輸入部 D，且類比開關 125 的輸出相當於輸出部 $\bar{Q}$ 。

請注意 DFF 電路 102 和 DFF 電路 103 之每一者也具有與 DFF 電路 101 相同的配置。

第 9C 圖係顯示除法器電路 100 之運作的時序圖。時序圖顯示終端部 111、節點 112、節點 113、及終端部 114 之電位隨著時間上的變化。輸入至終端部 111 的時脈信號 CLK 之頻率被 DFF 電路 101 降為一半（週期增為兩倍）且輸出時脈信號 CLK 至節點 112。

另外，輸入至終端部 111 的時脈信號 CLK 之頻率被 DFF 電路 101 和 DFF 電路 102 降為四分之一（週期增為四倍）且輸出時脈信號 CLK 至節點 113。

另外，輸入至終端部 111 的時脈信號 CLK 之頻率被 DFF 電路 101、DFF 電路 102 和 DFF 電路 103 降為八分之一（週期增為八倍）且輸出時脈信號 CLK 至終端部 114。以此方式，藉由每個額外的 DFF 電路，將時脈信號 CLK 之頻率降為一半。

第 10A1、10B1 和 10C1 圖顯示在第 9B 圖中使用的電路符號，且第 10A2、10B2 和 10C2 圖係顯示電路符號之電路配置的電路圖。

第 10A1 圖係反向器之電路符號，而第 10A2 圖係顯示反向器之電路配置之電路圖。反向器包括一 p 通道電晶體 131 及一 n 通道電晶體 132。p 通道電晶體 131 之源極和汲極之其一者係電性連接高電源電位 V_{DD} ，且源極和汲極之另一者係電性連接輸出端 Out。另外，n 通道電晶體 132 之源極和汲極之其一者係電性連接低電源電位 V_{SS} ，且源極和汲極之另一者係電性連接輸出端 Out。p 通道電晶體 131 及 n 通道電晶體 132 之閘極係電性連接輸入端 In。

高電源電位 V_{DD} （在下亦簡稱為 V_{DD} ）係高於低電源電位 V_{SS} 的電源電位。低電源電位 V_{SS} （在下亦簡稱為 V_{SS} ）係低於高電源電位 V_{DD} 的電源電位。此外，可使用接地電位作為 V_{DD} 或 V_{SS} 。例如，在使用接地電位作為 V_{DD} 之情況下， V_{SS} 係低於接地電位，而在使用接地電位作為 V_{SS} 之情況下， V_{DD} 係高於接地電位。

反向器具有反向輸入信號並輸出反向信號的功能。例

如，當對應於「1」（例如 V_{DD} ）的信號輸入至反向器的輸入端 In 時，便輸出「0」（例如 V_{SS} ）至輸出端 Out。此外，當對應於「0」的信號輸入至反向器的輸入端 In 時，便輸出「1」至輸出端 Out。

第 10B1 圖係類比開關之電路符號，而第 10B2 圖係顯示類比開關之電路配置的電路圖。類比開關包括一 n 通道電晶體 133 及一 p 通道電晶體 134。n 通道電晶體 133 之源極和汲極之其一者以及 p 通道電晶體 134 之源極和汲極之其一者係電性連接輸入端 In。n 通道電晶體 133 之源極和汲極之另一者以及 p 通道電晶體 134 之源極和汲極之另一者係電性連接輸出端 Out。這裡，例如，供應時脈信號 CLK 至 p 通道電晶體 134 的閘極，並供應時脈補數信號 CLKB 至 n 通道電晶體 133 的閘極。

透過上述配置，可與時脈信號 CLK 和時脈補數信號 CLKB 同步來決定輸入端 In 和輸出端 Out 之間的傳導或不傳導。

第 10C1 圖係時控反向器之電路符號，而第 10C2 圖係顯示時控反向器之電路配置的電路圖。時控反向器在第 10A2 圖中所示之反向器的 p 通道電晶體 131 與 V_{DD} 之間包括 p 通道電晶體 135、以及在反向器的 n 通道電晶體 132 與 V_{SS} 之間包括 n 通道電晶體 136。

具體來說，p 通道電晶體 135 之源極和汲極之其一者係電性連接 V_{DD} ，且 p 通道電晶體 135 之源極和汲極之另一者係電性連接 p 通道電晶體 131 之源極和汲極之其一者

。另外， n 通道電晶體 136 之源極和汲極之其一者係電性連接 V_{SS} ，且 n 通道電晶體 136 之源極和汲極之另一者係電性連接 n 通道電晶體 132 之源極和汲極之其一者。在第 10C2 圖中，例如，供應時脈補數信號 CLKB 至 p 通道電晶體 135 的閘極，並供應時脈信號 CLK 至 n 通道電晶體 136 的閘極。

在時控反向器中，當 p 通道電晶體 135 和 n 通道電晶體 136 為打開且輸入對應於「1」（例如 V_{DD} ）的信號至輸入端 In 時，便輸出「0」（例如 V_{SS} ）至輸出端 Out。此外，當 p 通道電晶體 135 和 n 通道電晶體 136 為打開且輸入對應於「0」（例如 V_{SS} ）的信號至輸入端 In 時，便輸出「1」（例如 V_{DD} ）至輸出端 Out。當 p 通道電晶體 135 和 n 通道電晶體 136 為關閉時，不輸出信號。

透過上述配置，輸入信號可與時脈信號 CLK 和時脈補數信號 CLKB 同步來反向並輸出。

如上所述，在傳統已使用之除法器電路 100 中，係在一個 DFF 電路 101 中使用三個反向器、兩個類比開關、及兩個時控反向器，其使得電晶體之總數量至少要 18 個，而導致增加電路面積。再者，因為使用許多電晶體，故增加功率耗損。

此外，在傳統的反向器中，當輸出信號從「1」切換至「0」或從「0」切換至「1」時，很可能在 V_{DD} 和 V_{SS} 之間產生電流流過，且很難減少功率耗損。

在本發明中，藉由形成具有比傳統除法器電路更少的

電晶體之除法器電路，可減少除法器電路的面積和功率耗損。

本發明之一實施例係為一除法器電路，包括一第一反向器和一第二反向器、為 p 通道電晶體的一第一電晶體和一第五電晶體、為 n 通道電晶體的一第二電晶體、一第三電晶體、一第四電晶體、一第六電晶體、一第七電晶體、和一第八電晶體。第一電晶體之源極和汲極之其一者和第五電晶體之源極和汲極之其一者係電性連接一第一電源。第一電晶體之源極和汲極之另一者係電性連接第二電晶體之源極和汲極之其一者。第二電晶體之源極和汲極之另一者係電性連接第三電晶體之源極和汲極之其一者。第五電晶體之源極和汲極之另一者係電性連接第六電晶體之源極和汲極之其一者。第六電晶體之源極和汲極之另一者係電性連接第七電晶體之源極和汲極之其一者。第三電晶體之源極和汲極之另一者和第七電晶體之源極和汲極之另一者係電性連接一第二電源。第一電晶體之閘極和第三電晶體之閘極係電性連接第八電晶體之閘極和第一反向器之輸入。第八電晶體之源極和汲極之其一者係電性連接第一電晶體之源極和汲極之另一者和第二電晶體之源極和汲極之其一者。第八電晶體之源極和汲極之另一者係電性連接第七電晶體之閘極。第二反向器之輸入係電性連接第五電晶體之源極和汲極之另一者和第六電晶體之源極和汲極之其一者。第二反向器之輸出係電性連接第四電晶體之源極和汲極之其一者。第四電晶體之源極和汲極之另一者係電性連

接第三電晶體之閘極。第一反向器之輸出係電性連接第四電晶體之閘極、第五電晶體之閘極、及第六電晶體之閘極。

第一電源供應比第二電源高的電位。此外，包括用於在其中形成通道之半導體層之氧化物半導體的電晶體（在下亦稱為氧化物半導體（OS）電晶體）之截止電流會比包括矽之電晶體的截止電流小很多。

藉由使用 OS 電晶體作為第四電晶體，連接第四電晶體之源極或汲極之節點的電位可保持穩定。藉由使用 OS 電晶體作為第八電晶體，連接第八電晶體之源極或汲極之節點的電位可保持穩定。

亦可使用 OS 電晶體作為除了第四電晶體和第八電晶體之外的電晶體。以此方式藉由使用 OS 電晶體，可達到穩定運作之高度可靠的半導體裝置。

依照本發明之實施例，可提出具有小面積的除法器電路。

依照本發明之實施例，可提出具有低功率耗損的除法器電路。

藉由使用根據本發明之實施例之除法器電路，可提出具有低功率耗損的半導體裝置。

依照本發明之實施例，可提出穩定運作之高度可靠的半導體裝置。

本發明之實施例可達到上述至少一個目標。

【實施方式】

在下，將參考附圖來詳細說明本發明之實施例。然而，本發明並不限於接下來的說明，且本領域之熟知技藝者輕易了解到可不同地改變其模式和細節，而不背離本發明的精神與範疇。因此，本發明不應理解為受限於以下實施例的說明。

請注意例如在使用不同極性的電晶體之情形下或在電路操作中改變電流流向之情形下，可調換「源極」和「汲極」的功能。因此，在本說明書中，「源極」和「汲極」之名稱可互換。

「電性連接」之名稱包括透過一「具有任何導電功能之物件」來連接元件的情況。沒有特別限定具有任何導電功能之物件，只要電信號可在透過此物件連接之元件之間傳送及接收即可。「具有任何導電功能之物件」的例子是如電晶體、電阻器、電感器、電容器、及具有各種功能之元件的切換元件，也是電極和線路。

另外，即便電路圖顯示獨立元件猶如互相電性連接時，實際上會有一個導電膜具有複數個元件的功能之情形，如部分的佈線亦當作端點或電極之情形。本說明書中的「電性連接」在其範疇中包括一個導電膜具有複數個元件的功能之情形。

請注意為了容易理解，在有些例子中並不會精確地表現每個在圖中所示之元件的位置、大小、範圍或之類。因此，所揭露之發明並不必要受限於如圖中揭露的位置、大小

、範圍或之類。

使用如「第一」、「第二」、和「第三」之序數是爲了避免元件之間的混淆，而不在數值上限制元件。

請注意電壓係指兩點之電位差，且電位係指在靜電場中之特定點之單位電荷的靜電能（電位能）。請注意一般來說，一個點之電位與參考電位（如接地電位）之間的差異只稱爲電位或電壓，且在許多情況中使用電位和電壓作爲同義詞。因此，在本說明書中，除非有其他不同的指示，否則電位可改稱爲電壓且電壓可改稱爲電位。

（實施例 1）

將參考第 1A 和 1B 圖、第 2A 至 2C 圖、第 3 圖、第 4A 和 4B 圖、第 5A 和 5B 圖、及第 6 圖說明根據本發明之一實施例之除法器電路之配置及運作的實例。除法器電路包括一或複數個正反器（FF）電路。在本實施例中，將說明包括三個 FF 電路（FF 電路 201、FF 電路 202、和 FF 電路 203）的除法器電路 200。

第 1A 圖係顯示除法器電路 200 之配置的方塊圖，其中串聯了三級的 FF 電路 201 至 203。

FF 電路 201 至 203 各包括一時脈信號輸入部 CK、一輸入部 D、一輸出部 Q、及一輸出部 $\bar{Q}$ 。FF 電路 201 的時脈信號輸入部 CK 係電性連接終端部 211。具有預定頻率的時脈信號 CLK 會輸入至終端部 211。輸入至終端部 211 的時脈信號 CLK 經由時脈信號輸入部 CK 輸入至 FF 電路

201。FF 電路 201 的輸出部 $\bar{Q}$ 係電性連接 FF 電路 201 的輸入部 D。此外，FF 電路 201 的輸出部 Q 經由節點 212 電性連接 FF 電路 202 的時脈信號輸入部 CK。FF 電路 202 的輸出部 $\bar{Q}$ 係電性連接 FF 電路 202 的輸入部 D。FF 電路 202 的輸出部 Q 經由節點 213 電性連接 FF 電路 203 的時脈信號輸入部 CK。FF 電路 203 的輸出部 $\bar{Q}$ 係電性連接 FF 電路 203 的輸入部 D。FF 電路 203 的輸出部 Q 係電性連接終端部 214。

第 1B 圖係顯示 FF 電路 201 之配置的電路圖。

在圖中，在為 OS 電晶體的電晶體之電路符號旁邊寫上「OS」。

第 1B 圖所示之 FF 電路 201 包括反向器 221（第一反向器）、反向器 222（第二反向器）、p 通道電晶體 231（第一電晶體）、p 通道電晶體 234（第五電晶體）、n 通道電晶體 232（第二電晶體）、n 通道電晶體 233（第三電晶體）、n 通道電晶體 235（第六電晶體）、n 通道電晶體 236（第七電晶體）、為 OS 電晶體的電晶體 237（第四電晶體）、和為 OS 電晶體的電晶體 238（第八電晶體）。

連接終端部 211 及反向器 221 之輸入部的節點 216 相當於時脈信號輸入部 CK。反向器 221 產生為輸入時脈信號 CLK 之反向信號的時脈補數信號 CLKB，並輸出時脈補數信號 CLKB 至節點 215。電晶體 231 之源極和汲極之其一者係電性連接 V_{DD} 。電晶體 231 之源極和汲極之另一者係電性連接節點 217。電晶體 232 之源極和汲極之其一者

係電性連接節點 217。電晶體 231 和電晶體 232 的閘極係電性連接節點 216。電晶體 233 之源極和汲極之其一者係電性連接 V_{SS} ，且電晶體 233 之源極和汲極之另一者係電性連接電晶體 232 之源極和汲極之另一者。電晶體 237 之源極和汲極之其一者係經由節點 219 電性連接電晶體 233 的閘極，且電晶體 237 之源極和汲極之另一者係電性連接節點 218。反向器 222 之輸入部係電性連接節點 212 且反向器 222 之輸出部係電性連接節點 218。

電晶體 234 之源極和汲極之其一者係電性連接 V_{DD} 。電晶體 234 之源極和汲極之另一者係電性連接節點 212。電晶體 235 之源極和汲極之其一者係電性連接節點 212。電晶體 234 和電晶體 235 之閘極係電性連接節點 215。電晶體 236 之源極和汲極之其一者係電性連接 V_{SS} ，且電晶體 236 之源極和汲極之另一者係電性連接電晶體 235 之源極和汲極之另一者。電晶體 238 之源極和汲極之其一者係經由節點 220 電性連接電晶體 236 的閘極，且電晶體 238 之源極和汲極之另一者係電性連接節點 217。

接著，將參考第 3 圖、第 4A 和 4B 圖、第 5A 和 5B 圖、和第 6 圖來說明 FF 電路 201 的運作。第 3 圖係顯示 FF 電路 201 之運作的時序圖。在第 3 圖中，顯示在運作週期 t_1 至 t_4 中每個節點的電位。第 4A 和 4B 圖以及第 5A 和 5B 圖顯示在運作週期包括在 FF 電路 201 中的電晶體之狀態。

請注意沒有對其限定，可適當地設定電晶體的導電類

型、邏輯電路之組合、及每信號的電位，只要電晶體之導通狀態與本文所述者相同即可。這裡，每信號係由 H 電位或 L 電位來表示；H 電位（例如 V_{DD} ）使 n 通道電晶體處於導通狀態並使 p 通道電晶體處於截止狀態，且 L 電位（例如 V_{SS} ）使 p 通道電晶體處於導通狀態並使 n 通道電晶體處於截止狀態。在初始狀態中，節點 219 的電位是 H 電位，且節點 220 的電位是 H 電位。時脈信號 CLK 係以預定間距（頻率）的 H 電位或 L 電位。在第 4A 和 4B 圖以及第 5A 和 5B 圖中，在截止狀態下的電晶體被劃上十字。

首先，將參考第 4A 圖來說明第 3 圖之週期 t1 中的運作。

在週期 t1 中，輸入時脈信號 CLK 的 H 電位至終端部 211，使得節點 216 的電位為 H 電位。由反向器 221 產生時脈補數信號 CLKB，使得節點 215 的電位為 L 電位。接著，關閉電晶體 237，在節點 219 上保持 H 電位，並保持電晶體 233 打開。

因為節點 216 具有 H 電位，故關閉電晶體 231 並打開電晶體 232，使得節點 217 和節點 223 處於導通狀態，並供應 L 電位（ V_{SS} ）給節點 217。

因為節點 215 的電位是 L 電位，故打開電晶體 234 並關閉電晶體 235。接著，供應 H 電位（ V_{DD} ）給節點 212 並從反向器 222 輸出 L 電位，如此節點 218 具有 L 電位。

此外，打開電晶體 238，節點 217 和節點 220 處於導通狀態且節點 220 的電位變成 L 電位。於是，關閉電晶體

236。

接下來，將參考第 4B 圖來說明第 3 圖之週期 t_2 中的運作。

在週期 t_2 中，輸入時脈信號 CLK 的 L 電位至終端部 211，使得節點 216 的電位為 L 電位。由反向器 221 產生時脈補數信號 CLKB，使得節點 215 的電位為 H 電位。當節點 216 的電位為 L 電位時，便關閉電晶體 238 和電晶體 232，並打開電晶體 231，以供應 H 電位給節點 217。

因為電晶體 238 是關閉的，故節點 217 和節點 220 不在導通狀態，藉此保持節點 220 的 L 電位，並保持電晶體 236 的截止狀態。

因為節點 215 的電位是 H 電位，故關閉電晶體 234 並打開電晶體 235，但由於電晶體 236 的截止狀態，節點 212 會處於電性浮置狀態，以致於無法移動節點 212 上的電荷而被保持。結果，這裡在節點 212 上保持 H 電位。因此，從反向器 222 輸出 L 電位至節點 218。此外，因為節點 215 具有 H 電位，故打開電晶體 237，節點 218 和節點 219 處於導通狀態，且節點 219 的電位變成 L 電位。於是，關閉電晶體 233。

接下來，將參考第 5A 圖來說明第 3 圖之週期 t_3 中的運作。

在週期 t_3 中，輸入時脈信號 CLK 的 H 電位至終端部 211，使得節點 216 的電位為 H 電位。由反向器 221 產生時脈補數信號 CLKB，使得節點 215 的電位為 L 電位。當

節點 215 的電位為 L 電位時，關閉電晶體 237，保持節點 219 的電位（L 電位），並保持電晶體 233 關閉。

當節點 216 的電位是 H 電位時，便打開電晶體 232 並關閉電晶體 231，但由於電晶體 233 的截止狀態，節點 217 會處於電性浮置狀態，以致於無法移動節點 217 上的電荷而被保持。結果，這裡在節點 217 上保持 H 電位。此外，打開電晶體 238，節點 217 和節點 220 處於導通狀態，且節點 220 的電位變成 H 電位。於是，打開電晶體 236。

因為節點 215 具有 L 電位，故打開電晶體 234，關閉電晶體 235，供應 H 電位給節點 212，從反向器 222 輸出 L 電位，且節點 218 具有 L 電位。

接下來，將參考第 5B 圖來說明第 3 圖之週期 t4 中的運作。

在週期 t4 中，輸入時脈信號 CLK 的 L 電位至終端部 211，使得節點 216 的電位為 L 電位。由反向器 221 產生時脈補數信號 CLKB，使得節點 215 的電位為 L 電位。當節點 216 的電位為 L 電位時，便關閉電晶體 238，保持節點 220 的電位（H 電位），並保持電晶體 236 打開。

當節點 215 具有 H 電位時，便關閉電晶體 234 並打開電晶體 235，如此節點 212 和節點 223 處於導通狀態，且供應 L 電位（ V_{ss} ）給節點 212。當供應 L 電位給節點 212 時，從反向器 222 輸出 H 電位，使得節點 218 具有 H 電位。

再者，當節點 215 具有 H 電位時，便打開電晶體 237，節點 218 和節點 219 處於導通狀態，且節點 219 的電位變成 H 電位，以打開電晶體 233。

當節點 216 具有 L 電位時，便打開電晶體 231，關閉電晶體 232，且節點 217 具有 H 電位。

如上所述，根據本發明之實施例之 FF 電路可輸出具有輸入之時脈信號 CLK 之一半頻率的信號。另外，雖然在本實施例中係使用節點 212 的電位作為 FF 電路的輸出，但可使用另一節點的電位作為 FF 電路的輸出。例如，使用節點 219 或節點 220 的電位作為輸出，藉此可輸出具有實質上與輸入時脈信號 CLK 相同之工作比的信號以及為輸入時脈信號 CLK 一半的頻率。

此外，本實施例所揭露的 FF 電路可適用於其他如計數器電路的電路。

第 6 圖係顯示除法器電路 200 之運作的時序圖。時序圖顯示終端部 211、節點 212、節點 213、及終端部 214 之電位隨著時間上的變化。輸入至終端部 211 的時脈信號 CLK 之頻率被 FF 電路 201 降為一半（週期增為兩倍）且輸出時脈信號 CLK 至節點 212。

另外，輸入至終端部 211 的時脈信號 CLK 之頻率被 FF 電路 201 和 FF 電路 202 降為四分之一（週期增為四倍）且輸出時脈信號 CLK 至節點 213。

另外，輸入至終端部 211 的時脈信號 CLK 之頻率被 FF 電路 201、FF 電路 202 和 FF 電路 203 降為八分之一（

週期增為八倍)且輸出時脈信號 CLK 至終端部 214。以此方式，藉由每個額外的 FF 電路，將時脈信號 CLK 之頻率降為一半。

例如，將具有頻率為 32.768 kHz 的時脈信號 CLK 輸入至串聯了 15 級 FF 電路的除法器電路，藉此可得到具有頻率為 1 Hz 的時脈信號 CLK。亦即，也可使用除法器電路 200 作為每預定週期產生信號的定時電路。

根據本發明之實施例的 FF 電路可包括比傳統 DFF 電路更少的電晶體。此外，使用較少的反向器。因此，可抑制由於電流通過而增加耗電量。亦即，可以比傳統除法器電路更少的電晶體來製造除法器電路。於是，可達到具有小面積和低功率耗損的半導體裝置。

此外，OS 電晶體之截止電流會比包括矽之電晶體的截止電流小很多。OS 電晶體之每微米通道寬度的截止電流小於或等於 100 zA，最好小於或等於 10 zA，更好係小於或等於 1 zA。

亦即，藉由使用 OS 電晶體作為電晶體 237，當電晶體 237 在截止狀態時可保持節點 219 的電位穩定。尤其是，當增加 FF 電路的數量時，會延長由於關閉電晶體 237 而保持節點 219 之電位的時間，且使用 OS 電晶體作為電晶體 237 的效果會很大。

同樣地，藉由使用 OS 電晶體作為電晶體 238，當電晶體 238 在截止狀態時可保持節點 220 的電位穩定。

第 2A 圖所示的 FF 電路 251 具有與 FF 電路 201 類似

的電路配置。在 FF 電路 251 中，OS 電晶體不只作為電晶體 237 和電晶體 238，也作為電晶體 233 和電晶體 236。另外，也可使用 OS 電晶體作為電晶體 232 和電晶體 235。

藉由使用 OS 電晶體作為電晶體 232 和電晶體 233 之其一者或兩者，當打開電晶體 231 使節點 217 具有 H 電位時，可阻止節點 217 的電荷洩漏至節點 223，藉此可有效率地供應電荷。因此，可降低功率耗損。

此外，當增加 FF 電路的數量時，會延長保持節點 217 上之 H 電位的時間。因此，藉由使用 OS 電晶體作為電晶體 232 和電晶體 233 之其一者或兩者，可保持節點 217 的電位穩定。尤其是，因為電晶體 233 比電晶體 232 的關閉時間長，故最好使用 OS 電晶體作為電晶體 233。

藉由使用 OS 電晶體作為電晶體 235 和電晶體 236 之其一者或兩者，當打開電晶體 234 使節點 212 具有 H 電位時，可阻止節點 212 的電荷洩漏至節點 223，藉此可有效率地供應電荷。因此，可降低功率耗損。

此外，藉由使用 OS 電晶體作為電晶體 235 和電晶體 236 之其一者或兩者，可保持節點 212 的電位穩定。尤其是，因為電晶體 236 比電晶體 235 的關閉時間長，故最好使用 OS 電晶體作為電晶體 236。

第 2B 和 2C 圖係各使用 OS 電晶體作為包括在反向器中之電晶體的電路圖。藉由使用 OS 電晶體作為包括在反向器中的電晶體，可更降低功率耗損。

藉由使用 OS 電晶體作為包括在半導體裝置中的電晶體，半導體裝置能穩定運作並可為高度可靠的。另外，可降低半導體裝置的功率耗損。

本實施例能藉由適當地結合其他實施例實作。

（實施例 2）

在本實施例中，將說明具有不同於實施例 1 中的 FF 電路 201 之配置的 FF 電路 261。

第 7 圖係顯示 FF 電路 261 之配置的電路圖。FF 電路 261 係藉由將電容器 252 和電容器 253 加入實施例 1 所述之 FF 電路 201 之節點 212 和節點 217 來得到。

在 FF 電路 261 中，電容器 252 之其一電極係電性連接節點 212，且電容器 252 之另一電極係電性連接一被供應共同電位的共同電極。此外，電容器 253 之其一電極係電性連接節點 217，且電容器 253 之另一電極係電性連接一被供應共同電位的共同電極。

在本例中，共同電位係供應給電容器 252 之另一電極和電容器 253 之另一電極。最好供應固定電位給電容器 252 和 253 之另一電極。可對其供應 V_{DD} 或 V_{SS} ，或可對其供應彼此不同的電位。

藉由加入電容器 252 和 253，當節點 212 和節點 217 在浮置狀態時，節點 212 和 217 亦可更穩定。因此，可增加半導體裝置的可靠度。

本實施例能藉由適當地結合其他實施例實作。

(實施例 3)

在本實施例中，將說明具有不同於以上實施例中的除法器電路 200 之配置的除法器電路 300。第 8A 圖係顯示串聯了三級 FF 電路 301 至 303 之除法器電路 300 之配置的方塊圖。

FF 電路 301 至 303 各包括一時脈信號輸入部 CK、一時脈補數信號輸入部 $\overline{CK}$ 、一輸入部 D、一輸出部 Q、及一輸出部 $\overline{Q}$ 。在 FF 電路 301 中，時脈信號輸入部 CK 係電性連接終端部 311。

具有預定頻率的時脈信號 CLK 會輸入至終端部 311。輸入至終端部 311 的時脈信號 CLK 經由時脈信號輸入部 CK 輸入至 FF 電路 301。終端部 311 經由反向器 341 電性連接時脈補數信號輸入部 $\overline{CK}$ 。當時脈信號 CLK 輸入至終端部 311 時，便從反向器 341 輸出為輸入時脈信號 CLK 之反向信號的時脈補數信號 CLKB。時脈補數信號 CLKB 經由時脈補數信號輸入部 $\overline{CK}$ 輸入至 FF 電路 301。

FF 電路 301 的輸出部 Q 經由節點 312 電性連接 FF 電路 302 的時脈信號輸入部 CK。此外，FF 電路 301 的輸出部 $\overline{Q}$ 係電性連接 FF 電路 301 的輸入部 D 以及 FF 電路 302 的時脈補數信號輸入部 $\overline{CK}$ 。

FF 電路 302 的輸出部 Q 經由節點 313 電性連接 FF 電路 303 的時脈信號輸入部 CK。此外，FF 電路 302 的輸出部 $\overline{Q}$ 係電性連接 FF 電路 302 的輸入部 D 以及 FF 電路 303

的時脈補數信號輸入部 $\overline{CK}$ 。FF 電路 303 的輸出部 Q 係電性連接終端部 314。FF 電路 303 的輸出部 $\overline{Q}$ 係電性連接 FF 電路 303 的輸入部 D。

第 8B 圖係顯示 FF 電路 301 之配置的電路圖。

第 8B 圖中的節點 316 相當於時脈信號輸入部 CK。另外，節點 315 相當於脈補數信號輸入部 $\overline{CK}$ 。FF 電路 301 與第 1B 圖所示之 FF 電路 201 不同之處在於未設置反向器 221 且未從外部輸入時脈補數信號 CLKB。在第二級或第二級之後的 FF 電路中，可使用從前級中的 FF 電路之輸出部 $\overline{Q}$ 輸出的信號作為時脈補數信號 CLKB。

因為未在 FF 電路 301 中設置反向器 221，故 FF 電路 301 的面積可小於 FF 電路 201 的面積。亦即，除法器電路 300 的面積可小於除法器電路 200 的面積。其他電路配置或運作方法可類似於 FF 電路 201，將省略說明。

本實施例能藉由適當地結合其他實施例實作。

（實施例 4）

在本實施例中，將說明為根據本發明之一實施例之其中一個半導體裝置的 CPU 之結構。

第 11 圖顯示本實施例中的 CPU 之結構。第 11 圖所示的 CPU 在一基板 9900 上主要包括一算術邏輯單元（ALU）9901、一 ALU 控制器 9902、一指令解碼器 9903、一中斷控制器 9904、一時序控制器 9905、一暫存器 9906、一暫存器控制器 9907、一匯流排介面（Bus I/F）9908

、一可複寫 ROM 9909、及一 ROM 介面 (ROM I/F) 9920。此外，可在不同晶片上設置 ROM 9909 和 ROM I/F 9920。顯然地，第 11 圖所示的 CPU 只是簡化結構的實例，且實際的 CPU 可依據應用而具有各種結構。

透過 Bus I/F 9908 輸入至 CPU 的指令會輸入至指令解碼器 9903 並在其中解碼，且接著輸入至 ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905。

ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905 基於已解碼的指令來執行各種控制。具體來說，ALU 控制器 9902 產生信號來控制 ALU 9901 的驅動。在 CPU 執行程式期間，中斷控制器 9904 基於優先權或遮罩狀態來處理從外部輸入/輸出裝置或周邊電路所請求的中斷。暫存器控制器 9907 產生暫存器 9906 的位址，並依據 CPU 的狀態從暫存器 9906 讀取資料或將資料寫入暫存器 9906。

時序控制器 9905 包括具有以上實施例所述之配置的除法器電路，並產生信號來控制 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、及暫存器控制器 9907 的運作時序。例如，時序控制器 9905 裝有內部時脈產生器（除法器電路），用來基於參考時脈信號 CLK1 產生內部時脈信號 CLK2，並將時脈信號 CLK2 輸入至上述電路。

藉由對 CPU 之結構使用以上實施例所述的除法器電

路，可降低 CPU 的面積，並降低功率耗損。

雖然在本實施例中說明 CPU 的實例，但本發明之除法器電路並不限定應用於 CPU 且可使用在如微處理器的 LSI、影像處理電路、數位信號處理器（DSP）、或現場可程式閘陣列（FPGA）中。

本實施例能藉由適當地結合其他實施例實作。

（實施例 5）

在本實施例中，將參考第 12A 至 12D 圖、第 13A 至 13C 圖、第 14A 至 14C 圖、及第 15 圖來說明可應用於以上實施例所述之 FF 電路的電晶體之結構及製造方法。電晶體之實例包括 OS 電晶體和對形成通道之半導體層使用矽的電晶體。

如第 12A 圖所示，在基板 700 上形成絕緣膜 701 和已由單晶半導體基板隔開的半導體膜 702。

雖然沒有特別限定可用來作為基板 700 的材料，但材料必須至少具有夠高的耐熱性以禁得起之後進行的加熱處理。例如，可使用以熔化製程或浮式製程所形成的玻璃基板、石英基板、半導體基板、陶製基板等作為基板 700。在之後進行之加熱處理的溫度很高的情形下，最好使用應變點高於或等於 730℃ 的玻璃基板來作為玻璃基板。

在本實施例中，說明半導體膜 702 係為單晶矽膜的例子；然而，半導體膜 702 可例如是非晶半導體膜或如單晶半導體膜、多晶半導體膜或微晶半導體膜的結晶半導體膜

。半導體材料的例子包括矽、鍺、鍺化矽、碳化矽、和砷化鎵。

以下，說明一種電晶體 732 的製造方法。請注意係簡短地說明一種用來形成單晶半導體膜 702 的方法之具體實例。首先，使包括被電場加速之離子的離子束進入為單晶半導體基板的接合基板，並在距接合基板表面一定程度之深度的區域中形成由於晶體結構的局部失序所產生之易脆的脆弱層。脆弱層所形成的深度能藉由離子束的加速能量及離子束進入的角度來調整。接著，互相附著接合基板及裝有絕緣膜 701 的基板 700，使得絕緣膜 701 夾在接合基板及基板 700 之間。在接合基板及基板 700 彼此重疊之後，將大約高於或等於 1 N/cm^2 且低於或等於 500 N/cm^2 ，最好是高於或等於 11 N/cm^2 且低於或等於 20 N/cm^2 的壓力施加到部分的接合基板及部分的基板 700，使得基板彼此依附。當施加壓力時，接合基板與絕緣膜 701 之間便從此部分開始結合，以結合接合基板與絕緣膜 701 彼此緊密接觸的整個表面。之後，進行加熱處理，以合併存在於脆弱層中的微孔隙，如此增加微孔隙的體積。因此，能沿著脆弱層隔開為部分之接合基板的單晶半導體膜與接合基板。加熱處理是在不超過基板 700 之應變點的溫度下進行。接著，藉由蝕刻等方法，將單晶半導體膜處理成希望的形狀，如此能形成半導體膜 702。

為了控制臨界電壓，可將如硼、鋁、或鎵之給予 p 型導電性之雜質元素，或如磷或砷之給予 n 型導電性的雜質

元素加到半導體膜 702 中。可將用來控制臨界電壓的雜質元素加到未經蝕刻成預定形狀的半導體膜中或加到已被蝕刻成預定形狀的半導體膜 702 中。此外，可將用來控制臨界電壓的雜質元素加到接合基板中。替代地，可將雜質元素加到接合基板中以粗略地控制臨界電壓，並可進一步地將雜質元素加到未經蝕刻成預定形狀的半導體膜中或已被蝕刻成預定形狀的半導體膜 702 中，以精細地控制臨界電壓。

請注意雖然在本實施例中說明使用單晶半導體膜的情況，但本發明並不限於此結構。例如，可使用藉由蒸氣沉積法在絕緣膜 701 上形成的多晶體、微晶體、或非晶半導體膜。半導體膜可藉由已知的技術來結晶化。舉出使用雷射光的雷射結晶方法和採用觸媒元素的結晶方法作為已知的結晶化技術。替代地，可結合採用觸媒元素的結晶方法及雷射結晶方法。在使用如石英基板的高度耐熱基板之情況下，可能結合下列任何的結晶方法：利用電子加熱爐之熱結晶方法、使用紅外線的燈加熱結晶方法、使用觸媒元素的結晶方法、和以約 950℃ 的高溫加熱方法。

接著，如第 12B 所示，在半導體膜 702 上形成閘絕緣膜 703。之後，在閘絕緣膜 703 上形成遮罩 705，並將給予導電性的雜質元素加到部分的半導體膜 702 中，以形成雜質區 704。

藉由高密度電漿處理、加熱處理等，能由半導體膜 702 的表面之氧化或氮化作用來形成閘絕緣膜 703。高密

度電漿處理係使用例如如氫、氬、氮或氙之稀有氣體、與氧、氧化氮、氨、氮、氫等的混合氣體來進行。在此例中，藉由引入微波來激發電漿，能產生具有低電子溫度及高密度的電漿。藉由氧化或氮化由上述高密度電漿所產生之具有氧自由基（在一些情況中包括 OH 自由基）或氮自由基（在一些情況中包括 NH 自由基）的半導體膜之表面，可形成具有厚度為 1 nm 到 20 nm，最好是 5 nm 到 10 nm 的絕緣膜以與半導體膜接觸。例如，以 1 到 3 倍（流量）的氬氣來稀釋一氧化二氮（ N_2O ）並以 10Pa 到 30Pa 的壓力來施加 3kW 到 5kW 的微波（2.45GHz）電力，以便進行半導體膜 702 之表面的氧化或氮化作用。藉由此處理，形成具有厚度為 1 nm 到 10 nm（最好是 2 nm 到 6 nm）的絕緣膜。此外，引入一氧化二氮（ N_2O ）及甲矽烷（ SiH_4 ）並以 10Pa 到 30Pa 的壓力來施加 3kW 到 5kW 的微波（2.45GHz）電力，以藉由蒸氣沉積法來形成氮氧化矽膜，因而形成閘絕緣膜。藉由結合固相反應與蒸氣沉積法之反應，能形成具有低介面態密度及耐高電壓的閘絕緣膜。

藉由固相反應繼續進行透過高密度電漿處理的半導體膜之氧化或氮化作用。因此，閘絕緣膜 703 及半導體膜 702 之間的介面態密度會是極低的。再者，藉由透過高密度電漿處理來直接氧化或氮化半導體膜 702，能抑制待形成之絕緣膜的厚度之變化。此外，在半導體膜具有結晶性的情況下，藉由透過高密度電漿處理的固相反應來氧化半導體膜的表面，以防止只在晶粒邊界上快速氧化；因此

，能形成具有高均勻性及低介面態密度的閘絕緣膜。能抑制一電晶體的特性變化，其中此電晶體之閘絕緣膜係部分地或完全地包括透過高密度電漿處理所形成的絕緣膜。

可透過電漿 CVD 法、濺射法等形成閘絕緣膜 703，以具有單層結構或使用包括氧化矽、氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氮化鋁、氮化銦、氧化釔、氧化釷、氧化鈾、氧化鎂、氧化鉛、鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮的鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮的鉛鋁酸鹽 (HfAl_xO_y , ($x>0$, $y>0$)) 之類的膜之疊層結構。

又，在本說明書中，氧氮化物係為包括氧多於氮的物質，而氧化氮係為包括氮多於氧的物質。

閘絕緣膜 703 的厚度可以是例如大於或等於 1 nm 且小於或等於 100 nm，最好是大於或等於 10 nm 且小於或等於 50 nm。在本實施例中，係藉由電漿 CVD 法形成包含氧化矽的單層絕緣膜來作為閘絕緣膜 703。

接著，在移除遮罩 705 之後，如第 12C 圖所示移除部分的閘絕緣膜 703，且藉由蝕刻在與雜質區 704 重疊的區域中形成開口 706。之後，形成閘極 707 及導電膜 708。

導電膜係形成以覆蓋開口 706 並接著被處理成預定形狀，以致能形成閘極 707 及導電膜 708。導電膜 708 係在開口 706 中與雜質區 704 接觸。導電膜可藉由 CVD 法、濺射法、蒸發法、旋轉塗膜法或之類來形成。可對導電膜使用鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)

）、銅（Cu）、鉻（Cr）、鈮（Nb）、鎂（Mg）或之類。替代地，可使用含有上述金屬作為其主要成份的合金或含有上述金屬的化合物。替代地，可使用如摻有雜質元素（如給予導電性的磷）之多晶矽的半導體來形成導電膜。

請注意雖然在本實施例中，係使用單層導電膜來形成閘極 707 及導電膜 708，但本實施例並不限於此結構。可以複數個堆疊的導電膜來組成閘極 707 及導電膜 708。

第一導電膜可使用氮化鋁或鋁且第二導電膜可使用鎢來作為這兩個導電膜之組合。此外，可提出下列任何組合：氮化鎢及鎢、氮化鋁及鋁、鋁及鋁、鋁及鈦或之類。由於鎢及氮化鋁具有高耐熱性，因此在形成兩個導電膜之後可進行熱活化作用的熱處理。或者，例如可使用矽化鎳及摻有給予 n 型導電性之雜質元素的矽、矽化鎢以及摻有給予 n 型導電性之雜質元素的矽或之類來作為這兩個導電膜之組合。

在使用包括堆疊三層導電膜的三層結構之例子中，可使用鋁膜、鋁膜、及鋁膜的堆疊結構。

替代地，閘極 707 及導電膜 708 可以是氧化銦、氧化銦和氧化錫之混合、氧化銦和氧化鋅之混合、氧化鋅、鋁酸鋅、氧氮化鋁鋅、氧化鎳鋅之類的透光氧化物導電膜。

替代地，不須使用遮罩，可藉由微滴放泄法來選擇性地形成閘極 707 及導電膜 708。微滴放泄法係為一種藉由從孔洞射出或噴出包含預定成份的微滴來形成預定圖案的方法，且在其種類中還包括噴墨法。

此外，可藉由形成導電膜並在適當控制的條件下（例如，施加到盤繞電極層的電力量、施加到基板側上之電極層的電力量、及基板側上的電極溫度），藉由使用電感耦合式電漿（ICP）之乾式蝕刻法將導電膜蝕刻成想要的錐形形狀來形成閘極 707 及導電膜 708。此外，也可由遮罩的形狀來控制錐形形狀的角度等。請注意可適當地使用如氯、氯化硼、氯化矽、或四氯化碳的氯基氣體；如四氟化碳、氟化硫、或氟化氮的氟基氣體；或氧作為蝕刻氣體。

接著，如第 12D 圖所示，將給予導電性的雜質元素加入具有作為遮罩之閘極 707 及導電膜 708 之半導體膜 702 中，以在半導體膜 702 中形成與閘極 707 重疊的通道形成區 710、夾住通道形成區 710 的一對雜質區 709、及藉由又將雜質元素加入部分的雜質區 704 所得到的雜質區 711。

在本實施例中，係說明將給予 p 型導電性（例如，硼）的雜質元素加入半導體膜 702 中的情況作為實例。

接著，如第 13A 圖所示，形成絕緣膜 712 及 713 以覆蓋閘絕緣膜 703、閘極 707、及導電膜 708。具體來說，可使用氧化矽、氮化矽、氧化氮矽、氧氮化矽、氮化鋁、氧化鋁、氧化氮鋁、氧氮化鋁、氧化鉛、氧化鋇、氧化釷、氧化鎂或之類的無機絕緣膜之單層或堆疊層來組成絕緣膜 712 及 713。最好使用低介電常數（低 k）材料來形成絕緣膜 712 及 713 以充分降低由於重疊電極或佈線所造成的電容量。請注意可使用含有上

述材料之多孔質絕緣膜來作為絕緣膜 712 及 713。由於多孔質絕緣膜具有比稠密絕緣層還低的介電常數，因此能更為降低由於電極或佈線造成的寄生電容。

在本實施例中，說明對絕緣膜 712 使用氧氮化矽且對絕緣膜 713 使用氧化氮矽的實例。此外，雖然在本實施例中係說明在閘極 707 及導電膜 708 上形成絕緣膜 712 及 713 的實例，但可在閘極 707 及導電膜 708 上只形成一個絕緣膜，或可堆疊三個或更多層的複數個絕緣膜。

接著，如第 13B 圖所示，絕緣膜 712 及 713 受到 CMP（化學機械研磨）或蝕刻，使得暴露閘極 707 及導電膜 708 的表面。請注意為了增進之後形成的電晶體 731 之特性，絕緣膜 712 及 713 的表面最好愈平坦愈好。

經過上述步驟，能形成電晶體 732。

接著，說明用來形成電晶體 731 的方法。首先，如第 13C 圖所示，在絕緣膜 712 或絕緣膜 713 上形成氧化物半導體層 716。

氧化物半導體層 716 可藉由將形成在絕緣膜 712 及 713 上的氧化物半導體膜處理成所欲之形狀來形成。具體來說，藉由如光刻法或噴墨法之熟知技術在氧化物半導體膜上形成所欲之形狀的抗蝕遮罩。藉由如乾式蝕刻法或濕式蝕刻法之熟知技術來選擇性地移除多餘部分的氧化物半導體膜。以此方式，可形成氧化物半導體層 716。

可藉由濺射法、蒸發法、PCVD 法、PLD 法、ALD 法、MBE 法或之類來形成氧化物半導體膜。氧化物半導體膜

的厚度係大於或等於 2 nm 且小於或等於 200 nm，最好大於或等於 3 nm 且小於或等於 50 nm，更好是大於或等於 3 nm 且小於或等於 20 nm。

當藉由濺射法來形成氧化物半導體膜時，例如可使用含有 In 和 Zn 的金屬氧化物作為靶材。可使用稀有氣體（例如，氬）、氧、或稀有氣體和氧的混合氣體作為濺射氣體。在使用稀有氣體和氧的混合氣體作為濺射氣體之情況下，氧氣的百分比係高於或等於 30 vol.%，最好高於或等於 50 vol.%，更好是高於或等於 80 vol.%。氧化物半導體膜越薄，就能越降低電晶體的短通道效應。然而，當氧化物半導體膜太薄時，會由於介面散射而顯著影響氧化物半導體膜；因此，可能降低場效移動率。

請注意在藉由濺射法形成氧化物半導體膜之前，最好藉由引入氬氣且產生電漿的反向濺射法來去除絕緣膜 712 及 713 之表面上的灰塵。反向濺射法係為一種在氬氣圍中使用 RF 電源來將電壓施於基板端，而沒有將電壓施於靶材端，以在基板附近產生電漿來修改表面的方法。請注意可使用氮氣圍、氦氣圍或之類來取代氬氣圍。替代地，可使用添加氧、笑氣等的氬氣圍。或著，可使用添加氯、四氟化碳等的氬氣圍。

最好使用至少含有銦（In）或鋅（Zn）的材料作為氧化物半導體。最好額外包含鎵（Ga）來作為穩定劑，以減少使用氧化物半導體之電晶體的導電特性變化。最好包含錫（Sn）來作為穩定劑。最好包含鈦（Hf）來作為穩定劑

。最好包含鋁 (Al) 來作為穩定劑。

可包含一或多種鐳系元素，如鐳 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鐳 (Tb)、鐳 (Dy)、釷 (Ho)、鈾 (Er)、鐳 (Tm)、鐳 (Yb)、和鐳 (Lu)，來作為另一種穩定劑。

作為氧化物半導體，例如能使用氧化銦、氧化錫、氧化鋅、如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，或 In-Ga 基氧化物的兩成分金屬氧化物、如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物的三成分金屬氧化物、如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物的四成分金屬氧化物。此外，在上述氧化物半導體中可含有 SiO_2 。

請注意這裡，例如，「In-Ga-Zn 基氧化物」係表示以含有 In、Ga 及 Zn 的氧化物作為其主要成分，且沒有特別限定 In:Ga:Zn 的比例。In-Ga-Zn 基氧化物可含有除了

In、Ga 及 Zn 之外的金屬元素。

替代地，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料作為氧化物半導體。請注意 M 代表選自 Sn、Zn、Ga、Fe、Ni、Mn、和 Co 的一或複數個金屬元素。可使用以 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n>0$) 所表示之材料來作為氧化物半導體。

例如，可使用具有 In : Ga : Zn=1 : 1 : 1 或 In : Ga : Zn=2 : 2 : 1 之原子比的 In-Ga-Zn 基氧化物，或任何接近上面成份的氧化物。替代地，可使用具有 In : Sn : Zn=1 : 1 : 1、In : Sn : Zn=2 : 1 : 3 或 In : Sn : Zn=2 : 1 : 5 之原子比的 In-Sn-Zn 基氧化物，或任何接近上面成份的氧化物。

然而，沒有限定上述之材料，可根據所需之半導體特性（例如，場效移動性、臨界電壓、和變化）來使用具有適當成份之材料。為了得到所需之半導體特性，最好將載子濃度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間的距離、密度等設成適當的數值。

例如，在使用 In-Sn-Zn 基氧化物的情況下可相對容易地得到高場效移動率。然而，在使用 In-Ga-Zn 基氧化物的情況下，亦可藉由減小塊內缺陷密度來提高場效移動率。

請注意例如，「包括原子比為 In : Ga : Zn=a : b : c ($a+b+c=1$) 的 In、Ga、Zn 之氧化物的組成係接近包括原子比為 In : Ga : Zn=A : B : C ($A+B+C=1$) 的 In、Ga、Zn

之氧化物的組成」是指 a 、 b 、和 c 滿足下列關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ， r 例如可以為 0.05。同樣適用於其他氧化物。

在使用 In-Zn 基氧化物半導體作為氧化物半導體的例子中，設定原子比使得 In/Zn 的範圍從 0.5 至 50，最好從 1 至 20，更好是從 1.5 至 15。當 Zn 的原子比落在上述較佳的範圍內時，可提高電晶體的場效移動率。這裡，當組成之原子比為 In : Zn : O = X : Y : Z 時，滿足 $Z > 1.5X + Y$ 關係。

在本實施例中，係使用藉由使用包括銦 (In)、鎵 (Ga)、及鋅 (Zn) 之濺射法所得到之厚度為 30nm 的 In-Ga-Zn 基氧化物半導體薄膜來作為氧化物半導體膜。例如，可使用具有原子比為 In : Ga : Zn = 1 : 1 : 0.5、In : Ga : Zn = 1 : 1 : 1、或 In : Ga : Zn = 1 : 1 : 2 的靶材作為上述之靶材。用來形成氧化物半導體之金屬氧化物靶材的相對密度係高於或等於 90% 且小於或等於 100%，最好是高於或等於 95% 且小於 100%。藉由使用具有高相對密度的靶材，能形成稠密氧化物半導體膜。In-Ga-Zn 基氧化物半導體可稱作 IGZO。

在對氧化物半導體膜使用 In-Sn-Zn 基氧化物的情況下，用來以濺射法形成 In-Sn-Zn 基氧化物的靶材可例如具有原子比為 In : Sn : Zn = 1 : 2 : 2、2 : 1 : 3、1 : 1 : 1 或 20 : 45 : 35 的成分比。

請注意在使用包括銦 (In) 和鋅 (Zn) 的靶材來形成

氧化物半導體膜的例子中，靶材的原子比為 In/Zn = 大於或等於 0.5 且小於或等於 50，最好大於或等於 1 且小於或等於 20，更好是大於或等於 1.5 且小於或等於 15。藉由保持 Zn 的比例落在上述範圍內，可增進場效移動率。

在本實施例中，形成氧化物半導體膜的方法為：保持基板在維持在減壓狀態中的沉積室中、去除餘留在沉積室中的濕氣，引進去除掉氬和濕氣的濺射氣體、並使用靶材。最好使用高純度的氣體作為濺射氣體。例如，當使用氬作為濺射氣體時，最好純度為 9N，露點為 -121°C ， H_2O 的含量低於或等於 0.1 ppb，且 H_2 的含量低於或等於 0.5 ppb。當使用氧作為濺射氣體時，最好純度為 8N，露點為 -112°C ， H_2O 的含量低於或等於 1 ppb，且 H_2 的含量低於或等於 1 ppb。

氧化物半導體膜最好含有比化學計量組成比例更大量的氧。當氧量超過化學計量組成比例時，可抑制在氧化物半導體中產生氧空缺之載子的產生。

在膜形成時的基板溫度可大於或等於 100°C 且小於或等於 600°C ，最好大於或等於 200°C 且小於或等於 400°C 。藉由在加熱基板之狀態中形成氧化物半導體膜，能降低所形成之氧化物半導體膜中的雜質濃度。此外，能降低濺射法所造成的損害。為了去除在沉積室中的殘留濕氣，最好使用吸附型真空泵。例如，最好是使用低溫泵、離子泵、或鈦昇華泵。排空單元可以是裝有冷阱的渦輪泵。在使用低溫泵排空的沉積室中，例如，移除氬原子、如水 (H_2O)

）之內含氫原子的化合物（最好也是內含碳原子的化合物）等，藉此能降低在沉積室中形成的氧化物半導體膜中所含的雜質濃度。

沉積條件之一實例如下，基板與靶材之間的距離為 100mm、壓力為 0.6Pa、DC 電源的電功率為 0.5kW、且使用氧（氧流量為 100%）作為濺射氣體。請注意最好使用脈衝式直流（DC）電源，因為能減少在沉積期間所產生的灰塵並能使膜厚度均勻。

此外，當濺射設備的沉積室之滲漏率係設為低於或等於 $1 \times 10^{-10} \text{ Pa} \times \text{m}^3/\text{s}$ 時，能減少如鹼金屬或氫化物之雜質進入由濺射法沉積的氧化物半導體膜中。再者，藉由使用吸附型真空泵作為排空系統，能減少如鹼金屬、氫原子、氫分子、水、氫氧化物、或氫化物之雜質從排空系統中逆流。

當靶材的純度被設為高於或等於 99.99% 時，能減少進入氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、氫氧化物、氫化物等。此外，當使用靶材時，能降低氧化物半導體膜中的如鋰、鈉、或鉀之鹼金屬的濃度。

請注意為了使氧化物半導體膜中所含的氫、氫氧化物、及水盡可能地少，最好藉由預熱基板 700 來排除並排空基板 700 上所吸附之如氫或濕氣的雜質，來作為沉積之預處理，其中絕緣膜 712 及 713 在濺射設備的預熱室中形成在基板 700 上。預熱的溫度係為大於或等於 100℃ 且小於或等於 400℃，最好大於或等於 150℃ 且小於或等於 300℃

。最好在預熱室中設置低溫泵作為排空手段。請注意可省略預熱處理。此預熱處理可同樣在於形成閘絕緣膜 721 之前形成導電膜 719 及 720 於其上的基板 700 上進行。

請注意用來形成氧化物半導體層 716 的蝕刻可以是乾式蝕刻、濕式蝕刻、或乾式蝕刻和濕式蝕刻兩者。最好使用包含氯（如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）的氯基氣體）的氣體來作為用於乾式蝕刻的蝕刻氣體。替代地，可使用包含氟（如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）的氟基氣體）之氣體、溴化氫（ HBr ）、氧（ O_2 ）、添加如氦（ He ）或氬（ Ar ）之稀有氣體之這些氣體之任一者等。

可使用反應性離子蝕刻（RIE）法作為乾式蝕刻。為了產生電漿，可使用電容耦合式電漿（CCP）法、電感耦合式電漿（ICP）法、電子迴旋加速共振（ECR）電漿法、螺旋波電漿（HWP）法、微波激發表面波電漿（SWP）法或之類。當執行乾式蝕刻作為蝕刻時，適當調整蝕刻條件（施加到盤繞電極的電力量、施加到基板側上之電極的電力量、和基板側上的電極溫度等），以能將膜蝕刻成希望的形狀。

可使用磷酸、醋酸、及硝酸的混合溶劑、或如檸檬酸或草酸的有機酸來作為用於濕式蝕刻的蝕刻劑。在本實施例中，係使用 ITO-07N（由日本關東化學株式會社所製造）。

用來形成氧化物半導體層 716 的抗蝕遮罩可藉由噴墨法來形成。以噴墨法形成抗蝕遮罩不必使用光罩；因此，能降低製造成本。

請注意最好在隨後步驟之形成導電膜之前進行反向濺射法，以去除遺留在氧化物半導體層 716 及絕緣膜 712 與 713 之表面上的光阻殘留物。

在一些例子中，藉由濺射法形成的氧化物半導體膜包含大量的水或氫（包括氫氧化物）作為雜質。水或氫容易形成施體能階，因而充當氧化物半導體中的雜質。因此，在本發明之一模式中，為了減少氧化物半導體膜中如水或氫的雜質（為了進行脫水作用或除氫作用），氧化物半導體層 716 在減壓氣圍、氮、稀有氣體、或之類的惰性氣體氣圍、氧氣氣圍、或超乾空氣中受到加熱處理（在藉由孔隙內共振衰減雷射光譜（CRDS）法的露點計來進行測量之情況下，濕氣量為低於或等於 20ppm（露點中的 -55℃），最好是低於或等於 1ppm，更好是低於或等於 10ppb）。

藉由對氧化物半導體層 716 進行加熱處理，能排除氧化物半導體層 716 中的水或氫。具體來說，可以高於或等於 250℃ 且低於或等於 750℃ 的溫度，最好高於或等於 400℃ 且低於基板之應變點的溫度來進行加熱處理。例如，可以 500℃ 進行大約 3 分鐘到 6 分鐘的加熱處理。當以 RTA 法用於加熱處理時，可在短時間內進行脫水或除氫作用；因此，即便使用玻璃基板作為基板時，甚至以高於玻璃基

板之應變點的溫度都能進行處理。

在本實施例中，係使用為其中一種加熱處理設備的電爐。

請注意加熱處理設備並不受限於電爐，且可具有用來藉由來自如電阻加熱元件的加熱元件之熱傳導或熱輻射來加熱物體的裝置。例如，可使用如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備的快速熱退火（RTA）設備。LRTA 設備係為一種用來藉由如鹵素燈、金屬鹵素燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射出的光輻射（電磁波）來加熱待處理之物體的設備。GRTA 設備係為一種使用高溫氣體來進行加熱處理的設備。係使用如氮或稀有氣體（例如，氬）這類不與加熱處理待處理的物體起反應的惰性氣體來作為氣體。

在加熱處理中，在氮或如氮、氖、或氬的稀有氣體中最好不含水、氫等。替代地，引進加熱處理設備中之氮或如氮、氖、或氬的稀有氣體之純度最好大於或等於 6N（99.9999%），更好是大於或等於 7N（99.99999%）（即，雜質濃度最好低於或等於 1 ppm，更好是低於或等於 0.1 ppm）。

經過以上步驟，可降低氧化物半導體層 716 中的氫濃度並能高純度化氧化物半導體層 716。

在形成氧化物半導體層 716 之後，可藉由離子植入法來將氧引進其中。可替代地藉由電漿摻雜法來引進氧。具體來說，透過使用射頻（RF）電力將氧轉成電漿，並將氧

自由基及 / 或氧離子引進氧化物半導體層 716 中。此時，最好施加偏壓至在其上形成氧化物半導體層 716 的基板。藉由增加施加至基板的偏壓，能將氧引進更深處。

可從透過使用含有氧之氣體的電漿產生設備或從臭氧產生設備供應藉由電漿摻雜法引進氧化物半導體層 716 中的氧（氧自由基、氧原子、及 / 或氧離子）。

在將氧引進氧化物半導體層 716 中之後，可進行加熱處理（最好以高於或等於 200°C 且低於或等於 600°C 的溫度，例如，以高於或等於 250°C 且低於或等於 550°C 的溫度）。例如，在氮氣圍中以 450°C 進行加熱處理達一小時。上述氣圍最好不含水、氫或之類。

藉由將氧引進氧化物半導體層 716 中及加熱處理，有可能供應為氧化物半導體之其中一個主要成份且在移除雜質步驟之同時會減少的氧，以能形成 i 型（本質）的氧化物半導體層 716。

氧化物半導體既可以為單晶又可以為非單晶。在後者的情況下，氧化物半導體可以為非晶或多晶。另外，氧化物半導體可具有包括含有結晶性的部分之非晶結構或非非晶結構。

在非晶態的氧化物半導體中，能相對容易地得到平坦的表面，因此當使用氧化物半導體來製造電晶體時，能減小介面散射而相對容易實現相對高的場效移動率。

在具有結晶性的氧化物半導體中，能進一步減小塊內缺陷，且當提高氧化物半導體的表面平坦性時，能獲得比

非晶態的氧化物半導體更高的場效移動率。爲了提高表面的平坦性，最好在平坦的表面上形成氧化物半導體。具體來說，在小於或等於 1 nm ，最好小於或等於 0.3 nm ，更好是小於或等於 0.1 nm 之平均面粗糙度（ Ra ）的表面上形成氧化物半導體。可利用原子力顯微鏡（AFM）來測得 Ra 。

當對氧化物半導體層 716 使用具有結晶性的氧化物半導體時，接觸氧化物半導體層 716 的絕緣膜 713 最好具有足夠的平面性，以容易增長氧化物半導體的晶體。替代地，可在絕緣膜 713 和氧化物半導體層 716 之間設置具有足夠平面性的絕緣膜。

作爲具有結晶性的氧化物半導體，最好使用一種包括 c 軸對準結晶的氧化物半導體（亦稱爲 c 軸取向結晶氧化物半導體（CAAC-OS）），其從 ab 平面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列。在晶體中，在 c 軸上金屬原子排列爲層狀或者金屬原子和氧原子排列爲層狀，而在 ab 平面上 a 軸或 b 軸的方向不同（即，晶體以 c 軸爲中心回轉）。

從更廣義來理解，CAAC-OS 是指非單晶，其包括在從垂直於 ab 平面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列爲層狀或者金屬原子和氧原子排列爲層狀的相。

CAAC-OS 不是單晶，但也不只由非晶部份組成。雖然 CAAC-OS 包括晶化部分（結晶部分），但在一些情況

下一個結晶部分與另一結晶部分的邊界是不明顯的。

可以氮取代部分為 CAAC-OS 之成份的氧。另外，包括在 CAAC-OS 中的結晶部分之 c 軸也可朝向一個方向（例如，垂直於支撐 CAAC-OS 的基板面、CAAC-OS 之表面等的方向）。或者，包括在 CAAC-OS 中各結晶部分之 ab 平面的法線可朝向一個方向（例如，垂直於支撐 CAAC-OS 的基板面、CAAC-OS 之表面等的方向）。

CAAC-OS 可根據其組成等而成為導體或絕緣體。CAAC-OS 根據其組成等而傳送或不傳送可見光。

上述 CAAC-OS 的例子係為形成膜狀的氧化物，其從垂直於膜表面或支撐基板之表面的方向觀察時具有三角形或六角形的原子排列，並且在觀察其膜剖面時，金屬原子或金屬原子及氧原子（或氮原子）係以疊層方式來排列。

將參考第 18A 至 18E 圖、第 19A 至 19C 圖、及第 20A 至 20C 圖來詳細說明 CAAC-OS 之結晶結構的實例。在第 18A 至 18E 圖、第 19A 至 19C 圖、及第 20A 至 20C 圖中，除非有其他指明，否則垂直方向相當於 c 軸方向且垂直於 c 軸方向之平面相當於 ab 平面。當只說「上半部」和「下半部」時，是指 ab 平面上方的上半部和 ab 平面下方的下半部（以 ab 平面為邊界的上半部和下半部）。另外，在第 18A 至 18E 圖中，以圓圈圈上的 O 表示四配位 O 原子，而以雙重圓圈圈上的 O 表示三配位 O 原子。

第 18A 圖顯示包括一個六配位 In 原子和靠近 In 原子之六個四配位氧（以下稱為四配位 O）原子的結構。這裡

，包括一個金屬原子及接近其之氧原子的結構係稱為小群組。第 18A 圖之結構實際上是一個八面體的結構，但為了簡單而顯示成平面結構。請注意三個四配位 O 原子各存在於第 18A 圖中的上半部和下半部。在第 18A 圖所示之小群組中，電荷是 0。

第 18B 圖顯示包括一個五配位 Ga 原子、靠近 Ga 原子之三個三配位氧（以下稱為三配位 O）原子、和靠近 Ga 原子之兩個四配位 O 原子的結構。所有的三配位 O 原子都存在於 ab 平面上。一個四配位 O 原子各存在於第 18B 圖中的上半部和下半部。因為 In 原子可具有五個配位，所以 In 原子也能具有第 18B 圖所示之結構。在第 18B 圖所示之小群組中，電荷是 0。

第 18C 圖顯示包括一個四配位 Zn 原子和靠近 Zn 原子之四個四配位 O 原子的結構。第 18C 圖中的上半部具有一個四配位 O 原子，並且在下半部具有三個四配位 O 原子。或者，第 18C 圖中的上半部可具有三個四配位 O 原子，並且在下半部可具有一個四配位 O 原子。在第 18C 圖所示之小群組中，電荷是 0。

第 18D 圖顯示包括一個六配位 Sn 原子和靠近 Sn 原子之六個四配位 O 原子的結構。在第 18D 圖中，三個四配位 O 原子各存在於上半部和下半部。在第 18D 圖所示之小群組中，電荷是 +1。

第 18E 圖顯示包括兩個 Zn 原子的小群組。第 18E 圖的上半部和下半部各具有一個四配位 O 原子。在第 18E 圖

所示之小群組中，電荷是 -1。

這裡，複數個小群組構成一個中群組，且複數個中群組構成一個大群組（也稱為單位格）。

現在，將說明小群組之間之接合的規則。第 18A 圖中的六配位 In 原子之上半部的三個 O 原子在向下方向上各具有三個靠近的 In 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 In 原子。第 18B 圖中的五配位 Ga 原子之上半部的一個 O 原子在向下方向上具有一個靠近的 Ga 原子，且在下半部的一個 O 原子在向上方向上具有一個靠近的 Ga 原子。第 18C 圖中的四配位 Zn 原子之上半部的一個 O 原子在向下方向上具有一個靠近的 Zn 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 Zn 原子。以此方式，在金屬原子上方的四配位 O 原子的數量等於靠近並在各四配位 O 原子下方之金屬原子的數量。同樣地，在金屬原子下方的四配位 O 原子的數量等於靠近並在各四配位 O 原子上方之金屬原子的數量。由於四配位 O 原子的配位數量是 4，因此靠近並在 O 原子下方之金屬原子數量與靠近並在 O 原子上方之金屬原子數量之總和為 4。藉此，當在一個金屬原子上方之四配位 O 原子數量與在另一金屬原子下方之四配位 O 原子數量之總和為 4 時，可接合兩種包括金屬原子的小群組。原因將描述在後。例如，在六配位金屬（In 或 Sn）原子透過下半部的三個四配位 O 原子接合之情形下，會接合五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

配位數為 4、5 或 6 的金屬原子係透過在 c 軸方向上的四配位 O 原子來接合另一個金屬原子。除了上述之外，可以不同的方式藉由結合複數個小群組來構成中群組，以使疊層結構的總電荷是 0。

第 19A 圖顯示包括在 In-Sn-Zn 基氧化物之疊層結構中的中群組之模型。第 19B 圖顯示包括三個中群組的大群組。請注意第 19C 圖顯示在從 c 軸方向觀看第 19B 圖之疊層結構之情形下的原子排列。

在第 19A 圖中，為了簡單明瞭，省略了三配位 O 原子，並以圓圈顯示四配位 O 原子；圓圈中的數字表示四配位 O 原子的數量。例如，以圈起來的 3 代表 Sn 原子之上半部和下半部各具有三個四配位 O 原子的狀態。同樣地，在第 19A 圖中，以圈起來的 1 代表 In 原子之上半部和下半部各具有一個四配位 O 原子。第 19A 圖也顯示在下半部靠近一個四配位 O 原子並在上半部靠近三個四配位 O 原子的 Zn 原子、以及在上半部靠近一個四配位 O 原子並在下半部靠近三個四配位 O 原子的 Zn 原子。

在包括在第 19A 圖之 In-Sn-Zn 基氧化物之疊層結構中的中群組中，從頂端開始按照順序，在上半部與下半部各靠近三個四配位 O 原子的 Sn 原子會接合在上半部與下半部各靠近一個四配位 O 原子的 In 原子，In 原子會接合在上半部靠近三個四配位 O 原子的 Zn 原子，Zn 原子會透過 Zn 原子之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 In 原子，In 原子會

接合包括兩個 Zn 原子並在上半部靠近一個四配位 O 原子的小群組，且小群組會透過小群組之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 Sn 原子。接合複數個上述之中群組，便構成了大群組。

這裡，三配位 O 原子之鍵結的電荷和四配位 O 原子之鍵結的電荷可分別假設成 -0.667 和 -0.5。例如，（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位或六配位）Sn 原子的電荷分別是 +3、+2、及 +4。因此，在包括 Sn 原子之小群組的電荷是 +1。所以，需要 -1 的電荷（與 +1 相消）來形成包括 Sn 原子的疊層結構。可舉出如第 18E 所示之包括兩個 Zn 原子的小群組來作為具有 -1 之電荷的結構。例如，透過一個包括兩個 Zn 原子的小群組，能消去一個包括 Sn 原子之小群組的電荷，而能使疊層結構的總電荷為 0。

當重複第 19B 圖所示的大群組時，可得到 In-Sn-Zn 基氧化物的結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。請注意所得到之 In-Sn-Zn 基氧化物的疊層結構可表示成 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （ m 是 0 或自然數）之組成式。

上述規則也適用於下列氧化物：如 In-Sn-Ga-Zn 基氧化物的四成分金屬氧化物；如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧

化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物的三成分金屬氧化物；如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，或 In-Ga 基氧化物的兩成分金屬氧化物；如 In 基氧化物、Sn 基氧化物、或 Zn 基氧化物的一成分金屬氧化物等。

第 20A 圖顯示包括在 In-Ga-Zn 基氧化物之疊層結構中的中群組之模型作為實例。

在包括在第 20A 圖之 In-Ga-Zn 基氧化物之疊層結構中的中群組中，從頂端開始按照順序，在上半部與下半部各靠近三個四配位 O 原子的 In 原子會接合在上半部靠近一個四配位 O 原子的 Zn 原子，Zn 原子會透過 Zn 原子之下半部的三個四配位 O 原子來接合在上半部與下半部各靠近一個四配位 O 原子的 Ga 原子，及 Ga 原子會透過 Ga 原子之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 In 原子。接合複數個上述之中群組，便構成了大群組。

第 20B 圖顯示包括三個中群組的大群組。請注意第 20C 圖顯示在從 c 軸方向觀看第 20B 圖之疊層結構之情形下的原子排列。

這裡，由於（六配位或五配位）In 原子的電荷、（四

配位) Zn 原子的電荷、及(五配位) Ga 原子的電荷分別是 +3、+2、+3，因此，包括 In 原子、Zn 原子及 Ga 原子之任一者之小群組的電荷為 0。所以，結合了這些小群組之中群體的總電荷永遠是 0。

爲了形成 In-Ga-Zn 基氧化物之疊層結構，不只可使用第 20A 圖所示之中群組也可使用不同於第 20A 圖之 In 原子、Ga 原子及 Zn 原子排列的中群組來構成大群組。

當重複第 20B 圖所示的大群組時，可得到 In-Ga-Zn 基氧化物的結晶。請注意所得到之 In-Ga-Zn 基氧化物的疊層結構可表示成 $\text{InGaO}_3(\text{ZnO})_n$ (n 是自然數) 之組成式。

例如，在 $n=1$ (InGaZnO_4) 的情況中，可得到第 21A 圖中的結晶結構。請注意在第 21A 圖的結晶結構中，由於如第 18B 圖所示 Ga 原子和 In 原子各具有五個配位，因此可得到以 In 代替 Ga 的結構。

例如，在 $n=2$ ($\text{InGaZn}_2\text{O}_5$) 的情況中，可得到第 21B 圖中的結晶結構。請注意在第 21B 圖的結晶結構中，由於如第 18B 圖所示 Ga 原子和 In 原子各具有五個配位，因此可得到以 In 代替 Ga 的結構。

接著，如第 14A 圖所示，形成與閘極 707 和氧化物半導體層 716 接觸的導電膜 719 以及與導電膜 708 和氧化物半導體層 716 接觸的導電膜 720。導電膜 719 與 720 係當作源極與汲極。

具體來說，導電膜 719 與 720 能以導電膜係藉由濺射

法或真空蒸氣沉積法來形成以覆蓋閘極 707 和導電膜 708 並接著被處理成預定形狀之方式來形成。

可使用下列任何材料來作為導電膜 719 與 720 的導電膜：從鋁、鉻、銅、鉍、鈦、鉬、鎢和鎂中選出的元素；包括任何上述元素作為其成份的合金；包括上述元素之任何組合的合金膜等。替代地，可使用如鉻、鉍、鈦、鉬、或鎢之耐火金屬的膜疊在鋁或銅之金屬膜上方或下方的結構。鋁或銅最好被用來與耐火金屬材料結合以避免耐熱性及腐蝕的問題。可使用鉬、鈦、鉻、鉍、鎢、釹、釷、釷等作為耐火金屬材料。

再者，作為導電膜 719 與 720 的導電膜可具有單層結構或兩個或更多層的疊層結構。例如，可舉出含矽的鋁膜之單層結構、鈦膜疊在鋁膜上的兩層結構、及依鈦膜、鋁膜、與鈦膜的順序所堆疊之三層結構等等。Cu-Mg-Al 合金、Mo-Ti 合金、Ti 及 Mo 能高度附著於氧化膜。因此，對導電膜 719 與 720 使用疊層結構，即用於下層之包括 Cu-Mg-Al 合金、Mo-Ti 合金、Ti 或 Mo 的導電膜以及用於上層之包括 Cu 的導電膜；因此，可增加為氧化膜之絕緣膜以及導電膜 719 與 720 之間的附著。

可對作為導電膜 719 與 720 的導電膜使用導電金屬氧化物。可使用氧化銮、氧化錫、氧化鋅、氧化銮和氧化錫之混合、氧化銮和氧化鋅之混合、或含矽或氧化矽的金屬氧化物材料作為導電金屬氧化物。

在形成導電膜之後進行加熱處理的情況下，導電膜最

好具有夠高的耐熱性以禁得起加熱處理。

請注意會適當地調整材料及蝕刻條件，以致在蝕刻導電膜期間盡可能地不移除氧化物半導體層 716。依據蝕刻條件，有些情況會部分地蝕刻氧化物半導體層 716 的暴露部分，因而形成溝槽（凹下部）。

在本實施例中，係使用鈦膜作為導電膜。於是，可利用含氨和過氧化氫水之溶液（過氧氫氨混合物）來選擇性地對導電膜進行濕式蝕刻。具體來說，係使用以 5：2：2 的容積比來混合 31wt% 的過氧化氫水、28wt% 的氨水及水之溶液作為過氧氫氨混合物。替代地，可藉由使用含氯（ Cl_2 ）、氯化硼（ BCl_3 ）之類的氣體在導電膜上進行乾式蝕刻。

為了減少光遮罩的數目和光致微影步驟中的步驟，可藉由使用多色調遮罩所形成之抗蝕遮罩來執行蝕刻，光經由多色調遮罩傳送以便具有複數個強度。多色調遮罩所形成之抗蝕遮罩具有複數個厚度，並可藉由蝕刻改變形狀；因此，可在複數個蝕刻步驟中使用抗蝕遮罩，以將膜處理成不同圖案。因此，可藉由一個多色調遮罩來形成對應於至少兩種不同圖案的抗蝕遮罩。如此，可減少曝光遮罩的數目，且亦可減少對應光致微影步驟的數目，藉此能實現製程的簡化。

再者，當作源極區與汲極區的氧化物半導體膜可置於氧化物半導體層 716 以及當作源極與汲極的導電膜 719 與 720 之間。氧化物半導體膜的材料最好包含氧化鋅作為成

份且最好不含氧化銦。關於上述氧化物導電膜，可使用氧化鋅、鋁酸鋅、氧氮化鋁鋅、氧化鋅鎳或之類。

例如，在形成氧化物導電膜的情況下，可同時進行用來形成氧化物導電膜的蝕刻製程及用來形成導電膜 719 與 720 的蝕刻製程。

藉由設置當作源極區與汲極區的氧化物導電膜，能降低氧化物半導體層 716 以及導電膜 719 與 720 之間的阻抗，使得電晶體能在高速下運作。此外，藉由設置當作源極區與汲極區的氧化物導電膜，能提高電晶體的耐受電壓。

接著，使用諸如 N_2O 、 N_2 、或 Ar 之氣體來執行電漿處理。藉由此電漿處理，去除黏附於氧化物半導體層的露出表面之水等等。同樣亦可使用氧和氬的混合氣體來執行電漿處理。

在電漿處理之後，如第 14B 圖所示，形成閘絕緣膜 721 以覆蓋導電膜 719 與 720 以及氧化物半導體層 716。接著，在閘絕緣膜 721 上形成閘極 722 以與氧化物半導體層 716 重疊。

可使用與閘絕緣膜 703 類似之材料及疊層結構來形成閘絕緣膜 721。請注意閘絕緣膜 721 最好包括盡可能少量如水或氬的雜質，且閘絕緣膜 721 可使用單層絕緣膜或堆疊複數個絕緣膜來構成。當閘絕緣膜 721 中含有氬時，氬會進入氧化物半導體層 716，或氧化物半導體層 716 中的氧會被氬排出，藉此氧化物半導體層 716 具有較低阻抗（n 型導電性）；因此，可能會形成寄生通道。

於是，爲了形成含有盡可能少的氫之閘絕緣膜 721，採用不使用氫的沉積法係很重要的。閘絕緣膜 721 因爲下列原因而最好也包括過氧區。當閘絕緣膜 721 包括過氧區時，能防止氧從氧化物半導體層 716 移到閘絕緣膜 721，並且能從閘絕緣膜 721 供應氧至氧化物半導體層 716。

可使用具有抗鹼金屬、氫、和氧之高障壁特性的材料來形成閘絕緣膜 721。可藉由堆疊包括過氧區之絕緣膜和具有高障壁特性之絕緣膜來構成閘絕緣膜 721。例如，可使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氧化鋁膜、氧化氮鋁膜、氮氧化鋁膜等作爲具有高障壁特性的絕緣膜。在藉由堆疊包括過氧區之絕緣膜和具有高障壁特性之絕緣膜來構成閘絕緣膜 721 之情形下，包括過氧區的絕緣膜可形成與氧化物半導體層 716 接觸。

當使用具有高障壁特性之絕緣膜時，可防止雜質進入氧化物半導體層 716、氧化物半導體層 716 與絕緣膜之間的介面及其附近，並能防止氧從氧化物半導體層 716 釋出。

在本實施例中，閘絕緣膜 721 具有藉由濺射法形成之 100 nm 厚的氮化矽膜堆疊在藉由濺射法形成之 200 nm 厚的氧化矽膜之上的結構。膜形成期間的基板溫度可高於或等於室溫且低於或等於 300℃，而本實施例爲 100℃。

在形成閘絕緣膜 721 之後，可進行加熱處理。加熱處理最好是以高於或等於 200℃ 且低於或等於 400℃ 的溫度（例如高於或等於 250℃ 且低於或等於 350℃），在氮氣

圍、超乾空氣、或稀有氣體（例如，氬或氦）氣圍中進行。氣體中的水含量最好低於或等於 20ppm，更好是低於或等於 1ppm，又更好是低於或等於 10ppb。在本實施例中，例如，係在氮氣圍中以 250℃ 來進行一小時加熱處理。替代地，以類似於在氧化物半導體層上進行的加熱處理之方法，可在形成導電膜 719 與 720 之前進行在高溫下短時間的 RTA 處理，以減少水或氬。甚至當由於先前在氧化物半導體層 716 上所執行的加熱處理而在氧化物半導體層 716 中產生氧缺陷時，藉由在提供含氧的閘絕緣膜 721 之後執行加熱處理，仍可從閘絕緣膜 721 供應氧到氧化物半導體層 716。

藉由供應氧到氧化物半導體層 716，可降低在氧化物半導體層 716 中充作施體的氧缺陷，並可滿足化學計量比。結果，可使氧化物半導體層 716 成為實質上 i 型，及可降低由於氧缺陷所導致之電晶體的電特性變化；如此，可提高電特性。並不特別限制此加熱處理的時序，只要在形成閘絕緣膜 721 之後即可。當此加熱處理作為另一步驟中的加熱處理時（例如，形成樹脂膜期間的加熱處理或用來減少透明導電膜之阻抗的加熱處理），不須增加步驟數，就可使氧化物半導體層 716 成為實質上 i 型。

此外，藉由將氧化物半導體層 716 經過氧氣圍中的加熱處理，以便將氧添加到氧化物半導體，可減少在氧化物半導體層 716 中充作施體的氧空缺。加熱處理係以例如高於或等於 100℃ 且低於 350℃，最好高於或等於 150℃ 且低

於 250℃ 的溫度來進行。用於在氧氣圍下之加熱處理的氧氣最好不包括水、氫等。替代地，引進加熱處理設備的氧氣之純度最好大於或等於 6N (99.9999%)，更好是大於或等於 7N (99.99999%) (即，氧氣中的雜質濃度小於或等於 1 ppm，最好小於或等於 0.1 ppm)。

閘極 722 能以在閘絕緣膜 721 上形成導電膜並接著被蝕刻的方式來形成。可使用與閘極 707 以及導電膜 719 與 720 類似的材料來構成閘極 722。

閘極 722 的厚度是 10 nm 到 400 nm，最好是 100 nm 到 200 nm。在本實施例中，在藉由使用鎢靶材的濺射法來形成閘極之厚度為 150nm 的導電膜之後，便將導電膜蝕刻成想要的形狀，以形成閘極 722。請注意可藉由噴墨法形成抗蝕遮罩。藉由噴墨法來形成抗蝕遮罩不需要光遮罩；因此，能降低製造成本。

經過上述步驟，使電晶體 731 形成。

雖然係以單閘極電晶體來說明電晶體 731，但當必要包括複數個電性連接的閘極時，可形成包括複數個通道形成區的多閘極電晶體。

請注意與氧化物半導體層 716 接觸的絕緣膜 (在本實施例中，對應於閘絕緣膜 721) 可使用包含屬於第 13 族之元素的絕緣材料及氧來形成。許多氧化物半導體材料含有屬於第 13 族的元素、且含有屬於第 13 族之元素的絕緣材料都與氧化物半導體運作良好。因此，當將含有屬於第 13 族之元素的絕緣材料用於與氧化物半導體層接觸的絕緣膜

時，氧化物半導體層與絕緣膜之間的介面之狀態便能保持良好。

含有屬於第 13 族之元素的絕緣材料係為含有一或更多屬於第 13 族之元素的絕緣材料。例如舉出氧化鎵、氧化鋁、氧化鎵鋁、及氧化鋁鎵等作為含有屬於第 13 族之元素的絕緣材料。這裡，氧化鎵鋁係指在原子百分比中鋁含量高於鎵含量的材料，而氧化鋁鎵係指在原子百分比中鎵含量高於或等於鋁含量的材料。

例如，當對與含鎵的氧化物半導體層接觸的絕緣膜使用含有氧化鎵的材料時，在氧化物半導體層與絕緣膜之間的介面的特性能保持良好。例如，設置氧化物半導體層與內含氧化鎵的絕緣膜以彼此接觸，以能減少氫在氧化物半導體層與絕緣膜之間的介面上堆積。請注意在絕緣膜中使用與氧化物半導體之組成元素同族的情況下，能得到類似的效果。例如，藉由使用包括氧化鋁的材料，亦能有效地形成絕緣膜。請注意水不太可能滲入具有高障壁特性的氧化鋁中，因此最好使用含有氧化鋁的材料以防止水進入氧化物半導體層中。

類似於閘絕緣膜 721，最好使用包括過氧區（含有比例超過化學計量組成的氧之區域）的材料來構成閘絕緣膜 713。亦可在閘絕緣膜 713 與氧化物半導體層 716 之間形成包括過氧區的絕緣膜。

對絕緣膜進行氧摻雜處理，以能形成包括過氧區的絕緣膜。「氧摻雜」意指添加氧到塊內。請注意使用「塊」

之術語是爲了明確表示氧不僅添加到薄膜的表面而且亦添加到薄膜的內部。另外，「氧摻雜」包括將電漿化的氧添加到塊中的「氧電漿摻雜」。可利用離子植入法、離子摻雜法或電漿摻雜法來執行氧摻雜。

例如，在使用氧化鎵形成與氧化物半導體層 716 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或藉由氧摻雜，氧化鎵的組成可設爲 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在使用氧化鋁形成與氧化物半導體層 716 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或藉由氧摻雜，氧化鋁的組成可設爲 Al_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在使用氧化鋁鎵（氧化鎵鋁）形成與氧化物半導體層 716 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或藉由氧摻雜，氧化鋁鎵（氧化鎵鋁）的組成可設爲 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<x<2$ ， $0<\alpha<1$)。

當形成包括過氧區之絕緣膜與氧化物半導體層 716 接觸並進行加熱處理時，便將絕緣膜中過量的氧供應到氧化物半導體層，並減少氧化物半導體層或氧化物半導體層和絕緣膜之間的介面中的氧缺陷。如此，可使氧化物半導體層成爲 i 型或實質上 i 型氧化物半導體。

包括過氧區的絕緣膜可施用於位於氧化物半導體層 716 的上側上之絕緣膜或者位在與氧化物半導體層 716 相接觸之絕緣膜之氧化物半導體層 716 的下側上之絕緣膜；不過，最好將上述絕緣膜施用於與氧化物半導體層 716 相接觸的兩個絕緣膜上。可透過氧化物半導體層 716 夾置在

各包括過氧區的絕緣膜（其係作為與氧化物半導體層 716 相接觸並且位在氧化物半導體層 716 的上側和下側上之絕緣膜）之間的結構來加強上述有利效果。

在氧化物半導體層 716 上側或下側的絕緣膜可包含相同的組成元素或不同的組成元素。例如，在上側和下側的絕緣膜可兩者都以組成爲 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵來構成。替代地，在上側和下側的絕緣膜之其一者可由 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 來形成，而另一者可以組成爲 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鋁來形成。

可藉由堆疊各包括過氧區的絕緣膜來形成與氧化物半導體層 716 接觸的絕緣膜。例如，在氧化物半導體層 716 上側的絕緣膜可形成如下：形成組成爲 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵並在其上形成組成爲 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 的氧化鋁鎵（氧化鋁鎵）。

接著，如第 14C 圖所示，形成絕緣膜 724 以覆蓋閘絕緣膜 721 和閘極 722。可藉由 PVD 法、CVD 法或之類的方法形成絕緣膜 724。絕緣膜 724 可使用包括如氧化矽、氮化矽、氮化矽、氧化鉛、氧化鎵、或氧化鋁的無機絕緣材料之材料來組成。請注意最好對絕緣膜 724 使用具有低介電常數的材料或具有低介電常數的結構（例如，多孔結構）。當絕緣膜 724 的介電常數很低時，能降低產生於佈線或電極之間的寄生電容，而造成更高速的運作。請注意雖然在本實施例中，絕緣膜 724 具有單層結構，但本發明之一實施例不會受限於此結構。絕緣膜 724 可具有兩個或

更多層的疊層結構。

接著，在閘絕緣膜 721 及絕緣膜 724 中形成開口 725，以露出部分的導電膜 720。之後，在絕緣膜 724 上形成透過開口 725 與導電膜 720 接觸的佈線 726。

以藉由 PVD 法或 CVD 法來形成導電膜並接著藉由蝕刻來處理導電膜的方式來形成佈線 726。可使用從鋁、鉻、銅、鉬、鈦、鉬、和鎢中選出的元素；包含任何這些元素作為成份的合金或之類來作為導電膜的材料。可使用包括錳、鎂、鋅、鈹、鈦、及鈦之其一者或任何這些元素之組合的材料。

具體來說，例如，可能採用藉由 PVD 法在包括絕緣膜 724 之開口之區域中形成薄鈦膜（具有約為 5nm 的厚度），並接著形成鋁膜以被嵌入開口 725 中的方法。這裡，藉由 PVD 法形成的鈦膜具有減少在鈦膜所形成之表面上形成的氧化物膜（例如，自然氧化物膜）的功能，以減少與較下方電極等（這裡係指導電膜 720）的接觸阻抗。此外，能防止鋁膜凸起。在形成鈦、氮化鈦等的阻擋膜之後，可藉由電鍍法來形成銅膜。

在絕緣膜 724 中形成的開口 725 最好形成在與導電膜 708 重疊的區域中。藉由在上述區域中設置開口 725，能抑制由於接觸區域所造成的元件面積增加。

這裡，說明雜質區 704 與導電膜 720 之連接部份以及導電膜 720 與佈線 726 之連接部份不使用導電膜 708 而彼此重疊之情況。在此情況下，在形成於雜質區 704 上的絕

緣膜 712 與 713 中形成開口（也稱作下方部分中的開口），並形成導電膜 720 以覆蓋下方部分中的開口。之後，在與下方部分中的開口重疊之區域中的閘絕緣膜 721 與絕緣膜 724 中形成開口（也稱作上方部分中的開口），並形成佈線 726。當上方部分中的開口係在與下方部分中的開口重疊之區域中形成時，經由蝕刻可能不會連接在下方部分中的開口中所形成的導電膜 720。爲了避免不連接，形成在下方部分中及上方部分中的開口以致於不彼此重疊，使得發生增加元件面積的問題。

如本實施例中所述，藉由使用導電膜 708，不須不連接導電膜 720 就能形成上方部分中的開口。因此，能形成下方部分中及上方部分中的開口以彼此重疊，如此能抑制由於開口所造成的元件面積增加。換言之，能增進半導體裝置的整合程度。

接著，形成絕緣膜 727 以覆蓋佈線 726。經過這一連串的步驟，能製造 FF 電路。

請注意在製造方法中，作爲源極與汲極的導電膜 719 與 720 係在形成氧化物半導體層 716 之後形成。於是，如第 14B 圖所示，在由製造方法所得到的電晶體 731 中，導電膜 719 與 720 係形成在氧化物半導體層 716 上。然而，在電晶體 731 中，作爲源極與汲極的導電膜可在氧化物半導體層 716 下形成，亦即，在氧化物半導體層 716 以及絕緣膜 712 與 713 之間。

第 15 圖顯示當作爲源極與汲極的導電膜 719 與 720

置於氧化物半導體層 716 以及導電膜 712 與 713 之間時的電晶體 731 之剖面圖。第 15 圖所示之電晶體 731 能以在形成絕緣膜 713 之後形成導電膜 719 與 720，並接著形成氧化物半導體層 716 的方式來得到。

本實施例能藉由適當地結合任何上述實施例來實作。

（實施例 6）

在本實施例中，將參考第 16A 至 16E 圖的剖面圖來說明包括具有與實施例 4 中的結構不同之結構的氧化物半導體層之電晶體。第 16A 至 16E 圖各顯示頂部閘極電晶體之結構的實例。第 16A、16C 和 16E 圖各顯示平面（共面）電晶體之結構的實例，而第 16B 和 16D 圖各顯示交錯電晶體之結構的實例。

第 16A 圖所示之電晶體 901 包括充當主動層且在基底膜 902 上形成的氧化物半導體層 903；在氧化物半導體層 903 上形成的源極 904 與汲極 905；在氧化物半導體層 903、源極 904、與汲極 905 上形成的閘絕緣膜 906；在閘絕緣膜 906 上並與氧化物半導體層 903 重疊的閘極 907；以及在閘極 907 上並與氧化物半導體層 903 重疊的保護絕緣膜 910。

第 16A 圖所示之電晶體 901 具有頂部閘極結構，其中閘極 907 係形成在氧化物半導體層 903 上，並具有頂部接觸結構，其中源極 904 與汲極 905 係形成在氧化物半導體層 903 上。在電晶體 901 中，源極 904 與汲極 905 不與閘

極 907 重疊。亦即，源極 904 與閘極 907 之間的距離以及在汲極 905 與閘極 907 之間的距離各大於閘絕緣膜 906 的厚度。因此，可降低在源極 904 與閘極 907 之間以及在汲極 905 與閘極 907 之間的寄生電容，以能在電晶體 901 中達到高速運作。

氧化物半導體層 903 包括一對高濃度區域 908，其可藉由在形成閘極 907 之後，將給予 n 型導電性的摻雜物加進氧化物半導體層 903 來得到。另外，氧化物半導體層 903 包括與閘極 907 重疊的通道形成區 909，其中有閘絕緣膜 906 置於閘極 907 與通道形成區 909 之間。在氧化物半導體層 903 中，通道形成區 909 係設置在成對高濃度區域 908 之間。藉由離子植入法能加入摻雜物以形成高濃度區域 908。可使用如氫、氫或氫的稀有氣體、氮、磷、砷、銻、硼或之類作為摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 908 最好具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 的氮原子濃度。

添加給予 n 型導電性之摻雜物之高濃度區域 908 的導電性會比氧化物半導體層 903 中的其他區域之導電性高。因此，經由在氧化物半導體層 903 中設置高濃度區域 908，能降低源極 904 與汲極 905 之間的阻抗。

在對氧化物半導體層 903 使用 In-Ga-Zn 基氧化物的情況下，會在添加氮之後，以高於或等於 300°C 且低於或等於 600°C 的溫度進行約一小時的加熱處理。結果，高濃

度區域 908 中的氧化物半導體具有纖鋅礦晶體結構。當高濃度區域 908 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 908 的導電性且能更減少源極 904 與汲極 905 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 904 與汲極 905 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 908 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7at.%。然而，即便氮原子濃度低於上述範圍，在有些情況下仍可得到具有纖鋅礦晶體結構的氧化物半導體。

氧化物半導體層 903 可由 CAAC-OS 組成。由 CAAC-OS 組成的氧化物半導體層 903 具有比非晶氧化物半導體層之導電性更高的導電性；因此，能減少源極 904 與汲極 905 之間的阻抗。

即便縮小電晶體 901，減少源極 904 與汲極 905 之間的阻抗仍可確保高導通電流及高速運作。另外，藉由縮小電晶體 901，能減少包括電晶體之半導體裝置的面積，以能增加每單位面積的電晶體數量。

第 16B 圖所示之電晶體 911 包括在基底膜 912 上形成的源極 914 與汲極 915；在源極 914 與汲極 915 上形成並作爲主動層的氧化物半導體層 913；在氧化物半導體層 913、源極 914、與汲極 915 上形成的閘絕緣膜 916；設置在閘絕緣膜 916 上以與氧化物半導體層 913 重疊的閘極 917；以及在閘極 917 上並覆蓋氧化物半導體層 913 的保護絕緣膜 920。

第 16B 圖所示之電晶體 911 具有頂部閘極結構，其中閘極 917 會形成在氧化物半導體層 913 上，且也具有底部接觸結構，其中源極 914 與汲極 915 會形成在氧化物半導體層 913 下。如同電晶體 901，在電晶體 911 中的源極 914 與汲極 915 不與閘極 917 重疊。因此，能降低在源極 914 與閘極 917 之間以及在汲極 915 與閘極 917 之間產生的寄生電容，且能達到高速運作。

氧化物半導體層 913 包括一對高濃度區域 918，其可藉由在形成閘極 917 之後，將給予 n 型導電性的摻雜物加進氧化物半導體層 913 來得到。此外，氧化物半導體層 913 包括與閘極 917 重疊的通道形成區 919，其中有閘絕緣膜 916 置於閘極 917 與通道形成區 919 之間。在氧化物半導體層 913 中，通道形成區 919 係設置在成對高濃度區域 918 之間。

如同包括在電晶體 901 中的高濃度區域 908，能藉由離子植入法來形成高濃度區域 918。高濃度區域 908 的例子可稱為一種用來形成高濃度區域 918 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 918 最好具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 的氮原子濃度。

添加給予 n 型導電性之摻雜物之高濃度區域 918 的導電性比氧化物半導體層 913 中的其他區域之導電性高。因此，經由在氧化物半導體層 913 中設置高濃度區域 918，能減少源極 914 與汲極 915 之間的阻抗。

在對氧化物半導體層 913 使用 In-Ga-Zn 基氧化物的情況下，會在添加氮之後，以高於或等於 300℃ 且低於或等於 600℃ 的溫度進行加熱處理。結果，高濃度區域 918 中的氧化物半導體具有纖鋅礦晶體結構。當高濃度區域 918 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 918 的導電性且能更減少源極 914 與汲極 915 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 914 與汲極 915 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 918 中的氮原子濃度最好高於或等於 $1 \times 10^{20} / \text{cm}^3$ 且低於或等於 7at.%。然而，即便氮原子濃度低於上述範圍，在有些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

氧化物半導體層 913 可由 CAAC-OS 組成。由 CAAC-OS 組成的氧化物半導體層 913 具有比非晶氧化物半導體層之導電性更高的導電性；因此，能減少源極 914 與汲極 915 之間的阻抗。

即便縮小電晶體 911，減少源極 914 與汲極 915 之間的阻抗仍可確保高導通電流及高速運作。藉由縮小電晶體 911，能減少包括電晶體之半導體裝置所佔用的面積，並能增加每單位面積的電晶體數量。

第 16C 圖所示之電晶體 921 包括在基底膜 922 上形成並作爲主動層的氧化物半導體層 923；在氧化物半導體層 923 上形成的源極 924 與汲極 925；在氧化物半導體層 923、源極 924、與汲極 925 上形成的閘絕緣膜 926；設置在

閘絕緣膜 926 上以與氧化物半導體層 923 重疊的閘極 927；以及在閘極 927 上並覆蓋氧化物半導體層 923 的保護絕緣膜 932。此外，電晶體 921 包括側壁 930，其使用絕緣體來形成並置於閘極 927 的側表面上。

第 16C 圖所示之電晶體 921 具有頂部閘極結構，其中閘極 927 會形成在氧化物半導體層 923 上，且也具有頂部接觸結構，其中源極 924 與汲極 925 會形成在氧化物半導體層 923 上。如同電晶體 901，因為在電晶體 921 中的源極 924 與汲極 925 不與閘極 927 重疊，因此，能降低在源極 924 與閘極 927 之間以及在汲極 925 與閘極 927 之間的寄生電容，並能達到高速運作。

氧化物半導體層 923 包括一對高濃度區域 928 及一對低濃度區域 929，其係藉由在形成閘極 927 之後，將給予 n 型導電性的摻雜物加進氧化物半導體層 923 來得到。此外，氧化物半導體層 923 包括與閘極 927 重疊的通道形成區 931，其中有閘絕緣膜 926 置於閘極 927 與通道形成區 931 之間。在氧化物半導體層 923 中，通道形成區 931 係設置在位於成對高濃度區域 928 之間的成對低濃度區域 929 之間。另外，成對低濃度區域 929 係置於與側壁 930 重疊之氧化物半導體層 923 的區域中，其中有閘絕緣膜 926 置於低濃度區域 929 與側壁 930 之間。

如同包括在電晶體 901 中的高濃度區域 908 之情況，高濃度區域 928 與低濃度區域 929 能藉由離子植入法來形成。高濃度區域 908 的例子可稱為一種用來形成高濃度區

域 928 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 928 最好具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 的氮原子濃度。又，例如，當使用氮作為摻雜物時，例如，低濃度區域 929 最好具有高於或等於 $5 \times 10^{18}/\text{cm}^3$ 且低於或等於 $5 \times 10^{19}/\text{cm}^3$ 的氮原子濃度。

添加給予 n 型導電性之摻雜物之高濃度區域 928 的導電性比氧化物半導體層 923 中的其他區域之導電性高。因此，經由在氧化物半導體層 923 中設置高濃度區域 928，能減少源極 924 與汲極 925 之間的阻抗。低濃度區域 929 係設置在通道形成區 931 與高濃度區域 928 之間，以能減少由於短通道效應而造成的臨界電壓之負向偏移。

在對氧化物半導體層 923 使用 In-Ga-Zn 基氧化物的情況下，會在添加氮之後，以高於或等於 300°C 且低於或等於 600°C 的溫度進行加熱處理。結果，高濃度區域 928 中的氧化物半導體具有纖鋅礦晶體結構。又，低濃度區域 929 會取決於氮濃度而也具有由於加熱處理而產生的纖鋅礦晶體結構。當高濃度區域 928 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 928 的導電性且能更減少源極 924 與汲極 925 之間的阻抗。請注意為了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 924 與汲極 925 之間的阻抗，當使用氮作為摻雜物時，高濃度區域 928 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7at.%。然而，即便氮原子濃度低於上述範

圍，在有些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

氧化物半導體層 923 可由 CAAC-OS 組成。由 CAAC-OS 組成的氧化物半導體層 923 具有比非晶氧化物半導體層之導電性更高的導電性；因此，能減少源極 924 與汲極 925 之間的阻抗。

即便縮小電晶體 921，減少源極 924 與汲極 925 之間的阻抗仍可確保高導通電流及高速運作。藉由縮小電晶體 921，能減少包括電晶體之半導體裝置所佔用的面積，並能增加每單位面積的電晶體數量。

第 16D 圖所示之電晶體 941 包括在基底膜 942 上形成的源極 944 與汲極 945；在源極 944 與汲極 945 上形成並作為主動層的氧化物半導體層 943；在氧化物半導體層 943、源極 944、與汲極 945 上的閘絕緣膜 946；設置在閘絕緣膜 946 上以與氧化物半導體層 943 重疊的閘極 947；以及在閘極 947 上並覆蓋氧化物半導體層 943 的保護絕緣膜 952。此外，電晶體 941 包括側壁 950，其使用絕緣體來形成並置於閘極 947 的側表面上。

第 16D 圖所示之電晶體 941 具有頂部閘極結構，其中閘極 947 會形成在氧化物半導體層 943 上，且也具有底部接觸結構，其中源極 944 與汲極 945 會形成在氧化物半導體層 943 下。如同電晶體 901，因為在電晶體 941 中的源極 944 與汲極 945 不與閘極 947 重疊，因此能降低在源極 944 與閘極 947 之間以及在汲極 945 與閘極 947 之間的寄

生電容，並能達到高速運作。

氧化物半導體層 943 包括一對高濃度區域 948 及一對低濃度區域 949，其係藉由在形成閘極 947 之後，將給予 n 型導電性的摻雜物加進氧化物半導體層 943 來得到。此外，氧化物半導體層 943 包括與閘極 947 重疊的通道形成區 951，其中有閘絕緣膜 946 置於閘極 947 與通道形成區 951 之間。在氧化物半導體層 943 中，通道形成區 951 係設置在位於成對高濃度區域 948 之間的成對低濃度區域 949 之間。又，成對低濃度區域 949 係置於與側壁 950 重疊之氧化物半導體層 943 的區域中，其中有閘絕緣膜 946 置於低濃度區域 949 與側壁 950 之間。

如同包括在電晶體 901 中的高濃度區域 908 之情形，高濃度區域 948 與低濃度區域 949 能藉由離子植入法來形成。高濃度區域 908 的例子可稱為一種用來形成高濃度區域 948 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 948 最好具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 的氮原子濃度。又，當使用氮作為摻雜物時，例如，低濃度區域 949 最好具有高於或等於 $5 \times 10^{18}/\text{cm}^3$ 且低於或等於 $5 \times 10^{19}/\text{cm}^3$ 的氮原子濃度。

添加給予 n 型導電性之摻雜物之高濃度區域 948 的導電性比氧化物半導體層 943 中的其他區域之導電性高。因此，經由在氧化物半導體層 943 中設置高濃度區域 948，能減少源極 944 與汲極 945 之間的阻抗。低濃度區域 949

係設置在通道形成區 951 與高濃度區域 948 之間，以能減少由於短通道效應而造成的臨界電壓之負向偏移。

在對氧化物半導體層 943 使用 In-Ga-Zn 基氧化物的情況下，會在添加氮之後，以高於或等於 300℃ 且低於或等於 600℃ 的溫度進行加熱處理。結果，高濃度區域 948 中的氧化物半導體具有纖鋅礦晶體結構。又，低濃度區域 949 會取決於氮濃度而也具有由於加熱處理而產生的纖鋅礦晶體結構。當高濃度區域 948 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 948 的導電性且能更減少源極 944 與汲極 945 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 944 與汲極 945 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 948 中的氮原子濃度最好高於或等於 $1 \times 10^{20} / \text{cm}^3$ 且低於或等於 7at.%。然而，即便氮原子濃度低於上述範圍，在有些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

氧化物半導體層 943 可由 CAAC-OS 組成。由 CAAC-OS 組成的氧化物半導體層 943 具有比非晶氧化物半導體層之導電性更高的導電性；因此，能減少源極 944 與汲極 945 之間的阻抗。

即便縮小電晶體 941，減少源極 944 與汲極 945 之間的阻抗仍可確保高導通電流及高速運作。藉由縮小電晶體 941，能減少包括電晶體之半導體裝置所佔用的面積，並能增加每單位面積的電晶體數量。

第 16E 圖所示之電晶體 961 包括在基底膜 962 上形成並作為主動層的氧化物半導體層 963；在氧化物半導體層 963 上形成的源極 964 與汲極 965；與氧化物半導體層 963 重疊的閘極 967，其中有閘絕緣膜 966 置於閘極 967 與氧化物半導體層 963 之間；由絕緣體構成並置於閘極 967 之側表面上的側壁 970；在閘極 967 上形成並覆蓋氧化物半導體層 963 的保護絕緣膜 972；以及在保護絕緣膜 972 上的絕緣膜 973。另外，電晶體 961 包括透過設置在保護絕緣膜 972 和絕緣膜 973 中的接孔來電性連接源極 964 的電極 974，以及透過設置在保護絕緣膜 972 和絕緣膜 973 中的接孔來電性連接汲極 965 的電極 975。

可使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬的無機絕緣材料之材料來形成絕緣膜 973。此外，可使用如聚亞醯胺或丙烯酸樹脂的有機絕緣材料來形成絕緣膜 973。

在形成絕緣膜 973 之後，最好藉由 CMP 處理、蝕刻處理或之類來進行平坦化處理，以降低絕緣膜 973 表面的不平坦。透過降低絕緣膜 973 表面的不平坦，能增進在之後步驟中形成的電極、佈線等的覆蓋範圍，並能容易提高半導體裝置的整合程度。此外，能抑制步驟中的佈線阻抗增加或由於粗劣的覆蓋而導致佈線不連接，以能增進半導體裝置的可靠度。

電晶體 961 具有頂部閘極結構，其中閘極 967 會形成在氧化物半導體層 963 上，且也具有頂部接觸結構，其中

源極 964 與汲極 965 會形成在氧化物半導體層 963 上。如同在電晶體 901 中，在電晶體 961 中，源極 964 與汲極 965 不與閘極 967 重疊。因此，能降低在源極 964 與閘極 967 之間以及在汲極 965 與閘極 967 之間產生的寄生電容。結果，能執行高速運作。

氧化物半導體層 963 包括一對高濃度區域 968 及一對低濃度區域 969，其係藉由在形成閘極 967 之後，將給予 n 型導電性的摻雜物加進氧化物半導體層 963 來得到。此外，氧化物半導體層 963 包括與閘極 967 重疊的通道形成區 971，其中有閘絕緣膜 966 置於閘極 967 與通道形成區 971 之間。在氧化物半導體層 963 中，通道形成區 971 係設置在位於成對高濃度區域 968 之間的成對低濃度區域 969 之間。又，成對低濃度區域 969 係置於與側壁 970 重疊之氧化物半導體層 963 的區域中，其中有閘絕緣膜 966 置於低濃度區域 969 與側壁 970 之間。

以類似於包括在電晶體 901 中的高濃度區域 908 之情形的方式，高濃度區域 968 與低濃度區域 969 能藉由離子植入法來形成。高濃度區域 908 的例子可稱為一種用來形成高濃度區域 968 的摻雜物。

例如，在使用氮作為摻雜物之情形下，高濃度區域 968 中的氮原子濃度最好高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 的。又，例如，在使用氮作為摻雜物之情形下，低濃度區域 969 中的氮原子濃度最好高於或等於 $5 \times 10^{18}/\text{cm}^3$ 且低於或等於 $5 \times 10^{19}/\text{cm}^3$ 。

添加給予 n 型導電性之摻雜物之高濃度區域 968 的導電性比氧化物半導體層 963 中的其他區域之導電性高。因此，經由在氧化物半導體層 963 中設置高濃度區域 968，能減少源極 964 與汲極 965 之間的阻抗。又，低濃度區域 969 係設置在通道形成區 971 與高濃度區域 968 之間，以能減少由於短通道效應而造成的臨界電壓之反向偏移。

當對氧化物半導體層 963 使用 In-Ga-Zn 基氧化物時，會在添加氮之後，以高於或等於 300℃ 且低於或等於 600℃ 的溫度進行加熱處理，使得高濃度區域 968 中的氧化物半導體具有纖鋅礦晶體結構。又，依據氮濃度，在有些情況下的低濃度區域 969 會由於加熱處理而具有纖鋅礦晶體結構。當高濃度區域 968 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 968 的導電性且能更減少源極 964 與汲極 965 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 964 與汲極 965 之間的阻抗，在使用氮作爲摻雜物的情況下，高濃度區域 968 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7at.%。然而，即便氮原子濃度低於上述範圍，在有些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

氧化物半導體層 963 可由 CAAC-OS 組成。由 CAAC-OS 組成的氧化物半導體層 963 具有比非晶氧化物半導體層之導電性更高的導電性；因此，能減少源極 964 與汲極 965 之間的阻抗。

即便縮小電晶體 961，減少源極 964 與汲極 965 之間的阻抗仍可確保高導通電流及高速運作。藉由縮小電晶體 961，能減少包括電晶體之半導體裝置所佔用的面積，並能增加每單位面積的電晶體數量。

請注意已揭露一種方法來作為其中一種透過自動對準程序來形成作為在包括氧化物半導體之電晶體中的源極區或汲極區之高濃度區域的方法，即暴露出氧化物半導體層的表面、進行氬電漿處理、並降低在暴露於電漿之氧化物半導體層中之區域的阻抗（S.Jeon et al.的「180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications」，IEDM Tech. Dig.，第 504-507 頁，2010）。

然而，在製造方法中，在形成閘絕緣膜之後，必須部分地移除閘絕緣膜，以暴露出當作源極區或汲極區的部分。於是，當移除閘絕緣膜時，在閘絕源膜下的氧化物半導體層會被部分地過度蝕刻；於是，為源極區或汲極區之部分的厚度會變小。因此，增加源極區或汲極區的阻抗，且容易發生由於過度蝕刻而造成之電晶體特性的缺陷。

為了更加縮小電晶體，必須採用具有高處理準確度的乾式蝕刻法。然而，過度蝕刻特別容易發生於使用乾式蝕刻法之情況中，其不能充份地得到對氧化物半導體層的閘絕緣膜之選擇性。

例如，當氧化物半導體層具有足夠的厚度時，就不會產生過度蝕刻的問題。然而，當通道長度短於或等於 200

nm 時，待成爲通道形成區的氧化物半導體層之部份的厚度必須小於或等於 20 nm，最好小於或等於 10 nm 以防止短通道效應。當如上述情況般氧化物半導體層之厚度很小時，如上所述，便增加源極區或汲極區的阻抗並由於過度蝕刻氧化物半導體層而發生電晶體特性的缺陷，其是不利的。

然而，如本發明之一實施例中，當在留下閘絕緣膜以不露出氧化物半導體之狀態下添加摻雜物到氧化物半導體層中時，能防止過度蝕刻氧化物半導體層，並能降低對氧化物半導體層之過度損害。此外，能保持氧化物半導體層與閘絕緣膜之間的介面乾淨。藉此，能增進電晶體的特性及可靠度。

最好使用具有抗鹼金屬、氫、和氧之高障壁特性的材料來形成置於氧化物半導體層下的基底膜或保護絕緣膜。例如，可使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氧化鋁膜、氧化氮鋁膜、氮氧化鋁膜等作爲具有高障壁特性的絕緣膜。作爲基底膜和保護絕緣膜，可使用單層或一疊具有高障壁特性的絕緣膜，或一疊具有高障壁特性的絕緣膜和具有低障壁特性的絕緣膜。

以具有高障壁特性之絕緣膜覆蓋氧化物半導體層能防止從外部進入雜質並防止從氧化物半導體層釋出氧。因此，能提高電晶體的可靠度。

本實施例能藉由適當地結合任何上述實施例來實作。

(實施例 7)

藉由使用根據本發明之一實施例的除法器電路，可提供高度可靠的電子裝置及具有低功率耗損的電子裝置。尤其是，在不易連續接收電力之可攜式電子裝置的例子中，當加入根據本發明之一實施例的除法器電路作為裝置的元件時，可獲得增加連續作業時間的優點。

根據本發明之一實施例的除法器電路可被用於顯示裝置、個人電腦、或裝有記錄媒體的影像再生裝置（代表性地，諸如數位多用途碟（DVD）之再生記錄媒體的內容及具有用以顯示所再生的影像之顯示器的裝置）。除了上述，作為可裝有根據本發明之一實施例之除法器電路的電子裝置，可舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、如攝影機及數位靜態相機的照相機、護目鏡型顯示器（頭戴式顯示器）、導航系統、聲頻再生裝置（如、車用音訊系統和數位音訊播放器）、複印機、傳真機、印刷機、多功能印刷機、自動櫃員機（ATM）、自動販賣機等。第 17A 和 17B 圖顯示這些電子裝置的具體實例。

第 17A 圖顯示一電子書閱讀器，其包括外殼 7001、顯示部 7002 等。可對用於控制電子書閱讀器之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制電子書閱讀器之驅動的積體電路使用根據本發明之一實施例的除法器電路，電子書閱讀器可降低耗電量。當使用可彎曲基板時，積體電路可具有彈性，藉此可提供

有彈性且輕巧之易使用的電子書閱讀器。

第 17B 圖顯示一顯示裝置，其包括外殼 7011、顯示部 7012、支撐基座 7013 等。可對用於控制顯示裝置之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制顯示裝置之驅動的積體電路使用根據本發明之一實施例的除法器電路，顯示裝置可降低耗電量。請注意顯示裝置包括所有用來顯示資訊的顯示裝置，如在其範疇中用於個人電腦、接收電視廣播、及顯示廣告的顯示裝置。

第 17C 圖顯示一顯示裝置，其包括外殼 7021、顯示部 7022 等。可對用於控制顯示裝置之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制顯示裝置之驅動的積體電路使用根據本發明之一實施例的除法器電路，顯示裝置可降低耗電量。此外，透過使用可彎曲基板，積體電路可具有彈性。因此，可提供有彈性且輕巧之易使用的顯示裝置。因此，如第 17C 圖所示，可固定至衣料或之類來使用顯示裝置，且引人注意地擴大顯示裝置的應用範圍。

第 17D 圖顯示一可攜式遊戲機，其包括外殼 7031、外殼 7032、顯示部 7033、顯示部 7034、麥克風 7035、揚聲器 7036、操作鍵 7037、指示筆 7038 等。可對用於控制可攜式遊戲機之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制可攜式遊戲機之驅動的積體電路使用根據本發明之一實施例的除法器電路，可提

供具有低耗電量的可攜式遊戲機。請注意雖然第 17D 圖所示之可攜式遊戲機包括兩個顯示部 7033 和 7034，但包括在可攜式遊戲機中的顯示部之數量並不以兩個為限。

第 17E 圖顯示一行動電話，其包括外殼 7041、顯示部 7042、音訊輸入部 7043、音訊輸出部 7044、操作鍵 7045、光接收部 7046 等。光接收部 7046 中收到的光被轉成電子信號，以能載入外部影像。可對用於控制行動電話之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制行動電話之驅動的積體電路使用根據本發明之一實施例的除法器電路，行動電話可降低耗電量。

第 17F 圖顯示一可攜式資訊終端，其包括外殼 7051、顯示部 7052、操作鍵 7053 等。數據機可合併在第 17F 圖所示之可攜式資訊終端的外殼 7051 中。可對用於控制可攜式資訊終端之驅動的積體電路使用根據本發明之一實施例的除法器電路。透過對用來控制可攜式資訊終端之驅動的積體電路使用根據本發明之一實施例的除法器電路，可提供具有低耗電量的可攜式資訊終端。

本實施例能藉由適當地結合任何上述實施例來實作。

[實例 1]

本實例中將說明在形成通道之半導體層沒有缺陷下之包括理想氧化物半導體之電晶體的場效移動率。

實際測量的絕緣閘極型電晶體的場效移動率會因各種

原因而比本來的移動率低；此現象不只發生在使用氧化物半導體的情況下。降低移動率的其中一個原因是半導體內部的缺陷或半導體和絕緣膜之間之界面的缺陷。當使用 Levinson 模型時，可以理論性地計算出假定在半導體內部沒有缺陷時的場效移動率。

假設半導體之原本移動率（霍耳移動率）和測得之場效移動率分別是 μ_0 和 μ ，且半導體中存在位能障壁（如晶粒邊界），可以下列公式來表示測得之場效移動率。

[公式 1]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此，E 表示位能障壁的高度，k 表示玻爾茲曼常數，且 T 表示絕對溫度。當假設位能障壁是由缺陷造成時，可根據 Levinson 模型以下列公式來表示位能障壁的高度。

[公式 2]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此，e 表示元素的電荷，N 表示在通道中每單位面積的平均缺陷密度， ϵ 表示半導體的介電常數，n 表示在通道中每單位面積的載子數， C_{ox} 表示每單位面積的電容量， V_g 表示閘極電壓，及 t 表示通道的厚度。在半導體層之厚度小於或等於 30 nm 的情形下，通道的厚度可視為與半導體層的厚度相同。在線性區的汲極電流 I_d 可以下列公式表示。

[公式 3]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 表示通道長度且 W 表示通道寬度，而在本例中的 L 與 W 各是 $10 \mu m$ 。另外， V_d 表示汲極電壓。當上面等式的兩邊除以 V_g 並對兩邊取對數時，可得到下列公式。

[公式 4]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

公式 4 的右邊是 V_g 的函數。由公式可知，可以根據以 $\ln(I_d/V_g)$ 為縱軸且以 $1/V_g$ 為橫軸來標繪出測量值而得到的圖表的直線的斜率求得缺陷密度 N 。亦即，可從電晶體之 I_d-V_g 特性來評估缺陷密度。在銦 (In)、錫 (Sn) 和鋅 (Zn) 之比例為 1:1:1 的氧化物半導體中，缺陷密度 N 大約為 $1 \times 10^{12}/cm^2$ 。

基於如上所述那樣得到的缺陷密度等，從公式 1 及公式 2 計算出 μ_0 為 $120 cm^2/Vs$ 。包括缺陷之 In-Sn-Zn 氧化物之測得的移動率大約是 $35 cm^2/Vs$ 。然而，假設半導體內部以及半導體與絕緣膜之間的介面不存在缺陷時，預期氧化物半導體的移動率 μ_0 會是 $120 cm^2/Vs$ 。

請注意即便半導體內部不存在缺陷，通道與閘絕緣膜間的介面之散射也會影響電晶體之傳輸特性。換言之，在離半導體與閘絕緣膜間之介面距離 x 的位置上的場效移動率 μ_1 可由下列公式表示。

[公式 5]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在此，D 表示在閘極方向上的電場，而 B 和 G 是常數。B 和 G 可根據實際的測量結果求得；根據上述測量結果，B 是 4.75×10^7 cm/s 且 G 是 10 nm（介面散射影響到達的深度）。當增加 D 時（即，當增加閘極電壓時），公式 5 的第二項便增加，所以移動率 μ_1 降低。

第 22 圖顯示電晶體之場效移動率 μ_2 的計算結果，其中此電晶體的通道包括理想的氧化物半導體且半導體內部沒有缺陷。關於計算，係使用了由 Synopsys 公司所製造的裝置模擬軟體 Sentaurus Device，並假設能隙、電子親和性、相對介電常數和氧化物半導體的厚度分別為 2.8 eV、4.7 eV、15、和 15 nm。這些數值係由測量以濺射法形成之薄膜來得到。

此外，假設閘極、源極和汲極之運作函數分別為 5.5 eV、4.6 eV、和 4.6 eV。閘絕緣膜之厚度係假設為 100 nm，且其相對介電常數係假設為 4.1。通道長度和通道寬度各係假設為 $10 \mu\text{m}$ ，且汲極電壓 V_d 係假設為 0.1 V。

如第 22 圖所示，在稍微超過 1 V 之閘極電壓上，移動率具有大於或等於 $100 \text{ cm}^2/\text{Vs}$ 的峰值，且當閘極電壓變更高時會下降，因為介面散射的影響增加了。請注意為了降低介面散射，最好在原子級上將半導體層的表面設成平坦的（原子層平坦）。

第 23A 至 23C 圖、第 24A 至 24C 圖、及第 25A 至

25C 圖顯示使用具有上述移動率的氧化物半導體所製造的微型電晶體之特性的計算結果。第 26A 和 26B 圖顯示用於計算的電晶體的剖面結構。第 26A 和 26B 圖所示的電晶體各在氧化物半導體層中包括具有 n^+ 型導電性的半導體區 1103a 及半導體區 1103c。半導體區 1103a 及半導體區 1103c 的電阻率為 $2 \times 10^{-3} \Omega \text{ cm}$ 。

第 26A 圖中的電晶體係形成在基底絕緣層 1101 和嵌進基底絕緣層 1101 中並由氧化鋁組成的嵌入絕緣體 1102 上。電晶體包括半導體區 1103a、半導體區 1103c、夾在它們之間且成為通道形成區的本質半導體區 1103b、及閘極 1105。閘極 1105 的寬度為 33 nm。

閘絕緣膜 1104 係形成在閘極 1105 和半導體區 1103b 之間。另外，側壁絕緣體 1106a 及側壁絕緣體 1106b 係形成在閘極 1105 的兩側面上，並且絕緣體 1107 形成在閘極 1105 上以便防止閘極 1105 與其他佈線之間的短路。側壁絕緣體具有 5nm 的寬度。設置源極 1108a 和汲極 1108b 分別接觸於半導體區 1103a 及半導體區 1103c。請注意電晶體的通道寬度為 40nm。

第 26B 圖中的電晶體與第 26A 圖中的電晶體的相同之處為形成在基底絕緣層 1101 和由氧化鋁組成的嵌入絕緣體 1102 上，並且包括半導體區 1103a、半導體區 1103c、夾在它們之間的本質半導體區 1103b、具有寬度為 33nm 的閘極 1105、閘絕緣膜 1104、側壁絕緣體 1106a、側壁絕緣體 1106b、絕緣體 1107、源極 1108a 和汲極 1108b。

第 26A 圖中的電晶體與第 26B 圖中的電晶體的不同之處為側壁絕緣體 1106a 及側壁絕緣體 1106b 下的半導體區的導電型。在第 26A 圖的電晶體中，側壁絕緣體 1106a 及側壁絕緣體 1106b 下的半導體區為部份具有 n^+ 型導電性的半導體區 1103a 及部份具有 n^+ 型導電性的半導體區 1103c，而在第 26B 圖的電晶體中，側壁絕緣體 1106a 及側壁絕緣體 1106b 下的半導體區為部份的本質半導體區 1103b。換言之，在第 26B 圖的半導體層中，設有既不與半導體區 1103a（半導體區 1103c）重疊也不與閘極 1105 重疊之寬度為 L_{off} 的區域。此區域係稱為偏移（offset）區，且寬度 L_{off} 稱為偏移長度。如圖所示，偏移長度與側壁絕緣體 1106a（側壁絕緣體 1106b）的寬度相同。

用於計算的其他參數為如上所述的參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。第 23A 至 23C 圖顯示具有第 26A 圖所示之結構的電晶體的汲極電流（ I_d ，實線）及場效移動率（ μ ，虛線）的閘極電壓（ V_g ：閘極與源極間的電位差）依賴性。汲極電流 I_d 係由在汲極電壓（汲極和源極間的電位差）是 +1V 之假設下的計算來得到，而場效移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。

第 23A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性，第 23B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性，第 23C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘

極電壓依賴性。閘極絕緣層越薄，尤其是截止狀態下的汲極電流 I_d （截止電流）越顯著降低。對照下，場效移動率 μ 的峰值或導通狀態時的汲極電流 I_d （導通電流）沒有顯著的變化。圖顯示了當閘極電壓為 1V 前後時汲極電流超過 $10 \mu A$ 。

第 24A 至 24C 圖顯示具有第 26B 圖所示之結構的電晶體當偏移長度 L_{off} 為 5nm 時的汲極電流 I_d （實線）及場效移動率 μ （虛線）的閘極電壓 V_g 依賴性。汲極電流 I_d 係由在汲極電壓是 +1V 之假設下的計算來得到，而場效移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。第 24A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性，第 24B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性，第 24C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘極電壓依賴性。

另外，第 25A 至 25C 圖顯示具有第 26B 圖所示之結構的電晶體當偏移長度 L_{off} 為 15nm 時的汲極電流 I_d （實線）及場效移動率 μ （虛線）的閘極電壓依賴性。汲極電流 I_d 係由在汲極電壓是 +1V 之假設下的計算來得到，而場效移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。第 25A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性，第 25B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性，第 25C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘

極電壓依賴性。

在任一結構中，當閘極絕緣層越薄，截止電流越顯著降低，但是場效移動率 μ 的峰值和導通電流沒有顯著的變化。

請注意在第 23A 至 23C 圖中的場效移動率 μ 之峰值大約為 $80 \text{ cm}^2/\text{Vs}$ ，在第 24A 至 24C 圖中大約為 $60 \text{ cm}^2/\text{Vs}$ ，及在第 25A 至 25C 圖中大約為 $40 \text{ cm}^2/\text{Vs}$ ；因此，當增加偏移長度 L_{off} 時便會減少場效移動率 μ 之峰值。此外，也同樣適用於截止電流。導通電流也隨著偏移長度 L_{off} 的增加而減少；然而，導通電流的減少程度比截止電流的減少程度平緩許多。另外，圖顯示了當閘極電壓為 1V 前後時汲極電流超過 $10 \mu\text{A}$ 。

[實例 2]

在本例中，將說明包括用於形成通道之半導體層之以 In 、 Sn 和 Zn 為主要成份之氧化物半導體的電晶體的電特性。

藉由在加熱基板期間沉積氧化物半導體或藉由在形成氧化物半導體膜之後進行加熱處理，使用以 In 、 Sn 和 Zn 為主要成份之氧化物半導體作為形成通道之半導體層的電晶體可具有良好的特性。請注意主要成份是指包括在高於或等於 $5 \text{ at.}\%$ 之成分中的元素。

藉由在形成以 In 、 Sn 和 Zn 為主要成份的氧化物半導體膜之後刻意地加熱基板，可提高電晶體的場效移動率。

另外，可使電晶體的臨界電壓往正方向偏移以使得電晶體常閉化。

例如，第 27A 至 27C 圖係各顯示以 In、Sn、Zn 為主要成分且具有通道長度 L 為 $3\ \mu\text{m}$ 且通道寬度 W 為 $10\ \mu\text{m}$ 的氧化物半導體膜以及厚度為 $100\ \text{nm}$ 之閘絕緣層的電晶體的特性之圖示。請注意 V_d 係設為 10V 。

第 27A 圖顯示刻意不加熱基板藉由濺射法形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。電晶體的場效移動率為 $18.8\ \text{cm}^2/\text{Vsec}$ 。另一方面，當在刻意地加熱基板期間形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時，可以提高場效移動率。第 27B 圖顯示當以 200°C 加熱基板時形成以 In、Sn、Zn 為主要成分的氧化物半導體膜的電晶體特性。此例中的場效移動率為 $32.2\ \text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行熱處理，可以進一步提高場效移動率。第 27C 圖顯示在 200°C 下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行 650°C 的加熱處理時的電晶體特性。電晶體的場效移動率為 $34.5\ \text{cm}^2/\text{Vsec}$ 。

刻意地加熱基板預期具有降低在藉由濺射形成期間被引入到氧化物半導體膜中的水的效果。此外，在膜形成之後進行加熱處理使氫、羥基或水分能從氧化物半導體膜中釋放而去除。以此方式，可以提高場效移動率。上述場效移動率的提高可以認為不僅是因為藉由脫水或脫氫作用而

去除雜質，而且因為藉由提高密度而縮短原子間距離的緣故。能藉由從氧化物半導體去除雜質而使其高純度化，來結晶化氧化物半導體。可以預測到像這樣被高純度化的非單晶氧化物半導體能夠實現理想的超過 $100 \text{ cm}^2/\text{Vsec}$ 的場效移動率。

可以下列方式來結晶化以 In、Sn、Zn 為主要成分的氧化物半導體：注入氧離子進氧化物半導體中、藉由加熱處理釋放包括在氧化物半導體中的氫、羥基或水分、以及透過加熱處理或藉由之後進行的其他加熱處理來結晶化氧化物半導體。藉由上述晶化處理或再晶化處理可以得到結晶性良好的非單晶氧化物半導體。

在膜形成期間刻意地加熱基板及/或在膜形成後進行加熱處理，不僅可以提高場效移動率，而且還有助於使電晶體常閉化。在使用以 In、Sn、Zn 為主要成分且不刻意加熱基板形成的氧化物半導體膜作為形成通道之半導體層的電晶體中，臨界電壓傾向往負方向偏移。然而，在採用刻意加熱基板來形成的氧化物半導體層時，可以解決臨界電壓往負方向偏移的問題。亦即，臨界電壓偏移使得電晶體成為常閉型的；由第 27A 和 27B 圖的對比可以確認此傾向。

請注意也可藉由改變 In、Sn 及 Zn 的比例來控制臨界電壓，當 In、Sn、Zn 的組成比為 2 : 1 : 3 時預期可形成常閉型電晶體。另外，藉由將靶材的組成比設為 In : Sn : Zn = 2 : 1 : 3，可以獲得結晶性高的氧化物半導體膜。

刻意的加熱基板溫度或加熱處理溫度係高於或等於 150°C ，最好高於或等於 200°C ，更好是高於或等於 400°C 。當在高溫下進行膜形成或加熱處理時，電晶體能成為常閉型。

藉由在膜形成期間刻意地加熱基板及/或藉由在膜形成後進行加熱處理，可以提高對於閘極偏壓應力的穩定性。例如，當在 150°C 以 $2\text{MV}/\text{cm}$ 的強度施加閘極偏壓達一個小時時，臨界電壓的漂移可小於 $\pm 1.5\text{V}$ ，最好小於 $\pm 1.0\text{V}$ 。

對下列兩電晶體進行 BT 測試：樣本 1（在形成氧化物半導體膜之後不進行加熱處理）及樣本 2（在形成氧化物半導體膜之後以 650°C 進行加熱處理）。

首先，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體之 V_g-I_d 特性。接著，將基板溫度設為 150°C 並將 V_d 設成 0.1V 。請注意 V_d 係指汲極電壓（汲極與源極間的電位差）。之後，施加 20V 的 V_g 使得施加到閘絕緣膜的電場強度為 $2\text{MV}/\text{cm}$ ，並保持此條件達一小時。接著，將 V_g 設為 0V 。然後，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體的 V_g-I_d 特性。此過程就稱為正 BT 測試。

以類似的方式，首先，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體之 V_g-I_d 特性。接著，將基板溫度設為 150°C 並將 V_d 設成 0.1V 。之後，施加 -20V 的 V_g 使得施加到閘絕緣膜的電場強度為 $-2\text{MV}/\text{cm}$ ，並保持此條件達一小時。接著，將 V_g 設為 0V 。然後，在基板溫度為 25°C 且

V_d 爲 10V 時測量電晶體的 V_g-I_d 特性。此過程就稱爲負 BT 測試。

第 28A 和 28B 圖分別顯示樣本 1 之正 BT 測試的結果以及樣本 1 之負 BT 測試的結果。第 29A 和 29B 圖分別顯示樣本 2 之正 BT 測試的結果以及樣本 2 之負 BT 測試的結果。

樣本 1 的因正 BT 測試及負 BT 測試而發生的臨界電壓之偏移量分別爲 1.80V 及 -0.42V。另外，樣本 2 的因正 BT 測試及負 BT 測試而發生的臨界電壓之偏移量分別爲 0.79V 及 0.76V。發現到在樣本 1 及樣本 2 之每一者中，BT 測試前後的臨界電壓之偏移量都很小且其可靠性都很高。

可在氧氣圍中進行加熱處理；替代的，可首先在氮或惰性氣體之氣圍中或在減壓下進行加熱處理，並接著在包括氧的氣圍中進行加熱處理。在脫水或脫氫作用之後將氧供應到氧化物半導體，藉此能進一步提高加熱處理的效果。作爲在脫水或脫氫作用之後供應氧的方法，可採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

在氧化物半導體中或在氧化物半導體與接觸氧化物半導體的膜之間的介面容易產生由氧空缺導致的缺陷；然而，當藉由加熱處理使氧化物半導體中含有過剩的氧時，可以利用過剩的氧補充不斷產生的氧空缺。過剩的氧是存在於晶格間的氧。當將過剩的氧濃度設爲高於或等於 $1 \times 10^{16}/\text{cm}^3$ 且低於或等於 $2 \times 10^{20}/\text{cm}^3$ 時，能不使結晶變形而

使氧化物半導體中含有過剩的氧。

當進行加熱處理使得至少氧化物半導體的一部分包括結晶時，可以獲得更穩定的氧化物半導體膜。例如，當以 X 線衍射（XRD）分析藉由使用組成比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 的靶材且不刻意加熱基板而進行濺射所形成的氧化物半導體膜時，會觀察到光暈圖案。藉由對所形成的氧化物半導體膜進行加熱處理，可以使其結晶化。可適當地設定加熱處理的溫度；當以 650°C 進行加熱處理時，例如，可在 X 線衍射分析中觀察到明確的衍射峰值。

實施 In-Sn-Zn 基氧化物的 XRD 分析。使用 Bruker AXS 公司製造的 X 線衍射 D8 ADVANCE 來實施 XRD 分析，並利用平面外法來進行測量。

準備樣本 A 及樣本 B 並對其進行 XRD 分析。以下將說明樣本 A 及樣本 B 的製造方法。

首先，在完成了脫氫處理的石英基板上形成厚度為 100 nm 的 In-Sn-Zn 基氧化物。

在氧氣圍下使用具有 100 W （DC）之功率的濺射設備來形成 In-Sn-Zn 基氧化物。使用 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子比]的 In-Sn-Zn-O 靶材作為靶材。請注意將膜形成時的基板加熱溫度設定為 200°C 。使用以此方式製造的樣本作為樣本 A。

接著，對以與樣本 A 相同的方法製造的樣本以 650°C 的溫度進行加熱處理。作為加熱處理，首先，在氮氣圍下進行一個小時的加熱處理，然後不降低溫度地在氧氣圍下

再進行一個小時的加熱處理。使用以此方式製造的樣本作爲樣本 B。

第 30 圖顯示樣本 A 及樣本 B 的 XRD 光譜。在樣本 A 中沒有觀測到起因於結晶的峰值，但是在樣本 B 中當 2θ 爲 35° 附近及 37° 至 38° 時觀察到起因於結晶的峰值。

如上所述，藉由在沉積以 In、Sn 和 Zn 爲主要成份之氧化物半導體期間刻意地加熱基板及/或藉由在沉積後進行加熱處理，可以提高電晶體的特性。

這些基板加熱或加熱處理具有不使膜中含有對於氧化物半導體來說是惡性雜質的氫和羥基的效果，或者從膜中去除氫和羥基的效果。亦即，藉由從氧化物半導體去除充作施體雜質的氫，能高度純度化氧化物半導體，藉此可得到常閉型的電晶體。氧化物半導體的高純度能使電晶體的截止電流低於或等於 $1\text{ aA}/\mu\text{ m}$ 。在此，截止電流的單位表示每微米通道寬度的電流值。

第 31 圖顯示電晶體的截止電流與測量時的基板溫度（絕對溫度）之倒數之間的關係。在此，爲了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

具體來說，如第 31 圖所示那樣，當基板溫度分別爲 125°C 與 85°C 時，截止電流係低於或等於 $0.1\text{ aA}/\mu\text{ m}$ （ $1 \times 10^{-19}\text{ A}/\mu\text{ m}$ ）和低於或等於 $10\text{ zA}/\mu\text{ m}$ （ $1 \times 10^{-20}\text{ A}/\mu\text{ m}$ ）。截止電流的對數與溫度的倒數之間的比例關係建議室溫（ 27°C ）下的截止電流爲低於或等於 $0.1\text{ zA}/\mu\text{ m}$ （ $1 \times 10^{-22}\text{ A}/\mu\text{ m}$ ）。

μm)。因此，分別在 125°C 、 85°C 和室溫下的截止電流會低於或等於 $1\text{aA}/\mu\text{m}$ ($1\times 10^{-18}\text{A}/\mu\text{m}$)、低於或等於 $100\text{zA}/\mu\text{m}$ ($1\times 10^{-19}\text{A}/\mu\text{m}$)、和低於或等於 $1\text{zA}/\mu\text{m}$ ($1\times 10^{-21}\text{A}/\mu\text{m}$)。上述截止電流值顯然比使用 Si 作為半導體膜的電晶體低許多。

當然，為了防止當形成氧化物半導體膜時氫或水分進入膜中，最好藉由充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來提高濺射氣體的純度。例如，為了防止水分被包含在膜中，最好使用露點低於或等於 -70°C 的氣體作為濺射氣體。另外，最好使用被高純度化以不含有如氫或水分之雜質的靶材。雖然可能藉由加熱處理去除以 In、Sn、Zn 為主要成分的氧化物半導體之膜中的水分，但因為從以 In、Sn、Zn 為主要成分的氧化物半導體中釋放水的溫度比從以 In、Ga、Zn 為主要成分的氧化物半導體中釋放水的溫度高，所以最好形成原本就不含有水分的膜。

在形成氧化物半導體膜之後進行 650°C 的加熱處理的樣本 B 的電晶體中，評估基板溫度與電特性之間的關係。

用於測量的電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ， L_{ov} 為 $0\mu\text{m}$ ，及 dW 為 $0\mu\text{m}$ 。請注意 V_d 係設為 10V 。請注意基板溫度為 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 及 150°C 。在此，在電晶體中，閘極與一對電極之其一者重疊的部分的寬度係稱為 L_{ov} ，並且成對電極不與氧化物半導體膜重疊的部分的寬度係稱為 dW 。

第 32 圖顯示 I_d (實線) 及場效移動率 (虛線) 的 V_g 依賴性。第 33A 圖顯示基板溫度與臨界電壓的關係，而第 33B 圖顯示基板溫度與場效移動率的關係。

根據第 33A 圖可知基板溫度越高臨界電壓越低。請注意臨界電壓在 -40°C 至 150°C 的範圍內從 1.09V 降至 -0.23V 。

根據第 33B 圖可知基板溫度越高場效移動率越低。請注意場效移動率在 -40°C 至 150°C 的範圍內從 $36\text{cm}^2/\text{Vs}$ 降至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性的變動很小。

在包括作為形成通道的半導體層之以 In 、 Sn 、 Zn 為主要成分的氧化物半導體的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，得到高於或等於 $30\text{cm}^2/\text{Vsec}$ ，最好高於或等於 $40\text{cm}^2/\text{Vsec}$ ，更好是高於或等於 $60\text{cm}^2/\text{Vsec}$ 的場效移動率，而達到 LSI 所要求的導通電流值。例如，在 L/W 為 $33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V 且汲極電壓為 1.0V 時，能流過高於或等於 $12\mu\text{A}$ 的導通電流。另外，在電晶體的運作所需要的溫度範圍內能確保足夠的電特性。透過上述特性，即使在使用 Si 半導體形成的積體電路中裝有包括氧化物半導體的電晶體，也能實現具有新穎功能的積體電路而不會降低運作速度。

參考的說明

100：除法器電路、101：DFF 電路、102：DFF 電路
 、103：DFF 電路、111：終端部、112：節點、113：節點
 、114：終端部、115：節點、116：節點、121：反向器、
 122：反向器、123：反向器、124：類比開關、125：類比
 開關、126：時控反向器、127：時控反向器、131：p 通道
 電晶體、132：n 通道電晶體、133：n 通道電晶體、134：
 p 通道電晶體、135：p 通道電晶體、136：n 通道電晶體、
 200：除法器電路、201：FF 電路、202：FF 電路、203：
 FF 電路、211：終端部、212：節點、213：節點、214：
 終端部、215：節點、216：節點、217：節點、218：節點
 、219：節點、220：節點、221：反向器、222：反向器、
 223：節點、231：電晶體、232：電晶體、233：電晶體、
 234：電晶體、235：電晶體、236：電晶體、237：電晶體
 、238：電晶體、251：FF 電路、252：電容器、253：電
 容器、261：FF 電路、300：除法器電路、301：FF 電路、
 302：FF 電路、303：FF 電路、311：終端部、312：節點
 、313：節點、314：終端部、315：節點、316：節點、
 341：反向器、700：基板、701：絕緣膜、702：半導體膜
 、703：閘絕緣膜、704：雜質區、705：遮罩、706：開口
 、707：閘極、708：導電膜、709：雜質區、710：通道形
 成區、711：雜質區、712：絕緣膜、713：絕緣膜、716：
 氧化物半導體層、719：導電膜、720：導電膜、721：閘
 絕緣膜、722：閘極、724：絕緣膜、725：開口、726：佈
 線、727：絕緣膜、731：電晶體、732：電晶體、901：電

晶體、902：基底膜、903：氧化物半導體層、904：源極、905：汲極、906：閘絕緣膜、907：閘極、908：高濃度區域、909：通道形成區、910：保護絕緣膜、911：電晶體、912：基底膜、913：氧化物半導體層、914：源極、915：汲極、916：閘絕緣膜、917：閘極、918：高濃度區域、919：通道形成區、920：保護絕緣膜、921：電晶體、922：基底膜、923：氧化物半導體層、924：源極、925：汲極、926：閘絕緣膜、927：閘極、928：高濃度區域、929：低濃度區域、930：側壁、931：通道形成區、932：保護絕緣膜、941：電晶體、942：基底膜、943：氧化物半導體層、944：源極、945：汲極、946：閘絕緣膜、947：閘極、948：高濃度區域、949：低濃度區域、950：側壁、951：通道形成區、952：保護絕緣膜、961：電晶體、962：基底膜、963：氧化物半導體層、964：源極、965：汲極、966：閘絕緣膜、967：閘極、968：高濃度區域、969：低濃度區域、970：側壁、971：通道形成區、972：保護絕緣膜、973：絕緣膜、974：電極、975：電極、1101：基底絕緣層、1102：絕緣體、1104：閘絕緣膜、1105：閘極、1107：絕緣體、7001：外殼、7002：顯示部、7011：外殼、7012：顯示部、7013：支撐基座、7021：外殼、7022：顯示部、7031：外殼、7032：外殼、7033：顯示部、7034：顯示部、7035：麥克風、7036：揚聲器、7037：操作鍵、7038：指示筆、7041：外殼、7042：顯示部、7043：音訊輸入部、7044：音訊輸出部、7045：操作

鍵、7046：光接收部、7051：外殼、7052：顯示部、7053：操作鍵、9900：基板、9901：算術邏輯單元（ALU）、9906：暫存器、9909：可複寫 ROM、1103a：半導體區、1103b：半導體區、1103c：半導體區、1106a：側壁絕緣體、1106b：側壁絕緣體、1108a：源極、1108b：汲極

本申請書係基於 2011/5/26 向日本專利局申請的日本專利申請書第 2011-118125 號，特此須合併參考其全部內容。

【圖式簡單說明】

第 1A 和 1B 圖分別顯示除法器電路和 FF 電路。

第 2A 至 2C 圖顯示 FF 電路的配置。

第 3 圖係顯示 FF 電路之運作的時序圖。

第 4A 和 4B 圖各顯示 FF 電路中的電晶體在運作週期的狀態。

第 5A 和 5B 圖各顯示 FF 電路中的電晶體在運作週期的狀態。

第 6 圖係顯示除法器電路之運作的時序圖。

第 7 圖係顯示 FF 電路之配置的電路圖。

第 8A 和 8B 圖分別顯示除法器電路和 FF 電路。

第 9A 和 9B 圖顯示通用除法器電路之配置的實例，且第 9C 圖顯示通用除法器電路之運作的實例。

第 10A1、10B1 和 10C1 圖顯示電路符號，且第 10A2

、 10B2 和 10C2 圖顯示電路符號的電路配置。

第 11 圖顯示 CPU 的配置。

第 12A 至 12D 圖係顯示電晶體之製造方法的剖面圖

。

第 13A 至 13C 圖係顯示電晶體之製造方法的剖面圖。

第 14A 至 14C 圖係顯示電晶體之製造方法的剖面圖。

第 15 圖係顯示電晶體之結構實例的剖面圖。

第 16A 至 16E 圖係顯示電晶體之結構實例的剖面圖。

第 17A 至 17F 圖各顯示一電子裝置。

第 18A 至 18E 圖各顯示氧化物材料的晶體結構。

第 19A 至 19C 圖顯示氧化物材料的晶體結構。

第 20A 至 20C 圖顯示氧化物材料的晶體結構。

第 21A 至 21B 圖各顯示氧化物材料的晶體結構。

第 22 圖顯示依據由計算所得到之場效移動率的閘極電壓。

第 23A 至 23C 圖各顯示依據汲極電流和由計算所得到之場效移動率的閘極電壓。

第 24A 至 24C 圖各顯示依據汲極電流和由計算所得到之場效移動率的閘極電壓。

第 25A 至 25C 圖各顯示依據汲極電流和由計算所得到之場效移動率的閘極電壓。

第 26A 和 26B 圖顯示用於計算之電晶體的剖面結構。

第 27A 至 27C 圖係顯示各包括氧化物半導體膜之電晶體的特性圖。

第 28A 和 28B 圖顯示在樣本 1 之電晶體的 BT 測試之後的 V_g-I_d 特性。

第 29A 和 29B 圖顯示在樣本 2 之電晶體的 BT 測試之後的 V_g-I_d 特性。

第 30 圖顯示樣本 A 和樣本 B 的 XRD 波譜。

第 31 圖顯示測量中之基板溫度與電晶體之截止電流之間的關係。

第 32 圖係顯示依據 I_d 和場效移動率的 V_g 之圖。

第 33A 圖係顯示臨界電壓和基板溫度之間的關係圖，且第 33B 圖係顯示場效移動率和基板溫度之間的關係圖。

【主要元件符號說明】

100：除法器電路

101：DFF 電路

102：DFF 電路

103：DFF 電路

111：終端部

112：節點

113：節點

114：終端部

115：節點

116：節點

121：反向器

122：反向器

- 123 : 反 向 器
- 124 : 類 比 開 關
- 125 : 類 比 開 關
- 126 : 時 控 反 向 器
- 127 : 時 控 反 向 器
- 131 : p 通 道 電 晶 體
- 132 : n 通 道 電 晶 體
- 133 : n 通 道 電 晶 體
- 134 : p 通 道 電 晶 體
- 135 : p 通 道 電 晶 體
- 136 : n 通 道 電 晶 體
- 200 : 除 法 器 電 路
- 201 : FF 電 路
- 202 : FF 電 路
- 203 : FF 電 路
- 211 : 終 端 部
- 212 : 節 點
- 213 : 節 點
- 214 : 終 端 部
- 215 : 節 點
- 216 : 節 點
- 217 : 節 點
- 218 : 節 點
- 219 : 節 點

220 : 節 點

221 : 反 向 器

222 : 反 向 器

223 : 節 點

231 : 電 晶 體

232 : 電 晶 體

233 : 電 晶 體

234 : 電 晶 體

235 : 電 晶 體

236 : 電 晶 體

237 : 電 晶 體

238 : 電 晶 體

251 : FF 電 路

252 : 電 容 器

253 : 電 容 器

261 : FF 電 路

300 : 除 法 器 電 路

301 : FF 電 路

302 : FF 電 路

303 : FF 電 路

311 : 終 端 部

312 : 節 點

313 : 節 點

314 : 終 端 部

315 : 節 點
 316 : 節 點
 341 : 反 向 器
 700 : 基 板
 701 : 絕 緣 膜
 702 : 半 導 體 膜
 703 : 閘 絕 緣 膜
 704 : 雜 質 區
 705 : 遮 罩
 706 : 開 口
 707 : 閘 極
 708 : 導 電 膜
 709 : 雜 質 區
 710 : 通 道 形 成 區
 711 : 雜 質 區
 712 : 絕 緣 膜
 713 : 絕 緣 膜
 716 : 氧 化 物 半 導 體 層
 719 : 導 電 膜
 720 : 導 電 膜
 721 : 閘 絕 緣 膜
 722 : 閘 極
 724 : 絕 緣 膜
 725 : 開 口

- 726：佈線
- 727：絕緣膜
- 731：電晶體
- 732：電晶體
- 901：電晶體
- 902：基底膜
- 903：氧化物半導體層
- 904：源極
- 905：汲極
- 906：閘絕緣膜
- 907：閘極
- 908：高濃度區域
- 909：通道形成區
- 910：保護絕緣膜
- 911：電晶體
- 912：基底膜
- 913：氧化物半導體層
- 914：源極
- 915：汲極
- 916：閘絕緣膜
- 917：閘極
- 918：高濃度區域
- 919：通道形成區
- 920：保護絕緣膜

- 921：電晶體
- 922：基底膜
- 923：氧化物半導體層
- 924：源極
- 925：汲極
- 926：閘絕緣膜
- 927：閘極
- 928：高濃度區域
- 929：低濃度區域
- 930：側壁
- 931：通道形成區
- 932：保護絕緣膜
- 941：電晶體
- 942：基底膜
- 943：氧化物半導體層
- 944：源極
- 945：汲極
- 946：閘絕緣膜
- 947：閘極
- 948：高濃度區域
- 949：低濃度區域
- 950：側壁
- 951：通道形成區
- 952：保護絕緣膜

- 961：電 晶 體
- 962：基 底 膜
- 963：氧 化 物 半 導 體 層
- 964：源 極
- 965：汲 極
- 966：閘 絕 緣 膜
- 967：閘 極
- 968：高 濃 度 區 域
- 969：低 濃 度 區 域
- 970：側 壁
- 971：通 道 形 成 區
- 972：保 護 絕 緣 膜
- 973：絕 緣 膜
- 974：電 極
- 975：電 極
- 1101：基 底 絕 緣 層
- 1102：絕 緣 體
- 1104：閘 絕 緣 膜
- 1105：閘 極
- 1107：絕 緣 體
- 7001：外 殼
- 7002：顯 示 部
- 7011：外 殼
- 7012：顯 示 部

7013 : 支撐基座

7021 : 外殼

7022 : 顯示部

7031 : 外殼

7032 : 外殼

7033 : 顯示部

7034 : 顯示部

7035 : 麥克風

7036 : 揚聲器

7037 : 操作鍵

7038 : 指示筆

7041 : 外殼

7042 : 顯示部

7043 : 音訊輸入部

7044 : 音訊輸出部

7045 : 操作鍵

7046 : 光接收部

7051 : 外殼

7052 : 顯示部

7053 : 操作鍵

9900 : 基板

9901 : 算術邏輯單元

9906 : 暫存器

9909 : 可複寫 ROM

101117379

104年4月22日 修正 頁

1103a：半導體區

1103b：半導體區

1103c：半導體區

1106a：側壁絕緣體

1106b：側壁絕緣體

1108a：源極

1108b：汲極

9902：ALU 控制器

9903：指令解碼器

9904：中斷控制器

9905：時序控制器

9907：暫存器控制器

9908：匯流排介面

9920：ROM 介面

照刊 未修正
空白頁

七、申請專利範圍：

1.一種除法器電路，包含：

正反器電路，包括

第一輸入部，配置以被提供時脈信號；

第一輸出部，配置以提供第一輸出信號；

第二輸出部，配置以提供該第一輸出信號之反向信號；

第二輸入部，電性連接該第二輸出部；

第一電晶體，包含源極和汲極，其中該源極和汲極之其一者係電性連接該第二輸入部，且其中該第一電晶體之閘極係配置以被提供該時脈信號之反向信號；

第二電晶體，具有電性連接該第一電晶體之該源極和汲極之另一者的閘極；

第三電晶體，具有電性連接該第一輸入部的閘極；

第四電晶體，具有電性連接該第三電晶體之源極和汲極之其一者的閘極，

其中該第一電晶體之通道形成區包含包括銦的氧化物半導體，且

其中該第三電晶體之通道形成區包含包括銦的氧化物半導體。

2.如申請專利範圍第 1 項所述之除法器電路，

其中該第二電晶體之通道形成區包含氧化物半導體，
且

其中該第四電晶體之通道形成區包含氧化物半導體。

3.一種除法器電路，包含：

第一反向器和第二反向器；

第一電晶體和第五電晶體，其係為 p 通道電晶體；及

第二電晶體、第三電晶體、第四電晶體、第六電晶體、第七電晶體、和第八電晶體，其係為 n 通道電晶體，

其中該第一電晶體之源極和汲極之其一者和該第五電晶體之源極和汲極之其一者係電性連接第一電源，

其中該第一電晶體之該源極和汲極之另一者係電性連接該第二電晶體之源極和汲極之其一者，

其中該第二電晶體之該源極和汲極之另一者係電性連接該第三電晶體之源極和汲極之其一者，

其中該第五電晶體之該源極和汲極之另一者係電性連接該第六電晶體之源極和汲極之其一者，

其中該第六電晶體之該源極和汲極之另一者係電性連接該第七電晶體之源極和汲極之其一者，

其中該第三電晶體之該源極和汲極之另一者和該第七電晶體之該源極和汲極之另一者係電性連接第二電源，

其中該第一電晶體之閘極和該第二電晶體之閘極係電性連接該第八電晶體之閘極和該第一反向器之輸入，

其中該第八電晶體之源極和汲極之其一者係電性連接該第一電晶體之該源極和汲極之另一者和該第二電晶體之該源極和汲極之該其一者，

其中該第八電晶體之該源極和汲極之另一者係電性連

接該第七電晶體之閘極，

其中該第二反向器之輸入係電性連接該第五電晶體之該源極和汲極之另一者和該第六電晶體之該源極和汲極之該其一者，

其中該第二反向器之輸出係電性連接該第四電晶體之源極和汲極之其一者，

其中該第四電晶體之該源極和汲極之另一者係電性連接該第三電晶體之閘極，且

其中該第一反向器之輸出係電性連接該第四電晶體之閘極、該第五電晶體之閘極、及該第六電晶體之閘極。

4.如申請專利範圍第 3 項所述之除法器電路，其中電容器係電性連接該第二反向器之該輸入和該第八電晶體之該源極和汲極之該其一者中的至少一個。

5.一種除法器電路，包含：

第一反向器；

第一電晶體和第五電晶體，其係為 p 通道電晶體；及

第二電晶體、第三電晶體、第四電晶體、第六電晶體、第七電晶體、和第八電晶體，其係為 n 通道電晶體，

其中該第一電晶體之源極和汲極之其一者和該第五電晶體之源極和汲極之其一者係電性連接第一電源，

其中該第一電晶體之該源極和汲極之另一者係電性連接該第二電晶體之源極和汲極之其一者，

其中該第二電晶體之該源極和汲極之另一者係電性連接該第三電晶體之源極和汲極之其一者，

其中該第五電晶體之該源極和汲極之另一者係電性連接該第六電晶體之源極和汲極之其一者，

其中該第六電晶體之該源極和汲極之另一者係電性連接該第七電晶體之源極和汲極之其一者，

其中該第三電晶體之該源極和汲極之另一者和該第七電晶體之該源極和汲極之另一者係電性連接第二電源，

其中該第一電晶體之閘極和該第二電晶體之閘極係電性連接該第八電晶體之閘極，

其中該第八電晶體之源極和汲極之其一者係電性連接該第一電晶體之該源極和汲極之另一者和該第二電晶體之該源極和汲極之該其一者，

其中該第八電晶體之該源極和汲極之另一者係電性連接該第七電晶體之閘極，

其中該第一反向器之輸入係電性連接該第五電晶體之該源極和汲極之另一者和該第六電晶體之該源極和汲極之該其一者，

其中該第一反向器之輸出係電性連接該第四電晶體之源極和汲極之其一者，

其中該第四電晶體之該源極和汲極之另一者係電性連接該第三電晶體之閘極，且

其中該第四電晶體之閘極係電性連接該第五電晶體之閘極、及該第六電晶體之閘極。

6.如申請專利範圍第 5 項所述之除法器電路，其中電容器係電性連接該第一反向器之該輸入和該第八電晶體之

該源極和汲極之該其一者中的至少一個。

7.如申請專利範圍第 3 或 5 項所述之除法器電路，其中該第一電源供應的電位比該第二電源高。

8.如申請專利範圍第 3 或 5 項所述之除法器電路，其中該第四電晶體之通道形成區包含氧化物半導體。

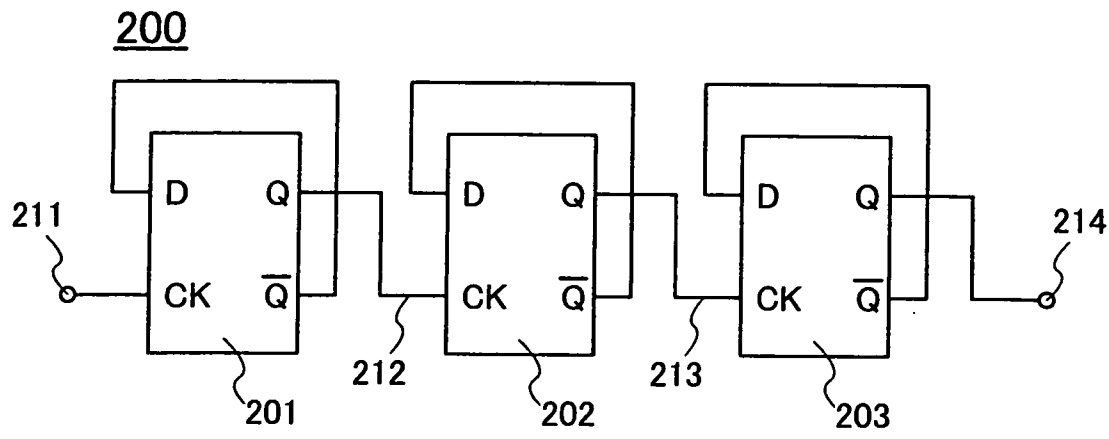
9.如申請專利範圍第 3 或 5 項所述之除法器電路，其中該第八電晶體之通道形成區包含氧化物半導體。

10.如申請專利範圍第 3 或 5 項所述之除法器電路，其中該第二電晶體和該第三電晶體之至少一者之通道形成區包含氧化物半導體。

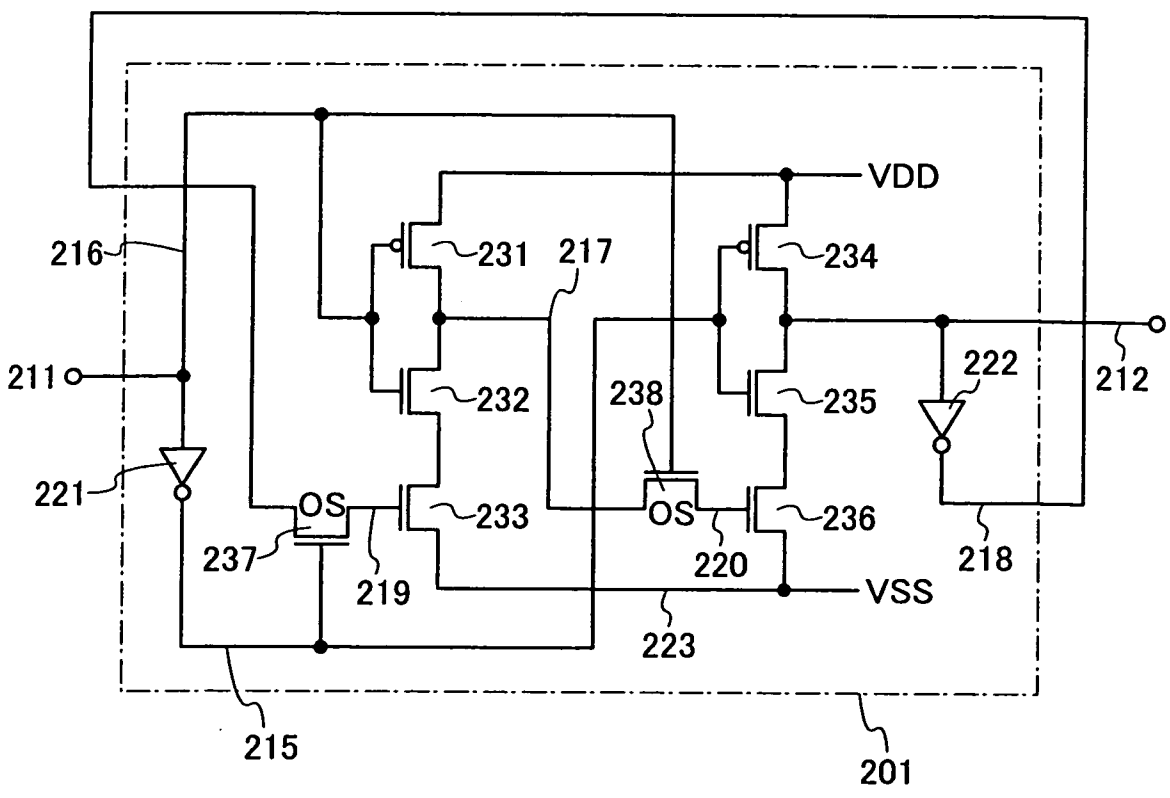
11.如申請專利範圍第 3 或 5 項所述之除法器電路，其中該第六電晶體和該第七電晶體之至少一者之通道形成區包含氧化物半導體。

12.一種半導體裝置，包含如申請專利範圍第 1、3 及 5 項任一項所述之除法器電路。

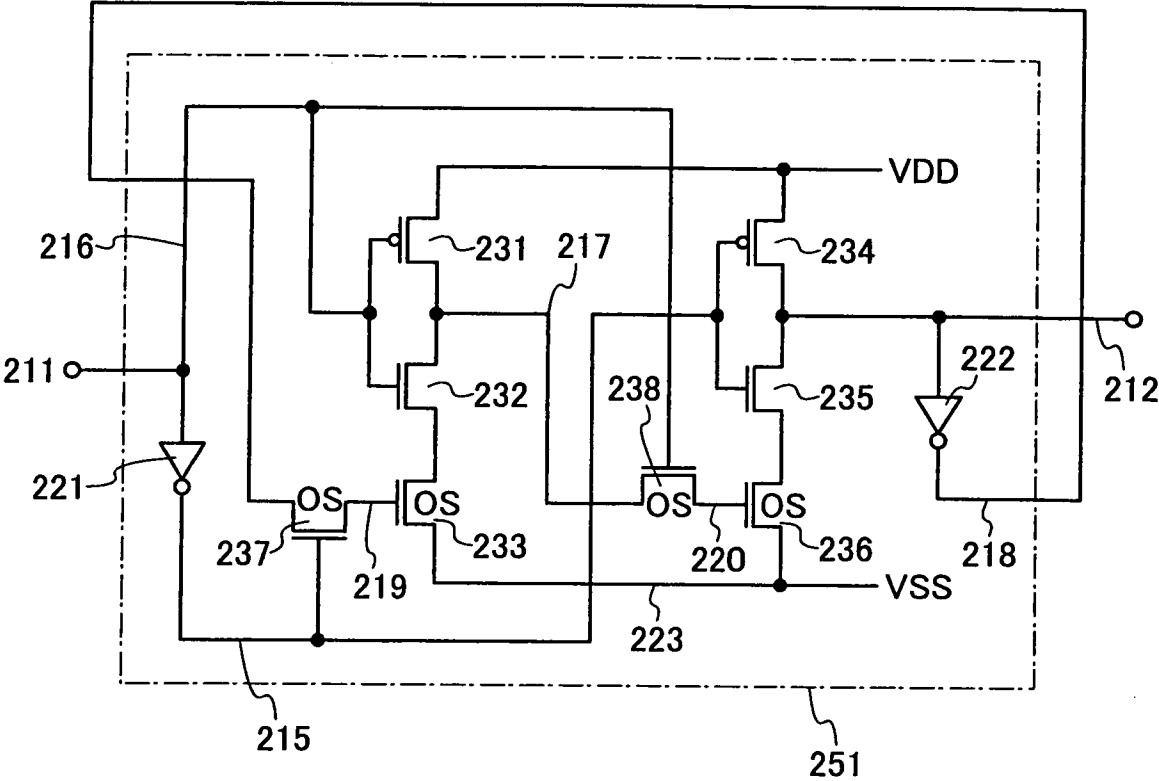
第1A圖



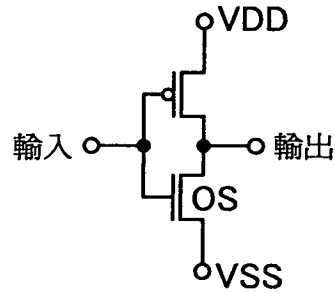
第1B圖



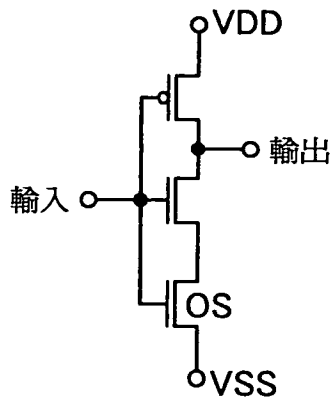
第2A圖



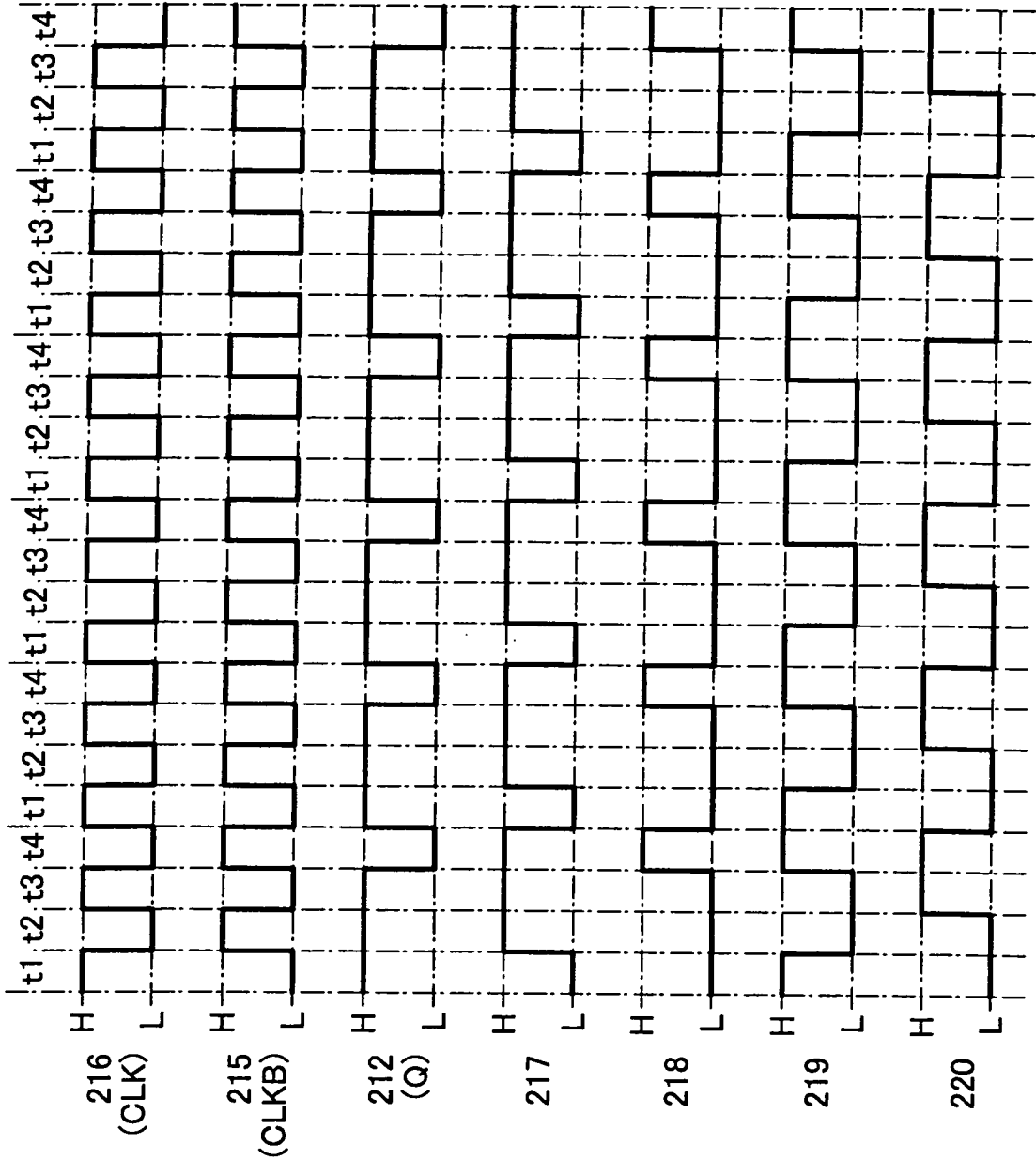
第2B圖

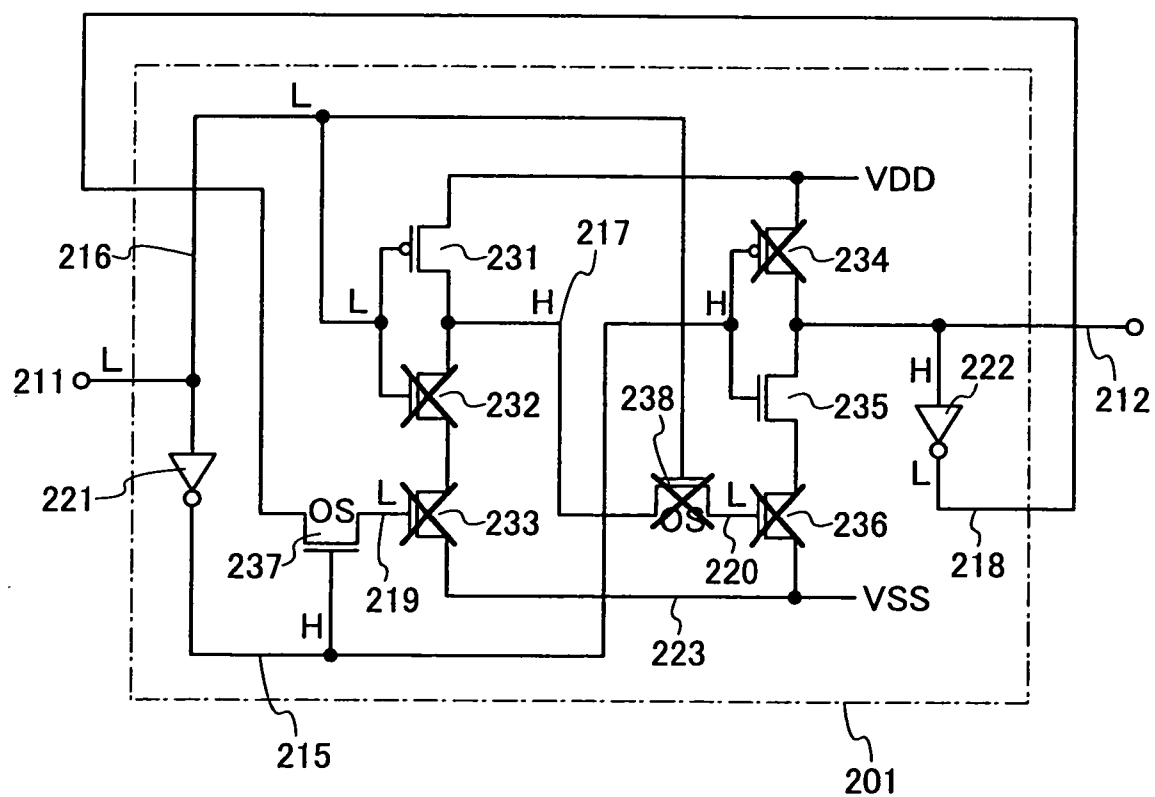


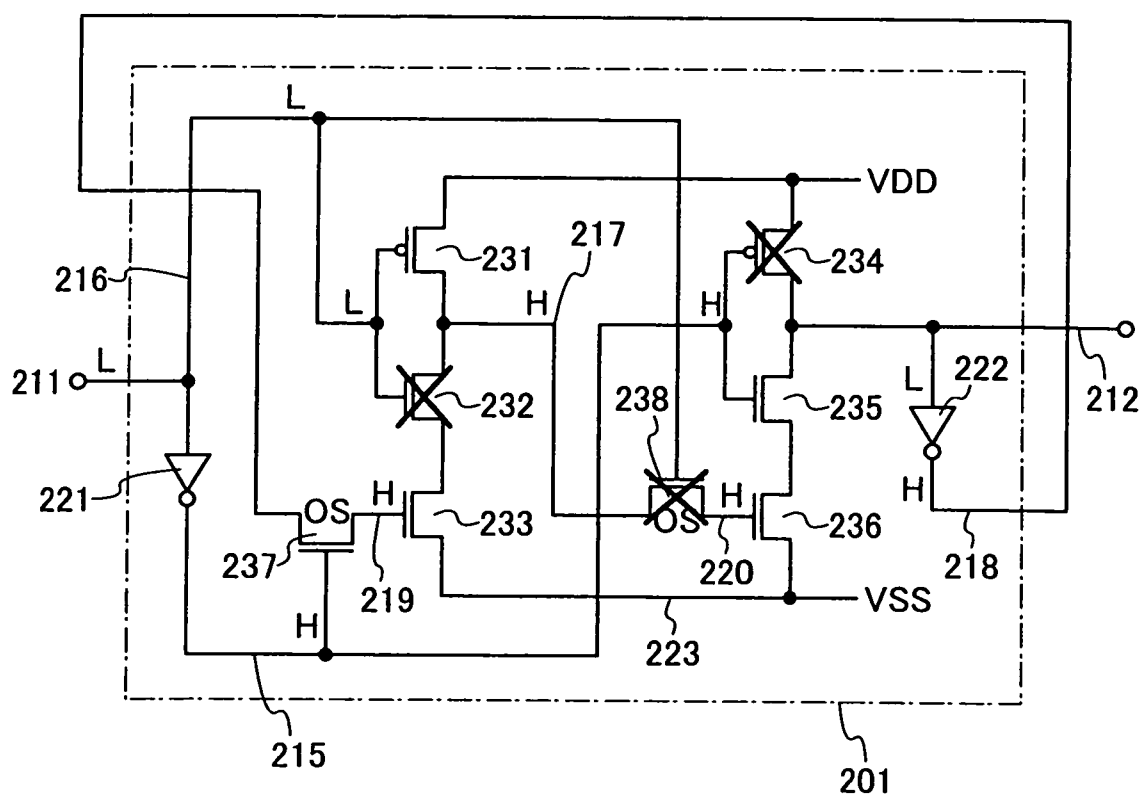
第2C圖



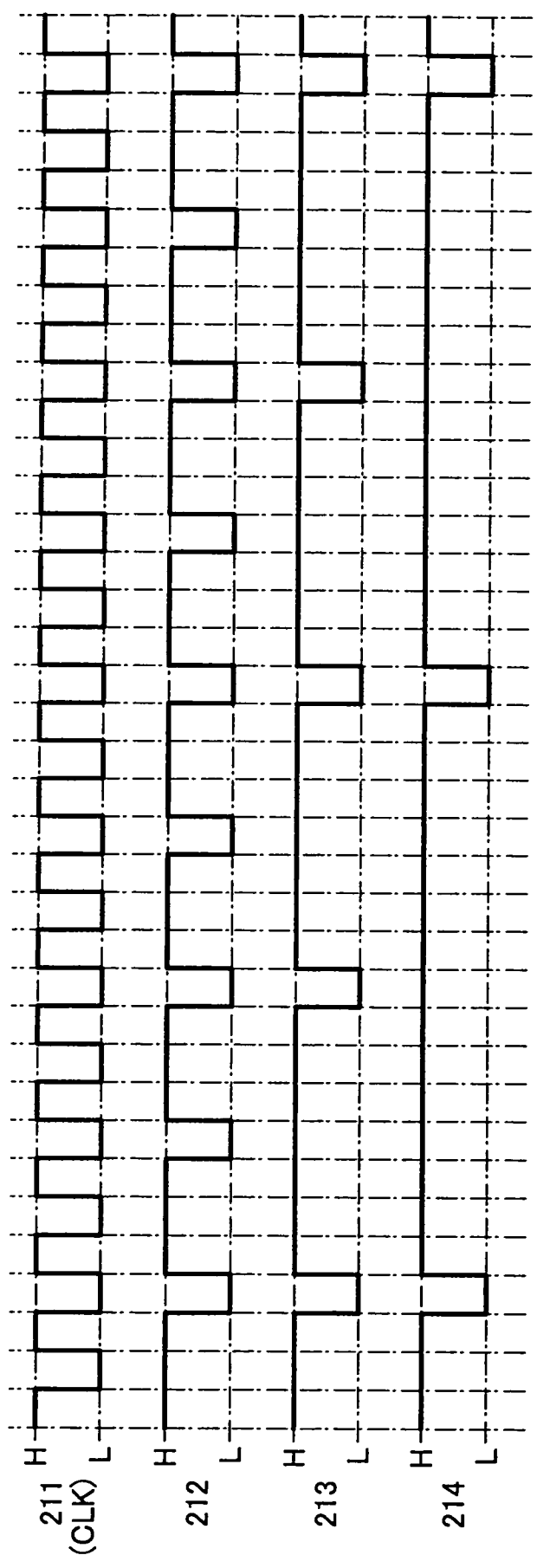
第3圖



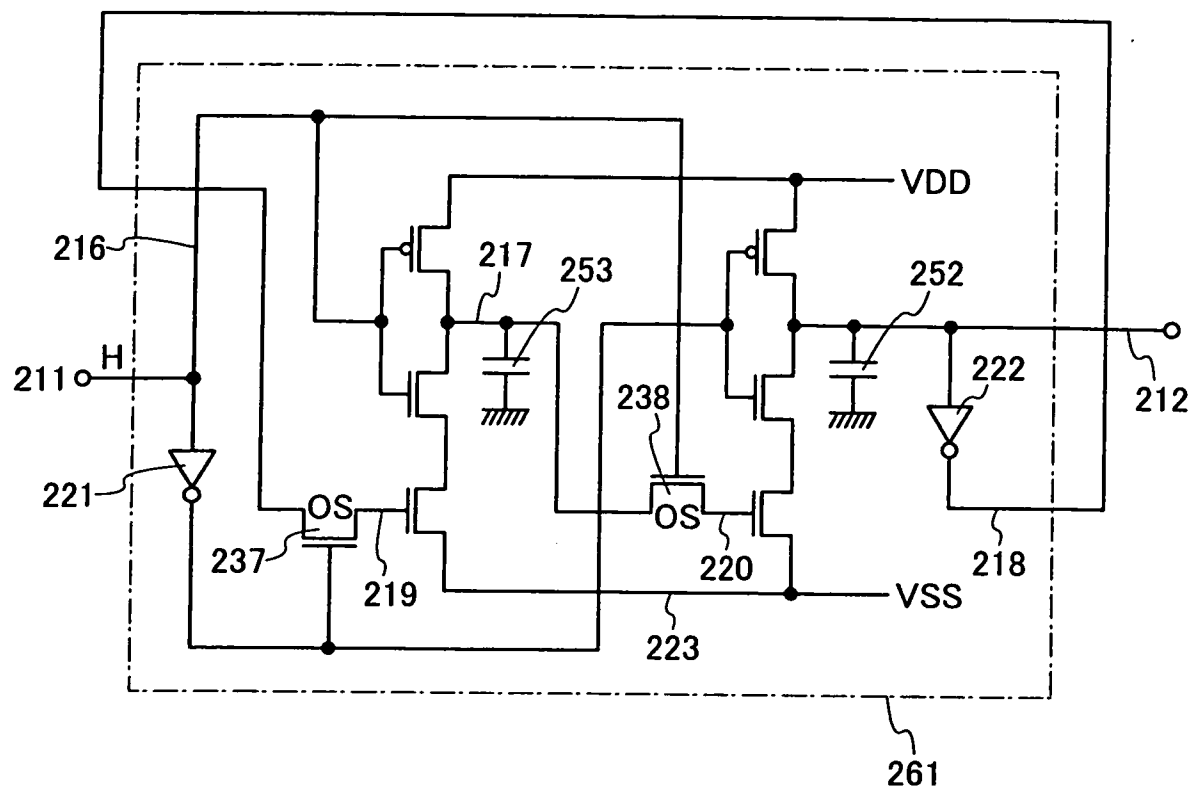




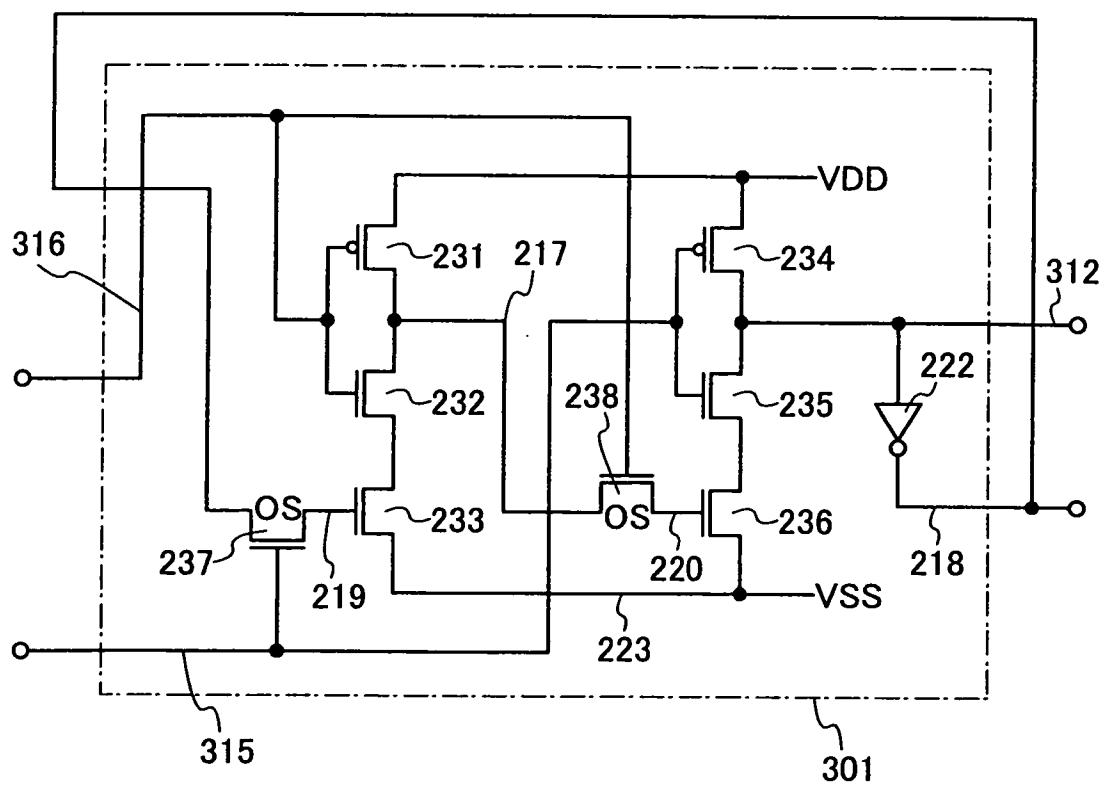
第6圖



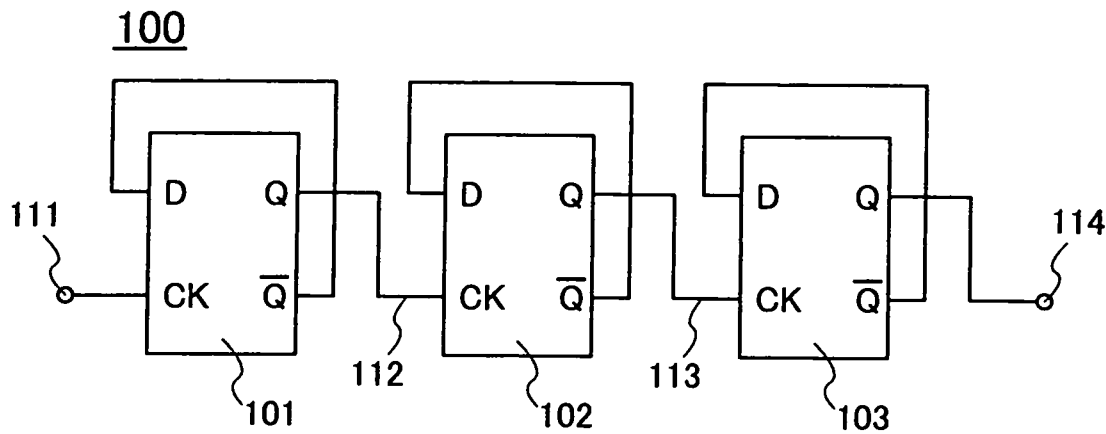
第7圖



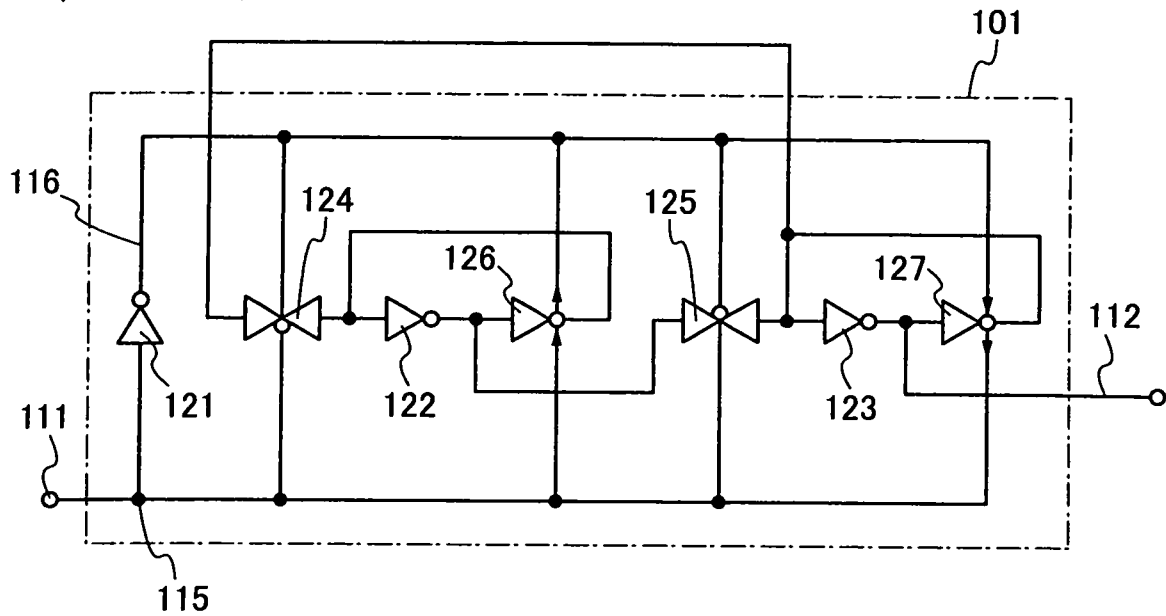
第8B圖



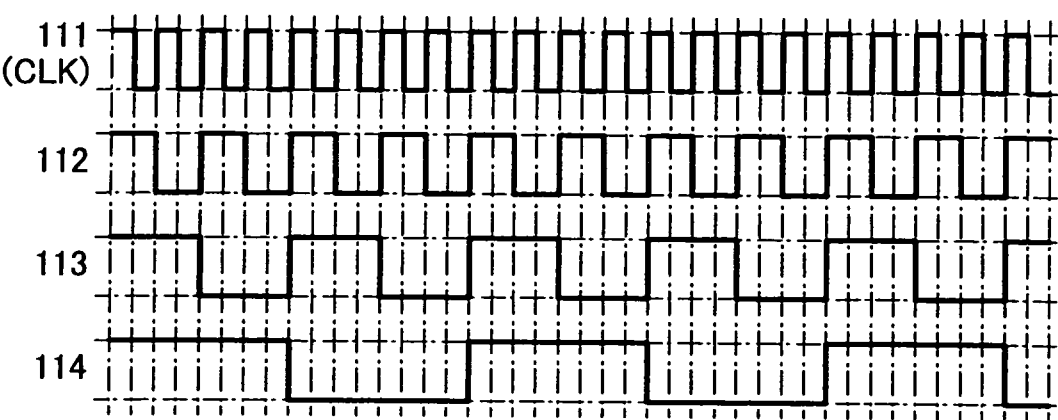
第9A圖



第9B圖



第9C圖



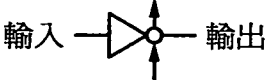
第10A1圖



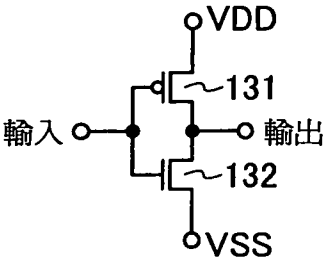
第10B1圖



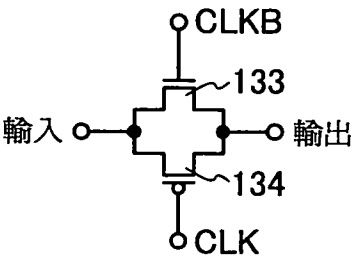
第10C1圖



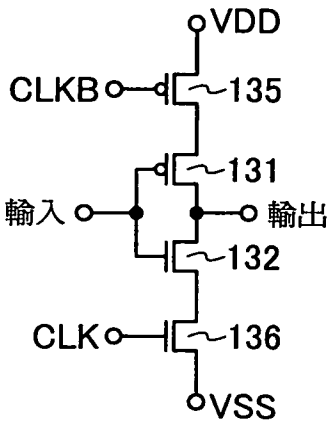
第10A2圖



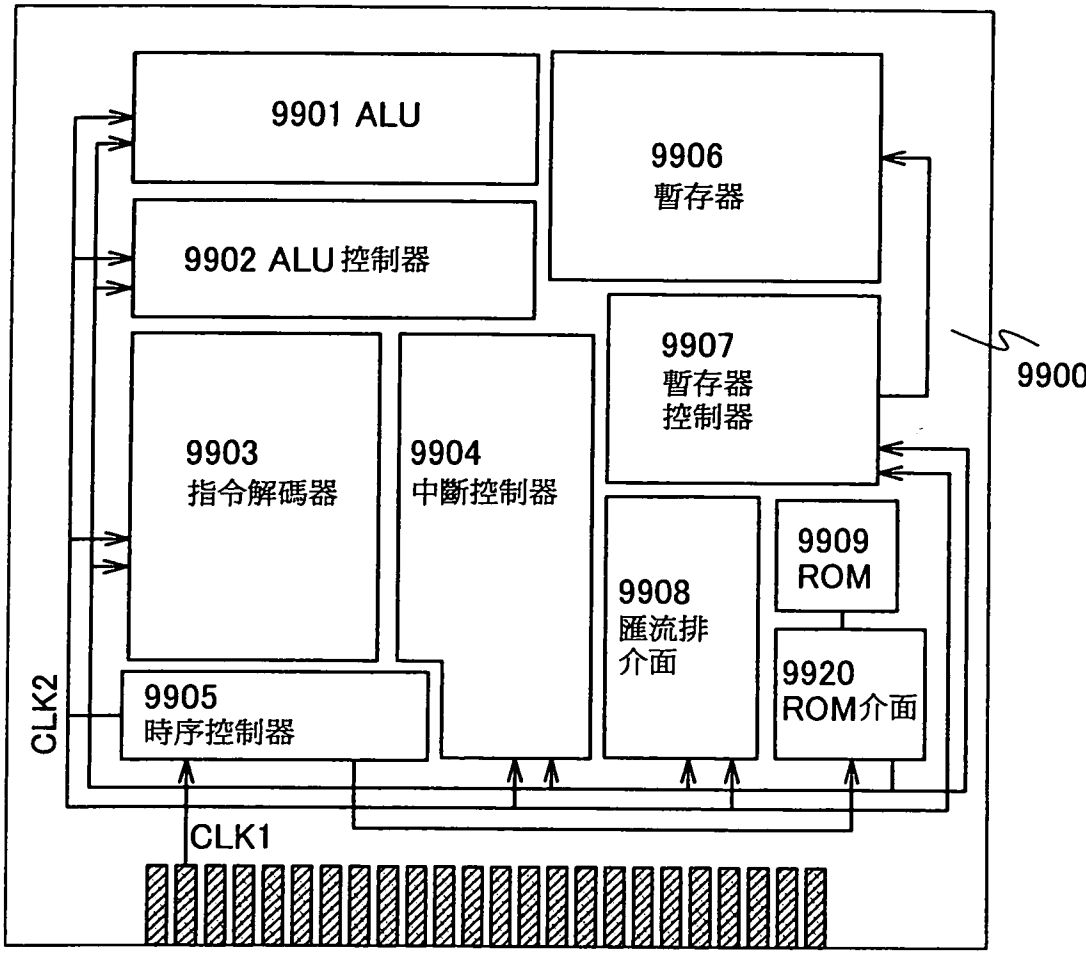
第10B2圖



第10C2圖



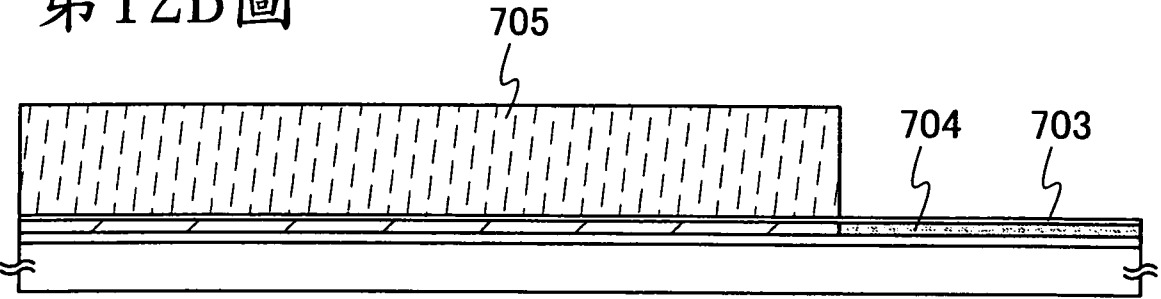
第11圖



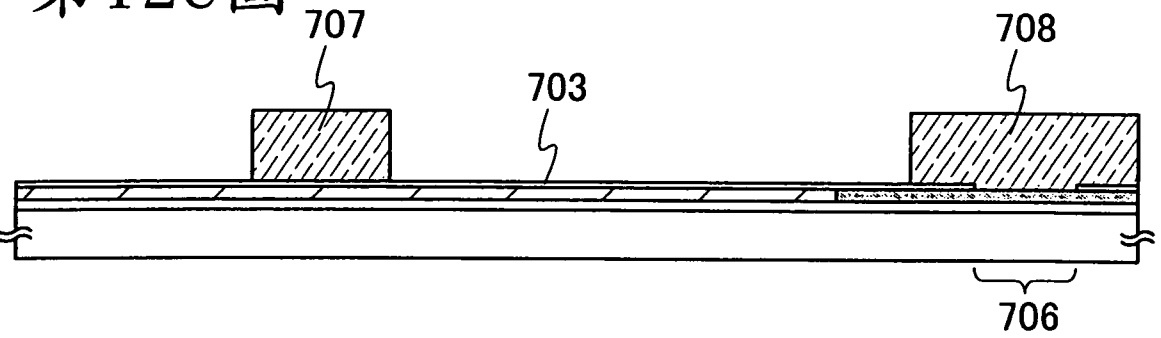
第12A圖



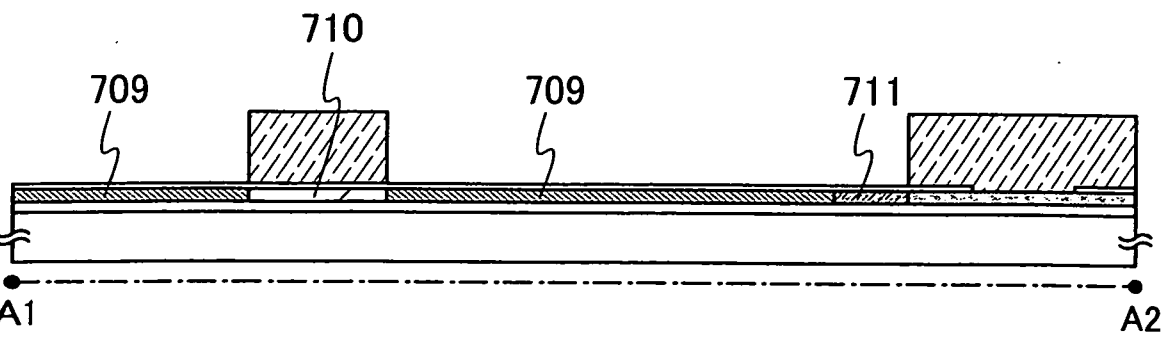
第12B圖



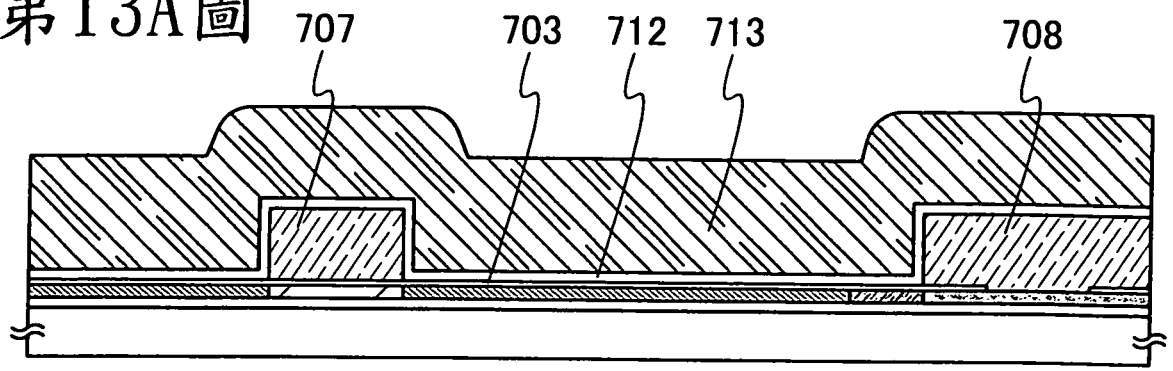
第12C圖



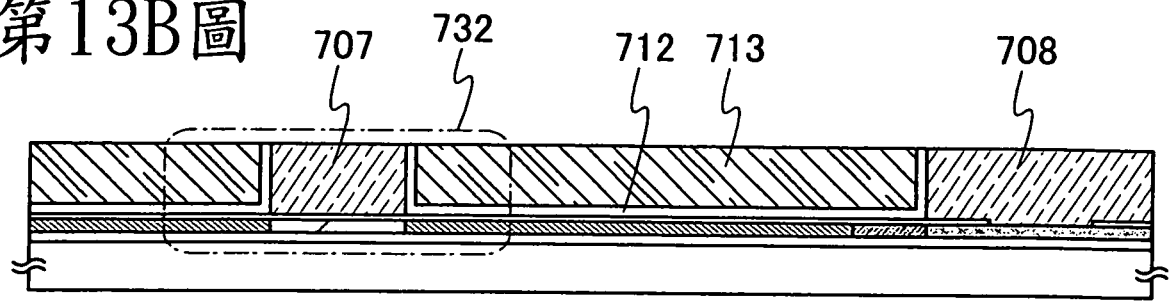
第12D圖



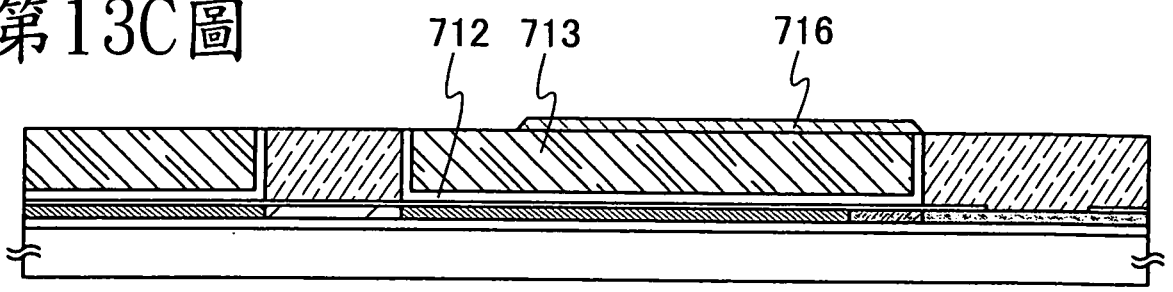
第13A圖



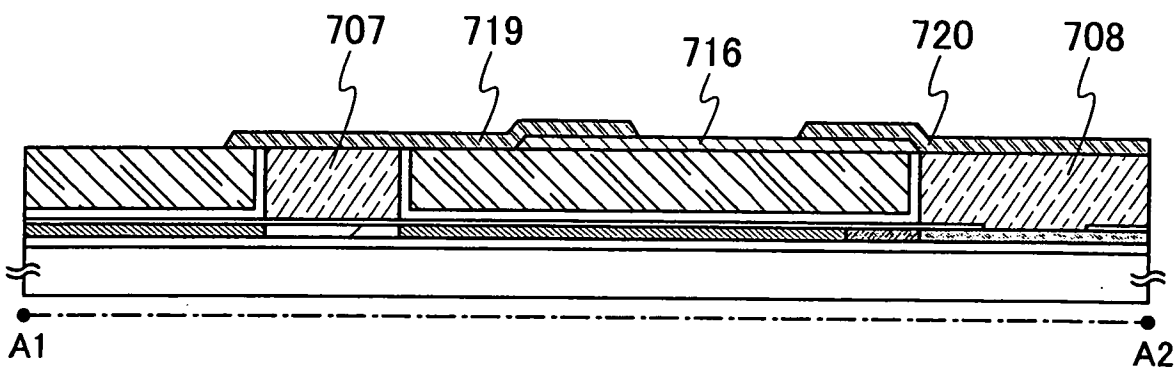
第13B圖



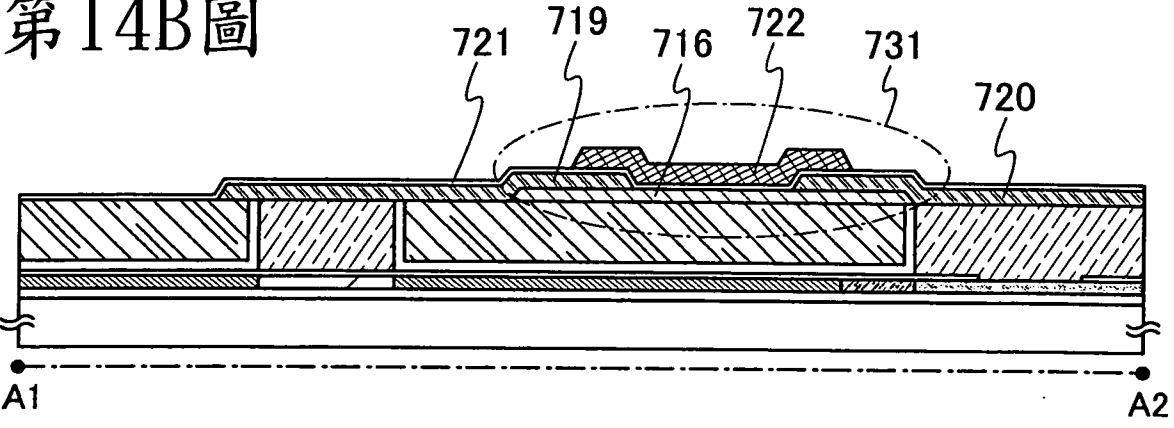
第13C圖



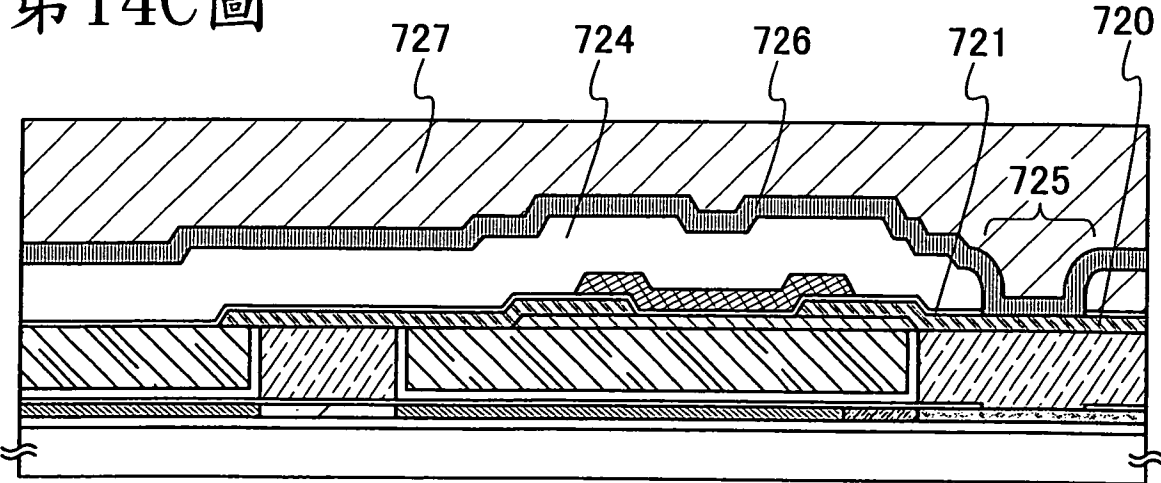
第14A圖



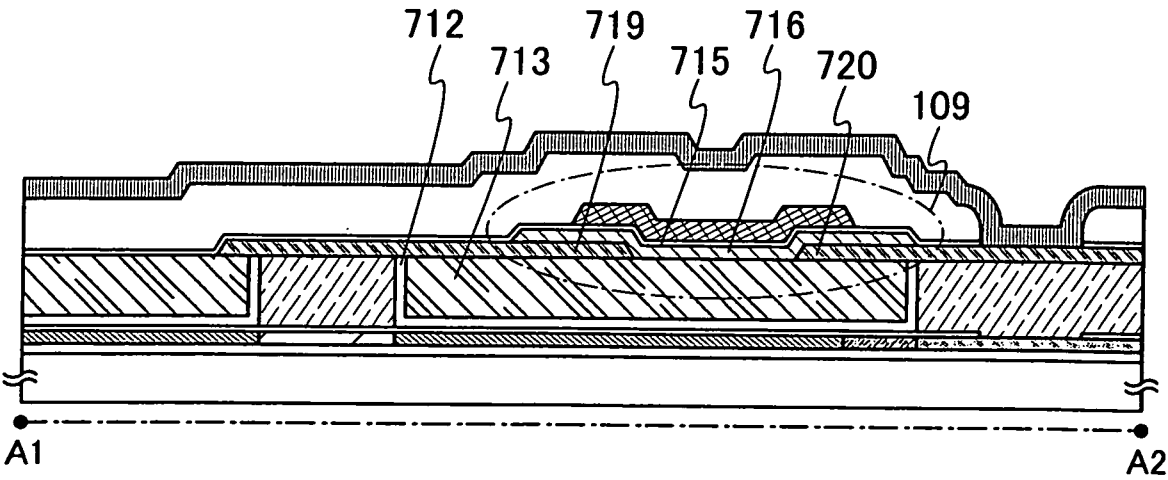
第14B圖



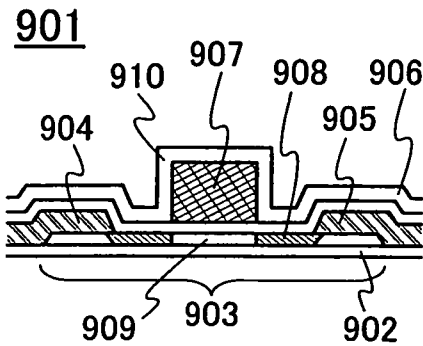
第14C圖



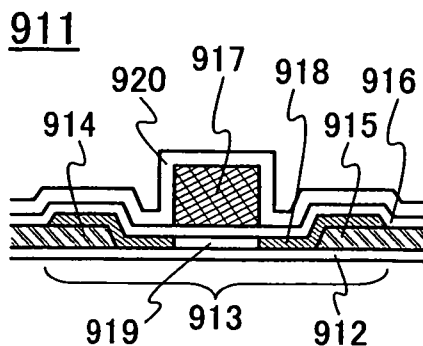
第15圖



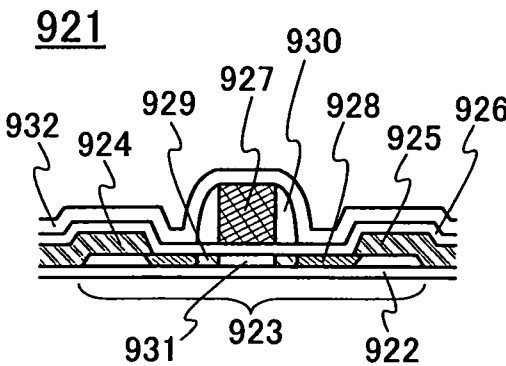
第16A圖



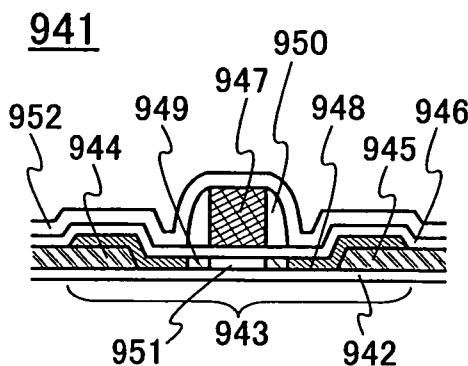
第16B圖



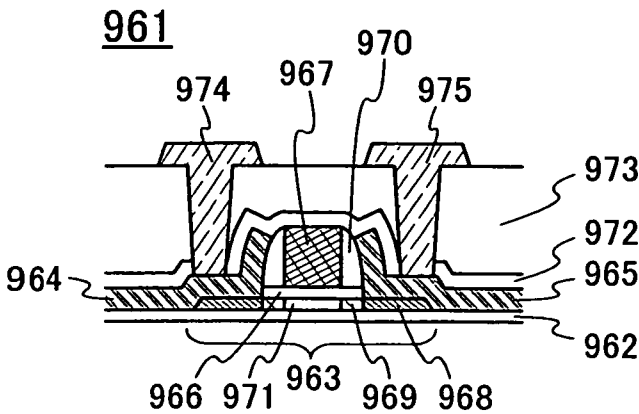
第16C圖



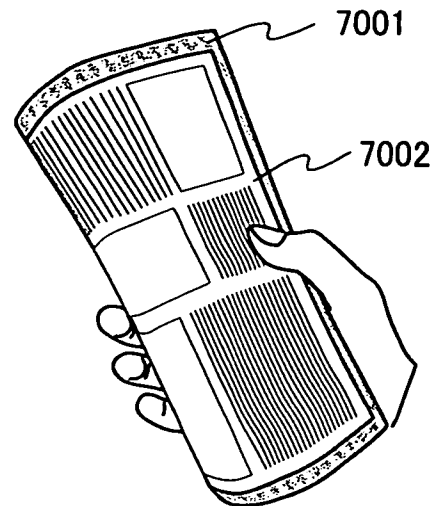
第16D圖



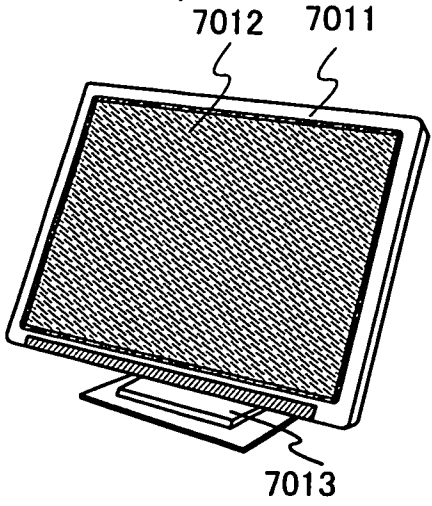
第16E圖



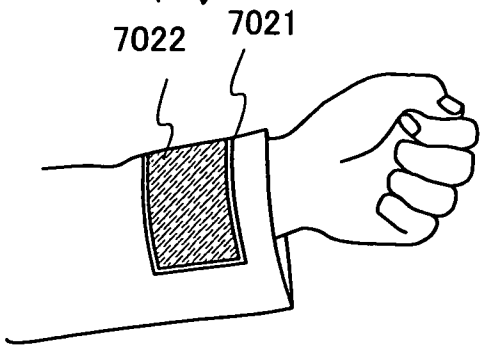
第17A圖



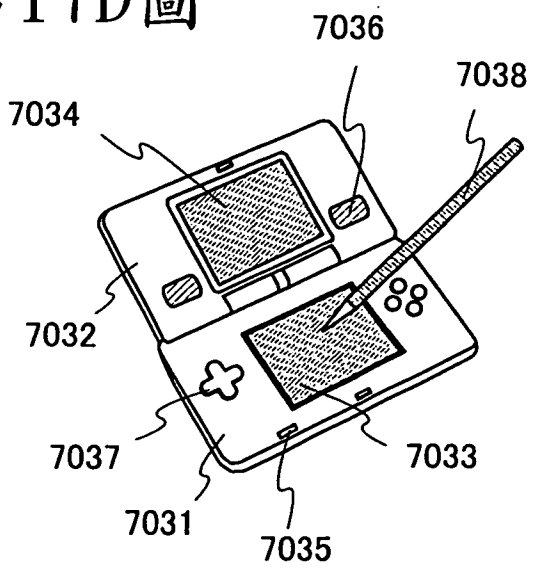
第17B圖



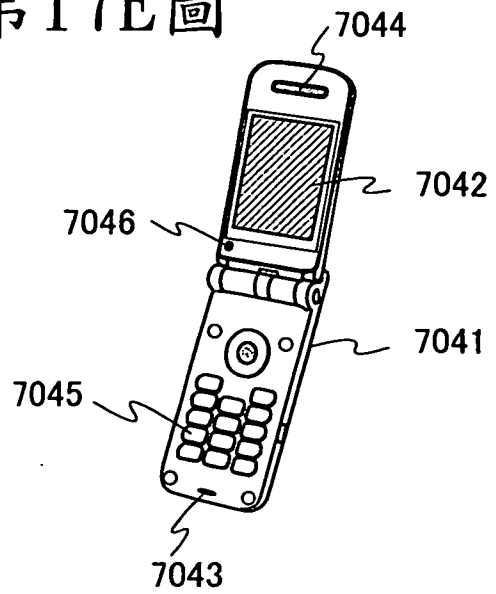
第17C圖



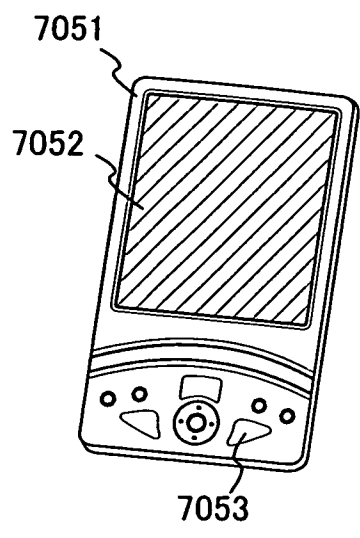
第17D圖



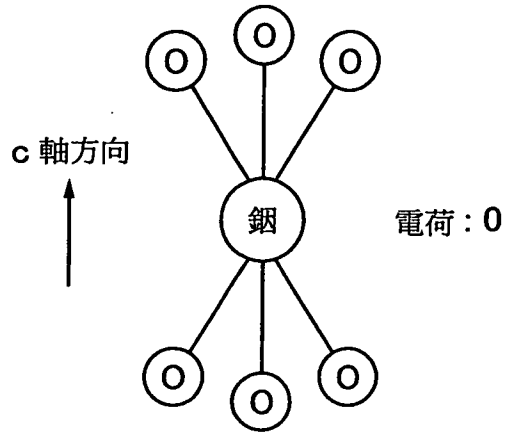
第17E圖



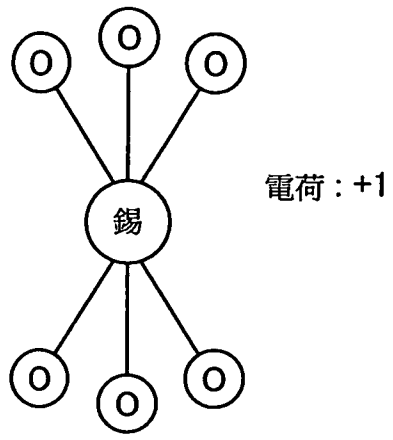
第17F圖



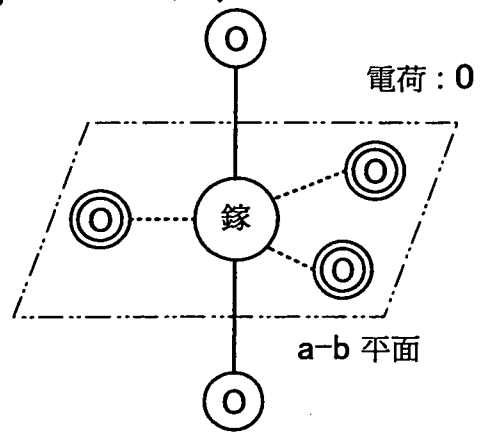
第18A圖



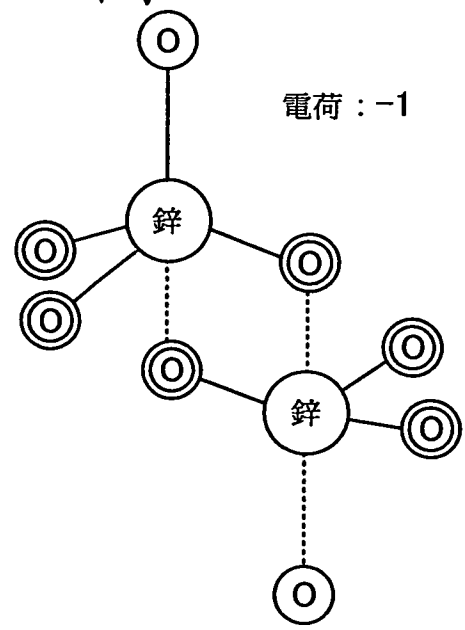
第18D圖



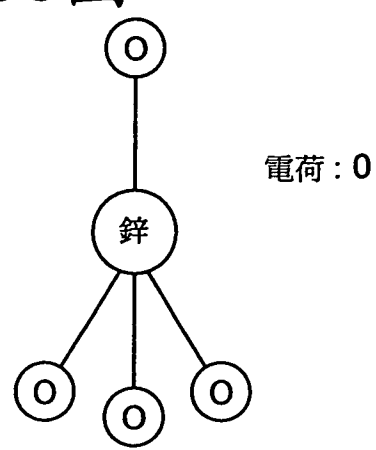
第18B圖



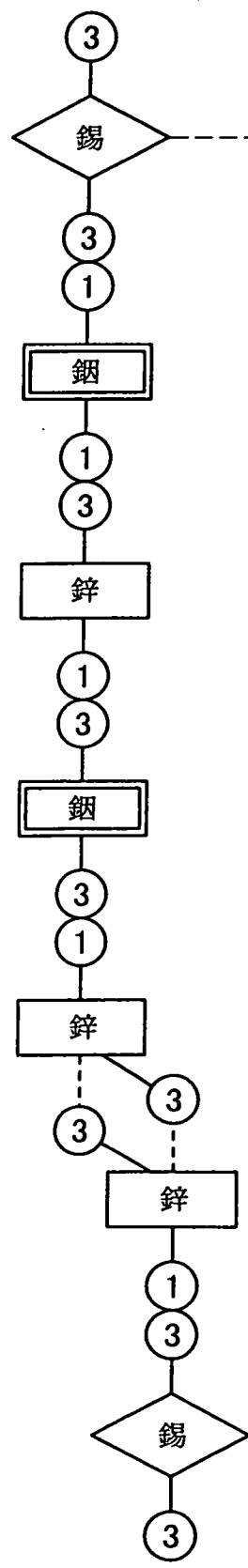
第18E圖



第18C圖



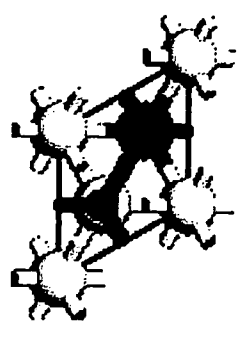
第19A圖



第19B圖



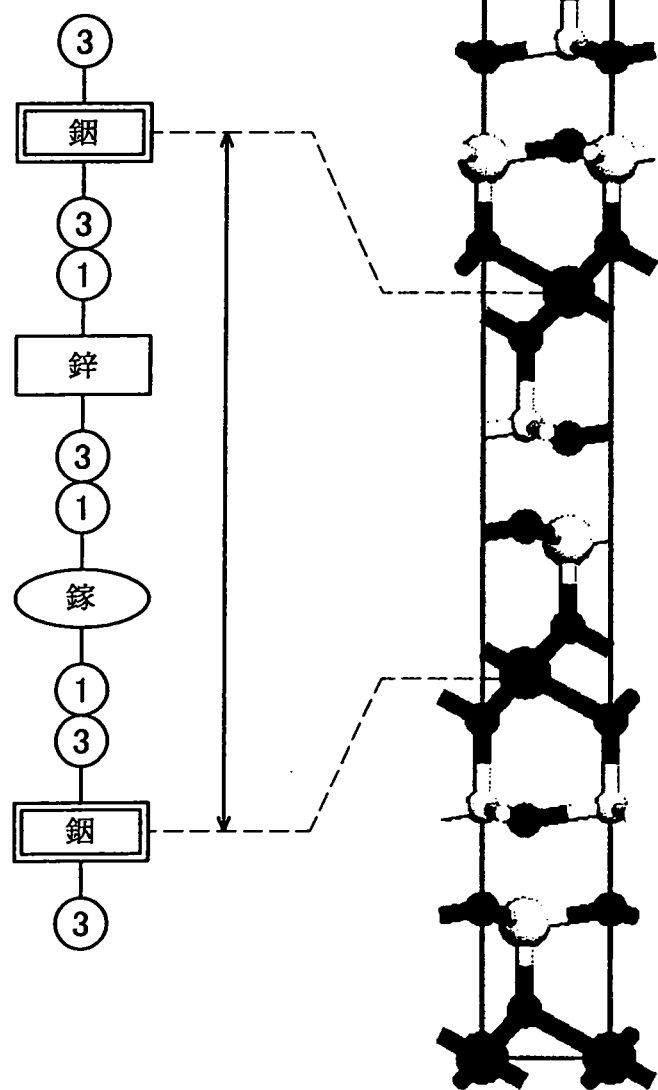
第19C圖



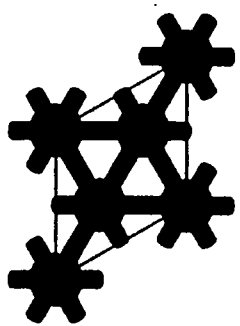
- 鎵
- 錫
- 鋅
- 0

第20B圖

第20A圖

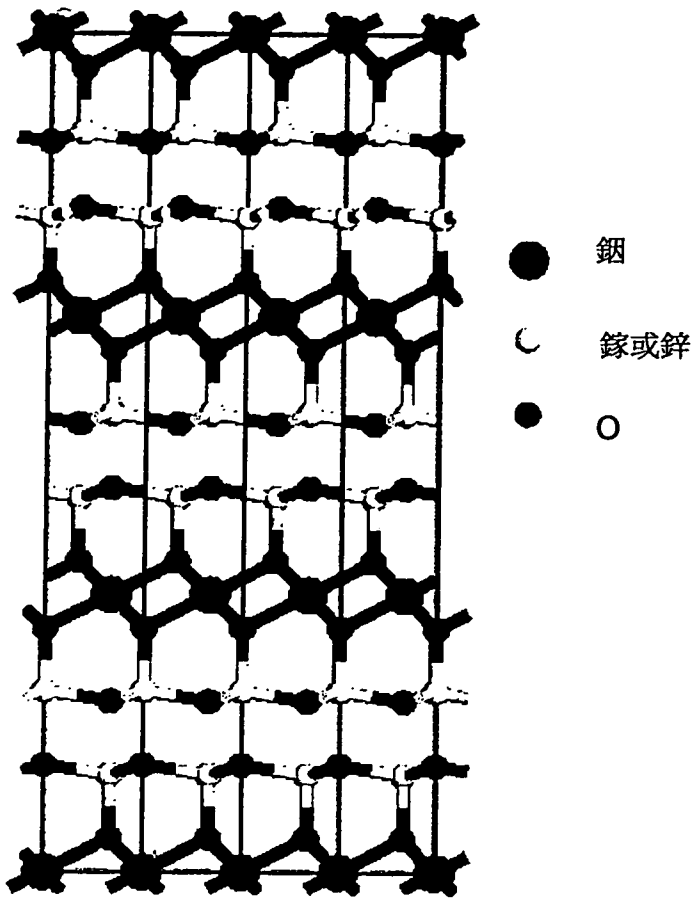


第20C圖

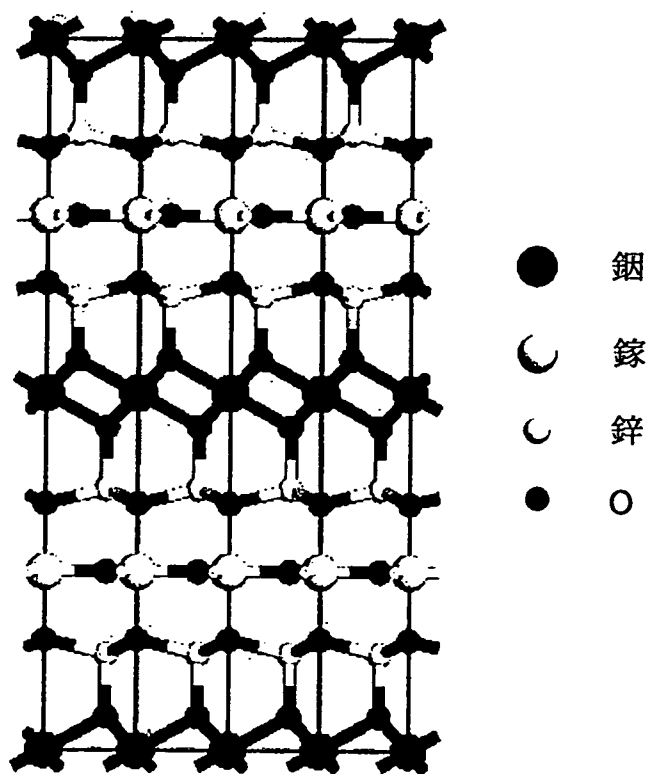


- 鋼
- ◐ 鎳
- ◑ 鋅
- 0

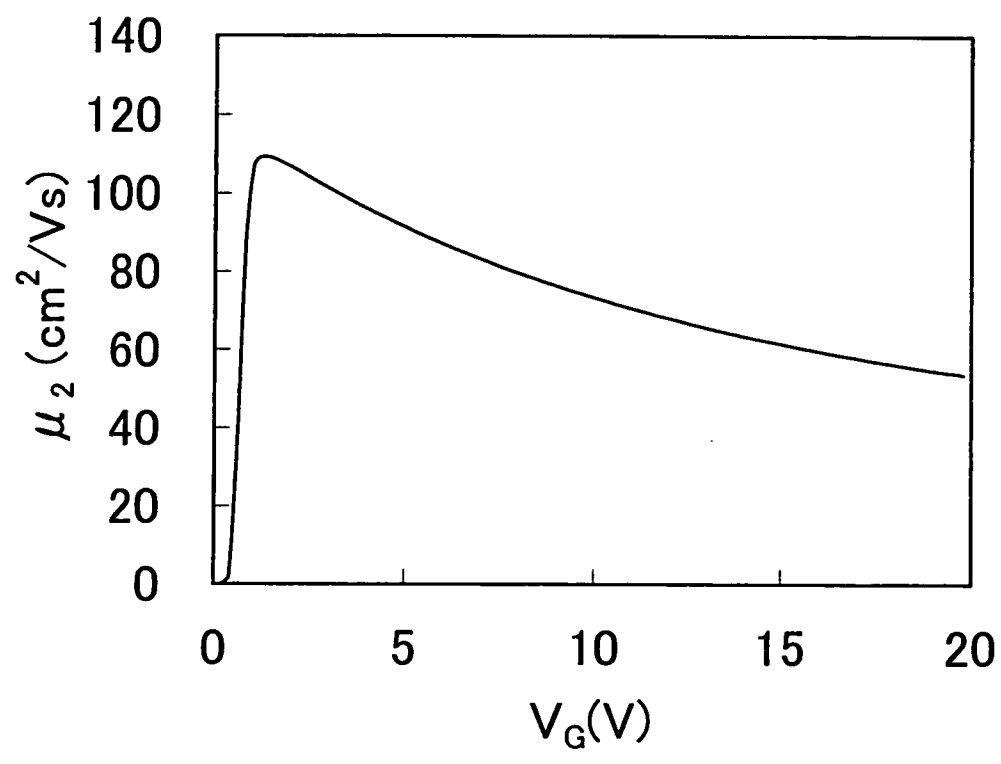
第21A圖



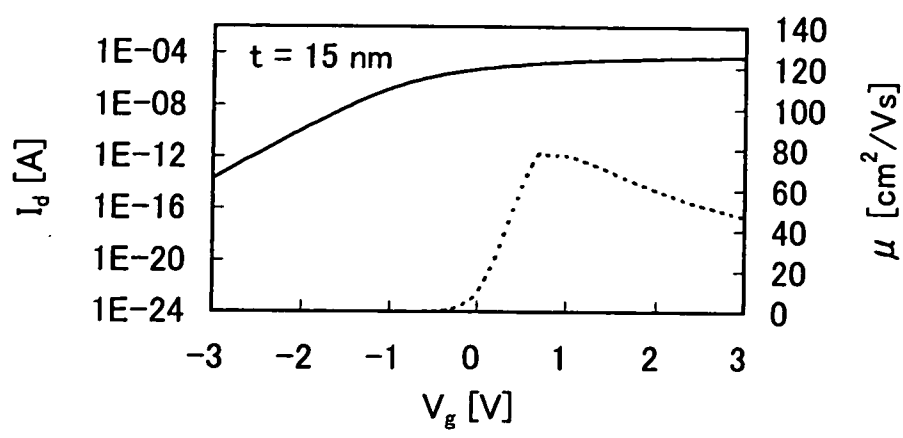
第21B圖



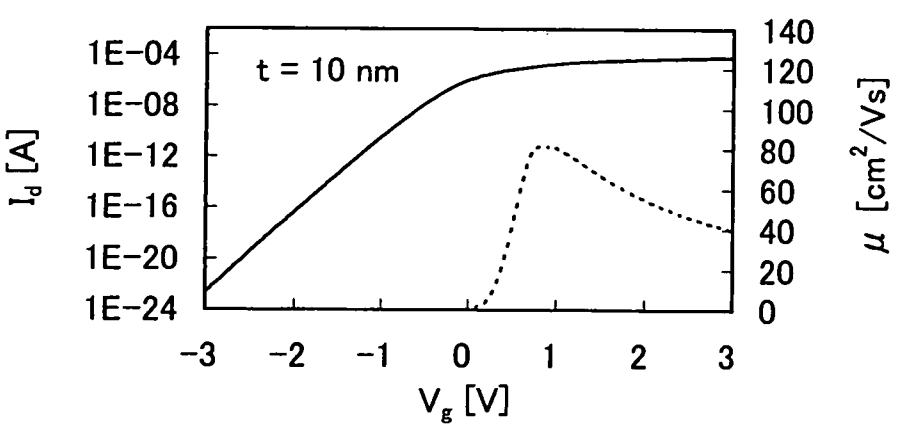
第22圖



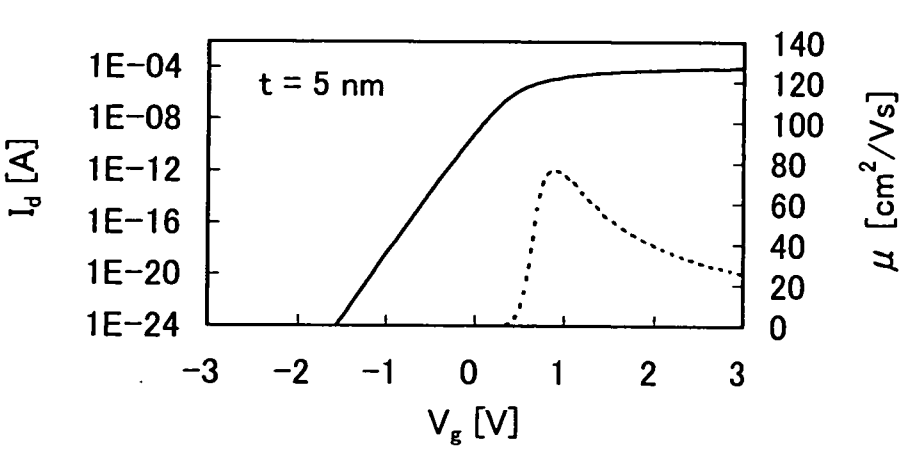
第23A圖



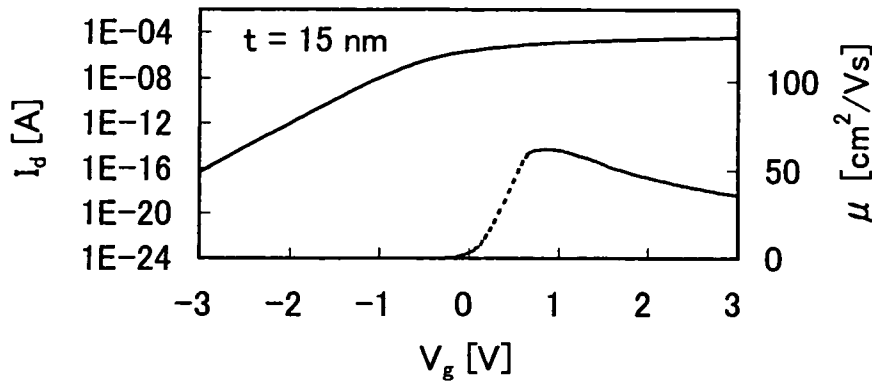
第23B圖



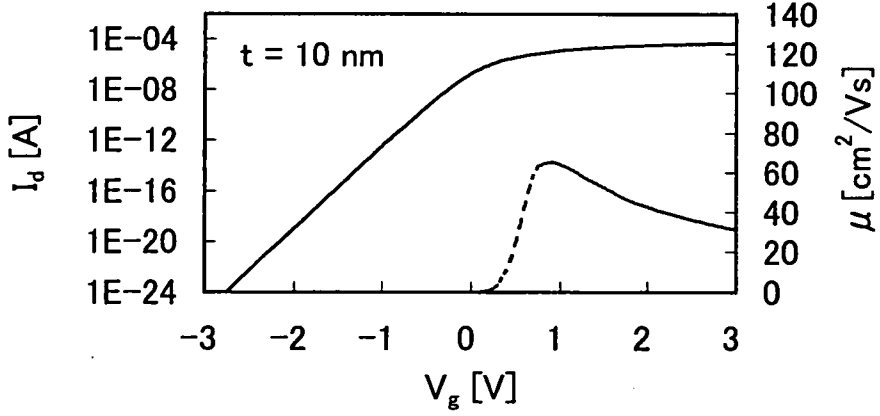
第23C圖



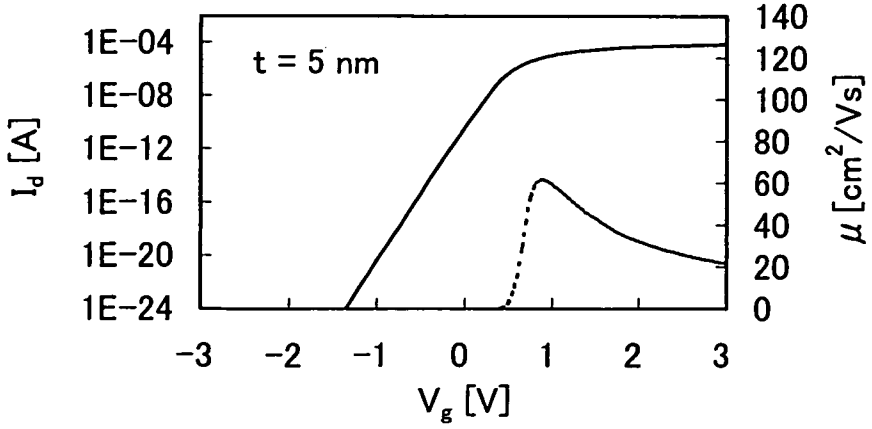
第24A圖



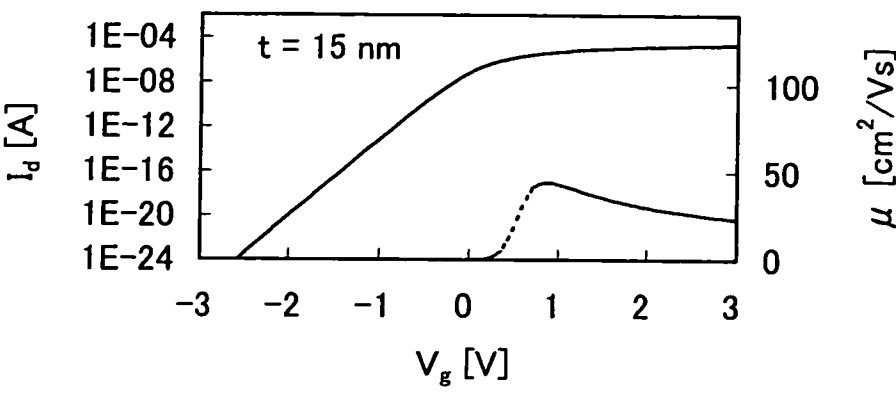
第24B圖



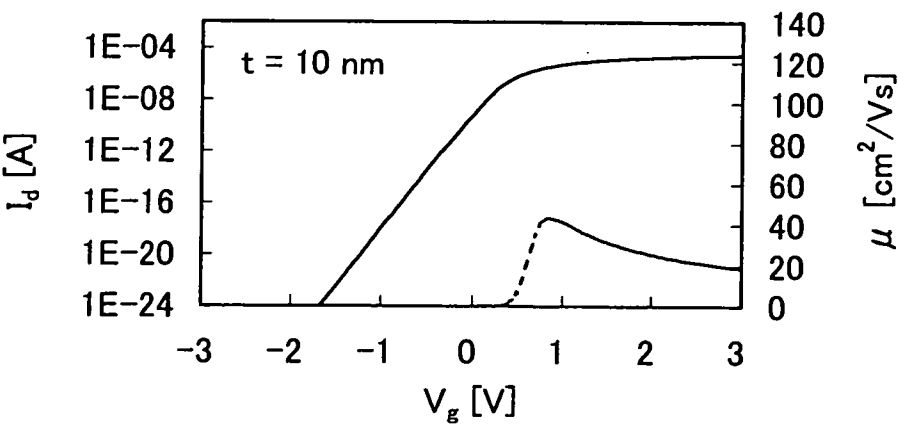
第24C圖



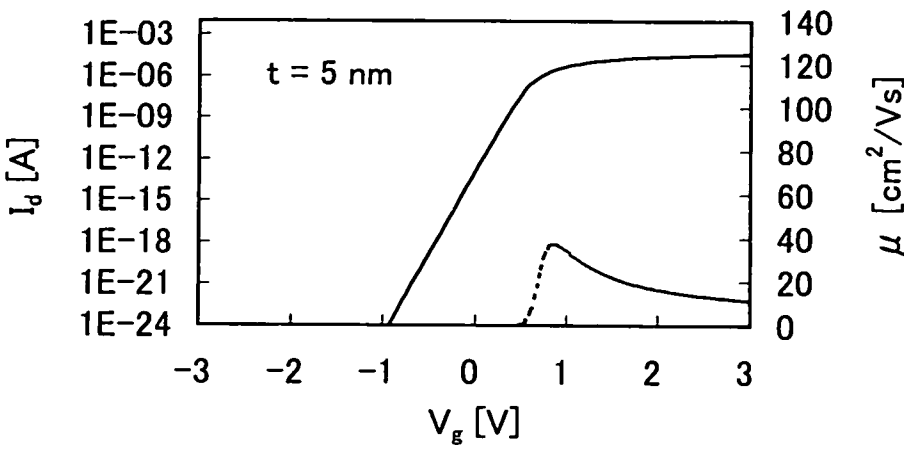
第25A圖



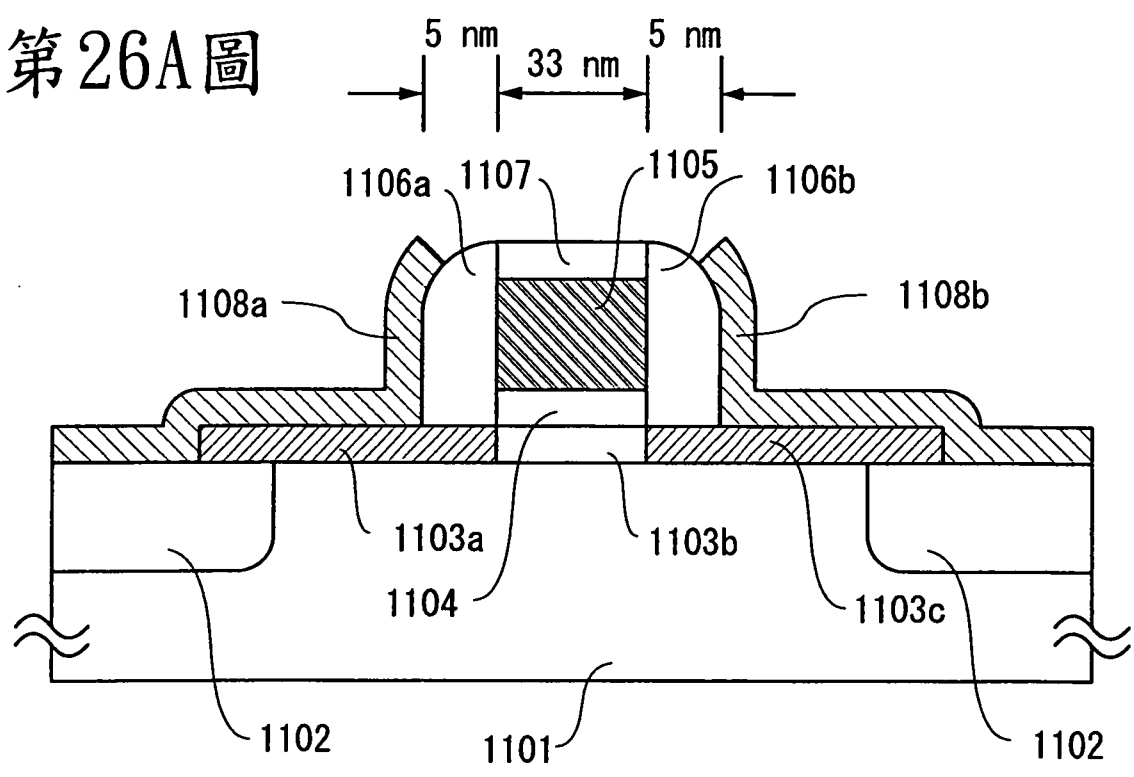
第25B圖



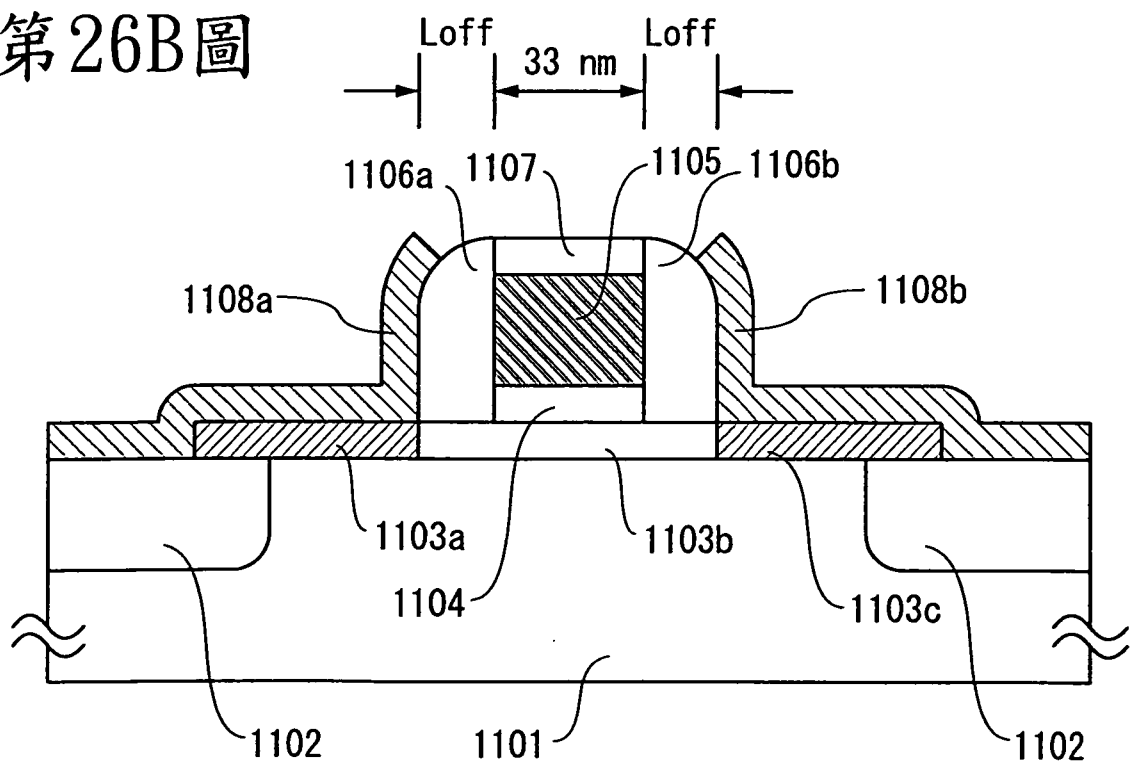
第25C圖



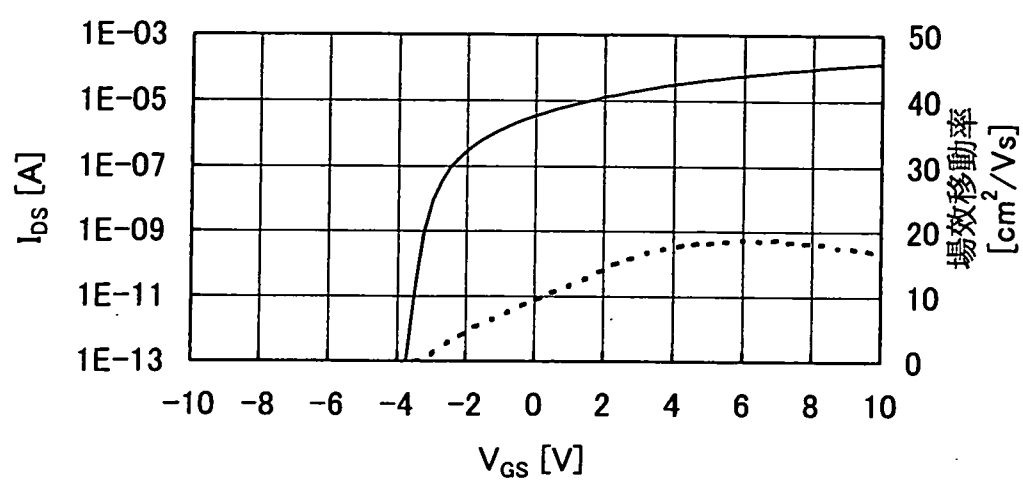
第26A圖



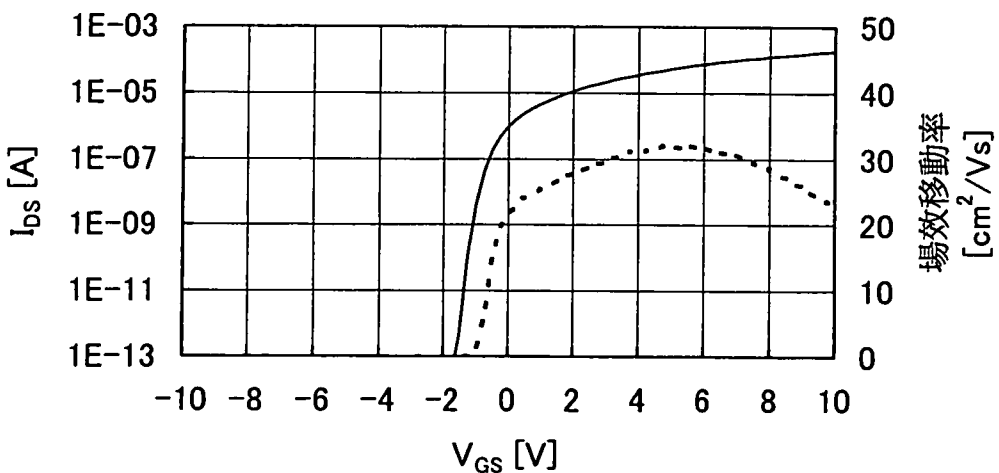
第26B圖



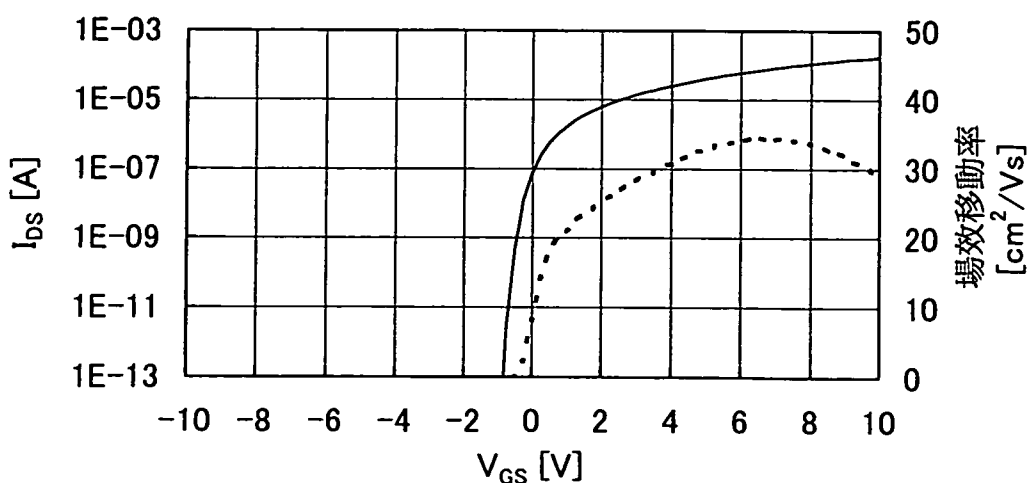
第27A圖



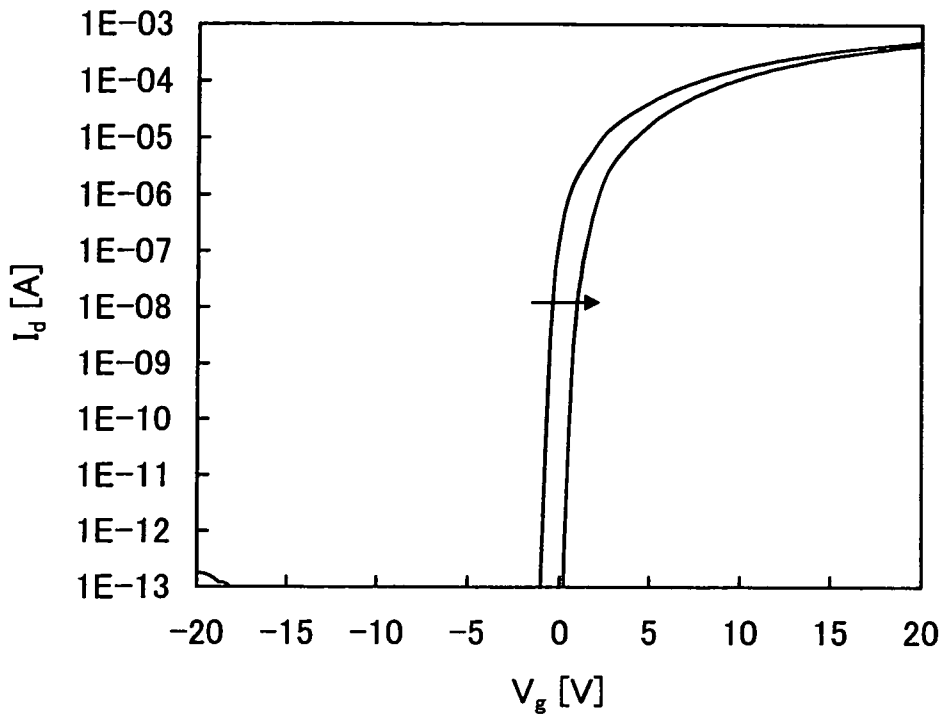
第27B圖



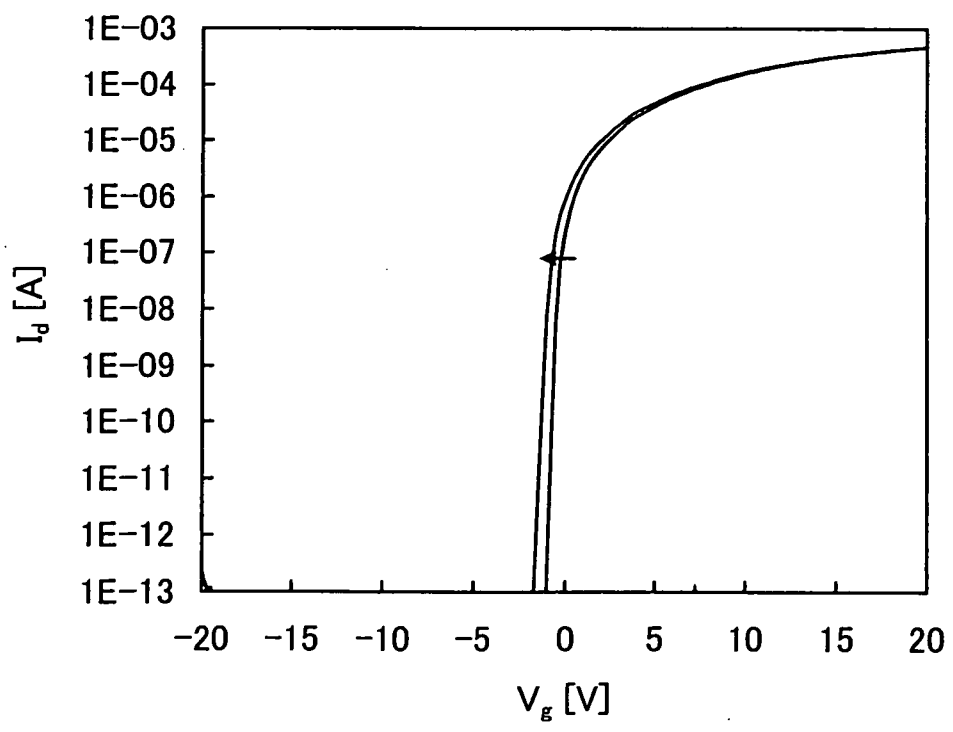
第27C圖



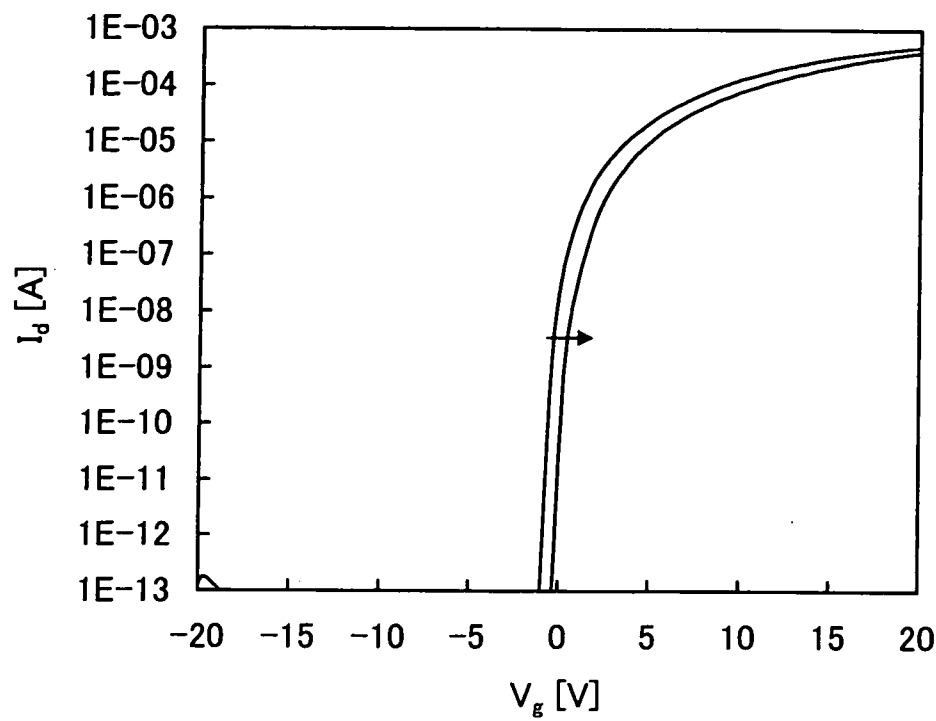
第28A圖



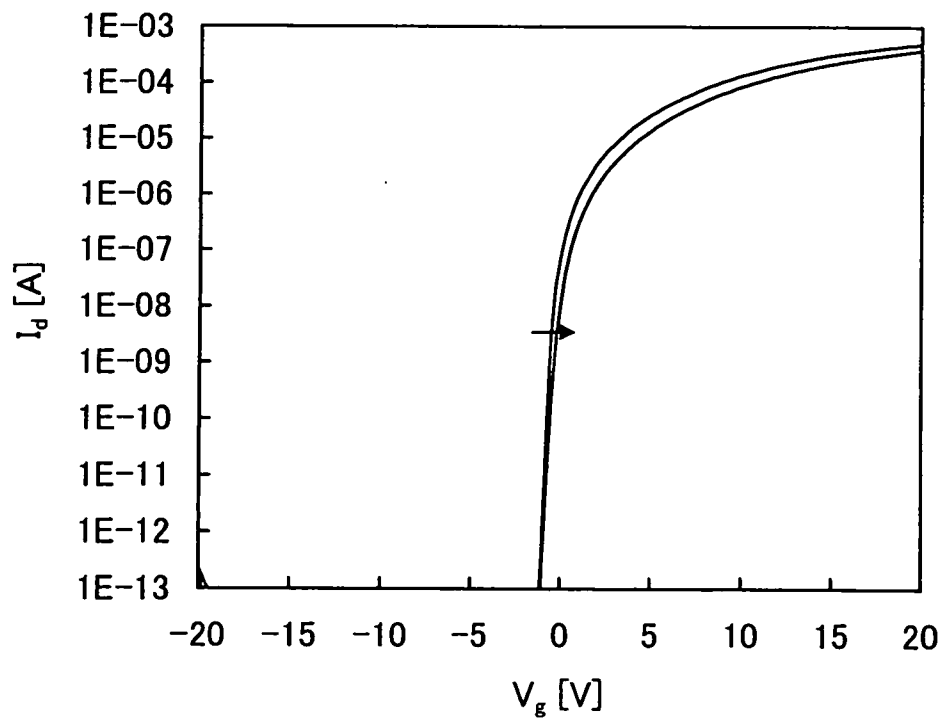
第28B圖



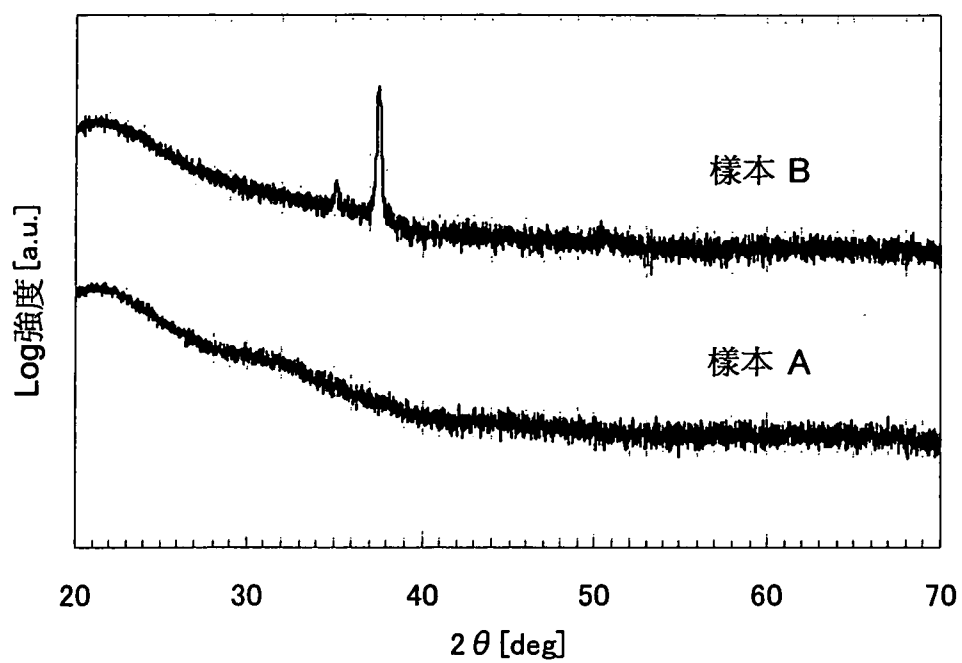
第29A圖



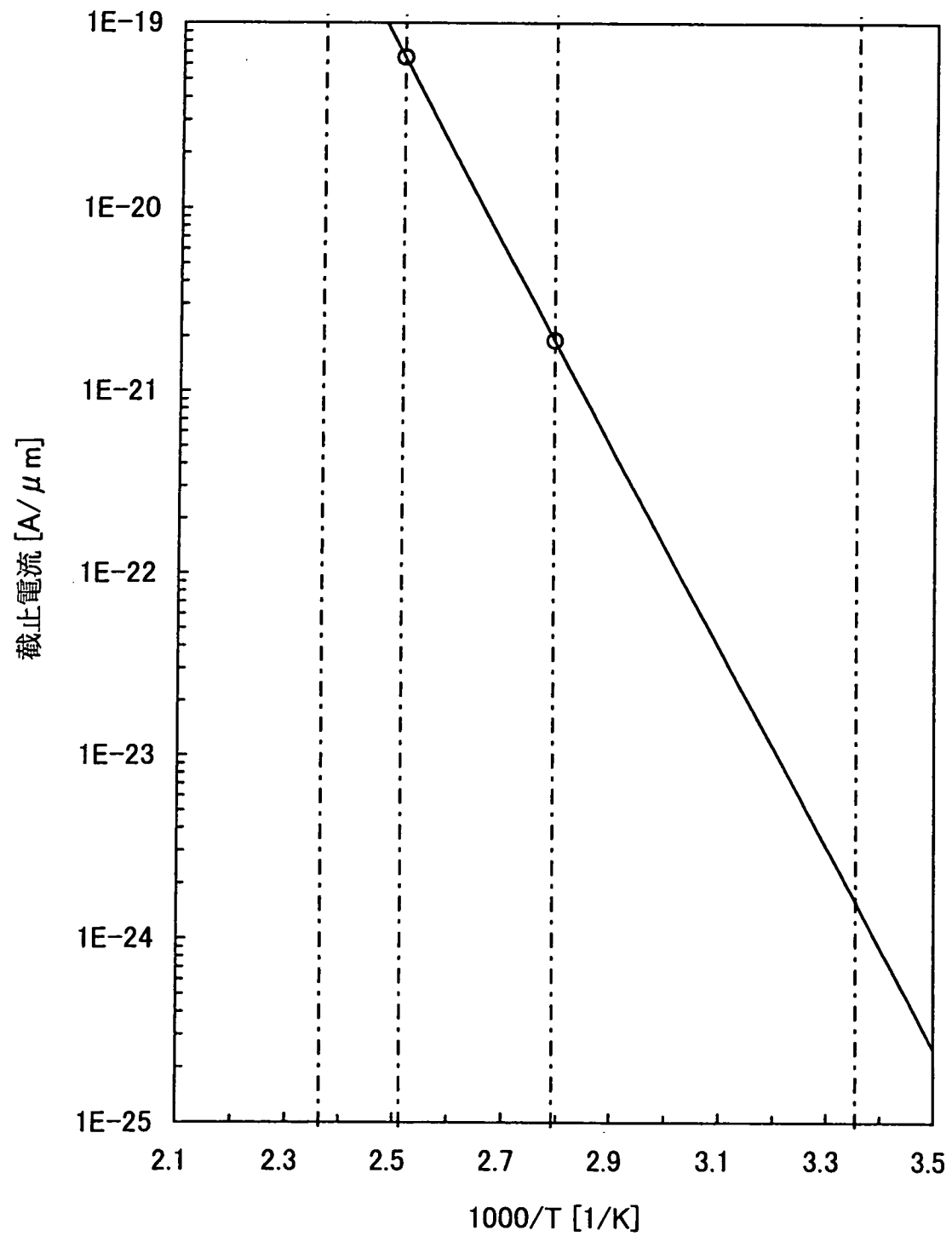
第29B圖



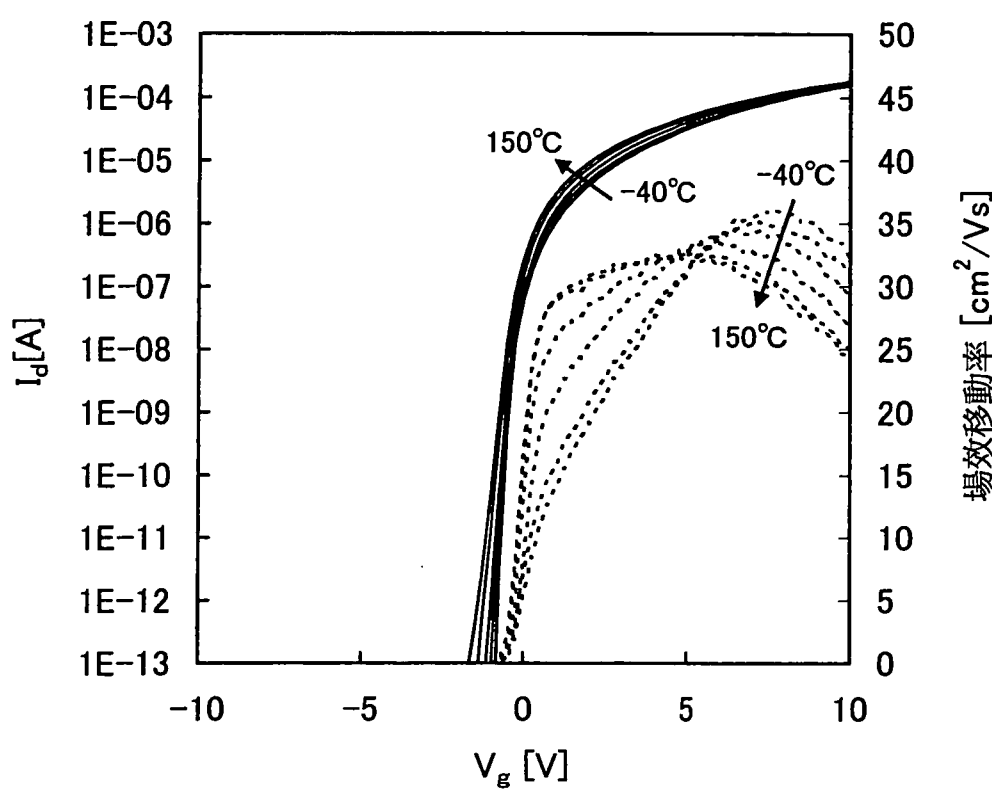
第30圖



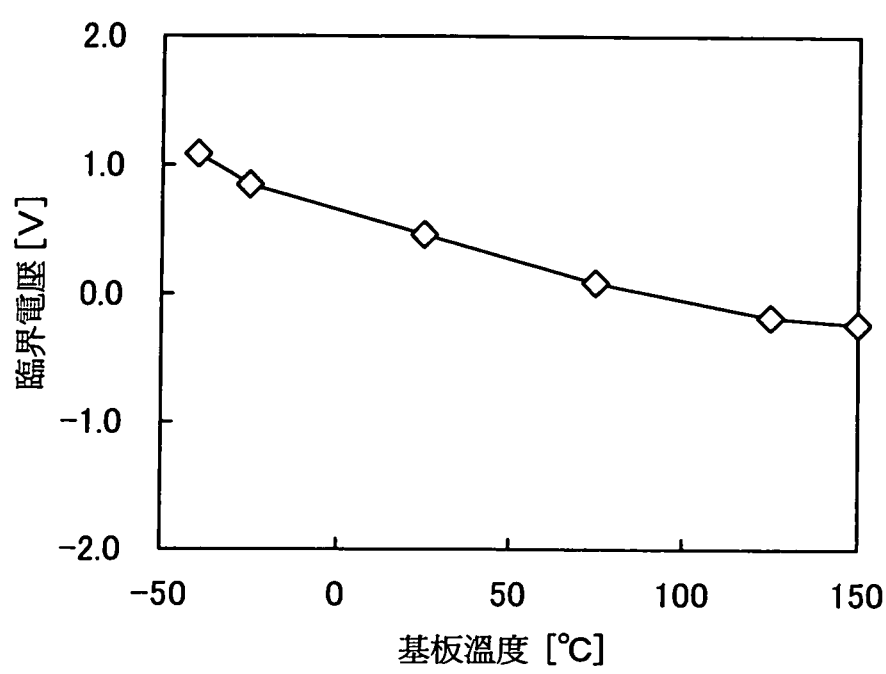
第31圖



第32圖



第33A圖



第33B圖

