

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第4区分
【発行日】令和3年6月17日(2021.6.17)

【公開番号】特開2020-5331(P2020-5331A)
【公開日】令和2年1月9日(2020.1.9)
【年通号数】公開・登録公報2020-001
【出願番号】特願2018-119551(P2018-119551)
【国際特許分類】

H 0 2 M 3/28 (2006.01)

【F I】

H 0 2 M 3/28 Q

H 0 2 M 3/28 H

【手続補正書】

【提出日】令和3年4月28日(2021.4.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第1フルブリッジ回路と、

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第2フルブリッジ回路と、

前記第1フルブリッジ回路に接続された第1巻線と、前記第2フルブリッジ回路に接続され、前記第1巻線と磁気結合する第2巻線とを有するトランスと、

前記第1巻線または前記第2巻線に直列接続されたインダクタンス成分と、

前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、

を備え、

前記制御回路は、

前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モードと、スイッチング周波数を調整する周波数変調モードとで実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記周波数変調モード、を実行する、

D C - D Cコンバータ。

【請求項2】

請求項1に記載のD C - D Cコンバータであって、

スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である、

D C - D Cコンバータ。

【請求項3】

請求項1または請求項2に記載のD C - D Cコンバータであって、

前記制御回路は、

前記目標電力が閾値電力未満である場合には、前記出力角変調モードを実行し、

前記目標電力が前記閾値電力以上である場合には、前記周波数変調モードを実行する

、
D C - D Cコンバータ。

【請求項 4】

請求項 1 または請求項 2 に記載の D C - D Cコンバータであって、
前記制御回路は、

前記出力角変調モードと、前記周波数変調モードと、前記第 1 巻線側の電圧および前記第 2 巻線側の電圧の位相を変更する位相制御モードと、で実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、前記周波数変調モード、または、前記位相制御モード、を実行する、

D C - D Cコンバータ。

【請求項 5】

請求項 4 に記載の D C - D Cコンバータであって、
前記制御回路は、

前記目標電力が第 1 閾値電力未満である場合には、前記出力角変調モードを実行し、

前記目標電力が前記第 1 閾値電力以上である場合には、前記周波数変調モードを実行し、

前記目標電力が、前記第 1 閾値電力より大きい第 2 閾値電力以上である場合には、前記位相制御モードを実行する、

D C - D Cコンバータ。

【請求項 6】

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4 つのスイッチング素子を有する第 1 フルブリッジ回路と、

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4 つのスイッチング素子を有する第 2 フルブリッジ回路と、

前記第 1 フルブリッジ回路に接続された第 1 巻線と、前記第 2 フルブリッジ回路に接続され、前記第 1 巻線と磁気結合する第 2 巻線とを有するトランスと、

前記第 1 巻線または前記第 2 巻線に直列接続されたインダクタンス成分と、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、

を備え、

前記制御回路は、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モード、または、前記第 1 巻線側の電圧および前記第 2 巻線側の電圧の位相を変更する位相制御モード、を実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記位相制御モード、を実行する、

D C - D Cコンバータ。

【請求項 7】

請求項 6 に記載の D C - D Cコンバータであって、

スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である、

D C - D Cコンバータ。

【請求項 8】

請求項 2 または請求項 7 に記載の D C - D Cコンバータであって、

前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、2 つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている、

D C - D Cコンバータ。

【請求項 9】

請求項 8 に記載の D C - D Cコンバータであって、

前記閾値電流を I_{ref} 、前記第 1 フルブリッジ回路の入力電圧を V_x 、前記キャパシタ

のキャパシタンスを C 、前記等価インダクタのインダクタンスを L 、補正係数を α で表した場合、

$$I_{ref} = \alpha \cdot V \times (2C/L)、$$

を満たす、DC-DCコンバータ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本願の第8発明は、第2発明または第7発明のDC-DCコンバータであって、前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、2つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

タイミング t_1 では、スイッチング素子 Q_{11} がターンオフされた後、デッドタイムを挟んで、スイッチング素子 Q_{12} がターンオンされる。このデッドタイムでは、スイッチング素子 Q_{11} 、 Q_{12} は共にオフとなる。このとき、インダクタ L には、その性質上、インダクタ電流 I_L が流れ続けるため、図4に示すように、キャパシタ C_{11} およびキャパシタ C_{12} それぞれから、インダクタ L に電流が流れる。そして、キャパシタ C_{11} は充電し、キャパシタ C_{12} は放電される。キャパシタ C_{12} が放電されると、スイッチング素子 Q_{12} のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子 Q_{12} をターンオンすると、ZVSとなる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

タイミング t_2 では、スイッチング素子 Q_{14} がターンオフされた後、デッドタイムを挟んで、スイッチング素子 Q_{13} がターンオンされる。このデッドタイムでは、図4での説明と同様、キャパシタ C_{14} は充電し、キャパシタ C_{13} は放電される。キャパシタ C_{13} が放電されることで、スイッチング素子 Q_{13} のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子 Q_{13} をターンオンすると、ZVSとなる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

また、タイミング t_3 では、スイッチング素子 Q_{12} がターンオフされた後、デッドタイムを挟んで、スイッチング素子 Q_{11} がターンオンされる。そして、図4での説明と同

様、キャパシタC 1 2は充電し、キャパシタC 1 1は放電される。そして、キャパシタC 1 1が放電されることで、スイッチング素子Q 1 1のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Q 1 1をターンオンすると、Z V Sとなる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

タイミングt 0では、スイッチング素子Q 1 3がターンオフされた後、デッドタイムが設けられて、スイッチング素子Q 1 4がターンオンされる。そして、図4での説明と同様、キャパシタC 1 3は充電し、キャパシタC 1 4は放電される。キャパシタC 1 4が放電されることで、スイッチング素子Q 1 4のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Q 1 4をターンオンすると、Z V Sとなる。そして、図3の状態に遷移する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 3

【補正方法】変更

【補正の内容】

【0 0 5 3】

また、 I_{ref} は、Z V Sを実現するために必要なインダクタ電流 I_L の電流値である。上記のように、例えば、タイミングt 1のデッドタイム（図4）において、キャパシタC 1 1が充電し、キャパシタC 1 2が放電した後に、スイッチング素子Q 1 2のドレイン・ソース間電圧がゼロであれば、スイッチング素子Q 1 2のターンオンはZ V Sとなる。つまり、インダクタLのエネルギーは、少なくとも、キャパシタC 1 1、C 1 2それぞれに蓄積されるエネルギー以上であれば、スイッチング素子Q 1 2をZ V Sできる。このためには、以下の式（2）が成り立つ必要がある。