



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0006896
(43) 공개일자 2014년01월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
H01L 21/28 (2006.01)
- (21) 출원번호 10-2013-7021943
- (22) 출원일자(국제) 2012년01월19일
심사청구일자 없음
- (85) 번역문제출일자 2013년08월20일
- (86) 국제출원번호 PCT/JP2012/051582
- (87) 국제공개번호 WO 2012/102314
국제공개일자 2012년08월02일
- (30) 우선권주장
JP-P-2011-016343 2011년01월28일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
사사가와 신야
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내
쿠라타 모토무
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 19 항

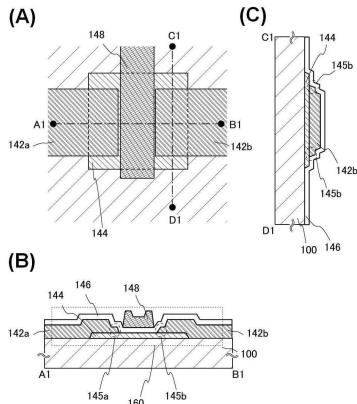
(54) 발명의 명칭 반도체 장치의 제작 방법 및 반도체 장치

(57) 요 약

본 발명은, 양호한 특성이 유지되면서, 불량이 저감되고 미세화가 실현된 반도체 장치를 제공하는 것을 목적으로 한다.

반도체층을 형성하고, 반도체층 위에 제 1 도전층을 형성하고, 제 1 레지스트 마스크를 사용하여 제 1 도전층을 에칭함으로써 오목부를 갖는 제 2 도전층을 형성하고, 제 1 레지스트 마스크를 축소하여 제 2 레지스트 마스크를 형성하고, 제 2 레지스트 마스크를 사용하여 제 2 도전층을 에칭함으로써 주연에 테이퍼 형상의 돌출부를 각각 갖는 소스 전극 및 드레인 전극을 형성하고, 소스 전극 및 드레인 전극 위에 반도체층의 일부와 접하는 게이트 절연층을 형성하고, 게이트 절연층 위에서 반도체층과 중첩되는 부분에 게이트 전극을 형성한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 장치의 제작 방법에 있어서,

반도체층을 형성하는 단계와;

상기 반도체층 위에 단층의 제 1 도전층을 형성하는 단계와;

상기 제 1 도전층 위에 365nm 이하의 파장의 광을 사용하여 제 1 레지스트 마스크를 형성하는 단계와;

상기 제 1 레지스트 마스크를 사용하여 상기 제 1 도전층을 에칭함으로써, 오목부를 갖는 제 2 도전층을 형성하는 단계와;

상기 제 1 레지스트 마스크를 축소하여 제 2 레지스트 마스크를 형성하는 단계와;

상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전층을 에칭함으로써, 주연에 테이퍼 형상의 돌출부를 각각 갖는 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 상기 드레인 전극 위에, 상기 반도체층의 일부와 접하는 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에서 상기 반도체층과 중첩되는 부분에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 반도체층은 산화물 반도체를 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 게이트 전극은 단층으로 형성되고, 주연에 돌출부를 갖는, 반도체 장치의 제작 방법.

청구항 4

반도체 장치의 제작 방법에 있어서,

제 1 도전층을 형성하는 단계와;

상기 제 1 도전층 위에 365nm 이하의 파장의 광을 사용하여 제 1 레지스트 마스크를 형성하는 단계와;

상기 제 1 레지스트 마스크를 사용하여 상기 제 1 도전층을 에칭함으로써, 오목부를 갖는 제 2 도전층을 형성하는 단계와;

상기 제 1 레지스트 마스크를 축소하여 제 2 레지스트 마스크를 형성하는 단계와;

상기 제 2 레지스트 마스크로 상기 제 2 도전층을 에칭함으로써, 주연에 테이퍼 형상의 돌출부를 각각 갖는 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 상기 드레인 전극 위에 반도체층을 형성하는 단계와;

상기 반도체층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에서 상기 반도체층과 중첩되는 부분에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 5

제 4 항에 있어서,

상기 반도체층은 산화물 반도체를 포함하는, 반도체 장치의 제작 방법.

청구항 6

제 4 항에 있어서,

상기 게이트 전극은 단층으로 형성되고, 주연에 돌출부를 갖는, 반도체 장치의 제작 방법.

청구항 7

반도체 장치에 있어서,

채널 형성 영역을 포함한 반도체층과;

단층으로 형성되며 상기 반도체층과 부분적으로 접하는 소스 전극 및 드레인 전극과;

상기 소스 전극 및 상기 드레인 전극 위에서 상기 채널 형성 영역과 접하는 게이트 절연층과;

상기 게이트 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 게이트 전극을 포함하고,

상기 채널 형성 영역의 채널 길이는 $2 \mu\text{m}$ 미만이고,

상기 소스 전극 및 상기 드레인 전극 각각은 주연에 테이퍼 형상의 돌출부를 갖는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 게이트 절연층은 적어도 상기 돌출부에 있어서 상기 소스 전극 및 상기 드레인 전극과 접하는, 반도체 장치.

청구항 9

제 7 항에 있어서,

상기 반도체층은 적어도 상기 돌출부에 있어서 상기 소스 전극 및 상기 드레인 전극과 접하는, 반도체 장치.

청구항 10

제 7 항에 있어서,

상기 소스 전극에서의 상기 돌출부는 상기 드레인 전극에서의 상기 돌출부와 대략 같은 폭 및 대략 같은 두께를 갖는, 반도체 장치.

청구항 11

제 7 항에 있어서,

상기 반도체층은 산화물 반도체를 포함하는, 반도체 장치.

청구항 12

제 7 항에 있어서,

상기 게이트 전극은 단층으로 형성되고, 주연에 돌출부를 갖는, 반도체 장치.

청구항 13

제 7 항에 따른 반도체 장치를 포함한 전자 기기에 있어서,

상기 전자 기기는 컴퓨터, 휴대 전화기, 휴대 정보 단말, 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 및 텔레비전 장치로 이루어진 군에서 선택된 하나인, 전자 기기.

청구항 14

반도체 장치에 있어서,

게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

상기 게이트 절연층 위의 채널 형성 영역을 포함한 반도체층과;

단층으로 형성되며 상기 반도체층과 부분적으로 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 채널 형성 영역의 채널 길이는 $2\text{ }\mu\text{m}$ 미만이고,

상기 소스 전극 및 상기 드레인 전극 각각은 주연에 테이퍼 형상의 돌출부를 갖는, 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 게이트 절연층은 적어도 상기 돌출부에 있어서 상기 소스 전극 및 상기 드레인 전극과 접하는, 반도체 장치.

청구항 16

제 14 항에 있어서,

상기 소스 전극에서의 상기 돌출부는 상기 드레인 전극에서의 상기 돌출부와 대략 같은 폭 및 대략 같은 두께를 갖는, 반도체 장치.

청구항 17

제 14 항에 있어서,

상기 반도체층은 산화물 반도체를 포함하는, 반도체 장치.

청구항 18

제 14 항에 있어서,

상기 게이트 전극은 단층으로 형성되고, 주연에 돌출부를 갖는, 반도체 장치.

청구항 19

제 14 항에 따른 반도체 장치를 포함한 전자 기기에 있어서,

상기 전자 기기는 컴퓨터, 휴대 전화기, 휴대 정보 단말, 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 및 텔레비전 장치로 이루어진 군에서 선택된 하나인, 전자 기기.

명세서

기술 분야

[0001] 개시(開示)하는 본 발명의 기술 분야는 반도체 장치 및 이 반도체 장치를 제작하는 방법에 관한 것이다.

배경기술

[0002] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜ジ스터를 형성하는 기술이 주목되고 있다. 상기 트랜ジ스터는 집적 회로(IC) 또는 화상 표시 장치(표시 장치) 등 전자 기기에 널리 응용되고 있다. 트랜지스터에 사용될 수 있는 반도체 박막으로서, 실리콘계 반도체 재료, 산화물 반도체 등이 사용되는 것이 알려져 있다.

[0003] 트랜지스터의 고속 동작을 실현하기 위해서는, 트랜지스터의 미세화가 요구된다. 예를 들어, 특히 문헌 1에서는, 두께가 10nm 정도 이하인 채널층에 사용된 산화물 반도체를 포함한 박막 트랜지스터가 개시되어 있다. 비록 문헌 1에서는, 채널 길이 $2\text{ }\mu\text{m}$ 내지 $100\text{ }\mu\text{m}$ 인 산화물 반도체를 포함한 박막 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) (특허 문헌 1) 일본국 특개 2010-021170호 공보

비특허문헌

[0005] (비특허문헌 0001) (비특허 문헌) T. Kawamura, H. Uchiyama, S. Saito, H. Wakana, T. Mine, and M. Hatano, "Low-Voltage Operating Amorphous Oxide TFTs", IDW'09, pp. 1689-1692

발명의 내용

해결하려는 과제

[0006] 트랜지스터가 미세화된 경우에는, 제작 공정에서 발생하는 불량이 큰 문제가 된다. 예를 들어, 소스 전극 또는 드레인 전극, 또는 게이트 전극 등으로서 기능하는 배선 위에 반도체층 또는 게이트 절연층을 형성한 트랜지스터에서는, 배선이 반도체층보다 두꺼운 두께를 가지기 때문에, 미세화에 따라 반도체층 또는 게이트 절연층의 두께가 축소될 때, 반도체층 또는 게이트 절연층의 피복성의 저하를 일으킨다. 그 결과, 단선(disconnection) 또는 접속 불량 등이 생기는 경우가 있다.

[0007] 특히, 채널 길이(L)가 짧은 미세화된 트랜지스터를 제작하는 경우에는, 패턴의 해상도를 향상시키기 위하여, 포토리소그래피에서 광원으로서 365nm(i선) 이하의 짧은 파장의 광을 사용하는 것이 바람직하다. 그러나, 포토리소그래피에서 광원으로서 i선을 사용하는 경우에는, 436nm(g선) 등 더 긴 파장의 광을 사용하는 경우와 비교하여 패턴의 단부(end portion)를 테이퍼 형상으로 하기 어렵기 때문에, 배선 위에 형성되는 박막의 피복성이 저하되기 쉽다.

[0008] 그래서, 개시하는 본 발명의 목적 중 하나는, 불량이 억제되면서 미세화를 실현하는 반도체 장치를 제공하는 것이다. 또한, 다른 목적은, 양호한 특성이 유지되면서 미세화를 실현하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 형태에 따른 반도체 장치에서는, 두께가 큰 배선(게이트 전극, 또는 소스 전극 또는 드레인 전극) 주연에 돌출부를 제공한다. 또한, 상기 배선의 제작 공정에 있어서, 도전층의 하프(half) 에칭, 레지스트 마스크의 축소, 및 축소된 레지스트 마스크를 사용한 에칭을 수행함으로써, 포토리소그래피에서 광원으로서 365nm 이하의 짧은 파장의 광을 사용하더라도, 배선 주연이 테이퍼 형상을 가지고도록 할 수 있다. 구체적으로는, 예를 들어 이하의 구성을 채용할 수 있다.

[0010] 본 발명의 일 형태는, 반도체층을 형성하는 단계; 반도체층 위에 단층의 제 1 도전층을 형성하는 단계; 제 1 도전층 위에 365nm 이하의 파장의 광을 사용하여 제 1 레지스트 마스크를 형성하는 단계; 제 1 레지스트 마스크를 사용하여 제 1 도전층을 에칭함으로써 오목부를 갖는 제 2 도전층을 형성하는 단계; 제 1 레지스트 마스크를 축소시켜 제 2 레지스트 마스크를 형성하는 단계; 제 2 레지스트 마스크를 사용하여 제 2 도전층을 에칭함으로써, 주연에 테이퍼 형상의 돌출부를 각각 갖는 소스 전극 및 드레인 전극을 형성하는 단계; 소스 전극 및 드레인 전극 위에 반도체층의 일부와 접하는 게이트 절연층을 형성하는 단계; 및 게이트 절연층 위에서 반도체층과 중첩되는 부분에 게이트 전극을 형성하는 단계를 포함하는 반도체 장치의 제작 방법이다.

[0011] 또한, 본 발명의 일 형태는, 제 1 도전층을 형성하는 단계; 제 1 도전층 위에 365nm 이하의 파장의 광을 사용하여 제 1 레지스트 마스크를 형성하는 단계; 제 1 레지스트 마스크를 사용하여 제 1 도전층을 에칭함으로써 오목부를 갖는 제 2 도전층을 형성하는 단계; 제 1 레지스트 마스크를 축소시켜 제 2 레지스트 마스크를 형성하는 단계; 제 2 레지스트 마스크를 사용하여 제 2 도전층을 에칭함으로써, 주연에 테이퍼 형상의 돌출부를 각각 갖는 소스 전극 및 드레인 전극을 형성하는 단계; 소스 전극 및 드레인 전극 위에 반도체층을 형성하는 단계; 반도체층 위에 게이트 절연층을 형성하는 단계; 및 게이트 절연층 위에서 반도체층과 중첩되는 부분에 게이트 전극을 형성하는 단계를 포함하는 반도체 장치의 제작 방법이다.

[0012] 상술한 반도체 장치의 제작 방법에서는, 반도체층으로서 산화물 반도체층을 사용하는 것이 바람직하다.

- [0013] 또한, 본 발명의 다른 일 형태는, 적어도 채널 형성 영역을 포함하는 반도체층; 단층으로 형성되며 반도체층과 부분적으로 접하는 소스 전극 및 드레인 전극; 소스 전극 및 드레인 전극 위에서 채널 형성 영역과 접하는 게이트 절연층; 및 게이트 절연층을 개재(介在)하여 채널 형성 영역과 중첩되는 게이트 전극을 포함하는 반도체 장치이다. 채널 형성 영역의 채널 길이는 $2\text{ }\mu\text{m}$ 미만이다. 소스 전극 및 드레인 전극 각각은 주연에 돌출부를 갖고, 돌출부는 테이퍼 형상을 갖는다.
- [0014] 상술한 반도체 장치에서, 게이트 절연층은 적어도 돌출부에 있어서 소스 전극 및 드레인 전극과 접하여도 좋다.
- [0015] 또한, 상술한 반도체 장치에서, 반도체층은 적어도 돌출부에 있어서 소스 전극 및 드레인 전극과 접하여도 좋다.
- [0016] 상기 반도체 장치 중 어느 것에서, 소스 전극에서의 돌출부는 드레인 전극에서의 돌출부와 같은 폭 및 같은 두께를 가져도 좋다.
- [0017] 또한, 본 발명의 다른 일 형태는, 단층으로 형성된 게이트 전극; 게이트 전극 위에 접하는 게이트 절연층; 적어도 채널 형성 영역을 가지며, 게이트 절연층을 개재하여 게이트 전극과 중첩되는 반도체층; 및 반도체층과 부분적으로 접하는 소스 전극 및 드레인 전극을 포함하는 반도체 장치이다. 채널 형성 영역에서, 캐리어가 흐르는 방향의 길이는 $2\text{ }\mu\text{m}$ 미만이다. 게이트 전극은 주연에 돌출부를 가지고, 돌출부는 테이퍼 형상을 갖는다.
- [0018] 상술한 반도체 장치에서, 게이트 절연층은 적어도 돌출부에 있어서 게이트 전극과 접하여도 좋다.
- [0019] 상술한 반도체 장치의 어느 것에서, 반도체층은 산화물 반도체층인 것이 바람직하다.
- [0020] 또한, 여기서 반도체 장치는 반도체 특성을 이용함으로써 기능하는 장치 전반을 말한다. 예를 들어, 표시 장치, 기억 장치, 및 접속 회로 등은 반도체 장치의 범주에 포함된다.
- [0021] 본 명세서 등에서, "위" 및 "아래"라는 용어 각각은, 구성 요소간의 위치 관계의 설명에 있어서 반드시 "바로 위" 및 "바로 아래"를 의미할 필요는 없다. 예를 들어, "게이트 절연층 위의 게이트 전극"이라는 표현은 게이트 절연층과 게이트 전극 사이에 어떠한 구성 요소가 위치하는 경우를 제외하지 않는다.
- [0022] 또한, 본 명세서 등에서, "전극" 또는 "배선"이라는 용어는 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극"이 "배선"의 일부로서 사용되는 경우도 있고, 그 반대도 마찬가지이다. 또한, "전극" 또는 "배선"이라는 용어는 복수의 "전극" 또는 "배선"이 일체가 되어 형성되는 경우도 포함할 수 있다.
- [0023] "소스" 및 "드레인"의 기능은, 예를 들어 다른 극성의 트랜지스터가 사용되거나, 회로 동작에 있어서 전류가 흐르는 방향이 변화되는 경우에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서에 있어서, "소스" 및 "드레인"이라는 용어는 각각 드레인 및 소스를 의미하는데 사용할 수 있다.
- [0024] 또한, 본 명세서 등에서, "전기적으로 접속"이라는 용어는 어떠한 전기적 작용을 갖는 물체를 통하여 구성 요소가 접속되는 경우를 포함한다. 어떠한 전기적 작용을 갖는 물체는, 상기 물체를 통해 접속되는 구성 요소 사이에서 전기 신호가 송수신될 수 있는 한 특별히 한정되지 않는다. "어떠한 전기적 작용을 갖는 물체"의 예로서는, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 전극 및 배선과 같은 다양한 기능을 갖는 소자를 들 수 있다.
- [0025] 또한, 본 명세서 등에서, "동일"이라는 용어는 최종 결과가 현저히 변하지 않을 정도의 용어의 합리적인 일탈을 포함한다. 예를 들어, 동일 공정에서 형성된 막은 동일한 두께를 갖고, 막 형성 공정에서의 편차는 허용된다.

발명의 효과

- [0026] 상술한 바와 같이, 개시하는 본 발명의 일 형태에 따라서, 불량을 억제하거나 양호한 특성을 유지하면서 미세화를 실현하는 반도체 장치를 제공할 수 있다.
- [0027] 개시하는 본 발명의 일 형태에 따라서, 미세화로 인하여 생기는 문제를 해소할 수 있다. 그 결과, 트랜지스터의 크기를 충분히 축소할 수 있다. 트랜지스터의 크기를 충분히 축소함으로써, 트랜지스터를 포함하는 반도체 장치의 면적이 감소되고, 하나의 기판으로부터 제작되는 반도체 장치의 개수가 증가된다. 따라서, 반도체 장치를 제작하는 비용을 줄일 수 있다. 또한, 채널 길이의 감소에 따라서 트랜지스터의 고속 동작화 및 저소비 전력화 등의 효과를 얻을 수 있다.

도면의 간단한 설명

[0028]

도 1의 (A)는 반도체 장치의 구성예를 도시한 평면도이고, 도 1의 (B) 및 (C)는 단면도.

도 2의 (A)는 반도체 장치의 구성예를 도시한 평면도이고, 도 2의 (B) 및 (C)는 단면도.

도 3의 (A) 내지 (E)는 반도체 장치의 제작 공정을 도시한 단면도.

도 4의 (A) 내지 (E)는 반도체 장치의 제작 공정을 도시한 단면도.

도 5의 (A) 및 (B)는 반도체 장치의 구성예를 각각 도시한 단면도.

도 6의 (A) 내지 (C)는 반도체 장치의 응용예를 도시한 도면.

도 7은 반도체 장치의 응용예를 도시한 도면.

도 8의 (A) 및 (B)는 반도체 장치의 응용예를 도시한 도면.

도 9의 (A) 내지 (F)는 반도체 장치를 사용한 전자 기기를 각각 도시한 도면.

도 10의 (A), (B1), (B2), (C1), (C2), 및 (D1)는 실시예에서 제작된 샘플의 제작 공정을 도시한 단면도.

도 11의 (A) 및 (B)는 실시예에서 형성된 도전층의 STEM 사진.

발명을 실시하기 위한 구체적인 내용

[0029]

본 발명의 실시형태에 대하여 도면을 참조하여 이하에서 자세히 설명한다. 또한, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태에서의 설명에 한정되어 해석되는 것이 아니다. 또한, 다른 실시형태 및 실시예에 따른 구성은 적절히 조합하여 실시할 수 있다. 또한, 이하에서 설명하는 본 발명의 구성에서, 동일 부분 및 유사한 기능을 갖는 부분을 나타내는 부호는 다른 도면간에서 공통적으로 사용되고, 따라서 반복 설명은 생략한다.

[0030]

또한, 도면 등에 도시된 각 구성의 위치, 크기, 또는 범위 등은, 쉽게 이해할 수 있게, 정확하게 나타내어지지 않은 경우가 있다. 따라서, 개시하는 본 발명은 반드시 도면 등에 개시하는 위치, 크기, 또는 범위 등에 한정될 필요는 없다.

[0031]

본 명세서 등에서, "제 1", "제 2", 및 "제 3" 등의 서수사는 구성 요소간의 혼동을 피하기 위하여 사용되는 것 이고, 이들 용어는 구성 요소를 수적(數的)으로 한정하는 것이 아니다.

[0032]

(실시형태 1)

[0033]

본 실시형태에서는, 개시하는 본 발명의 일 형태에 따른 반도체 장치의 구성 및 제작 방법에 대하여 도면을 참조하여 설명한다.

[0034]

<반도체 장치의 구성예>

[0035]

도 1의 (A) 내지 (C) 및 도 2의 (A) 내지 (C)는 반도체 장치의 구성예를 도시한 것이다.

[0036]

본 실시형태에서 설명하는 트랜ジ스터에 포함되는 반도체층으로서는, 비정질 반도체, 다결정 반도체, 또는 미결정(세미 어모페스라고도 함) 반도체 등을 사용할 수 있다. 본 실시형태에서는, 이하에서 반도체층으로서 산화물 반도체층을 사용한 예에 대하여 설명한다. 트랜ジ스터에 산화물 반도체를 포함시킬 때 트랜ジ스터의 오프 전류를 저감할 수 있다. 또한, 산화물 반도체를 포함한 트랜ジ스터의 온 전류 및 전계 효과 이동도가 비정질 실리콘 등을 포함한 트랜ジ스터에 비하여 높아질 수 있다. 또한, 트랜ジ스터의 열화가 억제될 수 있다. 즉, 트랜ジ스터를 저소비 전력화 및 고속 동작화할 수 있다. 다만, 본 발명의 실시형태는 상기 구성에 한정되지 않는다.

[0037]

도 1의 (A)는 트랜ジ스터(160)의 평면도이고, 도 1의 (B)는 도 1의 (A)에서의 선분 A1-B1을 따른 단면도이다.

[0038]

도 1의 (A) 내지 (C)에 도시된 트랜ジ스터(160)는, 구성 요소가 형성되는 표면을 갖는 기판(100) 위에, 채널 형성 영역을 적어도 포함한 산화물 반도체층(144), 산화물 반도체층(144)과 부분적으로 접하는 소스 전극(142a) 및 드레인 전극(142b), 소스 전극(142a) 및 드레인 전극(142b) 위에 제공되며 산화물 반도체층(144)의 채널 형성 영역과 접하는 게이트 절연층(146), 및 게이트 절연층(146)을 개재하여 산화물 반도체층(144)의 채널 형성 영역과 중첩되는 게이트 전극(148)을 포함한다. 소스 전극(142a) 및 드레인 전극(142b) 각각은 주연에 계단 형

상을 갖는다.

[0039] 또한, 게이트 전극(148) 등을 덮도록 절연층을 제공하여도 좋고, 상기 절연층은 트랜지스터(160)의 구성 요소에 포함되어도 좋다.

[0040] 또한, 트랜지스터(160)의 채널 길이(L)는 바람직하게는 $2\text{ }\mu\text{m}$ 미만이고, 더 바람직하게는 10nm 이상 350nm ($0.35\text{ }\mu\text{m}$) 이하이다. 산화물 반도체층(144)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다. 이와 같은 구성으로 함으로써, 고속으로 동작하고 소비 전력이 낮은 반도체 장치를 실현할 수 있다.

[0041] 도 1의 (B)에 도시된, 채널 길이에 평행한 방향에서의 트랜지스터(160)의 단면에 있어서, 소스 전극(142a)은, 산화물 반도체층(144)과 접하는 영역(소스 전극(142a) 주연)에, 소스 전극(142a)의 다른 영역(이 다른 영역은 기판(100)과 접함)보다 두께가 얇은 돌출부(145a)를 갖는다. 돌출부(145a)는 테이퍼 형상을 갖는다. 마찬가지로, 드레인 전극(142b)은, 산화물 반도체층(144)과 접하는 영역(드레인 전극(142b) 주연)에, 드레인 전극(142b)의 다른 영역(이 다른 영역은 기판(100)과 접함)보다 두께가 얇은 돌출부(145b)를 갖는다. 돌출부(145b)는 테이퍼 형상을 갖는다. 바꿔 말하면, 소스 전극(142a) 및 드레인 전극(142b)의 단부는 각각 계단 형상을 갖고, 단면은 테이퍼 형상을 갖는다.

[0042] 돌출부(145a) 및 돌출부(145b) 각각에서, 테이퍼 각은 예를 들어 30° 이상 60° 이하로 할 수 있다. 또한, "테이퍼 각"은, 테이퍼 형상을 갖는 층(예를 들어, 소스 전극(142a))을 그 단면(기판(100)의 표면에 직교되는 평면)에 수직인 방향으로부터 관찰할 때의 테이퍼 형상을 갖는 층의 측면 및 저면이 이루는 각도를 의미한다.

[0043] 일반적인 텁 게이트 트랜지스터에 있어서, 게이트 절연층은, 게이트 절연층이 소스 전극 및 드레인 전극의 단부를 덮는 영역에, 소스 전극 및 드레인 전극의 두께에 의한 단차(커버리지)를 갖고, 단차 부분의 게이트 절연층의 두께는 다른 영역에 비하여 국소적으로 얇다. 이와 같이 두께가 얇은 영역에서는 내전압이 낮기 때문에, 전계가 그 영역에 집중될 수 있어 트랜지스터의 파괴를 일으킬 가능성이 있다. 또한, 두께가 얇은 영역은 게이트 누설을 일으킬 가능성이 있다.

[0044] 그런데, 도 1의 (A) 내지 (C)에 도시된 트랜지스터(160)의 경우에는, 두께가 얇은 돌출부(145a) 및 돌출부(145b)는 소스 전극(142a) 및 드레인 전극(142b) 주연에 제공함으로써 주연의 두께를 단계적으로 줄이기 때문에, 게이트 절연층(146)의 피복성이 향상되어, 단선 및 접속 불량이 발생되는 것을 억제할 수 있다. 또한, 이와 같은 구성으로 함으로써, 게이트 절연층(146)에서 국소적으로 두께가 얇은 영역이 형성되는 것을 억제할 수 있고, 트랜지스터(160)의 내전압을 높일 수 있고 게이트 누설의 발생을 억제할 수 있다.

[0045] 또한, 트랜지스터(160)에서, 돌출부(145a)의 두께는 소스 전극(142a)의 다른 영역보다 얇고, 돌출부(145b)의 두께는 드레인 전극(142b)의 다른 영역보다 얇다. 즉, 돌출부(145a) 및 돌출부(145b) 각각에서, 전하가 흐르는 방향에 수직인 단면의 면적은 더 작다. 저항은 단면의 면적에 반비례되기 때문에, 돌출부(145a) 및 돌출부(145b)는 소스 전극(142a) 및 드레인 전극(142b)에서의 다른 영역보다 높은 저항을 갖는다. 트랜지스터(160)에서, 소스 전극(142a) 또는 드레인 전극(142b)에 있어서 저항이 높은 영역이 산화물 반도체층(144)의 채널 형성 영역과 접함으로써, 소스와 드레인 간의 전계를 완화할 수 있어, 트랜지스터의 미세화로 인한 단채널 효과를 억제할 수 있다.

[0046] 산화물 반도체층(144)은, 수소 등의 불순물이 충분히 제거되거나 산소가 충분히 공급됨으로써 고순도화되는 것이 바람직하다. 구체적으로는, 산화물 반도체층(144)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 산화물 반도체층(144)의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정할 수 있다.

[0047] 상술한 바와 같이, 수소가 충분히 낮은 농도까지 저감되어 고순도화되며, 산소를 충분히 공급함으로써 산소 결손으로 인한 에너지 갭의 결함 준위가 저감된 산화물 반도체층(144)에서는, 수소 등의 도너에 기인하여 생기는 캐리어의 농도가 $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만이다. 또한, 예를 들어, 실온(25°C)에서 오프 전류(여기서는 단위 채널 폭($1\text{ }\mu\text{m}$)당)가 100zA (1zA 는 젭토 암페어)는 $1 \times 10^{-21}\text{A}$ 이하, 또는 10zA 이하이다. 이와 같이, i형(진성) 또는 실질적으로 i형의 산화물 반도체를 사용함으로써, 매우 양호한 오프 전류 특성을 갖는 트랜지스터(160)를 얻을 수 있다.

[0048] 또한, 비특허 문헌 1 등에 개시된 바와 같이, $2 \times 10^{19}/\text{cm}^3$ 의 높은 캐리어 농도를 갖는 n형 산화물 반도체를 사용

함으로써, 채널 길이가 $2\text{ }\mu\text{m}$ 내지 $100\text{ }\mu\text{m}$ 인 비교적 사이즈가 큰 트랜지스터가 제작될 수 있다. 그런데, 이와 같은 재료가, 채널 길이가 $2\text{ }\mu\text{m}$ 미만인 미세화된 트랜지스터에 적용되면, 문턱 전압이 대폭적으로 마이너스로 시프트되어, 노멀리-오프 트랜지스터를 실현하는 것이 어렵다. 한편, 고순도화된, 진성 또는 실질적으로 진성의 산화물 반도체는 많아도 $1\times 10^{14}/\text{cm}^3$ 미만의 캐리어 밀도를 가지며 노멀리 온의 문제를 일으키지 않기 때문에, 진성 또는 실질적으로 진성의 산화물 반도체를 사용함으로써, 채널 길이가 $2\text{ }\mu\text{m}$ 미만인 트랜지스터를 용이하게 실현할 수 있다.

[0049] 산화물 반도체층(144)은 단결정 상태, 다결정(폴리크리스탈이라고도 함) 상태 또는 비정질 상태 등을 취한다. 산화물 반도체층(144)은 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막인 것이 바람직하다.

[0050] CAAC-OS막은 완전한 결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부가 포함되는 결정-비정질 혼상(混相)의 산화물 반도체막이다. 또한, 많은 경우에는, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어간다. 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 얻어진 관찰상으로부터, CAAC-OS막에서의 비정질부와 결정부간의 경계는 명확하지 않다. 또한, TEM에 의하여, CAAC-OS막에서의 입계는 확인되지 않는다. 즉, CAAC-OS막에서는, 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0051] CAAC-OS막에 포함되는 결정부 각각에서, c축이, CAAC-OS막이 형성되는 표면의 법선 벡터 또는 CAAC-OS막 표면의 법선 벡터에 평행한 방향으로 정렬되고, a-b면에 수직인 방향에서 보아서 삼각형 또는 육각형의 원자 배열이 형성되고, c축에 수직인 방향에서 보아서 금속 원자가 층상으로 배열되거나 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 결정부들간에서, 하나의 결정부의 a축 및 b축의 방향은 다른 결정부와 상이하여도 좋다. 본 명세서에서, 단순히 기재된 "수직"이라는 용어는 85° 내지 95° 의 범위를 포함한다. 또한, 단순히 기재된 "평행"이라는 용어는 -5° 내지 5° 의 범위를 포함한다.

[0052] CAAC-OS막에서, 결정부의 분포는 반드시 균일할 필요는 없다. 예를 들어, CAAC-OS막의 형성 과정에서, 산화물 반도체막의 표면 측으로부터 결정 성장이 일어나는 경우에는, 산화물 반도체막이 형성되는 표면 근방보다 산화물 반도체막 표면 근방에서 결정부의 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물이 첨가되는 경우에는 불순물이 첨가된 영역에서 결정부가 비정질화하는 경우가 있다.

[0053] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막이 형성되는 표면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(CAAC-OS막이 형성되는 표면의 단면 형상 또는 CAAC-OS막 표면의 단면 형상)에 따라서는 c축의 방향이 서로 상이한 경우가 있다. 또한, CAAC-OS막이 형성되었을 때, 결정부의 c축의 방향은 CAAC-OS막이 형성되는 표면의 법선 벡터 또는 CAAC-OS막 표면의 법선 벡터에 평행한 방향이다. 성막 또는 성막 후에 가열 처리 등의 결정화를 위한 처리를 수행함으로써 결정부가 형성된다.

[0054] 트랜지스터에서 CAAC-OS막을 사용함으로써, 가시광이나 자외광의 조사로 인한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 높은 신뢰성을 갖는다.

[0055] 도 2의 (A) 내지 (C)에 도시된 트랜지스터(162)는 트랜지스터(160)의 변형예이며, 트랜지스터(160)와 같은 구성을 갖는다. 도 2의 (A)는 트랜지스터(162)의 평면도이고, 도 2의 (B)는 도 2의 (A)의 선분 A2-B2를 따른 단면도이다. 도 2의 (C)는 도 2의 (A)의 선분 C2-D2를 따른 단면도이다.

[0056] 트랜지스터(162)는, 구성 요소가 형성되는 표면을 갖는 기판(100) 위에, 채널 형성 영역을 적어도 포함한 산화물 반도체층(144), 산화물 반도체층(144)과 부분적으로 접하는 소스 전극(142a) 및 드레인 전극(142b), 소스 전극(142a) 및 드레인 전극(142b) 위에 제공되며 산화물 반도체층(144)의 채널 형성 영역과 접하는 게이트 절연층(146), 및 게이트 절연층(146)을 개재하여 산화물 반도체층(144)의 채널 형성 영역과 중첩되는 게이트 전극(148)을 포함한다. 소스 전극(142a) 및 드레인 전극(142b) 각각은 주연에 계단 형상을 갖는다.

[0057] 또한, 도 1의 (B)에 도시된, 채널 길이에 평행한 방향에서의 트랜지스터(160)의 단면의 경우와 마찬가지로, 도 2의 (B)에 도시된, 채널 길이에 평행한 방향에서의 트랜지스터(162)의 단면에 있어서, 소스 전극(142a)은, 산화물 반도체층(144) 저면과 접하는 영역(소스 전극(142a) 주연)에, 소스 전극(142a)의 다른 영역(이 다른 영역은 산화물 반도체층(144)과 접하지 않음)보다 두께가 얇은 돌출부(145a)를 갖고, 돌출부(145a)는 테이퍼 형상을 갖는다. 또한, 드레인 전극(142b)은, 산화물 반도체층(144) 저면과 접하는 영역(드레인 전극(142b) 주연)에, 드레인 전극(142b)의 다른 영역(이 다른 영역은 산화물 반도체층(144)과 접하지 않음)보다 두께가 얇은 돌출부(145b)를 갖고, 돌출부(145b)는 테이퍼 형상을 갖는다.

[0058] 또한, 소스 전극(142a) 또는 드레인 전극(142b)은 주연에 돌출부(145a) 및 돌출부(145b)로서 단차를 갖기 때문

예, 소스 전극(142a) 및 드레인 전극(142b) 위에 접하여 제공되는 산화물 반도체층(144)도 단차를 갖는다.

[0059] 또한, 트랜지스터(162)의 채널 길이(L)는 바람직하게는 $2\text{ }\mu\text{m}$ 미만이고, 더 바람직하게는 10nm 이상 $350\text{nm}(0.35\text{ }\mu\text{m})$ 이하이다. 산화물 반도체층(144)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다. 이와 같은 구성으로 함으로써, 고속으로 동작하고 소비 전력이 낮은 반도체 장치를 실현할 수 있다.

[0060] 도 2의 (A) 내지 (C)의 트랜지스터(162)와 도 1의 (A) 내지 (C)의 트랜지스터(160)의 상이점은 소스 전극 및 드레인 전극의 배치에 있다. 트랜지스터(160)에서는, 산화물 반도체층(144) 상면 및 측면의 일부가 소스 전극(142a) 및 드레인 전극(142b)과 접한다. 한편, 트랜지스터(162)에서는, 산화물 반도체층(144) 저면의 일부가 소스 전극(142a) 및 드레인 전극(142b)에 접한다.

[0061] 도 2의 (A) 내지 (C)에 도시된 트랜지스터(162)에서, 두께가 얇은 돌출부(145a) 및 돌출부(145b)는 소스 전극(142a) 및 드레인 전극(142b) 주연에 제공되기 때문에, 주연에서 단부의 두께는 단계적으로 작아진다. 이로써, 산화물 반도체층(144)의 피복성 및 게이트 절연층(146)의 피복성이 향상되어, 단선이나 접속 불량이 발생하는 것을 억제할 수 있다. 또한, 이와 같은 구성으로 함으로써, 산화물 반도체층(144) 및 게이트 절연층(146)에서 국소적으로 두께가 얇은 영역이 형성되는 것을 억제할 수 있기 때문에, 트랜지스터(162)의 내전압이 향상되고 게이트 누설의 발생을 억제할 수 있다.

[0062] 또한, 트랜지스터(162)에서, 돌출부(145a)의 두께는 소스 전극(142a)의 다른 영역보다 얇고, 돌출부(145b)의 두께는 드레인 전극(142b)의 다른 영역보다 얇다. 따라서, 돌출부(145a) 및 돌출부(145b)는 소스 전극(142a) 및 드레인 전극(142b)의 다른 영역보다 높은 저항을 갖는다. 트랜지스터(162)에서, 소스 전극(142a) 또는 드레인 전극(142b) 중 저항이 높은 영역이 산화물 반도체층(144)의 채널 형성 영역과 접함으로써, 소스 및 드레인간의 전계가 완화되고, 트랜지스터의 미세화에 기인하여 생기는 단채널 효과를 억제할 수 있다.

[0063] <트랜지스터의 제작 공정의 예>

[0064] 이하에서는, 본 실시형태에 따른 트랜지스터의 제작 공정에 대하여 도 3의 (A) 내지 (E) 및 도 4의 (A) 내지 (E)를 참조하여 설명한다.

[0065] <트랜지스터(160)의 제작 공정>

[0066] 도 1의 (A) 내지 (C)에 도시된 트랜지스터(160)의 제작 방법의 예에 대하여 도 3의 (A) 내지 (E)를 참조하여 설명한다.

[0067] 우선, 구성 요소가 형성되는 표면을 갖는 기판(100) 위에 산화물 반도체층을 형성하고, 상기 산화물 반도체층을 가공하여 산화물 반도체층(144)을 형성한다.

[0068] 또한, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 한, 기판(100)으로서 사용할 수 있는 기판에 특별한 한정은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 기판을 사용할 수 있다. 기판(100)은 절연 표면을 갖는 한, 실리콘이나 탄소화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등을 사용할 수 있고, 상기 기판 위에 반도체 소자를 제공할 수 있다. 또한, 하지막을 기판(100) 위에 제공하여도 좋다.

[0069] 산화물 반도체층(144)은 In, Ga, Sn, 및 Zn으로부터 선택된 적어도 하나의 원소를 함유한다. 예를 들어, In-Sn-Ga-Zn-0계 등 4원계 금속의 산화물; In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, Sn-Al-Zn-0계 산화물 반도체 등 3원계 금속의 산화물; In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체, In-Ga-0계 재료 등 2원계 금속의 산화물; 또는 In-0계 산화물 반도체, Sn-0계 산화물 반도체, Zn-0계 산화물 반도체 등 1원계 금속의 산화물을 사용할 수 있다. 또한, 상술한 산화물 반도체의 어느 것은 In, Ga, Sn, 및 Zn 이외의 원소, 예를 들어 SiO₂를 함유하여도 좋다.

[0070] 또한, 예를 들어, In-Ga-Zn-0계 산화물 반도체는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 산화물 반도체를 의미하고, 그 조성비에 한정은 없다.

[0071] 산화물 반도체층에는 InM₀_m(ZnO)_m(m>0)의 화학식으로 표기되는 박막을 사용할 수 있다. 여기에서, M은 Zn, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및

Mn, 또는 Ga 및 Co 등이 될 수 있다.

[0072] 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우, 타깃은, 원자수비로 In:Zn=50:1 내지 1:2(mol수비로 $In_2O_3:ZnO=25:1$ 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(mol수비로 $In_2O_3:ZnO=10:1$ 내지 1:2), 더 바람직하게는 In:Zn=15:1 내지 1.5:1(mol수비로 $In_2O_3:ZnO=15:2$ 내지 3:4)의 조성비를 갖는다. 예를 들어, In:Zn:X:Y:Z의 원자수비를 갖는 In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃에서는, $Z>1.5X+Y$ 의 관계가 만족된다.

[0073] 산화물 타깃의 충전율은, 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 이것은 충전율이 높은 타깃을 사용함으로써, 치밀한 산화물 반도체층을 형성할 수 있다.

[0074] 산화물 반도체층(144)의 두께는 3nm 이상 30nm 이하인 것이 바람직하다. 산화물 반도체층(144)이 지나치게 두꺼우면(예를 들어 그 두께가 50nm 이상), 트랜지스터는 노멀리 온이 될 가능성이 있다.

[0075] 산화물 반도체층은 수소, 물, 수산기 또는 수소화물 등의 불순물이 산화물 반도체층에 들어가지 않는 방법으로 형성하는 것이 바람직하다. 예를 들어, 스퍼터링법을 사용할 수 있다.

[0076] 성막 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는, 희가스와 산소를 함유한 혼합 분위기 등일 수 있다. 산화물 반도체층에 수소, 물, 수산기, 또는 수소화물 등이 들어가는 것을 방지하기 위하여, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스 분위기인 것이 바람직하다.

[0077] 예를 들어, 산화물 반도체층을 이하와 같이 형성할 수 있다.

[0078] 우선, 감압하로 유지된 성막실 내에 기판을 유지하고, 기판 온도가 200°C보다 높고 500°C 이하, 바람직하게는 300°C보다 높고 500°C 이하, 더 바람직하게는 350°C 이상 450°C 이하가 되도록 가열한다.

[0079] 그리고, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 잔류 수분이 제거되어 있는 성막실에 도입하고, 상기 타깃을 사용하여 기판 위에 산화물 반도체층을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프 등의 흡착형 진공 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은 콜드 트랩이 제공된 터보 펌프이어도 좋다. 크라이오 펌프로 배기된 성막실에서는, 예를 들면, 수소, 물, 수산기 또는 수소화물 등과 같은 불순물(바람직하게는 탄소 원자를 함유한 화합물도)이 제거되어 있으므로, 상기 성막실에서 형성된 산화물 반도체층에 있어서의 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 저감시킬 수 있다.

[0080] 성막 중의 기판 온도가 낮은(예를 들면, 100°C 이하) 경우, 수소 원자를 함유한 물질이 산화물 반도체에 들어갈 가능성이 있기 때문에, 기판을 상기 범위의 온도로 가열하는 것이 바람직하다. 기판을 상술한 온도로 가열하는 조건으로 산화물 반도체층을 형성하면, 기판 온도는 증가되기 때문에, 수소 결합은 열에 의해 절단되고, 산화물 반도체층에 들어오기 어렵다. 따라서, 기판이 상기 온도로 가열되는 조건으로 산화물 반도체층을 형성함으로써, 산화물 반도체층에서의 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 충분히 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다.

[0081] 또한, 산화물 반도체층을 스퍼터링법으로 형성하기 전에, 아르곤 가스를 도입하고 플라즈마를 발생시키는 역 스퍼터링에 의하여, 산화물 반도체층의 형성 표면에 부착되어 있는 분상(粉狀) 물질(파티클 또는 먼지라고도 함)을 제거하는 것이 바람직하다. 역 스퍼터링은, 기판 측에 전압을 인가하여 기판 근방에 플라즈마를 발생시킴으로써 표면을 개질하는 방법을 말한다. 또한, 아르곤 대신, 질소, 헬륨, 또는 산소 등의 가스를 사용하여도 좋다.

[0082] 산화물 반도체층은, 원하는 형상의 마스크를 산화물 반도체층 위에 형성한 후, 에칭함으로써 가공할 수 있다. 이 마스크는 포토리소그래피 또는 잉크젯법 등의 방법으로 형성하여도 좋다. 산화물 반도체층의 에칭에는, 웨트 에칭 또는 드라이 에칭을 채용하여도 좋다. 물론, 이것들 양쪽을 조합하여 채용하여도 좋다.

[0083] 또한, 산화물 반도체층(144)(또는 섬 형상의 산화물 반도체층으로 가공되기 전의 산화물 반도체층)에 가열 처리(제 1 가열 처리)를 수행하는 것이 바람직하다. 가열 처리를 수행함으로써, 산화물 반도체층(144)에서의 수소 원자를 포함한 물질을 제거할 수 있다. 가열 처리는, 불활성 가스 분위기에서 250°C 이상 700°C 이하, 바람직하게는 450°C 이상 600°C 이하 또는 기판의 변형점 미만으로 수행한다. 불활성 가스 분위기는, 질소 또는 희가스(헬륨, 네온, 또는 아르곤 등)를 주성분으로 함유한 분위기이며, 물 또는 수소 등을 포함하지 않은 것이 바람직하다. 예를 들어, 가열 처리 장치에 도입되는 헬륨, 네온, 또는 아르곤 등의 희가스 또는 질소의 순도는

6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임)이다.

- [0084] 가열 처리에 의하여 불순물이 저감된다. 따라서, 이런 산화물 반도체층을 사용함으로써, 매우 우수한 특성을 갖는 트랜지스터를 실현할 수 있다.
- [0085] 상술한 가열 처리는 수소 및 물 등을 제거하는 효과를 갖기 때문에, 탈수화 처리 또는 탈수소화 처리 등이라고 부를 수 있다. 상술한 가열 처리는, 예를 들어, 산화물 반도체층을 섬 형상으로 가공하기 전, 또는 게이트 절연막을 형성한 후 등의 타이밍에 있어서 수행할 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 한번 또는 복수 횟수 수행하여도 좋다.
- [0086] 다음에, 소스 전극 및 드레인 전극을 형성하기 위하여 사용하는 단층 구조의 도전층(140)(도전층(140)과 동일한 층에 형성된 배선 등도 포함함)을 산화물 반도체층(144) 위에 형성한다(도 3의 (A) 참조).
- [0087] 도전층(140)은 PVD법 또는 CVD법에 의하여 형성할 수 있다. 도전층(140)의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소나, 이들 원소 중 어느 것을 성분으로 함유한 합금 등을 사용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 및 스칸듐으로부터 선택된 하나 또는 복수의 재료를 사용하여도 좋다.
- [0088] 도전층(140)은 도전성 금속 산화물을 사용하여 형성하여도 좋다. 도전성 금속 산화물로서는, 산화 인듐, 산화 주석, 산화 아연, 산화 인듐과 산화 주석의 합금, 또는 산화 인듐과 산화 아연의 합금, 또는 실리콘 또는 산화 실리콘이 첨가된 상술한 금속 산화물 재료 중 어느 것을 사용할 수 있다.
- [0089] 다음에, 도전층(140) 위에 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 형성한다(도 3의 (B) 참조). 예를 들어, 도전층(140)에 레지스트를 도포한 후, 노광 장치에 포토마스크를 설치하고, 레지스터에 광을 투영하여, 레지스트를 광에 노출시킨다. 그리고, 레지스트를 현상함으로써 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 형성할 수 있다.
- [0090] 트랜지스터(160)의 채널 길이를 미세하게 형성하기 위하여, 365nm 이하의 파장의 광을 노광 장치의 광원으로서 사용할 수 있다. 예를 들어, i선(365nm의 파장)과 같은 고암 수은 램프의 스펙트럼을 갖는 광, 또는 KrF 레이저 광(248nm의 파장) 또는 ArF 레이저 광(193nm의 파장) 등, 자외광 영역으로부터 가시광 영역까지의 범위의 파장을 갖는 광을 바람직하게 사용할 수 있다.
- [0091] 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 형성한 후, 상기 마스크들을 사용하여 도전층(140)에 대하여 하프 에칭(도전층(140)이 기판을 덮는 상태로 남도록 에칭을 멈춤)을 수행함으로써, 오목부를 갖는 도전층(141)을 형성한다.
- [0092] 그리고, 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 줄임(축소함)으로써 레지스트 마스크(152a) 및 레지스트 마스크(152b)를 형성한다(도 3의 (C) 참조). 레지스트 마스크들을 축소하기 위해서는, 산소 플라즈마를 사용한 애싱(ashing) 등을 수행할 수 있다. 레지스트 마스크들을 줄일(축소함) 때, 도전층(141)의 일부가 노출된다.
- [0093] 다음에, 레지스트 마스크(152a) 및 레지스트 마스크(152b)를 사용하여 도전층(141)을 에칭함으로써, 소스 전극(142a) 및 드레인 전극(142b)을 형성한다(도 3의 (D) 참조). 도전층(141) 중 레지스트 마스크(152a) 및 레지스트 마스크(152b)로 덮이지 않은 노출 부분을 에칭함으로써, 소스 전극(142a) 및 드레인 전극(142b) 주연에 돌출부(145a) 및 돌출부(145b)를 형성한다.
- [0094] 또한, 상술한 바와 같이, 채널 길이 $2 \mu\text{m}$ 미만인 미세화된 트랜지스터를 제작하는 경우, 패턴의 해상도를 향상시키기 위하여, 포토리소그래피에서의 광원으로서 365nm 이하의 단파장의 광을 사용하는 것이 바람직하다. 그런데, 포토리소그래피에서의 노출에 365nm 이하의 파장의 광을 사용하는 경우, 패턴 단부를 테이퍼 형상으로 하는 것이 어렵다. 본 실시형태에 기재된 반도체 장치의 제작 방법에서는, 도전층을 에칭하는 공정을 복수 단계로 나눠 수행하기 때문에, 소스 전극(142a) 및 드레인 전극(142b)에서의 돌출부(145a) 및 돌출부(145b)를 테이퍼 형상으로 할 수 있다.
- [0095] 또한, 소스 전극(142a)에서의 돌출부(145a)는 드레인 전극(142b)에서의 돌출부(145b)와 같은 폭 및 같은 두께를 갖는다.
- [0096] 다음에, 소스 전극(142a) 및 드레인 전극(142b)을 덮고 산화물 반도체층(144)의 일부와 접하도록 게이트 절연층

(146)을 형성한다.

[0097] 함유된 산소의 일부가 가열에 의하여 방출되는 산화물 절연층을 사용하여 게이트 절연층(146)을 형성하는 것이 바람직하다. 함유된 산소의 일부가 가열에 의하여 방출되는 산화물 절연층으로서는, 화학양론비에서의 산소의 양을 넘는 양의 산소를 함유한 산화물 절연층을 사용하는 것이 바람직하다. 함유된 산소의 일부가 가열에 의하여 방출되는 산화물 절연층은 가열에 의하여 산화물 반도체층(144)으로 산소를 확산시킬 수 있다. 게이트 절연층(146)에 사용될 수 있는 산화물 절연층의 대표적인 예로서는, 산화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층, 산화 갈륨층, 산화 하프늄층, 및 산화 이트륨층을 들 수 있다.

[0098] 게이트 절연층(146)을 형성한 후, 불활성 가스 분위기 또는 산소 분위기에서 제 2 가열 처리를 수행하는 것이 바람직하다. 이 가열 처리의 온도는 200°C 이상 450°C 이하, 바람직하게는 250°C 이상 350°C 이하의 범위로 설정한다. 예를 들어, 질소 분위기에서 250°C로 1시간 동안 가열 처리를 수행할 수 있다. 제 2 가열 처리는 트랜지스터의 전기적 특성의 편차를 경감시킬 수 있다. 또한, 게이트 절연층(146)이 산소를 함유한 경우, 상기 산화물 반도체층(144)의 산소 결손을 보전하기 위하여 산화물 반도체층(144)에 산소를 공급하여, i형(진성 반도체) 또는 실질적으로 i형의 산화물 반도체층을 형성할 수 있다.

[0099] 또한, 본 실시형태에서는 게이트 절연층(146)을 형성한 후에 제 2 가열 처리를 수행하지만, 제 2 가열 처리의 타이밍은 이것에 한정되지 않는다. 예를 들어, 게이트 전극을 형성한 후에 제 2 가열 처리를 수행하여도 좋다. 또한, 제 2 가열 처리는 제 1 가열 처리로서의 역할을 할 수도 있다.

[0100] 상기한 바와 같이 제 1 가열 처리 및 제 2 가열 처리를 수행함으로써, 산화물 반도체층(144)을, 수소 원자를 함유한 물질을 가능한 한 적게 함유하도록 고준도화할 수 있다.

[0101] 다음에, 게이트 전극(게이트 전극과 동일한 층으로 형성된 배선을 포함함)을 형성하기 위한 도전층을 형성하고 가공함으로써, 게이트 전극(148)을 형성한다(도 3의 (E) 참조).

[0102] 게이트 전극(148)은 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐 등의 금속 재료, 및 이들 재료 중 어느 것을 주성분으로 함유한 합금 재료 중 어느 것을 사용하여 형성할 수 있다. 또한, 게이트 전극(148)은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0103] 상술한 공정을 거쳐, 트랜지스터(160)는 완성된다.

[0104] <트랜지스터(162)의 제작 공정>

[0105] 도 2의 (A) 내지 (C)에 도시된 트랜지스터(162)의 제작 공정의 예에 대하여 도 4의 (A) 내지 (E)를 참조하여 설명한다. 또한, 트랜지스터(162)의 제작 방법은 트랜지스터(160)의 제작 방법과 많은 공통점을 갖는다. 따라서, 이하에서 동일 부분의 설명은 생략하는 경우가 있다.

[0106] 우선, 구성 요소가 형성되는 표면을 갖는 기판(100) 위에 도전층(140)을 형성한다(도 4의 (A) 참조).

[0107] 다음에, 도전층(140) 위에 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 형성한다. 그리고, 상기 마스크들을 사용하여 도전층(140)에 대하여 하프 에칭(도전층(140)이 기판을 덮는 상태로 남도록 에칭을 멈춤)을 수행함으로써, 오목부를 갖는 도전층(141)을 형성한다(도 4의 (B) 참조).

[0108] 그리고, 레지스트 마스크(150a) 및 레지스트 마스크(150b)를 줄임(축소함)으로써 레지스트 마스크(152a) 및 레지스트 마스크(152b)를 형성한다(도 4의 (C) 참조). 레지스트 마스크(152a) 및 레지스트 마스크(152b)를 사용하여 도전층(141)을 에칭함으로써, 주연에 돌출부(145a)가 제공된 소스 전극(142a) 및 주연에 돌출부(145b)가 제공된 드레인 전극(142b)을 형성한다(도 4의 (D) 참조).

[0109] 레지스트 마스크(152a) 및 레지스트 마스크(152b)를 제공한 후, 산화물 반도체층을 형성하고 가공함으로써, 섬형상의 산화물 반도체층(144)을 형성한다. 또한, 산화물 반도체층을 형성하기 전에, N₂O, N₂, 또는 Ar 등의 가스를 사용한 플라즈마 처리를 수행하여, 산화물 반도체층이 형성되는 표면에 부착된 수분 등을 제거하여도 좋다. 또한, 이 플라즈마 처리에 의하여, 소스 전극(142a) 및 드레인 전극(142b) 주연에 형성되는 단차를 더 축소할 수 있기 때문에, 소스 전극(142a) 및 드레인 전극(142b) 위에 형성되는 산화물 반도체층(144) 및 게이트 절연층(146) 등의 피복성을 더 향상시킬 수 있다. 플라즈마 처리를 수행한 경우, 이 플라즈마 처리에 이어 대기에 노출되지 않도록 산화물 반도체층을 형성하는 것이 바람직하다.

[0110] 다음에, 소스 전극(142a) 및 드레인 전극(142b)을 덮고 산화물 반도체층(144)의 일부와 접하도록 게이트 절연층

(146)을 형성한다. 이어서, 게이트 전극(게이트 전극과 동일한 층으로 형성된 배선을 포함함)을 형성하기 위한 도전층을 형성하고 가공함으로써, 게이트 전극(148)을 형성한다(도 4의 (E) 참조).

[0111] 상술한 공정을 거쳐, 트랜지스터(162)는 완성된다.

[0112] 또한, 트랜지스터(160) 및 트랜지스터(162)에서, 소스 전극(142a) 및 드레인 전극(142b)은 각각 하나의 돌출부를 갖지만, 본 발명의 실시형태는 상술한 구조에 한정되지 않는다.

[0113] 예를 들어, 레지스트 마스크를 축소하고 줄여진(축소된) 레지스트 마스크를 사용하여 복수 횟수의 에칭을 수행함으로써, 소스 전극(142a) 및 드레인 전극(142b) 주연에 두께가 다른 복수의 돌출부를 계단 형상으로 형성하여도 좋다. 두께가 다른 복수의 돌출부를 계단 형상으로 형성하는 경우, 소스 전극(142a)에서의 n번째 단($n \geq 1$, 두께가 가장 얇은 돌출부를 제 1번째 단의 돌출부로서 가정함)의 돌출부는 드레인 전극(142b)에서의 n번째 단의 돌출부와 같은 두께 및 같은 폭을 갖는다. 또한, 계단 형상은 복수의 구부러진 표면이 접속된 형상을 포함한다. 또한, 두께가 다른 복수의 돌출부를 형성하는 경우, 복수의 돌출부 각각은 테이퍼 형상을 갖는 것이 바람직하다.

[0114] 또한, 게이트 전극(148) 주연에 돌출부를 제공하여도 좋다. 게이트 전극(148) 주연에 돌출부를 제공함으로써, 게이트 전극(148) 위에 형성되는 절연층의 피복성을 향상시킬 수 있다. 따라서, 게이트 전극(148)과 게이트 전극(148) 위에 제공된 배선에 기인하여 생기는, 절연층으로의 전계 집중을 방지할 수 있어, 트랜지스터의 열화 또는 파괴를 더 방지할 수 있다. 또한, 게이트 전극(148) 주연에 돌출부를 제공하는 경우, 게이트 전극(148)은 상술한 재료의 어느 것을 사용하여 단층으로 형성한다.

[0115] 본 실시형태에서 설명한 구조는 보텀 게이트 트랜지스터에 적용될 수 있다. 도 5의 (A) 및 (B)는 보텀 게이트 트랜지스터의 구성예를 도시한 것이다.

[0116] 도 5의 (A)에 도시된 트랜지스터(170)는 기판(100) 위에, 게이트 전극(149), 게이트 전극(149)과 접하여 제공된 게이트 절연층(146), 게이트 절연층(146) 위에 제공된 소스 전극(142a) 및 드레인 전극(142b), 및 소스 전극(142a) 및 드레인 전극(142b)과 부분적으로 접하고 게이트 절연층(146)을 개재하여 게이트 전극(149)과 중첩되는 산화물 반도체층(144)을 포함한다.

[0117] 또한, 트랜지스터(170)의 채널 길이(L)는 $2 \mu\text{m}$ 미만인 것이 바람직하고, 더 바람직하게는 10nm 이상 350nm (0.35 μm) 이하이다. 산화물 반도체층(144)의 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 더 바람직하게는 3nm 이상 15nm 이하의 범위이다. 이 구조에 의하여, 고속으로 동작하고 소비 전력이 낮은 반도체 장치를 실현할 수 있다.

[0118] 도 5의 (B)에 도시된 트랜지스터(172)는 기판(100) 위에, 게이트 전극(149), 게이트 전극(149)과 접하는 게이트 절연층(146), 게이트 절연층(146)을 개재하여 게이트 전극(149)과 중첩되는 산화물 반도체층(144), 및 산화물 반도체층(144)과 부분적으로 접하는 소스 전극(142a) 및 드레인 전극(142b)을 포함한다.

[0119] 트랜지스터(170) 및 트랜지스터(172) 각각에 있어서, 게이트 전극(149)은 상술한 재료의 어느 것을 사용하여 단층 구조를 갖도록 형성하고, 그 주연에 다른 영역보다 두께가 얇은 돌출부(147)를 갖는다. 이러한 구조에 의하여, 게이트 절연층(146)의 피복성이 향상되어, 단선이나 접속 불량이 발생하는 것을 방지할 수 있다. 또한, 게이트 절연층(146)에서 국소적으로 두께가 얇은 영역의 형성을 억제할 수 있기 때문에, 트랜지스터(170) 및 트랜지스터(172)의 내전압을 높일 수 있고, 게이트 누설의 발생을 억제할 수 있다. 또한, 돌출부(147)는 돌출부(145a) 및 돌출부(145b)와 마찬가지로 형성할 수 있다. 또한, 두께가 다른 복수의 돌출부를 계단 형상을 갖도록 형성하여도 좋다.

[0120] 또한, 트랜지스터(170)에서, 돌출부(145a) 및 돌출부(145b)는 소스 전극(142a) 및 드레인 전극(142b) 주연에 제공한다. 따라서, 산화물 반도체층(144)의 피복성을 향상시킬 수 있다.

[0121] 또한, 트랜지스터(172)에서, 소스 전극(142a) 및 드레인 전극(142b) 주연에 반드시 돌출부(145a) 및 돌출부(145b)를 제공할 필요는 없다. 다만, 산화물 반도체층(144) 위에 형성되는 절연층(도시되지 않았음)의 피복성을 향상시킬 수 있기 때문에, 돌출부(145a) 및 돌출부(145b)를 제공하는 것이 바람직하다.

[0122] 본 실시형태에서 설명한 트랜지스터(160), 트랜지스터(162), 트랜지스터(170), 및 트랜지스터(172) 각각에서, 두께가 두꺼운 배선(게이트 전극, 또는 소스 또는 드레인) 주연에 돌출부를 형성하기 때문에, 상기 배선에 접하여 제공되는 절연층의 피복성 불량이 방지된다. 따라서, 상기 절연층에 국소적으로 얇은 영역이 형성되지

않고, 얇은 영역으로의 전계 집중에 기인하는 트랜지스터의 파괴를 방지할 수 있다.

[0123] 또한, 채널 길이 $2\mu m$ 미만인 미세화된 트랜지스터의 제작 공정에서, 포토리소그래피에서의 노출에 365nm 이하의 파장의 광을 사용하더라도, 게이트 전극, 또는 소스 전극 또는 드레인 전극 주변의 돌출부를 테이퍼 형상을 갖게 형성할 수 있다.

[0124] 또한, 본 실시형태에서 설명한 구성, 방법 등은 다른 실시형태에서 설명하는 구성, 방법 등의 어느 것과 적절히 조합할 수 있다.

[0125] (실시형태 2)

[0126] 본 실시형태에서는, 반도체 장치의 일례로서 기억 매체(메모리 소자)에 대하여 설명한다. 본 실시형태에서는 실시형태 1에서 설명한 산화물 반도체를 사용한 트랜지스터와, 산화물 반도체 이외의 재료를 포함한 트랜지스터를 하나의 기판 위에 형성한다.

[0127] 도 6의 (A) 내지 (C)는 반도체 장치의 구성의 일례를 도시한 것이다. 도 6의 (A)는 반도체 장치의 단면을 도시한 것이고, 도 6의 (B)는 반도체 장치의 상면도이다. 여기서, 도 6의 (A)는 도 6의 (B)의 선분 E1-E2 및 선분 F1-F2를 따른 단면도이다. 또한, 도 6의 (C)는 메모리 소자로서 반도체 장치를 사용하는 회로도의 예를 도시한 것이다. 도 6의 (A) 및 (B)에 도시된 반도체 장치는 하부에 제 1 반도체 재료를 포함한 트랜지스터, 상부에 제 2 반도체 재료를 포함한 트랜지스터를 포함한다. 본 실시형태에서는, 제 1 반도체 재료를 포함한 트랜지스터를, 산화물 반도체 이외의 반도체 재료를 포함한 트랜지스터(260)로 한다. 제 2 반도체 재료를 포함한 트랜지스터로서는, 실시형태 1에서 설명한 산화물 반도체를 포함한 트랜지스터(160)를 사용한다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 또는 갈륨 비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 이와 같이 산화물 반도체 이외의 반도체 재료를 포함한 트랜지스터는 용이하게 고속 동작할 수 있다. 한편, 산화물 반도체를 포함한 트랜지스터(160)는 그 특성상 오랫동안 전하를 유지할 수 있게 한다. 또한, 제 2 반도체 재료를 포함한 트랜지스터로서는, 실시형태 1에서 설명한 트랜지스터 중 어느 것을 적절히 사용할 수 있다.

[0128] 도 6의 (A) 내지 (C)에서의 트랜지스터(260)는, 반도체 재료(실리콘 등)를 포함한 기판(301)에 제공된 채널 형성 영역(116), 채널 형성 영역(116)을 끼우도록 제공된 불순물 영역(118), 불순물 영역(118)과 접하는 금속 화합물 영역(124), 채널 형성 영역(116) 위에 제공된 게이트 절연층(108), 및 게이트 절연층(108) 위에 제공된 게이트 전극(109)을 포함한다.

[0129] 반도체 재료를 포함한 기판(301)으로서는, 실리콘 또는 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판; 또는 SOI기판 등을 사용할 수 있다. 또한, "SOI 기판"이라는 용어는 일반적으로 절연 표면 위에 실리콘 반도체층이 제공된 기판을 의미하지만, 본 명세서 등에서는, "SOI 기판"이라는 용어는 절연 표면 위에 실리콘 이외의 재료를 포함한 반도체층이 제공된 기판도 포함한다. 즉, "SOI 기판"에 포함되는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판은, 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 제공된 구성을 갖는 기판일 수 있다.

[0130] 트랜지스터(260)의 금속 화합물 영역(124)의 일부에 전극(126)이 접속된다. 여기서, 전극(126)은 트랜지스터(260)의 소스 전극이나 드레인 전극으로서 기능한다. 또한, 트랜지스터(260)를 둘러싸도록 소자 분리 절연층(106)을 제공하고, 트랜지스터(260)를 덮도록 절연층(128)을 제공한다. 또한, 고집적화시키기 위해서는 도 6 (A) 및 (B)에 도시된 바와 같이 트랜지스터(260)가 사이드월 절연층을 갖지 않는 것이 바람직하다. 한편, 트랜지스터(260)의 특성에 중심을 두는 경우에는, 게이트 전극(109) 측면에 사이드월 절연층을 제공하고, 불순물 영역(118)은 불순물 농도가 상이한 영역을 포함하여도 좋다.

[0131] 트랜지스터(260)는 공자의 기술에 의하여 제작할 수 있다. 반도체 재료로서 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 또는 갈륨비소 등을 포함한 트랜지스터(260)의 특징은, 고속 동작이 가능한 것이다. 따라서, 상기 트랜지스터를 판독용 트랜지스터로서 사용하는 경우, 정보를 고속으로 판독할 수 있다.

[0132] 트랜지스터(260)를 형성한 후, 트랜지스터(160) 및 용량 소자(164)를 형성하기 전의 처리로서, 절연층(128)에 대하여 CMP 처리를 수행하여 게이트 전극(109) 상면을 노출시킨다. 게이트 전극(109) 상면을 노출시키는 처리로서는, CMP 처리 외에 에칭 처리 등을 채용할 수 있지만, 트랜지스터(160)의 특성을 향상시키기 위해서 절연층(128)의 표면은 가능한 한 평坦하게 하는 것이 바람직하다.

- [0133] 평탄화된 절연층(128) 위에 산화물 반도체층(144)을 형성한 후, 노출된 게이트 전극(109), 전극(126), 절연층(128), 및 산화물 반도체층(144) 등을 덮도록 도전층을 제공한다. 그 후, 실시형태 1에서 설명한 방법과 마찬가지의 방법에 의하여 도전층을 가공함으로써, 소스 전극(142a) 및 드레인 전극(142b)을 형성한다. 소스 전극(142a)은 트랜지스터(260)의 게이트 전극(109)에 전기적으로 접속된다. 드레인 전극(142b)은 트랜지스터(260)의 전극(126)에 전기적으로 접속된다.
- [0134] 도 6의 (A) 및 (B)에 도시된 반도체 장치에서, 도전층(158)은, 게이트 절연층(146)을 개재하여 소스 전극(142a)의 적어도 일부와 중첩되도록 제공된다. 도전층(158)은 게이트 전극(148)과 같은 공정으로 형성하고, 용량 소자(164)의 전극 중 하나로서 기능한다.
- [0135] 절연층(150)은 게이트 전극(148) 및 도전층(158) 위에 제공된다. 배선(154)은 절연층(150) 위에 제공되고, 절연층(150) 및 게이트 절연층(146) 등에 형성된 개구를 통하여 드레인 전극(142b)에 접속된다. 여기서, 배선(154)은 적어도 트랜지스터(160)의 산화물 반도체층(144)과 부분적으로 중첩되도록 제공된다. 또한, 절연층(156)이 배선(154)을 덮도록 제공된다.
- [0136] 도 6의 (A) 및 (B)에 도시된 반도체 장치에 있어서, 트랜지스터(160)와 트랜지스터(260)는 적어도 부분적으로 서로 중첩되도록 제공된다. 특히, 트랜지스터(260)의 소스 영역 또는 드레인 영역과 산화물 반도체층(144)이 적어도 부분적으로 중첩되도록 제공되는 것이 바람직하다. 배선(154)은 적어도 부분적으로 산화물 반도체층(144)과 중첩되도록 제공된다. 또한, 트랜지스터(160) 및 용량 소자(164)는 트랜지스터(260)와 중첩되도록 제공된다.
- [0137] 예를 들어, 용량 소자(164)의 도전층(158)은 트랜지스터(260)의 게이트 전극(109)과 적어도 부분적으로 중첩되도록 제공된다. 이러한 평면 레이아웃에 의하여 반도체 장치의 고집적화를 실현할 수 있다. 예를 들어, 상기 반도체 장치를 사용하여 메모리 셀을 형성하는 경우, 최소 가공 치수를 F로 하고, 메모리 셀에 의하여 차지되는 면적을 $15F^2$ 내지 $25F^2$ 로 할 수 있다.
- [0138] 도 6의 (C)는 메모리 소자로서 반도체 장치를 포함한 회로도의 예를 도시한 것이다. 도 6의 (C)에 있어서, 트랜지스터(160)의 소스 전극 및 드레인 전극 중 한쪽, 용량 소자(164)의 한쪽 전극, 및 트랜지스터(260)의 게이트 전극은 서로 전기적으로 접속된다. 제 1 배선("1st Line" 및 소스 라인이라고도 함)은 트랜지스터(260)의 소스 전극에 전기적으로 접속되고, 제 2 배선("2nd Line" 및 비트 라인이라고도 함)은 트랜지스터(260)의 드레인 전극에 전기적으로 접속된다. 제 3 배선("3rd Line" 및 제 1 신호 라인이라고도 함)은 트랜지스터(160)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다. 제 4 배선("4th Line" 및 제 2 신호 라인이라고도 함)은 트랜지스터(160)의 게이트 전극에 전기적으로 접속된다. 제 5 배선("5th Line" 및 워드 라인이라고도 함)과 용량 소자(164)의 다른 쪽 전극은 서로 전기적으로 접속된다.
- [0139] 산화물 반도체를 포함한 트랜지스터(160)는 매우 작은 오프 전류를 갖기 때문에, 트랜지스터(160)가 오프 상태인 경우, 트랜지스터(160)의 소스 전극 및 드레인 전극 중 한쪽, 용량 소자(164)의 한쪽 전극, 및 트랜지스터(260)의 게이트 전극이 전기적으로 서로 접속된 노드(이하, 노드(FG))의 전위를 매우 오랫동안 유지할 수 있다. 용량 소자(164)를 제공함으로써 노드(FG)에 공급된 전하의 유지 및 그 유지된 정보의 관리를 용이하게 한다.
- [0140] 반도체 장치에 정보가 유지(기록)되는 경우, 우선, 제 4 배선의 전위를, 트랜지스터(160)가 턴-온되는 전위로 설정함으로써 트랜지스터(160)를 턴-온시킨다. 이로써, 제 3 배선의 전위가 노드(FG)에 인가되어, 노드(FG)에 소정량의 전하가 축적된다. 여기서는, 2개의 다른 전위 레벨을 인가하는 전하(이하, 로(low) 레벨 전하 및 하이(high) 레벨 전하라고 함)가 노드(FG)에 공급된다. 그 후, 제 4 배선의 전위를 트랜지스터(160)가 턴-오프되는 전위로 설정함으로써, 트랜지스터(160)를 턴-오프시킨다. 이에 의하여 노드(FG)는 부유 상태가 되어, 노드(FG)에 소정량의 전하가 유지된다. 노드(FG)에 소정량의 전하가 축적되고 유지됨으로써, 메모리 셀은 정보를 유지할 수 있다.
- [0141] 트랜지스터(160)의 오프 전류는 매우 작기 때문에, 노드(FG)에 인가된 전하는 오랫동안 유지된다. 따라서, 리프레시 동작의 필요성을 없애거나 리프레시 동작의 빈도를 매우 낮게 할 수 있어, 소비 전력의 충분한 절감을 초래한다. 또한, 전력이 공급되지 않더라도, 유지된 정보가 오랫동안 유지될 수 있다.
- [0142] 유지된 정보를 관리할 때(정보의 관리)에는, 제 1 배선에 소정의 전위(정전위)를 인가한 상태에서, 제 5 배선에 적절한 전위(관리 전위)를 공급한다. 따라서, 노드(FG)에 유지된 전하량에 따라, 트랜지스터(160)는 자체 상태를 변화시킨다. 이것은 일반적으로, 트랜지스터(160)가 n 채널형 트랜지스터일 때, 노드(FG)에 하이 레벨 전하

가 유지된 경우의 트랜지스터(160)의 걸보기 문턱 전압(V_{th_H})은, 노드(FG)에 로 레벨 전하가 유지된 경우의 트랜지스터(160)의 걸보기 문턱 전압(V_{th_L})보다 낮기 때문이다. 여기서, 걸보기 문턱 전압은, 트랜지스터(260)를 턴-온하기 위해 필요한 제 5 배선의 전위를 말한다. 따라서, 제 5 배선의 전위를 V_{th_H} 와 V_{th_L} 의 사이의 전위(V_0)로 설정함으로써, 노드(FG)에 유지된 전하를 판별할 수 있다. 예를 들어, 기록에 있어서 하이 레벨 전하가 공급된 경우에는, 제 5 배선의 전위가 $V_0(>V_{th_H})$ 로 설정되면, 트랜지스터(260)는 턴-온된다. 기록에 있어서 로 레벨 전하가 공급된 경우에는, 제 5 배선의 전위가 $V_0(<V_{th_L})$ 로 설정되더라도, 트랜지스터(260)는 오프 상태 그대로이다. 이와 같이, 제 5 배선의 전위를 제어하여 트랜지스터(260)가 온 상태인지 오프 상태인지를 판별함(제 2 배선의 전위를 판독함)으로써 유지된 정보를 판독할 수 있다.

[0143] 또한, 유지된 정보를 재기록하기 위해서는, 상기 기록에 의해 공급된 소정량의 전하를 유지하는 노드(FG)에 새로운 전위를 공급함으로써, 노드(FG)에 새로운 정보의 전하가 유지된다. 구체적으로는, 제 4 배선의 전위를 트랜지스터(160)가 턴-온되는 전위로 설정함으로써 트랜지스터(160)를 턴-온시킨다. 제 3 배선의 전위(새로운 정보의 전위)가 노드(FG)에 공급되어, 노드(FG)에 소정량의 전하가 축적된다. 그 후, 제 4 배선의 전위를 트랜지스터(160)가 턴-오프되는 전위로 설정함으로써 트랜지스터(160)를 턴-오프시킨다. 이로써, 노드(FG)에 새로운 정보의 전하가 유지된다. 즉, 제 1 기록에 있어서 공급된 소정량의 전하가 노드(FG)에 유지되면서, 제 1 기록과 같은 동작(제 2 기록)을 수행함으로써, 유지된 정보를 겹쳐쓰기하는 것이 가능하다.

[0144] 본 실시형태에서 설명한 트랜지스터(160)의 오프 전류는 고순도화되어 진성화된 산화물 반도체층(144)을 사용함으로써, 충분히 저감할 수 있다. 그리고, 이러한 트랜지스터를 사용함으로써 매우 오랫동안 기억된 정보를 유지할 수 있는 반도체 장치를 얻을 수 있다. 또한, 채널 길이(L)가 감소된 트랜지스터(160)를 사용함으로써, 반도체 장치의 집적도를 향상시킬 수 있다.

[0145] 본 실시형태에서 설명한 반도체 장치에 있어서, 트랜지스터(260)와 트랜지스터(160)는 서로 중첩되기 때문에, 집적도가 충분히 향상된 반도체 장치를 실현할 수 있다.

[0146] 본 실시형태에서 설명한 방법 및 구성은 다른 실시형태에서 설명하는 방법 및 구성의 어느 것과 적절히 조합할 수 있다.

[0147] (실시형태 3)

[0148] 본 실시형태에서는, 개시하는 본 발명의 일 형태에 따른 반도체 장치의 응용예에 대하여 도 7을 참조하여 설명한다. 여기서는, 중앙 처리 장치(CPU)에 대하여 설명한다.

[0149] CPU의 블록도의 일례를 도 7에 도시하였다. 도 7에 도시된 CPU(1101)는 타이밍 제어 회로(1102), 명령 디코더(1103), 레지스터 어레이(1104), 어드레스 로직 및 버퍼 회로(1105), 데이터 버스 인터페이스(1106), 연산 로직 유닛(ALU)(1107), 및 명령 레지스터(1108) 등을 포함한다.

[0150] 이를 회로는, 인버터 회로, 저항, 용량, 및 상술한 실시형태에서 설명한 트랜지스터 등을 사용하여 제작된다. 또한, 상술한 실시형태에서 설명한 트랜지스터의 어느 것을 사용함으로써, 트랜지스터의 단채널 효과를 억제할 수 있고, 미세화를 실현할 수 있다.

[0151] 이하에서, CPU(1101)에 포함되는 회로에 대하여 간단하게 설명한다. 타이밍 제어 회로(1102)는 외부로부터 명령을 받고, 이 명령을 내부용 정보로 변환하고, 다른 블록으로 송신한다. 또한, 타이밍 제어 회로는 내부 동작에 따라 메모리 데이터의 판독 및 기록과 같은 지시를 외부에 준다. 명령 디코더(1103)는 외부로부터의 명령을 내부용 명령으로 변환하는 기능을 갖는다. 레지스터 어레이(1104)는 데이터를 일시적으로 유지하는 기능을 갖는다. 어드레스 로직 및 버퍼 회로(1105)는 외부 메모리의 어드레스를 지정하는 기능을 갖는다. 데이터 버스 인터페이스(1106)는 외부 메모리 또는 프린터 등의 기기에/로부터 데이터를 입출력하는 기능을 갖는다. ALU(1107)는 연산을 수행하는 기능을 갖는다. 명령 레지스터(1108)는 명령을 일시적으로 유지하는 기능을 갖는다. CPU는 이러한 회로들의 조합을 포함한다.

[0152] CPU(1101)의 적어도 일부에 상술한 실시형태에서 설명한 트랜지스터의 어느 것을 사용함으로써, 트랜지스터의 단채널 효과를 억제할 수 있고, 미세화를 실현할 수 있다. 따라서, CPU(1101)가 더 고집적화될 수 있다.

[0153] 본 실시형태에서 설명한 방법 및 구성은 다른 실시형태에서 설명하는 방법 및 구성의 어느 것과 적절히 조합할 수 있다.

[0154] (실시형태 4)

[0155] 본 실시형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 응용예에 대하여 도 8의 (A) 및 8의 (B)를 참조하여 설명한다. 여기서는, 대상물의 정보를 판독하기 위한 이미지 센서 기능을 갖는 반도체 장치의 일례에 대하여 설명한다. 또한, 회로도에서는 산화물 반도체를 포함한 트랜지스터임을 나타내기 위하여 "OS"를 트랜지스터 옆에 붙이는 경우가 있다.

[0156] 도 8의 (A)는 이미지 센서 기능을 갖는 반도체 장치의 일례를 도시한다. 도 8의 (A)는 포토센서의 등가 회로이고, 도 8의 (B)는 포토센서의 일부를 도시한 단면도이다.

[0157] 포토다이오드(1202)의 한쪽 전극은 포토다이오드 리셋 신호 라인(1212)에 전기적으로 접속되고, 포토다이오드(1202)의 다른 쪽 전극은 트랜지스터(1204)의 게이트에 전기적으로 접속된다. 트랜지스터(1204)의 소스 전극 및 드레인 전극 중 한쪽은 광센서 기준 신호 라인(1218)에 전기적으로 접속되고, 트랜지스터(1204)의 소스 전극 및 드레인 전극 중 다른 쪽은 트랜지스터(1206)의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 트랜지스터(1206)의 게이트 전극은 게이트 신호 라인(1214)에 전기적으로 접속되고, 트랜지스터(1206)의 소스 전극 및 드레인 전극 중 다른 쪽은 광센서 출력 신호 라인(1216)에 전기적으로 접속된다.

[0158] 여기서, 도 8의 (A)에 도시된 트랜지스터(1204) 및 트랜지스터(1206)로서는 산화물 반도체를 포함한 트랜지스터가 사용된다. 산화물 반도체를 포함한 트랜지스터로서는, 상술한 실시형태에서 설명한 트랜지스터의 어느 것을 사용할 수 있다. 상술한 실시형태에서 설명한 트랜지스터는 오프 상태에서 매우 작은 누설 전류를 실현할 수 있기 때문에, 포토센서의 광 검출 정밀도를 향상시킬 수 있다. 또한, 상술한 실시형태에서 설명한 트랜지스터의 어느 것을 사용함으로써, 트랜지스터의 단채널 효과를 억제할 수 있고, 미세화를 실현할 수 있다. 따라서, 포토다이오드의 면적을 증대시켜, 포토센서의 광 검출 정밀도를 향상시킬 수 있다.

[0159] 도 8의 (B)는 상기 포토센서에서의 포토다이오드(1202) 및 트랜지스터(1204)의 단면도이며, 센서로서 기능하는 포토다이오드(1202) 및 트랜지스터(1204)는 절연 표면을 갖는 기판(1222)(TFT 기판) 위에 제공된다. 포토다이오드(1202) 및 트랜지스터(1204) 위에 접착층(1228)을 사용하여 기판(1224)이 제공된다. 트랜지스터(1204) 위에는 절연층(1234), 충간 절연층(1236), 및 충간 절연층(1238)이 제공된다.

[0160] 또한, 트랜지스터(1204)의 게이트 전극과 전기적으로 접속되도록 이 게이트 전극과 같은 충에 게이트 전극(1240)이 제공된다. 게이트 전극(1240)은, 절연층(1234) 및 충간 절연층(1236)에 형성된 개구를 통하여 충간 절연층(1236) 위에 제공된 전극층(1242)에 전기적으로 접속된다. 전극층(1242) 위에 포토다이오드(1202)가 형성되기 때문에, 포토다이오드(1202) 및 트랜지스터(1204)는 게이트 전극(1240) 및 전극층(1242)을 통하여 서로 전기적으로 접속된다.

[0161] 포토다이오드(1202)는, 전극층(1242) 위에 순차적으로 제 1 반도체층(1226a), 제 2 반도체층(1226b) 및 제 3 반도체층(1226c)이 적층된 구조를 갖는다. 즉, 포토다이오드(1202)의 제 1 반도체층(1226a)은 전극층(1242)에 전기적으로 접속된다. 포토다이오드(1202)의 제 3 반도체층(1226c)은 충간 절연층(1238) 위에 제공된 전극층(1244)에 전기적으로 접속된다.

[0162] 여기서는, 제 1 반도체층(1226a)으로서 n형 도전형을 갖는 반도체층, 제 2 반도체층(1226b)으로서 고저항 반도체층(i형 반도체층), 및 제 3 반도체층(1226c)으로서 p형 도전형을 갖는 반도체층이 적층되는 pin 포토다이오드를 예로 들었다.

[0163] 제 1 반도체층(1226a)은 n형 반도체층이며, n형의 도전성을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성한다. 제 1 반도체층(1226a)은, 15족에 속하는 불순물 원소(예를 들어, 인(P))를 함유한 반도체 재료 가스를 사용하여 플라즈마 CVD법으로 형성한다. 반도체 재료 가스로서는 실란(SiH₄)을 사용할 수 있다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않은 비정질 실리콘 막을 형성한 후에, 확산법이나 이온 주입법을 사용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에, 불순물 원소를 확산시키기 위해서, 가열 등을 수행하여도 좋다. 이 경우, 비정질 실리콘막을 형성하는 방법으로서는, LPCVD법, 화학 기상 성장법, 또는 스퍼터링법 등을 사용할 수 있다. 제 1 반도체층(1226a)은 20nm 이상 200nm 이하의 두께를 갖도록 형성하는 것이 바람직하다.

[0164] 제 2 반도체층(1226b)은 i형 반도체층(진성 반도체층)이며, 비정질 실리콘막으로 형성한다. 제 2 반도체층(1226b)으로서는, 반도체 재료 가스를 사용한 플라즈마 CVD법으로 비정질 실리콘막을 형성한다. 반도체 재료

가스로서는, 실란(SiH_4)을 사용할 수 있다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하여도 좋다. 또한, 제 2 반도체층(1226b)은 LPCVD법, 기상 성장법, 스퍼터링법 등으로 형성하여도 좋다. 제 2 반도체층(1226b)은 200nm 이상 1000nm 이하의 두께를 갖도록 형성하는 것이 바람직하다.

[0165] 제 3 반도체층(1226c)은 p형 반도체층이며, p형의 도전성을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성한다. 제 3 반도체층(1226c)은 13족에 속하는 불순물 원소(예를 들어 붕소(B))를 함유한 반도체 재료 가스를 사용하여 플라즈마 CVD법으로 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 사용할 수 있다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않은 비정질 실리콘 막을 형성한 후에, 확산법이나 이온 주입법을 사용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에, 불순물 원소를 확산시키기 위해서, 가열 등을 수행하여도 좋다. 이 경우, 비정질 실리콘막을 형성하는 방법으로서는, LPCVD법, 화학 기상 성장법, 또는 스퍼터링법 등을 사용할 수 있다. 제 3 반도체층(1226c)은 10nm 이상 50nm 이하의 두께를 갖도록 형성하는 것이 바람직하다.

[0166] 제 1 반도체층(1226a), 제 2 반도체층(1226b), 및 제 3 반도체층(1226c)은 반드시 비정질 반도체를 사용하여 형성할 필요는 없고, 그것들은 다결정 반도체 또는 미결정 반도체(세미 비정질 반도체(SAS: Semi-Amorphous Semiconductor))를 사용하여 형성하여도 좋다.

[0167] 미결정 반도체는 갑스 자유 에너지(Gibbs free energy)를 고려하면 비정질과 단결정의 중간적인 준안정 상태에 속하는 것이다. 즉, 미결정 반도체막은 자유 에너지의 관점으로 안정된 제 3 상태를 갖는 반도체이며, 단거리 질서 및 격자 왜곡을 갖는다. 주상(柱狀) 또는 침상의 결정이 기판 표면에 대하여 법선 방향으로 성장한다. 미결정 반도체의 대표적인 예인 미결정 실리콘의 라만 스펙트럼은, 단결정 실리콘의 라만 스펙트럼의 피크를 나타내는 520cm^{-1} 보다 저파수 측에 위치한다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 와 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 존재한다. 또한, 미결정 실리콘은 미결합수(dangling bond)를 종단하기 위하여 적어도 1at.% 이상의 수소 또는 할로겐을 함유한다. 또한, 격자 왜곡을 더 촉진시키기 위하여 헬륨, 아르곤, 크립톤, 또는 네온 등의 희가스 원소를 포함함으로써, 안정성이 증가되어, 양호한 미결정 반도체를 얻을 수 있다.

[0168] 이 미결정 반도체막은, 수십 MHz 내지 수백 MHz의 주파수의 고주파 플라즈마 CVD법, 또는 1GHz 이상의 주파수의 마이크로파 플라즈마 CVD법에 의하여 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , 또는 SiF_4 등의 수소화 실리콘을 수소로 희석한 것을 사용하여 형성할 수 있다. 수소화 실리콘 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 또는 네온으로부터 선택된 1종 또는 복수 종류의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 경우, 수소화 실리콘에 대한 수소의 유량비는 5:1 내지 200:1, 바람직하게는 50:1 내지 150:1, 더 바람직하게는 100:1이다. 또한, CH_4 또는 C_2H_6 등의 탄화물 가스, GeH_4 또는 GeF_4 등의 게르마늄화 가스, 또는 F_2 등을 실리콘을 함유한 가스 내에 혼입시켜도 좋다.

[0169] 또한, 광전 효과에 의하여 발생한 정공의 이동도는 전자의 이동도보다 낮기 때문에, pin 포토다이오드는 p형 반도체층 측의 표면을 수광면으로 사용할 때 더 좋은 특성을 갖는다. 여기서는 포토다이오드(1202)가 기판(1224) 측으로부터 입사광(1230)을 받고 그것을 전기 신호로 변환하는 예에 대하여 설명한다. 또한, 수광면 측의 반도체층의 도전형과 반대의 도전형을 갖는 반도체층 측으로부터의 광은 외란광이기 때문에, 전극층(1242)은 차광 도전막을 사용하여 형성되는 것이 바람직하다. 또한, n형 반도체층 측의 표면을 수광면으로서 사용할 수도 있다.

[0170] 입사광(1230)이 기판(1224) 측으로부터 들어가는 경우, 트랜지스터(1204)의 산화물 반도체층은 트랜지스터(1204)의 게이트 전극에 의하여 입사광(1230)으로부터 보호(shield)될 수 있다.

[0171] 절연 재료를 사용함으로써, 상기 재료에 따라서 스퍼터링법, SOG법, 스판 코팅법, 딥 코팅(dip coating)법, 스프레이 코팅, 또는 액적 토출법(예를 들어, 잉크젯 법), 인쇄법(예를 들어, 스크린 인쇄 또는 오프셋 인쇄)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 틀(장비)로, 절연층(1234), 충간 절연층(1236), 및 충간 절연층(1238)을 형성할 수 있다.

[0172] 절연층(1234)의 무기 절연 재료로서는, 산화 실리콘층, 산화질화 실리콘층, 질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층, 질화 알루미늄층, 및 질화산화 알루미늄층과 같은 산화물 절연층 및 질

화물 절연층 중 어느 것의 단층 또는 적층을 사용할 수 있다. 치밀하고 높은 내전압을 갖는 고품질의 절연층을 형성할 수 있기 때문에 μ 파(2.45GHz)를 사용한 고밀도 플라즈마 CVD를 채용하는 것이 바람직하다.

[0173] 표면 거칠기의 감소를 위하여, 층간 절연층(1236) 및 층간 절연층(1238)으로서, 평탄화 절연막으로서 기능하는 절연층을 사용하는 것이 바람직하다. 층간 절연층(1236) 및 층간 절연층(1238)은, 폴리아미드, 아크릴, 벤조아이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성을 갖는 유기 절연 재료를 사용하여 형성할 수 있다. 이러한 유기 절연 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, 인 유리(PSG), 또는 인 붕소 유리(BPSG) 등의 단층 또는 적층을 사용할 수 있다.

[0174] 포토다이오드(1202)는 입사광(1230)을 검출함으로써 대상물의 정보를 판독할 수 있다. 또한, 대상물의 정보를 판독할 때, 백 라이트 등의 광원을 사용할 수 있다.

[0175] 상기에서 설명한 포토센서에 있어서, 산화물 반도체를 포함한 트랜지스터로서는 상술한 실시형태에서 설명한 트랜지스터의 어느 것을 사용할 수 있다. 상술한 실시형태에서 설명한 트랜지스터는 오프 상태에서 매우 작은 누설 전류를 실현할 수 있기 때문에, 포토센서의 광 검출 정밀도를 향상시킬 수 있다. 또한, 상술한 실시형태에 설명한 트랜지스터의 어느 것을 사용함으로써, 트랜지스터의 단채널 효과를 억제하고 미세화를 실현할 수 있다. 따라서, 포토다이오드의 면적을 증대시켜, 포토센서의 광 검출 정밀도를 향상시킬 수 있다.

[0176] 본 실시형태에서 설명한 방법 및 구성은 다른 실시형태에서 설명하는 방법 및 구성의 어느 것과 적절히 조합할 수 있다.

[0177] (실시형태 5)

[0178] 본 실시형태에서는, 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 전자 기기에 적용된 경우에 대하여도 9의 (A) 내지 (F)를 참조하여 설명한다. 본 실시형태에서는 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대 정보 단말(휴대형 게임기 및 음향 재생 장치 등을 포함함), 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함) 등의 전자 기기에 상술한 반도체 장치를 적용하는 경우에 대하여 설명한다.

[0179] 도 9의 (A)는 하우징(601), 하우징(602), 표시부(603), 및 키보드(604) 등을 포함한 노트북형 퍼스널 컴퓨터를 도시한 것이다. 하우징(601) 및 하우징(602) 중 적어도 하나에는 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어, 고속으로 동작하고 소비 전력이 낮은 노트북형 퍼스널 컴퓨터를 실현 할 수 있다.

[0180] 도 9의 (B)는 휴대 정보 단말(PDA)을 도시한 것이다. 본체(611)에는 표시부(613), 외부 인터페이스(615), 및 조작 버튼(614) 등이 제공된다. 또한, 상기 휴대 정보 단말을 조작하기 위하여 스타일러스(612) 등이 제공된다. 본체(611)에는, 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어 고속으로 동작하고 소비 전력이 낮은 휴대 정보 단말을 실현할 수 있다.

[0181] 도 9의 (C)는 전자 페이퍼를 장착한 전자 서적(620)을 도시한 것이고, 하우징(621) 및 하우징(623)의 2개의 하우징을 포함한다. 하우징(621) 및 하우징(623)에는 각각 표시부(625) 및 표시부(627)가 제공된다. 하우징(621) 및 하우징(623)은 축부(637)에 의하여 연결되고, 축부(637)에 의하여 개폐될 수 있다. 하우징(621)에는 전원(631), 조작 키(633), 및 스피커(635) 등이 제공된다. 하우징(621) 및 하우징(623) 중 적어도 하나에 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어 고속으로 동작하고 소비 전력이 낮은 전자 서적을 실현할 수 있다.

[0182] 도 9의 (D)는 휴대 전화기를 도시한 것이고, 하우징(640)과 하우징(641)의 2개의 하우징을 포함한다. 또한, 도 9의 (D)에 도시된 바와 같이 전개되는 상태의 하우징(640) 및 하우징(641)은 슬라이드되어 서로 중첩될 수 있다. 하우징(641)은 표시 패널(642), 스피커(643), 마이크로폰(644), 조작 키(645), 포인팅 디바이스(646), 카메라용 렌즈(647), 및 외부 접속 단자(648) 등을 포함한다. 하우징(640)은 휴대 전화기를 충전하기 위한 태양 전지(649), 및 외부 메모리 슬롯(650) 등을 포함한다. 또한, 안테나가 하우징(641)에 내장된다. 하우징(640) 및 하우징(641) 중 적어도 하나에 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어 고속으로 동작하고 소비 전력이 낮은 휴대 전화기를 실현할 수 있다.

[0183] 도 9의 (E)는 본체(661), 표시부(667), 접안부(663), 조작 스위치(664), 표시부(665), 및 배터리(666) 등을 포함한 디지털 카메라를 도시한 것이다. 본체(661)에는, 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어 고속으로 동작하고 소비 전력이 낮은 디지털 카메라를 실현할 수 있다.

- [0184] 도 9의 (F)는 텔레비전 장치(670)를 도시한 것이며, 하우징(671), 표시부(673), 및 스탠드(675) 등을 포함한다. 텔레비전 장치(670)는 하우징(671)의 조작 스위치 또는 리모트 컨트롤러(680)로 조작될 수 있다. 하우징(671) 및 리모트 컨트롤러(680)에 상술한 실시형태의 어느 것에서 설명한 반도체 장치가 제공된다. 따라서, 예를 들어 고속으로 동작하고 소비 전력이 낮은 텔레비전 장치를 실현할 수 있다.
- [0185] 상기와 같이, 본 실시형태에서 설명한 전자 기기 각각은 상술한 실시형태의 어느 것에서 설명한 반도체 장치를 포함한다. 따라서, 반도체 장치의 미세화에 의하여, 동작 속도가 증가되고 소비 전력이 감소된 전자 기기를 얻을 수 있다.
- [0186] (실시예)
- [0187] 본 실시예에서는, 실시형태 1에서 설명한 반도체 장치의 제작 방법을 채용함으로써 도전층을 가공하는 예에 대하여 설명한다.
- [0188] 본 실시예에서는, 도 1의 (A) 내지 (C)에 도시된 트랜ジ스터(160)에 대응한 구조를 제작한다. 샘플의 제작 방법에 대하여 도 10의 (A), (B1), (B2), (C1), (C2) 및 (D1)을 참조하여 설명한다.
- [0189] 우선, 유리 기판(400) 위에, 두께가 300nm인 산화 실리콘층(402)을 하지막으로서 스퍼터링법에 의하여 형성하였다. 다음에, 반도체층으로서 섬 형상의 산화물 반도체층(404)을 형성하였다. 산화물 반도체층(404)은, In-Ga-Zn-O계 타깃을 사용하여 30nm의 두께가 되도록 스퍼터링법으로 형성하였다. 그리고, 반도체층 위에 도전층으로서 텅스텐층(406)을 100nm의 두께가 되도록 형성하였다(도 10의 (A) 참조).
- [0190] 레지스트 마스크(410)를 사용하여 텅스텐층(406)에 대하여 제 1 에칭을 수행함으로써, 오목부를 갖는 텅스텐층(408)을 형성하였다(도 10의 (B1) 참조). 또한, 레지스트 마스크(410)를 형성하기 위해서는 365nm의 파장의 광을 나타내는 i선을 광원으로서 사용하였다. 에칭 장치로서는, ICP(Inductively Coupled Plasma)와 같은 고밀도 플라즈마를 사용한 드라이 에칭 장치를 사용하였다.
- [0191] 제 1 에칭에서는, 챔버 내의 압력을 0.67Pa로 설정하고, 기판 온도를 40°C로 설정하였다. 상부 전극의 코일에 3000W의 RF(13.56MHz) 전력을 인가하고, 기판 측의 전극에 140W의 전력을 인가하였다. 이러한 조건으로 에칭을 10초 동안 수행하였다. 에칭 가스로서는, CF₄, Cl₂ 및 O₂의 혼합 가스를 사용하고, CF₄, Cl₂ 및 O₂의 유량은 각각 55sccm, 45sccm 및 55sccm로 하였다.
- [0192] 다음에, 레지스트 마스크(410)를 레지스트 마스크(412)가 되도록 축소시켰다. 레지스트 마스크(410)를 축소시키기 위해서는, 제 1 에칭에 사용된 챔버의 압력을 3.0Pa로 설정하고, 기판 온도를 40°C로 설정하고, 상부 전극의 코일에 2000W의 RF 전력을 인가하고, 기판 측의 전극에 인가되는 전력을 0W로 하고, O₂가스를 100sccm의 유량으로 흘리는 등의 조건으로 15초 동안 산소 플라즈마를 사용한 애싱을 수행하였다.
- [0193] 다음에, 레지스트 마스크(412)를 사용하여 제 2 에칭을 수행함으로써, 주연에 돌출부가 제공된 텅스텐층(414)을 얻었다(도 10의 (C1) 참조). 제 2 에칭은, 챔버의 압력을 0.67Pa로 설정하고, 기판 온도를 40°C로 설정하고, 상부 전극의 코일에 3000W의 RF 전력을 인가하고, 기판 측의 전극에 140W의 전력을 인가하는 등의 조건으로 15초 동안 수행하였다. 에칭 가스로서는, CF₄, Cl₂ 및 O₂의 혼합 가스를 사용하고, CF₄, Cl₂ 및 O₂의 유량은 각각 55sccm, 45sccm 및 55sccm로 하였다.
- [0194] 다음에, 레지스트 마스크(412)를 제거하였다(도 10의 (D1) 참조).
- [0195] 또한, 비교예로서, 레지스트 마스크(410)를 사용한 에칭 처리 한 번으로 산화물 반도체층(404)을 노출시켜, 텅스텐층(416)을 형성하였다(도 10의 (B2) 참조). 다음에, 레지스트 마스크(410)를 제거하였다(도 10의 (C2) 참조).
- [0196] 도 11의 (A)는, 에칭에 의하여 가공된 텅스텐층(414)의 단부(도 10의 (D1)에서 점선으로 둘러싸인 영역)를 나타낸 STEM(Scanning Transmission Electron Microscope) 사진이다.
- [0197] 도 11의 (B)는 비교예인 텅스텐층(416)의 단부(도 10의 (C2)에서 점선으로 둘러싸인 영역)를 나타낸 STEM 사진이다.
- [0198] 도 11의 (B)에서 나타낸 바와 같이, i선을 사용하여 형성된 레지스트 마스크를 사용하여 에칭 처리 한 번으로 텅스텐층(406)을 패턴 가공할 때, 텅스텐층(416)의 단부는 테이퍼 형상으로 가공되지 않고, 텅스텐층(416) 층면은 저면에 대략 수직으로 된다. 이러한 도전층 위에 박막을 형성하는 경우, 단선이나 접속 불량이 발생하기 쉽

고 얇은 두께를 갖는 영역이 국소적으로 박막 내에 형성된다고 생각된다.

[0199] 도 11의 (A)에서 나타낸 바와 같이, 실시형태 1에서 설명한 제작 방법을 적용함으로써, i선을 사용하여 형성된 레지스트 마스크를 사용한 경우라도, 텅스텐층(414)의 단부에 돌출부(415)가 형성된다. 또한, 돌출부(415)는 테이퍼 형상을 갖는다.

[0200] 상기 설명에 따라, 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 적용함으로써, 포토리소그래피에서 365nm 이하의 파장의 광이 사용되더라도, 배선 주연에 돌출부를 테이퍼 형상으로 형성할 수 있다.

부호의 설명

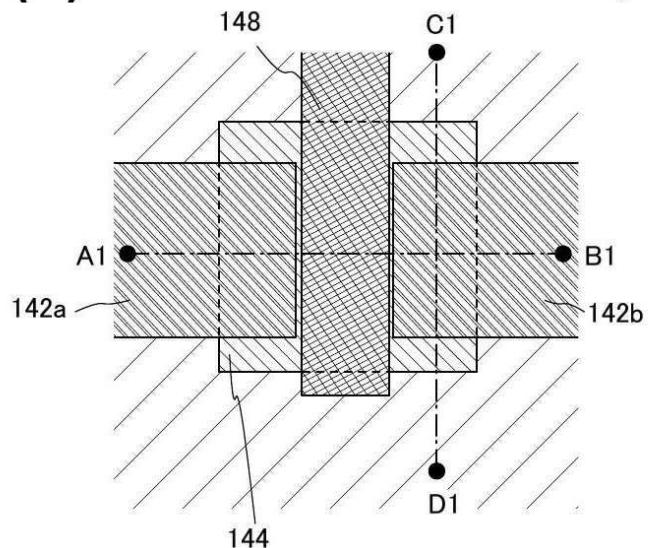
[0201] 100: 기판, 106: 소자 분리 절연층, 108: 게이트 절연층, 109: 게이트 전극, 116: 채널 형성 영역, 118: 불순 물 영역, 124: 금속 화합물 영역, 126: 전극, 128: 절연층, 140: 도전층, 141: 도전층, 142a: 소스 전극, 142b: 드레인 전극, 144: 산화물 반도체층, 145a: 돌출부, 145b: 돌출부, 146: 게이트 절연층, 147: 돌출부, 148: 게이트 전극, 149: 게이트 전극, 150: 절연층, 150a: 레지스트 마스크, 150b: 레지스트 마스크, 152a: 레지스트 마스크, 152b: 레지스트 마스크, 154: 배선, 156: 절연층, 158: 도전층 160: 트랜지스터, 162: 트랜지스터, 164: 용량 소자, 170: 트랜지스터, 172: 트랜지스터, 260: 트랜지스터, 301: 기판, 400: 유리 기판, 402: 산화 실리콘층, 404: 산화물 반도체층, 406: 텅스텐층, 408: 텅스텐층, 410: 레지스트 마스크, 412: 레지스트 마스크, 414: 텅스텐층, 415: 돌출부, 416: 텅스텐층, 601: 하우징, 602: 하우징, 603: 표시부, 604: 키보드, 611: 본체, 612: 스타일러스, 613: 표시부, 614: 조작 버튼, 615: 외부 인터페이스, 620: 전자 서적, 621: 하우징, 623: 하우징, 625: 표시부, 627: 표시부, 631: 전원, 633: 조작 키, 635: 스피커, 637: 축부, 640: 하우징, 641: 하우징, 642: 표시 패널, 643: 스피커, 644: 마이크로폰, 645: 조작 키, 646: 포인팅 디바이스, 647: 카메라용 렌즈, 648: 외부 접속 단자, 649: 태양 전지, 650: 외부 메모리 슬롯, 661: 본체, 663: 접안부, 664: 조작 스위치, 665: 표시부, 666: 배터리, 667: 표시부, 670: 텔레비전 장치, 671: 하우징, 673: 표시부, 675: 스탠드, 680: 리모트 컨트롤러, 1101: CPU, 1102: 타이밍 제어 회로, 1103: 명령 디코더, 1104: 레지스터 어레이, 1105: 어드레스 로직 및 버퍼 회로, 1106: 데이터 버스 인터페이스, 1107: ALU, 1108: 명령 레지스터, 1202: 포토다이오드, 1204: 트랜지스터, 1206: 트랜지스터, 1212: 포토다이오드 리셋 신호 라인, 1214: 게이트 신호 라인, 1216: 포토센서 출력 신호 라인, 1218: 포토센서 기준 신호 라인, 1222: 기판, 1224: 기판, 1226a: 반도체층, 1226b: 반도체층, 1226c: 반도체층, 1228: 접착층, 1230: 입사광, 1234: 절연층, 1236: 층간 절연층, 1238: 층간 절연층, 1240: 게이트 전극, 1242: 전극층, 1244: 전극층

본 출원은 2011년 1월 28일에 일본 특허청에 출원된 일련 번호가 2011-016343인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

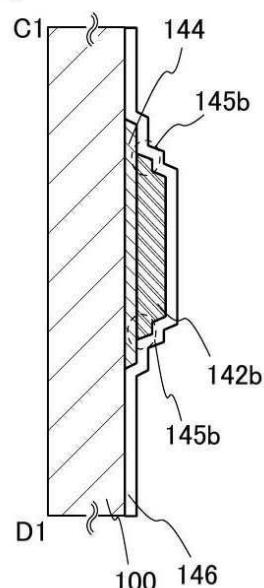
도면

도면1

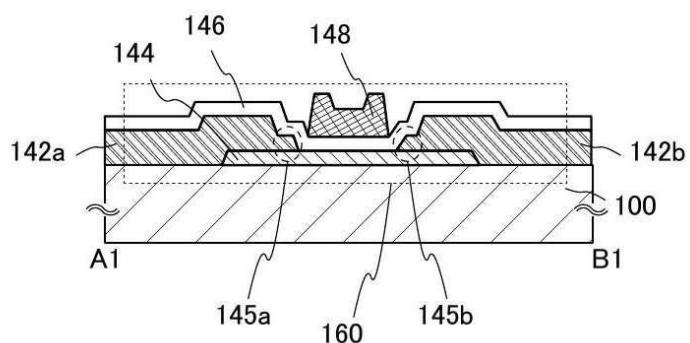
(A)



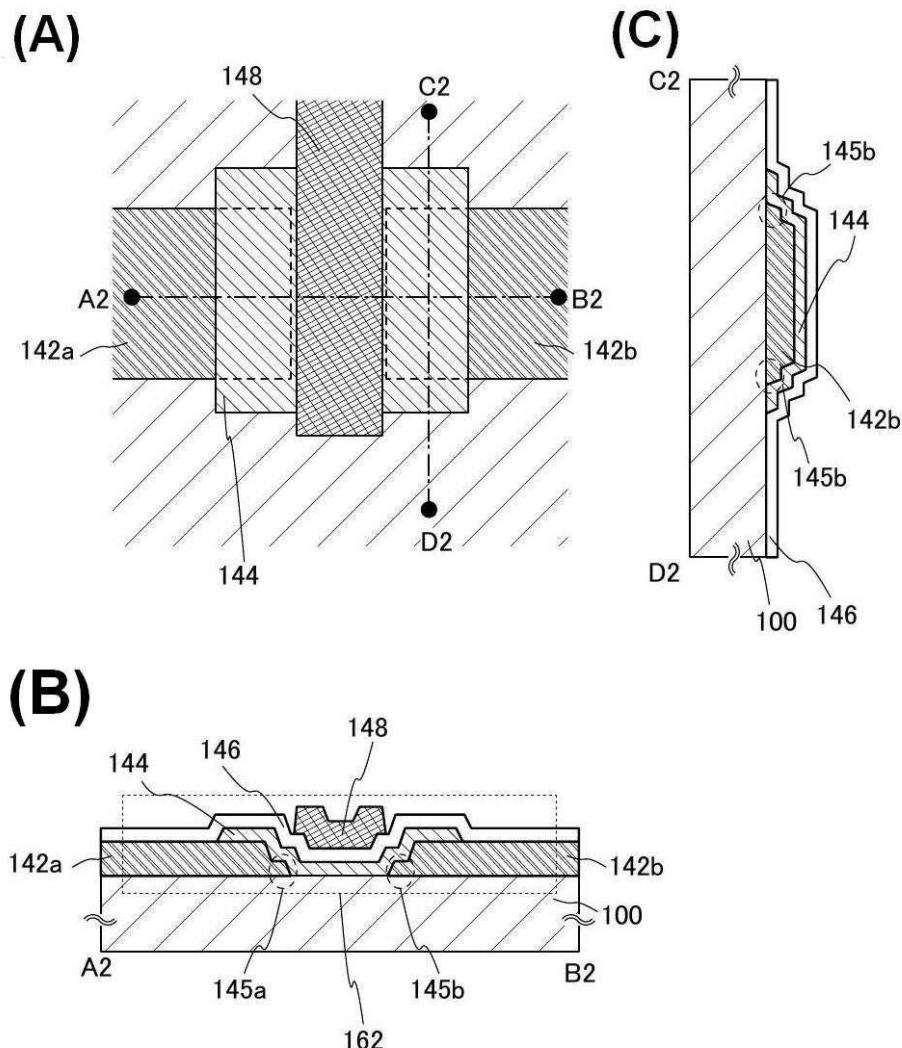
(C)



(B)

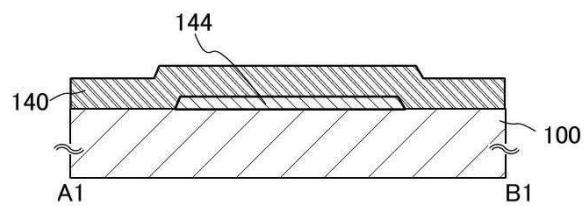


도면2

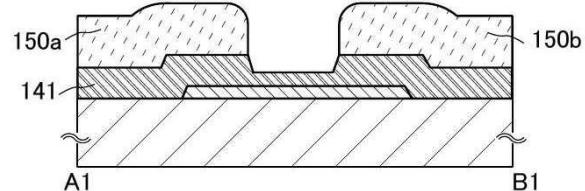


도면3

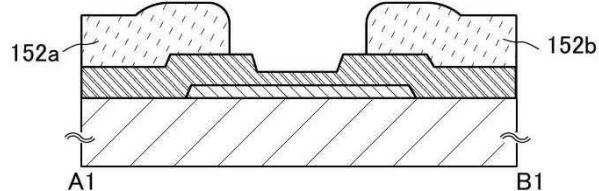
(A)



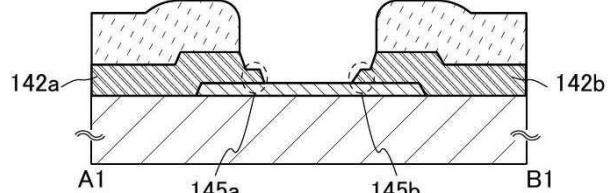
(B)



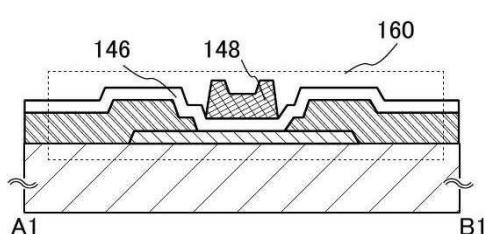
(C)



(D)

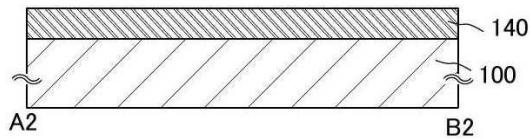


(E)

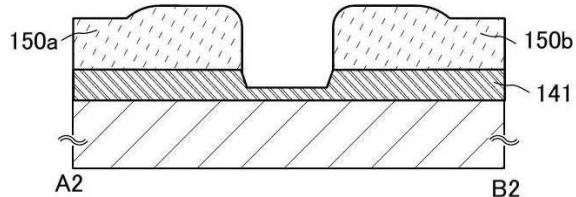


도면4

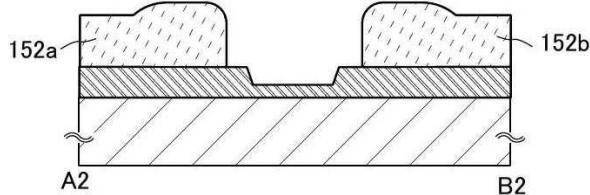
(A)



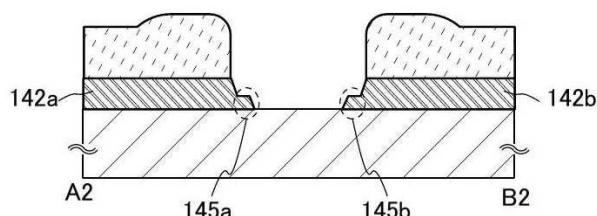
(B)



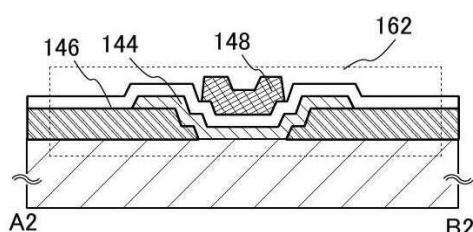
(C)



(D)

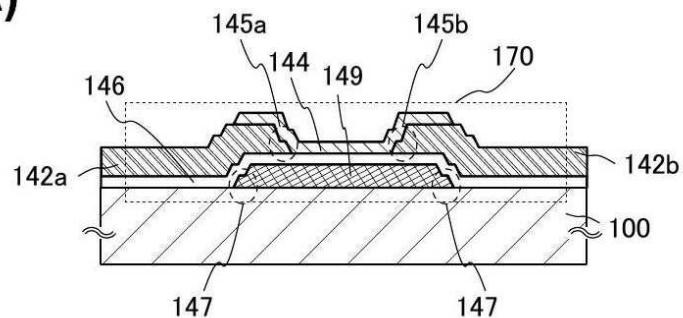


(E)

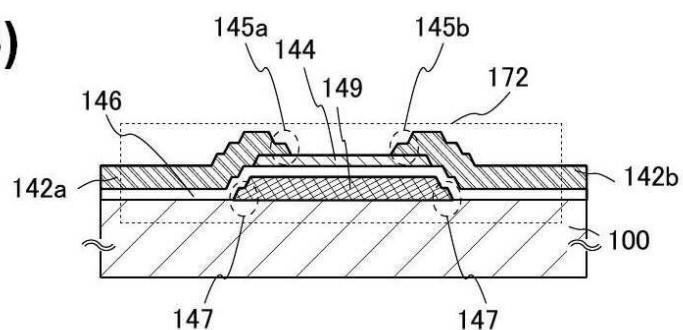


도면5

(A)

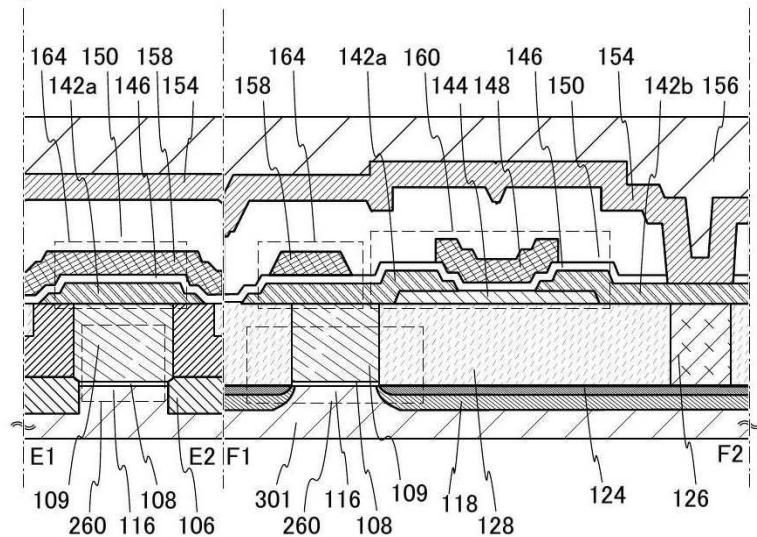


(B)

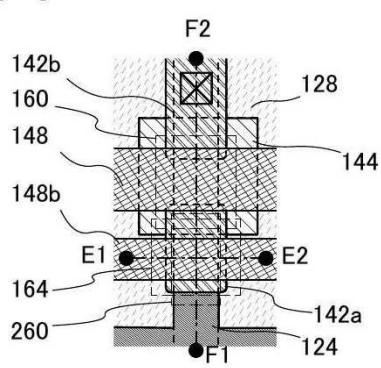


도면6

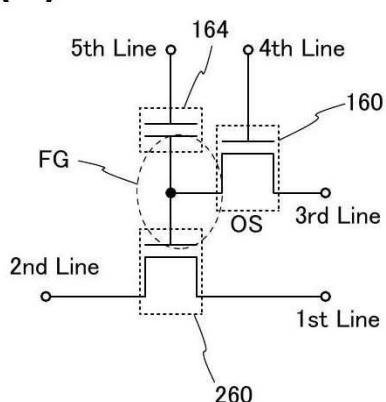
(A)



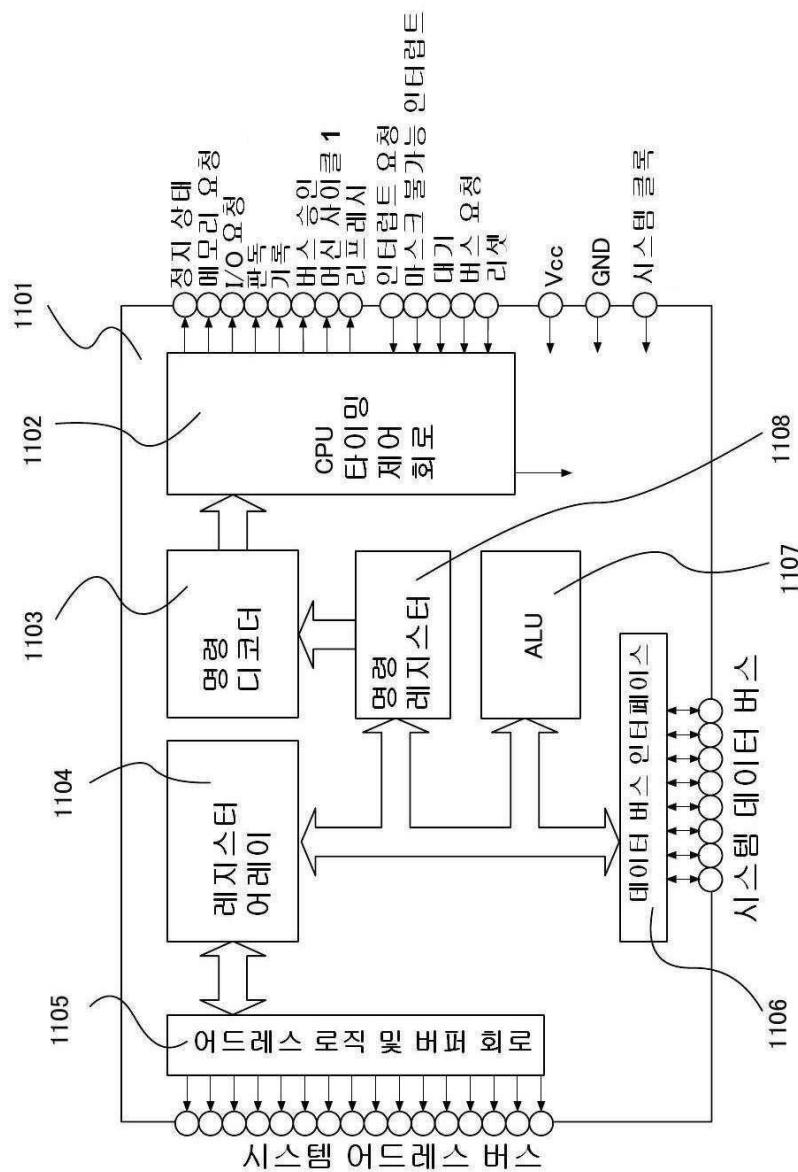
(B)



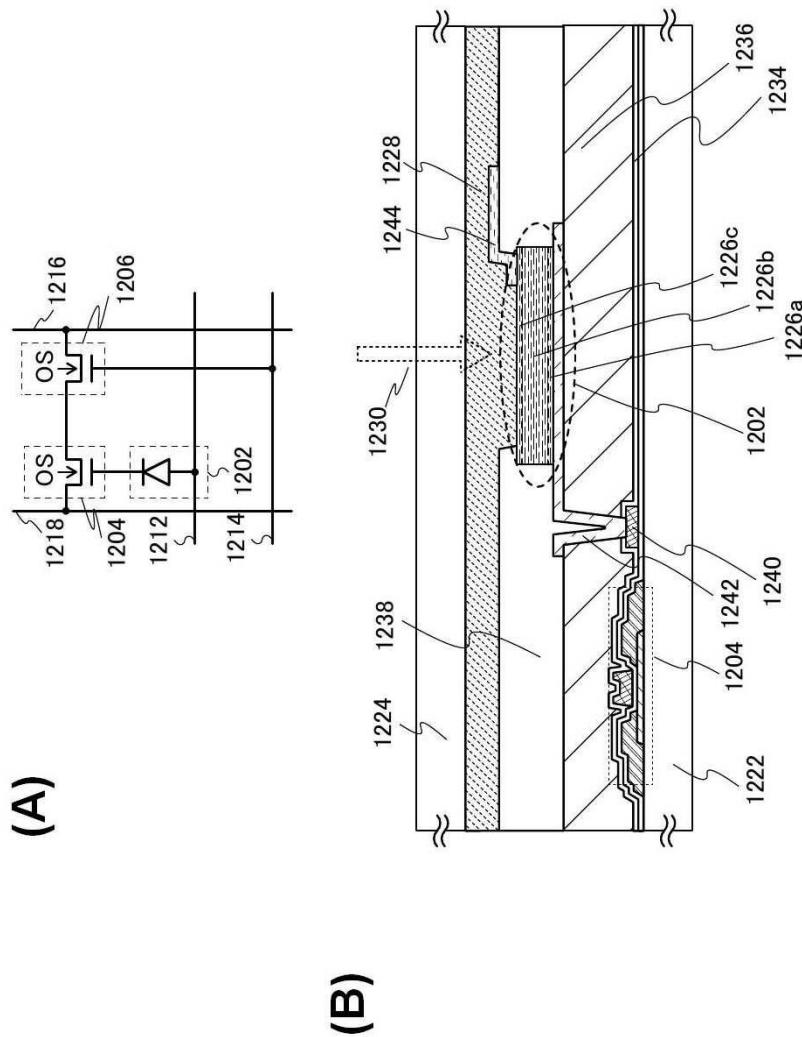
(C)



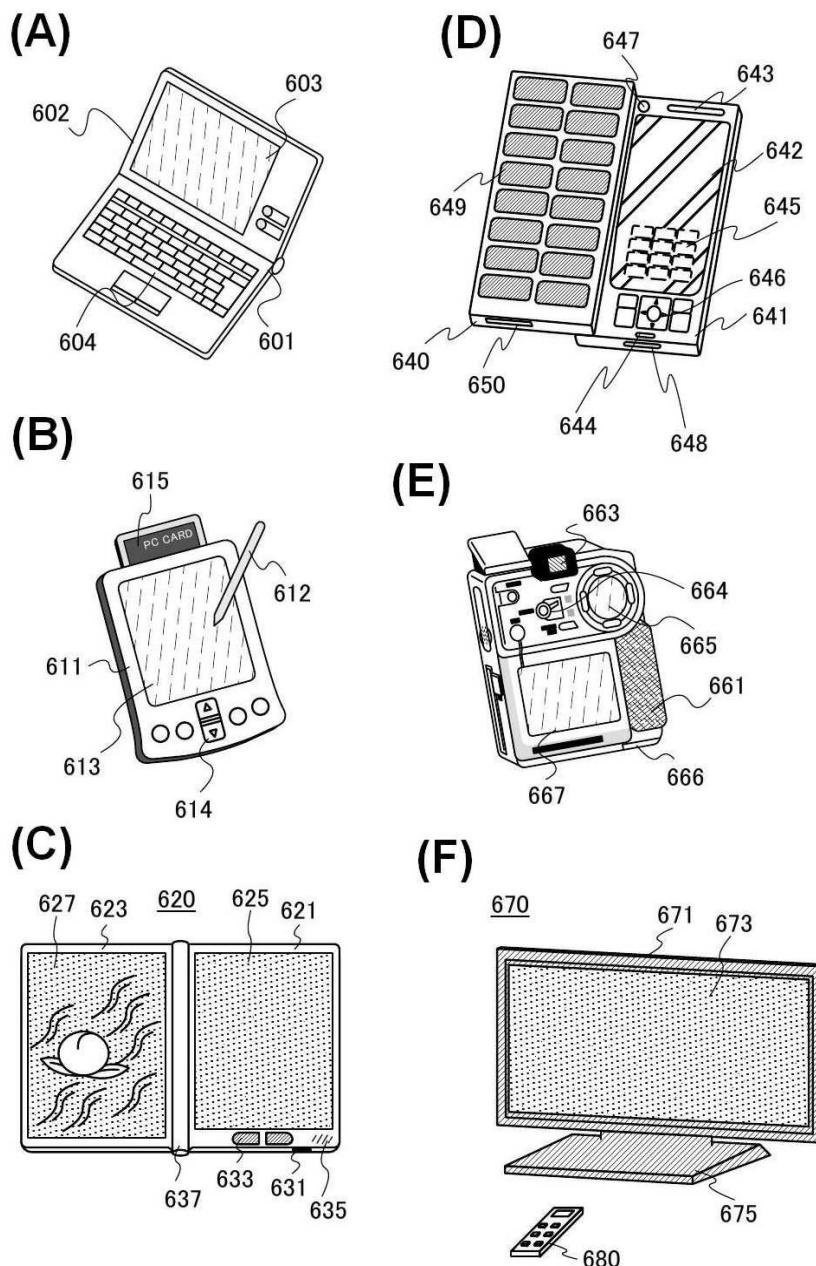
도면7



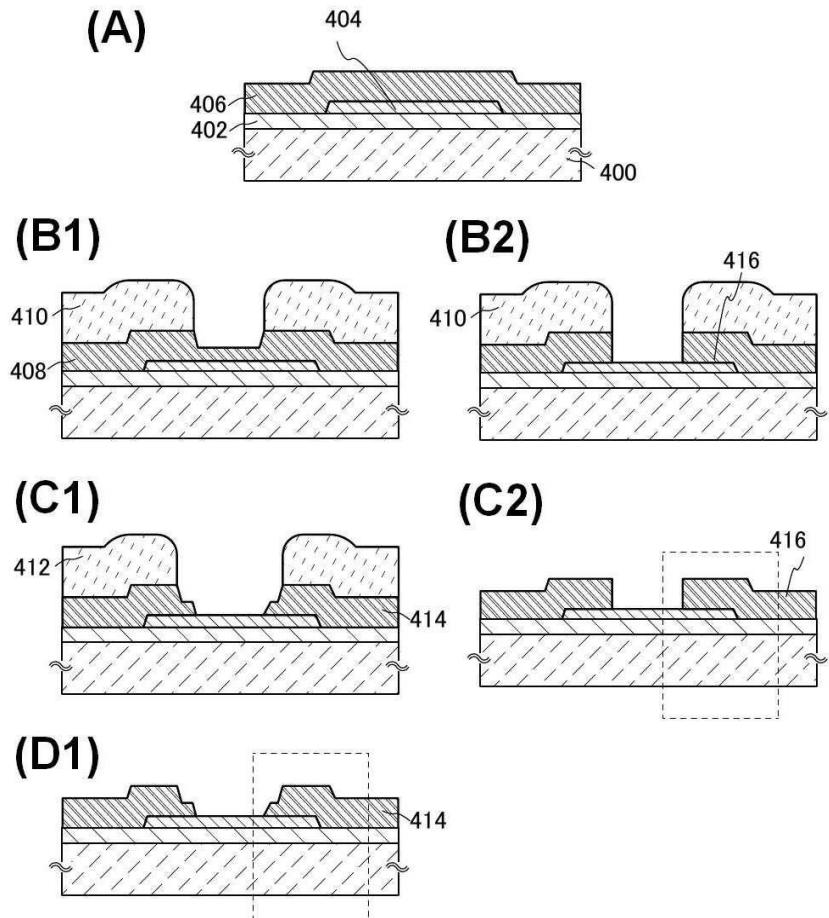
도면8



도면9

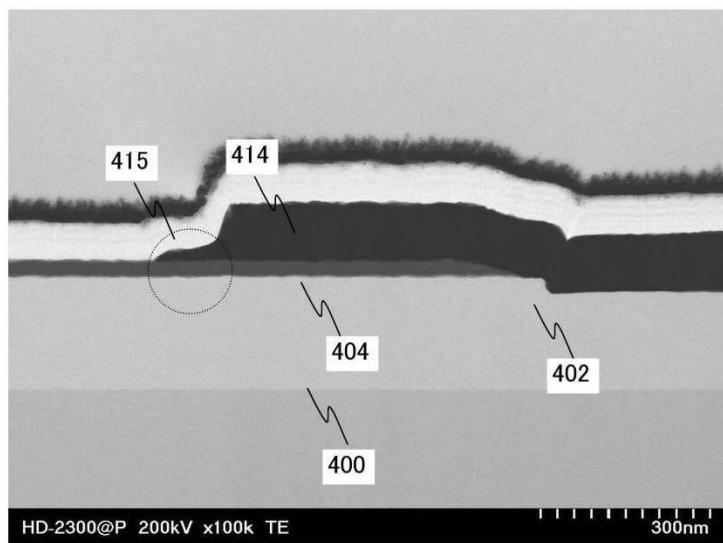


도면10



도면11

(A)



(B)

