

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-11906

(P2017-11906A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl. F I テーマコード(参考)  
**HO2M 3/155 (2006.01)** HO2M 3/155 B 5H730  
 HO2M 3/155 H

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号	特願2015-126048 (P2015-126048)	(71) 出願人	506334171 トレックス・セミコンダクター株式会社 東京都中央区新川一丁目24番1号
(22) 出願日	平成27年6月23日(2015.6.23)	(74) 代理人	100101236 弁理士 栗原 浩之
		(74) 代理人	100166914 弁理士 山▲崎▼ 雄一郎
		(72) 発明者	早川 耕亮 東京都中央区新川一丁目24番1号 トレックス・セミコンダクター株式会社内
		Fターム(参考)	5H730 AA15 AS05 BB13 BB57 DD04 EE13 FD01 FF01 FG05 XC19 XC20

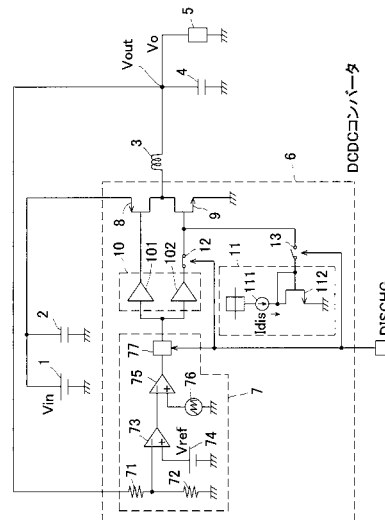
(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】 出力に設けられたコンデンサが大容量であっても、コストアップを招来することなく放電モードにおいては安全かつ円滑に所定の放電を行うことができるスイッチング電源回路を提供する。

【解決手段】 一端側が1次電源1に接続されたスイッチング素子である第1のトランジスタ8と、一端側が接地されたスイッチング素子である第2のトランジスタ9とを有し、他端側同士を介して直列に接続した前記第1のトランジスタ8と前記第2のトランジスタ9との間からコイル3および出力端子Voutを介して得る所定の出力電圧Voを負荷5に印加するスイッチング電源回路であって、出力残留電荷を放電する放電モード時に前記第2のトランジスタ9が所定の一定電流を流す。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

一端側が 1 次電源に接続されたスイッチング素子である第 1 のトランジスタと、一端側が接地されたスイッチング素子である第 2 のトランジスタとを有し、他端側同士を介して直列に接続した前記第 1 のトランジスタと前記第 2 のトランジスタとの間からコイルおよび出力端子を介して得る所定の出力電圧を負荷に印加するスイッチング電源回路であって、

出力残留電荷を放電する放電モード時に前記第 2 のトランジスタが所定の一定電流を流すことを特徴とするスイッチング電源回路。

**【請求項 2】**

請求項 1 に記載するスイッチング電源回路において、

前記放電モードを表す放電制御信号に基づき動作して前記第 2 のトランジスタが所定の一定電流を流すように制御する放電制御回路を有することを特徴とするスイッチング電源回路。

**【請求項 3】**

請求項 2 に記載するスイッチング電源回路において、

前記放電制御回路は、前記第 2 のトランジスタとカレントミラー回路を形成することにより前記第 2 のトランジスタが所定の一定電流を流すように構成したものであることを特徴とするスイッチング電源回路。

**【請求項 4】**

請求項 3 に記載するスイッチング電源回路において、

前記カレントミラー回路には、可変電流源が接続されていることを特徴とするスイッチング電源回路。

**【請求項 5】**

請求項 3 に記載するスイッチング電源回路において、

前記カレントミラー回路は複数のミラー比を選択できることを特徴とするスイッチング電源回路。

**【請求項 6】**

請求項 3 に記載するスイッチング電源回路において、

前記カレントミラー回路は、直列に接続した複数のカレントミラー回路を含むことを特徴とするスイッチング電源回路。

**【請求項 7】**

請求項 2 に記載するスイッチング電源回路において、

前記放電制御回路は、前記出力端子から前記コイルおよび前記第 2 のトランジスタを介して接地に至る回路の電流を検出し、該電流に基づき所定の一定電圧を生成するとともに、前記一定電圧を前記第 2 のトランジスタのゲートまたはベースに印加して前記第 2 のトランジスタが所定の一定電流を流すように構成したものであることを特徴とするスイッチング電源回路。

**【請求項 8】**

請求項 7 に記載するスイッチング電源回路において、

前記一定電圧は、前記出力端子から接地に至る回路を構成する素子の端子間の電圧の差に基づき生成することを特徴とするスイッチング電源回路。

**【請求項 9】**

請求項 8 に記載するスイッチング電源回路において、

前記一定電圧は、前記第 2 のトランジスタのドレイン電圧とソース電圧の差またはコレクタ電圧とエミッタ電圧との差に基づき生成することを特徴とするスイッチング電源回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

10

20

30

40

50

本発明はスイッチング電源回路に関し、特に同期整流方式によりプロセッサ等の負荷に供給する電流を遮断した際の残留電荷を処理する場合に適用して有用なものである。

【背景技術】

【0002】

電子機器の低消費電力要求に伴い処理用のプロセッサの低動作電圧化が進んでいる。かかるプロセッサの電源としては、同期整流方式で動作するDC/DCコンバータを有するスイッチング電源回路が汎用されている。DC/DCコンバータは電源として一般的に用いられている技術であり、リニアレギュレータなどより電圧変換時の電力損失が少ないという特長を有している。したがって、動作に際して低電圧大電流を要するプロセッサの電源用途としては最適である。

10

【0003】

機器内では、プロセッサ用の低電圧系統の他に、メモリ用、アナログ部品用、機械部品用と、幾つかの電源系統が備えられる。これらの電源系統の電圧は、おおもとの1つの電源から個別に所定電圧を生成するか、または電圧の高いものから低いものへと順に降圧することで生成する。機器内で使用する部品の中には、電圧値が異なる複数の電源系統を必要とするものもある。

【0004】

複数電源を要する部品が半導体素子である場合、与える電源系統の順序が適正でないと、半導体素子内に存在する寄生素子が意図せず動作して部品に損傷を与える危険がある。よって、複数電源系統を持つ機器では、それぞれの電源系統に電圧を投入/遮断する、電源オンシーケンス/オフシーケンスが定められている。ここで、電源オンシーケンスは電圧の高い電源系統から投入され、電源オフシーケンスでは電圧の低い電源系統から遮断されていくのが一般的である。

20

【0005】

電源オンシーケンスは、各電源系統を出力生成する電源部品を動作開始させるタイミングとそれら電源が所要の電圧値を出力するまでの時間で達成される。電源オフシーケンスは、各電源系統を出力生成する電源部品を動作停止させるタイミングと各電源系統の電圧値が低下するまでの時間で達成される。

【0006】

電源オフシーケンスにおいては電源部品の出力動作を停止させる前に、各電源系統下にある負荷の動作が予め停止させられている。よって、電源部品が動作停止すると各電源系統から消費される電流は、高抵抗負荷やリーク電流などによるごく小さい電流である。各電源系統と接地の間には電圧安定化の為にコンデンサが設けられているが、電源部品の動作停止の後に各電源系統の負荷が低電流消費状態であると、これらの電源系統の電圧が低下するのに時間がかかってしまう。このため、電源部品には出力している電源系統に残留する電荷を放電する機構が備えられているものもある。放電する機構としては、例えば特許文献1で開示されているように、専用の放電回路を電源内に備えるものもある。しかしながら、専用回路を付加するためには追加のコストが必要になる。そこで、コスト増を回避しつつ所定の放電を行わせるために、DC/DCコンバータが内蔵しているスイッチング用のトランジスタを用いる方法が、例えば特許文献2で提案されている。特許文献2では、電源部品に停止信号が与えられるとコイルと接地間のスイッチング用のトランジスタを導通状態にして出力の電荷を放電させている。

30

40

【0007】

ところが、特許文献2に開示する技術では、安定化用のコンデンサの容量値が大きい場合、コンデンサに蓄えられる電荷も多くなるので、放電時に過大な電流が流れて放電経路中のコイルやスイッチング用のトランジスタを破損する恐れがある。

【0008】

かかる問題を解決するものとして特許文献3に開示する技術が提案されている。特許文献3では放電電流を観測し、電流値がある値を超えると接地側のスイッチング用のトランジスタを導通状態から不導通状態として過大な電流が流れるのを防止している。

50

## 【先行技術文献】

## 【特許文献】

## 【0009】

【特許文献1】特許第4383936号公報

【特許文献2】特開2008-113496号公報

【特許文献3】特開2008-160967号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0010】

ところで、特許文献3に開示するように、放電電流の電流値が所定の閾値を超えたときに接地側のトランジスタを不導通とさせると、1次電源とコイルとの間の非接地側のトランジスタ、あるいは前記トランジスタのドレインをアノード、バックゲートをかソードとする寄生ダイオードを介して、出力安定化用のコンデンサからコイルおよび前記非接地側のスイッチング用のトランジスタ、あるいは寄生ダイオードを介して電源部品の1次電源へと放電経路が形成される場合がある。この場合には、前記出力安定化用のコンデンサから接地という放電経路を形成するフェーズと、出力用のコンデンサから1次電源という放電経路を形成するフェーズを交互に行き来しながら電荷を放電していく。

10

## 【0011】

ここで負荷がプロセッサである場合、電源の変動による誤動作を防ぐ為に静的にも動的にも高い精度の電圧供給が求められ、急峻な駆動電流に起因する電源電圧の変動に対処する為に、容量値の大きい安定化用のコンデンサが出力側に設けられる。安定化用のコンデンサの出力容量値が大きくなると、放電する電荷も増えるので、出力用のコンデンサから1次電源という放電経路が生じる頻度も多くなる。電源部品の1次電源にも安定化のために容量が設けられているが、1次側への放電頻度が多くなるのに伴って与えられる電荷量も増えることにより、1次電圧が上昇する。放電によって上昇した1次側電圧が電源部品の定格電圧を超えると電源部品が破損する場合がある。この結果、1次電圧の過上昇を防止するために、電源部品の出力容量値が大きい場合には、1次側のコンデンサの容量値も大きくする必要があり、コストアップの原因となる。

20

## 【0012】

本発明は、上記従来技術に鑑み、出力に設けられたコンデンサが大容量であっても、コストアップを招来することなく放電モードにおいては安全かつ円滑に所定の放電を行うことができるスイッチング電源回路を提供することを目的とする。

30

## 【課題を解決するための手段】

## 【0013】

上記目的を達成する本発明の第1の態様は、

一端側が1次電源に接続されたスイッチング素子である第1のトランジスタと、一端側が接地されたスイッチング素子である第2のトランジスタとを有し、他端側同士を介して直列に接続した前記第1のトランジスタと前記第2のトランジスタとの間からコイルおよび出力端子を介して得る所定の出力電圧を負荷に印加するスイッチング電源回路であって、

40

出力残留電荷を放電する放電モード時に前記第2のトランジスタが所定の一定電流を流すことを特徴とするスイッチング電源回路にある。

## 【0014】

本態様によれば、第2のトランジスタが放電回路を形成するので、放電に際して別途回路や素子を設ける必要が無く、また、第2のトランジスタを介して放電する電流を一定値に制限しているので放電回路を形成するコイルやトランジスタなどの損傷を防ぐことができる。さらに、出力端子から接地への経路を有する放電回路のみを用いるので1次電源等への電荷移動が無く、1次電圧の変動を抑制するための手段を簡素化することができる。

## 【0015】

本発明の第2の態様は、

50

第1の態様に記載するスイッチング電源回路において、  
前記放電モードを表す放電制御信号に基づき動作して前記第2のトランジスタが所定の一定電流を流すように制御する放電制御回路を有することを特徴とするスイッチング電源回路にある。

【0016】

本様態によれば、放電制御回路を以って放電電流値を所定の一定値に制御することができる。

【0017】

本発明の第3の様態は、  
第2の様態に記載するスイッチング電源回路において、  
前記放電制御回路は、前記第2のトランジスタとカレントミラー回路を形成することにより前記第2のトランジスタが所定の一定電流を流すように構成したものであることを特徴とするスイッチング電源回路にある。

10

【0018】

本態様によれば、ミラー回路を利用しているので、第2のトランジスタが所定の一定電流を流すように容易且つ高精度に形成することができる。

【0019】

本発明の第4の様態は、  
第3の様態に記載するスイッチング電源回路において、  
前記カレントミラー回路には、可変電流源が接続されていることを特徴とするスイッチング電源回路にある。

20

【0020】

本態様によれば、第2のトランジスタを流す所定の一定電流を容易に調整することができる。この結果、一定電流を動的に設定して放電電流の制限値を動的に制御することもできる。

【0021】

本発明の第5の様態は、  
第3の様態に記載するスイッチング電源回路において、  
前記カレントミラー回路は複数のミラー比を選択できることを特徴とするスイッチング電源回路にある。

30

【0022】

本態様によれば、ミラー比を選択することにより、第2のトランジスタを介して流す放電電流の制限値を制御することができる。

【0023】

本発明の第6の様態は、  
第3の様態に記載するスイッチング電源回路において、  
前記カレントミラー回路は、直列に接続した複数のカレントミラー回路を含むことを特徴とするスイッチング電源回路にある。

【0024】

本態様によれば、相互のミラー比を適宜設定することで、第2のトランジスタを介して流す放電電流の制限値を調整することができる。

40

【0025】

本発明の第7の様態は、  
第2の様態に記載するスイッチング電源回路において、  
前記放電制御回路は、前記出力端子から前記コイルおよび前記第2のトランジスタを介して接地に至る回路の電流を検出し、該電流に基づき所定の一定電圧を生成するとともに、前記一定電圧を前記第2のトランジスタのゲートまたはベースに印加して前記第2のトランジスタが所定の一定電流を流すように構成したものであることを特徴とするスイッチング電源回路にある。

【0026】

50

本態様によれば、第2のトランジスタを介して接地に至る放電回路の電流を検出することで、放電時に第2のトランジスタを介して接地に流す放電電流を一定に制御することができる。

【0027】

本発明の第8の態様は、

第7の態様に記載するスイッチング電源回路において、

前記一定電圧は、前記出力端子から接地に至る回路を構成する素子の端子間の電圧の差に基づき生成することを特徴とするスイッチング電源回路にある。

【0028】

本様態によれば、放電回路を構成している素子の端子間電圧を観測することで放電電流を観測し、放電電流を制御することができる。

10

【0029】

本発明の第9の様態は、

第8の態様に記載するスイッチング電源回路において、

前記一定電圧は、前記第2のトランジスタのドレイン電圧とソース電圧の差またはコレクタ電圧とエミッタ電圧との差に基づき生成することを特徴とするスイッチング電源回路にある。

【0030】

本態様によれば、第2のトランジスタの端子間電圧を観測しているので、特に放電電流値を観測するための素子を要せずに放電電流を観測し、放電電流を制御することができる。

20

【発明の効果】

【0031】

本発明によれば、スイッチング用のトランジスタのうち、コイルと接地との間に接続されている第2のトランジスタに、この第2のトランジスタを介して出力用のコンデンサから接地へ流れる放電電流を一定値に制限する機能を放電制御回路で実現することができる。すなわち、第2のトランジスタが出力用のコンデンサの放電回路を兼ねている。

【0032】

この結果、別途放電を行わせるための回路や素子を付加する必要がなく、コストの低減に寄与し得るばかりでなく、出力用のコンデンサの電荷を接地に放電する際には、放電電流を一定値に制限しているため、放電電流が過大な値に至ることがなく、このときの放電回路を構成するコイルやスイッチング用のトランジスタなどの損傷を良好に防止し得る。

30

【0033】

さらに、出力用のコンデンサから1次電源へという放電経路が形成されることがない。この結果、放電に伴う1次電源の電圧上昇を生起することもない。

【図面の簡単な説明】

【0034】

【図1】本発明の第1の実施の形態に係るスイッチング電源回路を示す回路図である。

【図2】図1に示す回路図の各部の波形を示す波形図である。

【図3】本発明の第1の実施の形態の変形例に係るスイッチング電源回路を示す回路図である。

40

【図4】本発明の第1の実施の形態の変形例に係るスイッチング電源回路を示す回路図である。

【図5】本発明の第2の実施の形態に係るスイッチング電源回路を示す回路図である。

【図6】図5に示す回路図の各部の波形を示す波形図である。

【発明を実施するための形態】

【0035】

以下、本発明の実施の形態を図面に基づき詳細に説明する。

< 第1の実施の形態 >

図1は、本発明の第1の実施の形態に係るスイッチング電源回路を示す回路図である。

50

同図に示すように、本形態に係るスイッチング電源回路は、同期整流方式のDC/DCコンバータを構成している。さらに詳言すると、スイッチング素子である第1のトランジスタ8はP型のMOSトランジスタであり、一端側のソースが1次電源1に接続されている。1次電源1には電圧安定化用のコンデンサ2が並列に接続してある。他のスイッチング素子である第2のトランジスタ9はN型のMOSトランジスタであり、一端側であるソースが接地されている。トランジスタ8, 9はそれぞれ他端側のドレイン同士を介して直列に接続してある。トランジスタ8, 9のスイッチング動作に伴い生成される所定の電圧は、トランジスタ8, 9の間からコイル3および出力端子Voutを介して外部の負荷5に印加される。出力端子Voutには、電圧安定化用のコンデンサ4が負荷5と並列に接続してある。

10

**【0036】**

出力端子Voutの電圧情報は、スイッチング制御回路7にフィードバックされる。スイッチング制御回路7にフィードバックされた出力端子Voutの出力電圧Voは、分割抵抗71, 72で、出力電圧Voと分割抵抗71, 72の抵抗値で決定される分割比とで規定されるフィードバック電圧信号として増幅器73に供給される。増幅器73には分割抵抗71, 72で規定されるフィードバック電圧信号とともに、基準電圧源74から基準電圧Vrefが印加される。かくして増幅器73は供給された2つの電圧信号の電圧値の差分を増幅した増幅信号を比較器75の反転入力端子に印加する。比較器75の非反転入力端子には三角波発生器76が発生する三角波信号が印加される。かくして、比較器75では増幅器73の出力である前記増幅信号の電圧値と三角波発生器76の出力である前記三角波信号の電圧値とを比較し、三角波信号の電圧値が高い場合はHi信号を、増幅信号の電圧値が高い場合はLo信号を出力する。比較器75の出力信号はスイッチロジック77を介してプリドライバ回路10へ供給される。

20

**【0037】**

プリドライバ回路10は、トランジスタ8を駆動する為のプリドライバ101と、トランジスタ9を駆動するためのプリドライバ102で構成される。プリドライバ101の出力はトランジスタ8のゲートに接続され、プリドライバ102の出力はトランジスタ9のゲートに接続されており、それぞれスイッチング制御回路7から供給される信号に従ってトランジスタ8, 9を駆動する。

**【0038】**

プリドライバ102とトランジスタ9の間にはスイッチ12が設けられている。このスイッチ12は、放電制御信号DISCHGにより開閉される。放電制御信号DISCHGはスイッチロジック77と、スイッチ12と、スイッチ13とに供給される。放電制御信号DISCHGがLoレベルである場合、スイッチロジック77は比較器75の出力信号と同論理の信号をプリドライバ回路10へ供給するとともに、スイッチ12を閉状態、スイッチ13を開状態とする。すなわち、放電制御信号DISCHGがLoレベルである場合、DC/DCコンバータ6は、出力端子Voutを所定の電圧値に保つ降圧DC/DCコンバータとして動作する。

30

**【0039】**

一方、放電制御信号DISCHGがHiレベルである場合、スイッチロジック77は比較器75の出力信号に関わらず、トランジスタ8が不導通動作となる論理の信号をプリドライバ101へ与えると同時に、スイッチ12が開状態となり、スイッチ13が閉状態となる。このとき、出力端子Voutの電圧値に関わらずトランジスタ8は不導通状態であり、トランジスタ9のゲートは放電制御回路11により駆動される。

40

**【0040】**

ここで、放電制御回路11は電流源111とN型のMOSトランジスタであるトランジスタ112とから成り、電流源111からはダイオード接続されたトランジスタ112のドレイン-ゲート共通端子へ定電流Idisが与えられている。

**【0041】**

トランジスタ112は、トランジスタ9とミラー回路を構成した際にドレイン電流が1

50

: N ( N はミラー比 ) となるようにチャネル幅とチャネル長が決定されている。かくして、放電制御信号 D I S C H G が H i である場合、トランジスタ 8 はオフ状態であり、トランジスタ 9 とトランジスタ 1 1 2 がミラー回路を構成する。したがって、トランジスタ 9 のドレイン電流は  $N \times I_{dis}$  である。

【 0 0 4 2 】

次に、上述の如き構成の本形態に係るスイッチング電源回路の動作に伴う各部の波形を図面に基づき説明する。図 2 は図 1 に示すスイッチング電源回路の動作を表す各部の波形を示す波形図で、同図 ( a ) はトランジスタ 8 のゲート電圧、( b ) はトランジスタ 9 のゲート電圧、( c ) は増幅器 7 3 の出力信号と三角波発生器 7 6 の出力信号、( d ) は比較器 7 5 の出力信号、( e ) はコイル 3 の電流 ( 出力端子 V o u t へ向かう方向を正とする )、( f ) は出力電圧 V o 、( g ) は放電制御信号、( h ) はトランジスタ 9 のドレイン電流 ( ドレインからコイル 3 へ向かう方向を正とする ) を示す。

10

【 0 0 4 3 】

図 2 では、出力側のコンデンサ 4 の放電動作開始直前であって負荷電流が 0 の平衡状態からの波形を示している。ここで、図 2 ( g ) に示す放電制御信号 D I S C H G が L o レベルの期間は通常動作期間であり、H i レベルの期間は出力放電動作期間である。

【 0 0 4 4 】

< 通常動作期間 >

通常動作期間中は、出力端子 V o u t の電圧は分割抵抗 7 1 , 7 2 の抵抗値と、基準電圧源 7 4 が与える基準電圧 V r e f により決定されている。ここで、分割抵抗 7 1 の抵抗値を R 7 1 、分割抵抗 7 2 の抵抗値を R 7 2 とすると、出力端子 V o u t の出力電圧  $V_o = V_{ref} \times (R_{71} + R_{72}) / R_{72}$  である。すなわち、出力端子 V o u t の出力電圧 V o は分割抵抗 7 1 , 7 2 で分圧されて増幅器 7 3 に供給されている。増幅器 7 3 には基準電圧源 7 4 から基準電圧 V r e f も与えられている。この結果、増幅器 7 3 では両方の電圧の差分を増幅して比較器 7 5 へ出力している。

20

【 0 0 4 5 】

比較器 7 5 は増幅器 7 3 の出力信号と、三角波発生器 7 6 が生成する三角波とを比較し、すなわち入力される両者の電圧値を比較して、三角波の電圧値が高い場合に H i レベルの信号を出力し、増幅器 7 3 の出力信号の電圧値が高い場合に L o レベルの信号を出力する ( 図 2 ( c ) 参照 ) 。

30

【 0 0 4 6 】

ここで、比較器 7 5 の出力信号 ( 図 2 ( d ) 参照 ) は D C / D C コンバータ 6 のスイッチングデューティにほぼ等しく、入力電圧を V i n 、比較器 7 5 の出力信号の H i 期間を T \_ H i 、比較器 7 5 の出力信号の L o 期間を T \_ L o 、としたときに、

[ 数 1 ]

$$\frac{V_o}{V_{in}} = \frac{T_{Lo}}{T_{Hi} + T_{Lo}}$$

なる関係が成立する。

【 0 0 4 7 】

比較器 7 5 の出力信号はスイッチロジック 7 7 を介してプリドライバ 1 0 1 , 1 0 2 へデューティ信号として与えられる。プリドライバ 1 0 1 , 1 0 2 は与えられたデューティ信号に則り図 2 ( a ) および図 2 ( b ) に示すパルス信号を生成するとともに、スイッチング用のトランジスタ 8 , 9 に供給して所定のスイッチング動作を行わせる。すなわち、比較器 7 5 の出力信号が L o レベルであるとき、プリドライバ 1 0 1 は P M O S トランジスタであるトランジスタ 8 のゲートを L o レベルに駆動してトランジスタ 8 を導通状態とさせる。プリドライバ 1 0 2 は N M O S トランジスタであるトランジスタ 9 のゲートを L o レベルに駆動してトランジスタ 9 を不導通状態とさせる。トランジスタ 8 が導通状態でトランジスタ 9 が不導通状態であると、トランジスタ 8 , 9 のドレインに共通接続されているコイル 3 の端子に対しては電圧 V i n が印加される。ここで、コイル 3 の一方の端子

40

50

は出力端子  $V_{out}$  に接続されており、 $V_{in} > V_o$  であるので、コイル 3 を通して出力端子  $V_{out}$  へ流れる電流は増加する（チャージフェーズ（図 2（e）参照））。

【0048】

比較器 75 の出力信号が  $H_i$  レベルであるとき、プリドライバ 101 はトランジスタ 8 のゲートを  $H_i$  レベルに駆動してトランジスタ 8 を不導通状態とさせ、プリドライバ 102 はトランジスタ 9 のゲートを  $H_i$  レベルに駆動してトランジスタ 9 を導通状態とさせる。トランジスタ 8 が不導通状態でトランジスタ 9 が導通状態であると、トランジスタ 8、9 のドレインに共通接続されているコイル 3 の端子に対しては接地電位が与えられ、コイル 3 を通して出力端子  $V_{out}$  へ流れる電流は減少する（トランスファーフーズ（図 2（e）参照））。

10

【0049】

平衡状態かつ無負荷状態であるとき、チャージフェーズにおけるコイル電流の増加量とトランスファーフーズにおけるコイル電流の減少量は等しく、コイル電流の平均値は 0 であるので、出力端子  $V_{out}$  に対しては電荷の授受はない。

【0050】

増幅器 73 と比較器 75 の入力端子の極性は、DC/DC コンバータ 6 が出力端子  $V_{out}$  の出力電圧  $V_o$  を用いた負帰還回路を構成するように設定されている。例えば外部擾乱で出力端子  $V_{out}$  の出力電圧  $V_o$  が平衡状態より上がった場合、増幅器 73 の出力レベルは平衡状態より下がり、比較器 75 が出力する  $L_o$  信号の期間  $T_{L_o}$  は平衡状態より短くなる。よって、平衡状態に比べてチャージフェーズが短く、トランスファーフーズが長くなり、1 次側から出力側へ供給される電力量が平衡状態より減少する。この結果、出力電圧  $V_o$  を低下させる作用が働く、出力電圧  $V_o$  の電圧値が平衡状態時の値に近づくとつれて増幅器 73 の出力レベルや比較器 75 の  $H_i$  レベル出力期間も平衡状態時の値に近づき最終的には平衡時の値となる。

20

【0051】

< 出力放電動作期間 >

当該出力放電動作期間中、放電制御信号  $DISCHG$  は、図 2（g）に示すように、 $H_i$  レベルである。かかる  $H_i$  レベルの信号はスイッチロジック 77 と、スイッチ 12、13 に与えられる。スイッチロジック 77 は、放電制御信号  $DISCHG$  が  $L_o$  レベルのときは比較器 75 の出力信号をプリドライバ 101、102 に与え、放電制御信号  $DISCHG$  が  $H_i$  レベルのときは比較器 75 の出力信号に関わらずプリドライバ 101 の出力が  $H_i$  レベルとなる信号を与える。プリドライバ 101 の出力が  $H_i$  レベルのとき、PMOS トランジスタであるトランジスタ 8 のゲートも  $H_i$  レベルに駆動されているので、トランジスタ 8 は不導通状態となる。

30

【0052】

スイッチ 12 は、放電制御信号  $DISCHG$  が  $L_o$  レベルのときは閉状態であり、 $H_i$  レベルのときは開状態である。一方、スイッチ 13 は、放電制御信号  $DISCHG$  が  $L_o$  レベルのときは開状態であり、 $H_i$  レベルのときは閉状態である。よって、放電期間中は、トランジスタ 9 のゲートにはトランジスタ 112 のゲートが接続される。

【0053】

トランジスタ 112 とトランジスタ 9 はゲート電位が等しく、ともにソースも接地電位であるので、トランジスタ 112 のゲート - ソース間電圧はトランジスタ 9 のゲート - ソース間電圧に等しく、トランジスタ 112 とトランジスタ 9 とはミラー回路を構成する。このとき、トランジスタ 8 は不導通状態であって、トランジスタ 9 は導通状態であるので、コイル 3、トランジスタ 9 を介して出力端子  $V_{out}$  から接地への放電回路が形成される。放電回路が形成されると、この放電回路を通して放電電流が流れて出力端子  $V_{out}$  の電荷を接地へ放電する。このときコイル 3 に流れる電流とトランジスタ 9 のドレイン電流は等しい。

40

【0054】

放電回路にはコイルが含まれているので放電電流は回路形成からの時間に比例して漸増

50

する。このときの  $t$  秒後の放電電流値はコイル 3 のインダクタンスを  $L$  とすると、 $(V_o \times t) \div L$  で示される。

【0055】

漸増する放電電流はあるレベルで制限される（図 2（e）参照）。このときの制限値は電流源 111 から供給される定電流  $I_{dis}$  とトランジスタ 9 とトランジスタ 112 のミラー比で決定される。本形態では、トランジスタ 112 とトランジスタ 9 のドレイン電流比が  $1 : N$  となるようにトランジスタ 9 のチャネル幅とチャネル長を設定しているため、放電電流制限値は  $I_{dis} \times N$  である。

【0056】

放電期間中は、出力端子  $V_{out}$  の電荷を接地へ放電する回路が形成される一方で、出力端子  $V_{out}$  に対して電荷を供給する回路は形成されないため、図 2（f）に示すように、出力端子  $V_{out}$  における出力電圧  $V_o$  は漸減する。出力電圧  $V_o$  の減少に伴い、比較器 75 が出力するデューティ信号は、 $L_o$  の時間  $T_{L_o}$  が長く、 $H_i$  の時間  $T_{H_i}$  が短くなっていくが、スイッチロジック 77 は、放電期間中には前記デューティ信号をプリドライバ回路 10 に与えないため、デューティ信号の変調に関わらず、トランジスタ 8 は不導通状態である。一方、トランジスタ 9 は放電回路を形成する。

【0057】

以上のように、図 1 に示した本形態ではスイッチング用のトランジスタ 9 が放電回路を形成するので放電に際して別途回路や素子を設ける必要が無く、また、図 2（e）に示すように、出力放電動作期間中はトランジスタ 9 を介して放電する電流を  $I_{dis} \times N$  に制限しているため放電回路を形成するコイルやトランジスタなどの損傷を防ぐことができる。さらに、出力端子  $V_{out}$  から接地への経路を有する放電回路のみを用いるため 1 次電源 1 等への電荷移動が無く、1 次電圧の変動を抑制するための手段を講じる必要もない。

【0058】

なお、図 1 において、スイッチング制御回路 7 は PWM 変調方式の回路例を示しているが、これは PFM 変調方式や、その他のスイッチングデューティ信号を生成する手段で代替することができる。

【0059】

また、トランジスタ 8 は PMOS トランジスタを示しているが、これは NMOS トランジスタで代替することもできる。また、MOS トランジスタをバイポーラトランジスタで代替しても構わない。

【0060】

本形態では、放電制御信号  $DISCHG$  を DC / DC コンバータ 6 の外部から与えているが、これは内部で生成される信号で兼ねることもできる。例えば入力低電圧保護機能を有している場合、保護動作が必要なレベルまで入力電圧が低下した際に DC / DC コンバータ 6 が出力動作を停止すると同時に出力電荷を放電する動作を開始させることもできる。また、DC / DC コンバータ 6 が外部から供給される信号に従って動作を開始 / 停止しているような場合は、この信号で放電制御信号  $DISCHG$  を兼用することもできる。

【0061】

プリドライバ 101 は放電動作時に  $H_i$  レベルの信号を出力するものとして説明しているが、放電動作時に出力フロートとするスリーステートバッファにすると共に、トランジスタ 8 のソース-ドレイン間にスイッチを設けて放電動作時にトランジスタ 8 を不導通状態とさせる構造としても良い。

【0062】

プリドライバ 102 は放電動作時でも  $L_o$  /  $H_i$  レベルの信号を出力してスイッチ 12 を開状態にすることでトランジスタ 9 のゲートとプリドライバ 102 の出力を絶縁しているが、放電動作時にプリドライバ 102 の出力フロートとするスリーステートバッファとすればプリドライバ 102 の出力とトランジスタ 9 のゲートを絶縁する必要が無くスイッチ 12 を省略することもできる。

【0063】

10

20

30

40

50

さらに、上記実施の形態において、電流源 111 は定電流源としているが、これは可変電流源としても良い。

【0064】

可変電流源とすることで定電流  $I_{dis}$  を動的に設定して放電電流の制限値を動的に制御することができる。同様に、放電制御回路とトランジスタ 9 とのミラー比を変えて放電電流の制限値を制御することや、トランジスタ 112 とトランジスタ 9 とで構成するミラー回路とは異なるミラー回路を直列に接続して放電制御回路 11 を構成することができる。

【0065】

図 3 には、トランジスタ 9 とのミラー比を変えて放電電流の制限値を制御する放電制御回路の一例を示す。図 3 の放電制御回路 11 A は、トランジスタ 112 と、トランジスタ 112 と並列に接続されるトランジスタ 113 を具備する。トランジスタ 113 はトランジスタ 112 と同様にゲートとドレインが共通接続となっている。トランジスタ 113 のゲート-ドレイン接続部とトランジスタ 112 のゲート-ドレイン接続部との間にはスイッチ 114 が配されており、トランジスタ 113 のゲート-ドレイン接続部と接地の間にはスイッチ 115 が配されている。スイッチ 114 とスイッチ 115 は相補的に開状態/閉状態となる。

10

【0066】

トランジスタ 112 はトランジスタ 9 とミラー回路を構成した際にドレイン電流が  $1 : N$  ( $N$  はミラー比) となるようなチャンネル幅とチャンネル長に設定されており、トランジスタ 113 はトランジスタ 112 と同じチャンネル幅とチャンネル長に設定されている。

20

【0067】

スイッチ 114 が開状態でスイッチ 115 が閉状態である場合、電流源 111 が与える定電流  $I_{dis}$  はトランジスタ 112 に流れ、トランジスタ 9 とトランジスタ 112 とはミラー比が  $1 : N$  となるミラー回路を構成しているので、トランジスタ 9 に流れる電流の制限値は  $I_{dis} \times N$  である。

【0068】

スイッチ 114 が閉状態でスイッチ 115 が開状態である場合、電流源 111 が与える定電流  $I_{dis}$  はトランジスタ 112 と 113 に流れる。

30

【0069】

この場合は同じチャンネル幅とチャンネル長のトランジスタ 112 と 113 が並列に接続されているので、放電制御回路 11 A とトランジスタのミラー比は  $2 : N$  となる。ミラー比は  $1 : (1/2) \times N$  と表すことができ、トランジスタ 9 に流れる電流の制限値は  $(1/2) \times I_{dis} \times N$  である。

【0070】

以上のように、放電制御回路 11 A とトランジスタ 9 とのミラー比を変えて、トランジスタ 9 の制限値を制御することができる。トランジスタ 112 と並列に接続するトランジスタを複数設けることにより、トランジスタ 9 の制限値を数段階に設定することもできる。

【0071】

また、図 4 は、トランジスタ 112 とトランジスタ 9 とで構成するミラー回路とは異なるミラー回路を直列に接続した放電制御回路の一例を示す。図 4 の放電制御回路 11 B は、トランジスタ 9 とトランジスタ 112 とで構成するミラー回路と、このミラー回路に直列にトランジスタ 116 及びトランジスタ 117 とから構成されるミラー回路を接続した構成を有する。これによれば、ミラー比を比較的容易に大きくすることができ、例えば、トランジスタ 9 とトランジスタ 112 とから成るミラー回路のミラー比が  $1 : N$  であり、トランジスタ 116 とトランジスタ 117 とから成るミラー回路のミラー比が  $1 : M$  である場合、トランジスタ 9 の制限値は、 $I_{dis} \times N \times M$  となる。ミラー回路を直列に付加することにより、トランジスタ 9 の制限値を設定するために要する  $I_{dis}$  の値を付加した回路のミラー比分だけ小さく設定することができるので、回路の低消費電流化を図るこ

40

50

ともできる。

【0072】

また、出力安定化用のコンデンサ4の容量値が大きい場合には、放電時に生じる熱にも配慮する必要がある。放電期間中、放電回路には、 $P = V_o \times I_{dis}$ で表される電力損失が単位時間に発生しており、かかる熱量に起因する温度上昇によりDC/DCコンバータ6の焼損や、周辺部品であるコンデンサ2, 4およびコイル3の特性劣化を防ぐ為に、通常DC/DCコンバータが有している過熱保護機能を放電動作時にも有効とし、DC/DCコンバータの温度が保護レベルまで到了際には放電電流値を下げて単位時間で生じる熱量を下げる、などの対処が必要になる。

【0073】

<第2の実施の形態>

図5は本発明の第2の実施の形態に係るスイッチング電源回路である。同図に示すように、本形態は図1に示す第1の実施の形態に対し、放電制御回路21の構成が異なるだけである。そこで、図1と同一部分には同一番号を付し、重複する説明は省略する。

【0074】

本形態における放電制御回路21は、トランスコンダクタンスアンプ211、抵抗212、基準電圧源213および増幅器214で構成されている。トランスコンダクタンスアンプ211はトランジスタ9のドレインとソースの電位差を増幅し、これを電流に変換して出力する。トランスコンダクタンスアンプ211から出力された電流は抵抗212で電圧に変換されて増幅器214に印加される。増幅器214に対しては、前記の変換電圧信号と、基準電圧源213の出力である所定の基準電圧 $V_{ref2}$ が印加される。増幅器214の出力はスイッチ13を介してトランジスタ9のゲートに接続されている。ここで、放電動作時には、スイッチ12が開状態でスイッチ13は閉状態となるので、トランジスタ9のゲートは増幅器214の出力電圧により制御される。増幅器214がトランジスタ9を駆動しているモードでは、放電制御回路21とトランジスタ9とは帰還回路を構成している。また、トランスコンダクタンスアンプ211と増幅器214の入力端子の極性は帰還回路が負帰還回路となるように設定されている。トランスコンダクタンスアンプ211の出力電流と抵抗212により生じる電圧を $V_{dis}$ 、抵抗212の抵抗値を $R_{212}$ 、トランスコンダクタンスアンプ211のトランスコンダクタンスを $G_m$ 、トランジスタ9のオン抵抗を $R_{on}$ とすると、放電電流の制限値 $I_{dis2}$ は、 $I_{dis2} \times R_{on} \times G_m \times R_{212} = V_{dis}$ から、 $I_{dis2} = V_{dis} / (R_{on} \times G_m \times R_{212})$ と表される。ここで、放電制御回路21とトランジスタ9が負帰還回路として安定していて、放電電流の制限値 $I_{dis2}$ に制限されている場合、基準電圧源213が与える基準電圧 $V_{ref2}$ と電圧 $V_{dis}$ は等しいので、 $I_{dis2} = V_{ref2} / (R_{on} \times G_m \times R_{212})$ となる。

【0075】

次に、上述のごとき構成の本形態に係るスイッチング電源回路の動作を図面に基づき説明する。図6は図5に示すスイッチング電源回路の動作に伴う各部の波形を示す波形図である。図2に示す各部の波形に対しては、放電制御回路の構成が異なることに起因して出力放電動作期間におけるトランジスタ9のゲート電圧の波形が異なるが、その他の各部の波形は同様である。図6中、(a)はトランジスタ8のゲート電圧、(b)はトランジスタ9のゲート電圧、(c)はコイル3の電流(出力端子 $V_{out}$ へ向かう方向を正とする)、(d)は出力電圧 $V_o$ 、(e)は放電制御信号、(f)は放電制御回路21中のトランスコンダクタンスアンプ211の出力する電流と抵抗212とで生成される電圧、(g)はトランジスタ9のドレイン電流(ドレインからコイル3へ向かう方向を正とする)をそれぞれ示す。

【0076】

同図に示すように、通常動作時期間の波形は図2に示した動作波形と同様である。

【0077】

一方、出力放電動作期間中には、放電制御回路21とトランジスタ9とで構成される負

10

20

30

40

50

帰還回路が、トランジスタ9のドレイン・ソース電流  $I_{DS}$  が制限値  $I_{dis2}$  より小さい場合はトランジスタ9のゲート電圧を上げ、トランジスタ9のオン抵抗を低減してドレイン・ソース電流  $I_{DS}$  を増大させる。ドレイン・ソース電流  $I_{DS}$  が制限値  $I_{dis2}$  より大きい場合はトランジスタ9のゲート電圧を下げ、オン抵抗を増やしてドレイン・ソース電流  $I_{DS}$  を低減させる。

【0078】

さらに詳言すると、放電動作開始直後には、0 Aより時間に比例してコイル3を流れる放電電流が増加するため、トランジスタ9のドレイン・ソース電流  $I_{DS}$  は制限値  $I_{dis2}$  より小さくなり、放電制御回路21がトランジスタ9のゲート電圧を  $H_i$  レベルに上げる。この結果、ゲート電圧が上昇し、トランジスタ9が導通状態となって放電回路が形成されるので、出力端子  $V_{out}$  から放電が開始される。

10

【0079】

放電電流が増加して制限値  $I_{dis2}$  に漸近すると、トランジスタ9のゲート電圧もある値に漸減する。放電電流が制限値  $I_{dis2}$  であるとき、トランジスタ9のゲート電圧を  $V_{GS}$  とすると、以下に示す関係が成立する。

【0080】

[数2]

$$I_{dis2} = \frac{V_{ref2}}{R_{on} \times G_m \times R_{212}} = I_{DS} = \frac{1}{2} \cdot \frac{W}{L} \cdot \mu_n \cdot C_{ox} \cdot (V_{GS} - V_{th})^2$$

20

但し、 $L$  はトランジスタ9のチャネル長、 $W$  はチャネル幅、 $\mu_n$  はトランジスタ9のキャリア移動度、 $C_{ox}$  はトランジスタ9の単位面積あたりのゲート容量、 $V_{th}$  はトランジスタ9の閾値である。

【0081】

これより、ゲート電圧  $V_{GS}$  は以下のように求められる。

【0082】

[数3]

$$V_{GS} = \sqrt{\frac{V_{ref2}}{R_{on} \times G_m \times R_{212}} \cdot \left(\frac{W}{L}\right)^{-1} \cdot \frac{2}{\mu_n \cdot C_{ox}}} + V_{th}$$

30

【0083】

このように、図5に示した実施の形態では、放電電流を観測し、放電経路中のトランジスタ9のゲートを駆動することで放電電流を制限している。

【0084】

なお、図5に示す実施の形態では、トランジスタ9のドレインとソースの電位差から放電電流値を観測しているが、電流値の観測は出力端子  $V_{out}$  から接地の間の放電経路中の何処で行ってもよい。また、電流観測手段も他の手段で代替可能である。例えば、電流センス抵抗が放電経路中に設けられていれば、センス抵抗間電圧を、増幅回路を介してトランジスタ9のゲートへ増幅出力することで図5に示した場合と同様の機能を実現できる。

40

【産業上の利用可能性】

【0085】

本発明は、プロセッサ等を負荷とする電源装置を製造・販売する産業分野において有効に利用することができる。

【符号の説明】

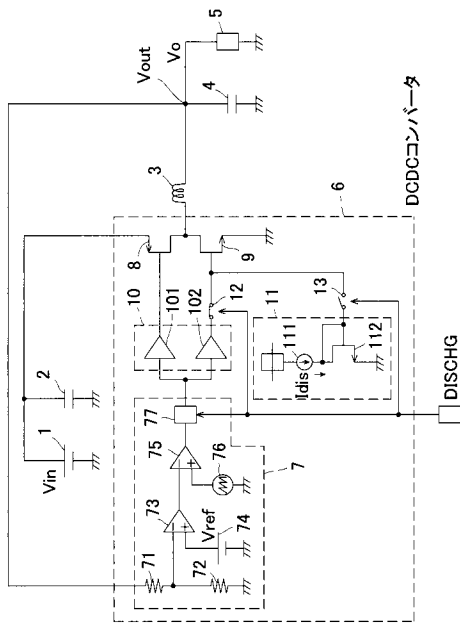
【0086】

- 1                                    1次電源  
2, 4                                コンデンサ

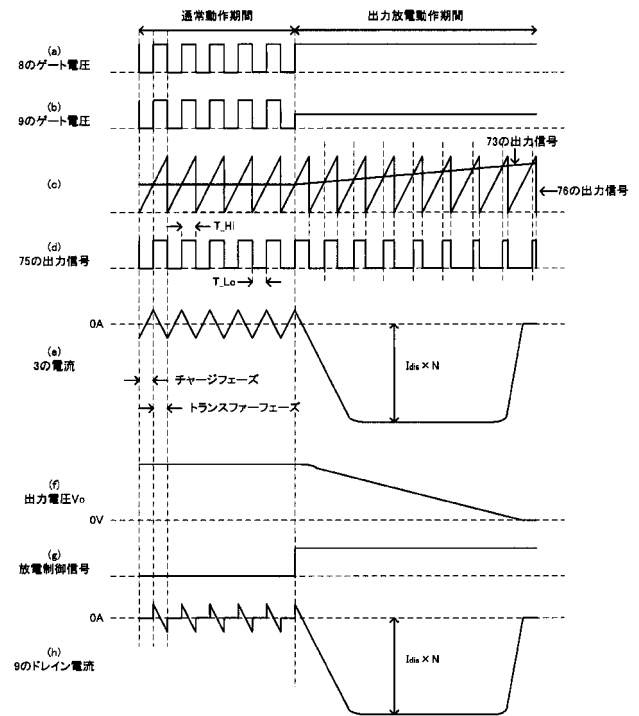
50

- 3                    コイル
- 5                    負荷
- 8 , 9 , 112 , 113 , 116 , 117           トランジスタ
- 11 , 21            放電制御回路
- 12 , 13            スイッチ
- Vout              出力端子
- Vo                 出力電圧
- DISCHG          放電制御信号

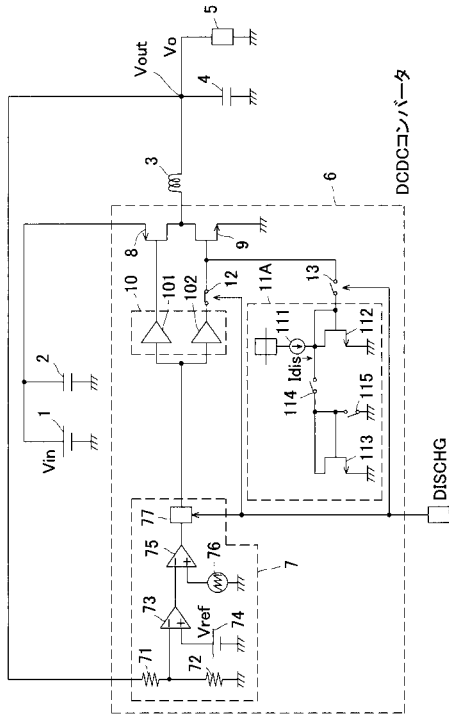
【 図 1 】



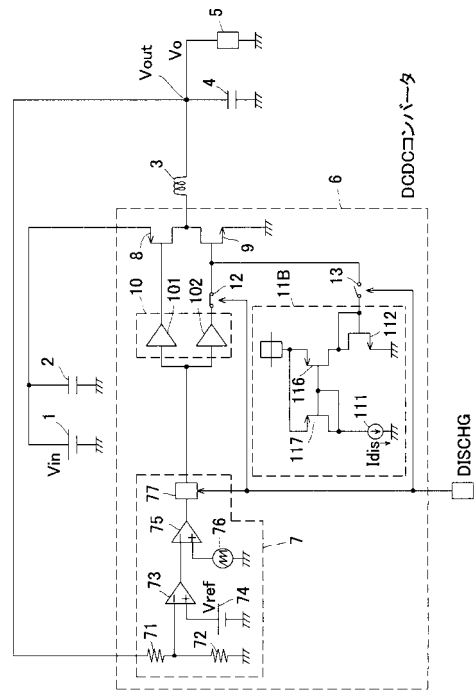
【 図 2 】



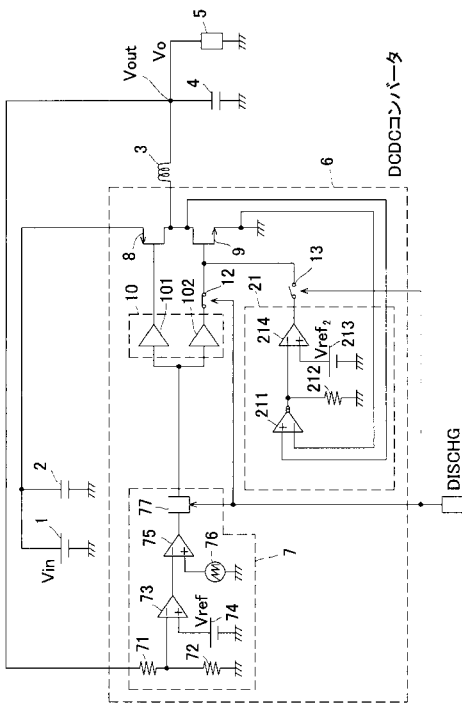
【図3】



【図4】



【図5】



【図6】

