

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 7 部門第 2 区分
 【発行日】 平成 19 年 12 月 27 日 (2007.12.27)

【公開番号】 特開 2001-210833 (P2001-210833A)
 【公開日】 平成 13 年 8 月 3 日 (2001.8.3)
 【出願番号】 特願 2000-350612 (P2000-350612)
 【国際特許分類】

H 0 1 L 29/786 (2006.01)
G 0 9 F 9/30 (2006.01)
H 0 1 L 27/32 (2006.01)
H 0 1 L 21/20 (2006.01)
H 0 1 L 27/08 (2006.01)
G 0 2 F 1/1368 (2006.01)
H 0 1 L 21/3205 (2006.01)
H 0 1 L 23/52 (2006.01)
H 0 1 L 21/8238 (2006.01)
H 0 1 L 27/092 (2006.01)
H 0 1 L 29/423 (2006.01)
H 0 1 L 29/49 (2006.01)
H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 1 7 L
 G 0 9 F 9/30 3 3 8
 G 0 9 F 9/30 3 6 5 Z
 H 0 1 L 21/20
 H 0 1 L 27/08 3 3 1 E
 G 0 2 F 1/1368
 H 0 1 L 21/88 R
 H 0 1 L 27/08 3 2 1 D
 H 0 1 L 29/58 G
 H 0 1 L 29/78 6 1 6 A
 H 0 1 L 29/78 6 1 7 J
 H 0 1 L 29/78 6 2 7 G

【手続補正書】
 【提出日】 平成 19 年 10 月 25 日 (2007.10.25)
 【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 特許請求の範囲
 【補正方法】 変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

絶縁表面を有する基板上に活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート配線と、前記ゲート配線の側面および上面を覆う金属膜と、と有し、

前記活性層は、チャネル形成領域と、前記チャネル形成領域を挟んで第 1 不純物領域と、前記チャネル形成領域および前記第 1 不純物領域を挟んで第 2 不純物領域と、前記チャネル形成領域、前記第 1 不純物領域および前記第 2 不純物領域を挟んで第 3 不純物領域とを有し、

前記ゲート配線は、前記チャンネル形成領域と重なって形成されており、

前記第1不純物領域の幅は、前記ゲート配線の側面に形成された金属膜の厚さによって決定されていることを特徴とする半導体装置。

【請求項2】

nチャンネル型TFTおよびpチャンネル型TFTで形成されるCMOS回路を含む半導体装置であって、

前記nチャンネル型TFTおよび前記pチャンネル型TFTは、それぞれ活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート配線と、前記ゲート配線の側面および上面を覆う金属膜と、を有し、

前記nチャンネル型TFTの活性層は、チャンネル形成領域と、前記チャンネル形成領域を挟んで第1不純物領域と、前記チャンネル形成領域および前記第1不純物領域を挟んで第2不純物領域と、前記チャンネル形成領域、前記第1不純物領域および前記第2不純物領域を挟んで第3不純物領域とを有し、

前記ゲート配線は、前記チャンネル形成領域と重なって形成されており、

前記第1不純物領域の幅は、前記ゲート配線の側面に形成された金属膜の膜厚によって決定されていることを特徴とする半導体装置。

【請求項3】

nチャンネル型TFTと、pチャンネル型TFTとで形成されるCMOS回路を含む半導体装置であって、

前記nチャンネル型TFTおよび前記pチャンネル型TFTは、それぞれ活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート配線と、前記ゲート配線の側面および上面を覆う金属膜と、を有し、

前記nチャンネル型TFTの活性層は、チャンネル形成領域と、前記チャンネル形成領域を挟んで第1不純物領域と、前記チャンネル形成領域および前記第1不純物領域を挟んで第2不純物領域と、前記チャンネル形成領域、前記第1不純物領域および前記第2不純物領域を挟んで第3不純物領域とを有し、

前記チャンネル形成領域の長さ、前記ゲート配線の幅、前記第1不純物領域の幅と前記金属膜の膜厚は前記ゲート絶縁膜を介して一致していることを特徴とする半導体装置。

【請求項4】

絶縁表面を有する基板上に形成された半導体層を結晶化した後、活性層を形成し、

前記活性層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート配線を形成し、

前記ゲート配線をマスクにして前記活性層に不純物を添加することにより第1不純物領域を形成し、

電解めっき法により前記ゲート配線の側面および上部に金属膜を形成し、

前記金属膜をマスクにして前記活性層に不純物を添加することにより第2の不純物領域を形成し、

前記金属膜を覆うレジストマスクを形成し、前記レジストマスクをマスクにして前記活性層に不純物を添加することにより第3の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項4において、半導体層を結晶化する方法は、熱結晶化、レーザー結晶化、触媒を用いる結晶化から選ばれたいずれか一つまたは複数の方法で行うことを特徴とする半導体装置作製方法。

【請求項6】

絶縁表面を有する基板上に形成された半導体層に触媒元素を添加し、前記半導体層を熱処理して結晶化した後、活性層を形成し、

前記活性層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート配線を形成し、

前記ゲート配線をマスクにして前記活性層に不純物を添加することにより第1不純物領

域を形成し、

電解めっき法により前記ゲート配線の側面および上部に金属膜を形成し、

前記金属膜をマスクにして前記活性層に不純物を添加することにより第2の不純物領域を形成し、

前記金属膜を覆うレジストマスクを形成し、前記レジストマスクをマスクにして前記活性層に不純物を添加することにより第3の不純物領域を形成することを特徴とする半導体装置作製方法。