



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월09일
(11) 등록번호 10-2189256
(24) 등록일자 2020년12월03일

(51) 국제특허분류(Int. Cl.)
H04L 25/06 (2006.01) H04L 1/20 (2006.01)
H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/068 (2013.01)
H04L 1/203 (2013.01)
(21) 출원번호 10-2019-0083274
(22) 출원일자 2019년07월10일
심사청구일자 2019년07월10일
(56) 선행기술조사문헌
JP2011166883 A*
JP2019516260 A*
KR101684801 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초참누리에코리치)
손경섭
인천광역시 연수구 청능대로 175, 117동 1905호(연수동, 연수1차우성아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

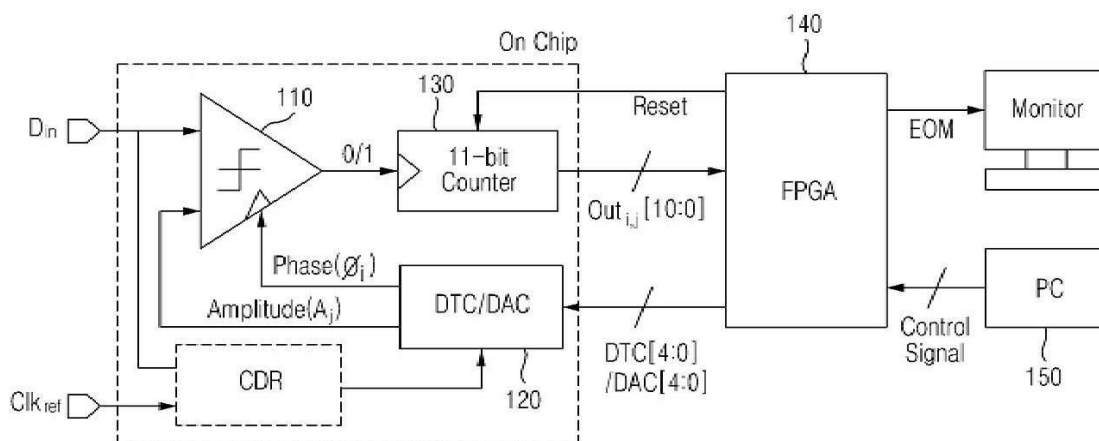
심사관 : 황철규

(54) 발명의 명칭 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템

(57) 요약

고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템이 제시된다. 본 발명에서 제안하는 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템은 샘플링 포인트의 크기 및 위상을 조정하는 DTC 및 DAC, DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 샘플러, 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 카운터 및 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하기 위해 누적된 카운터 정보를 저장하는 FPGA를 포함한다.

대표도



(52) CPC특허분류

H04L 25/03254 (2013.01)

명세서

청구범위

청구항 1

샘플링 포인트의 크기 및 위상을 조정하는 DTC 및 DAC;

DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 샘플러;

출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 카운터; 및

눈열림을 모니터링하고, 아이-다이아그램의 모양을 추정하기 위해 누적된 카운터 정보를 저장하는 FPGA

를 포함하고,

샘플러는,

DTC 및 DAC에 의해 조정된 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처하고, 매 샘플링 포인트의 위상에서 포인트 크기와 입력 데이터의 값을 비교하여 "0" 또는 "1"을 출력하여 래치를 통해 저장하고,

각 샘플링 포인트에서 데이터를 샘플링하고 카운터로 축적하여, "0"과 "1"의 데이터 전이 확률이 같은 경우의 눈-열림 영역의 "0"과 "1"의 비율에 따른 카운터 출력 및 눈-단한 영역의 "0"과 "1"의 비율에 따른 카운터 출력을 이용하여 눈-열림을 모니터링하며,

추정된 아이-다이아그램을 통해 등화계수 조정, 샘플링 포인트 계산 및 카운터 비트에 비례한 BER을 계산하는 눈-열림 모니터링 시스템.

청구항 2

삭제

청구항 3

제1항에 있어서,

DTC는,

복수의 위상을 가지는 클럭을 이용하여 비트 디지털리 제어되는 위상 로테이터이고, DTC는 복수의 위상 중 두 개를 선택하여 비트 디지털 신호로 위상을 나누고, 샘플링 클럭의 위상은 비트로 제어되며, 위상 선택간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원이 사용되는

눈-열림 모니터링 시스템.

청구항 4

제1항에 있어서,

DAC는,

전류-모드 비트 디지털리 제어되는 전압 컨버터이고, 디지털 신호를 통해 기준 전류량이 결정되고 샘플링 포인트의 크기가 결정되는

눈-열림 모니터링 시스템.

청구항 5

DTC 및 DAC를 통해 샘플링 포인트의 크기 및 위상을 조정하는 단계;

DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 샘플러를 통해 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 단계;

카운터를 통해 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 단계; 및

누적된 카운터 정보를 FPGA에 저장하여 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하는 단계를 포함하고,

DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 샘플러를 통해 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 단계는,

DTC 및 DAC에 의해 조정된 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처하고, 매 샘플링 포인트의 위상에서 포인트 크기와 입력 데이터의 값을 비교하여 "0" 또는 "1"을 출력하여 래치를 통해 저장하고,

각 샘플링 포인트에서 데이터를 샘플링하고 카운터로 축적하여, "0"과 "1"의 데이터 전이 확률이 같은 경우의 눈-열림 영역의 "0"과 "1"의 비율에 따른 카운터 출력 및 눈-닫힌 영역의 "0"과 "1"의 비율에 따른 카운터 출력을 이용하여 눈-열림을 모니터링하며,

추정된 아이-다이어그램을 통해 등화계수 조정, 샘플링 포인트 계산 및 카운터 비트에 비례한 BER을 계산하는 눈-열림 모니터링 방법.

청구항 6

삭제

청구항 7

제5항에 있어서,

DTC 및 DAC를 통해 샘플링 포인트의 크기 및 위상을 조정하는 단계는,

DTC는 복수의 위상 중 두 개를 선택하여 비트 디지털 신호로 위상을 나누고, 샘플링 클럭의 위상은 비트로 제어되며, 위상 선택간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원이 사용되는

눈-열림 모니터링 방법.

청구항 8

제5항에 있어서,

DTC 및 DAC를 통해 샘플링 포인트의 크기 및 위상을 조정하는 단계는,

디지털 신호를 통해 기준 전류량이 결정되고 샘플링 포인트의 크기가 결정되는

눈-열림 모니터링 방법.

발명의 설명

기술 분야

[0001] 본 발명은 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 방법 및 시스템에 관한 것이다.

배경 기술

[0002] 고속 직렬의 데이터 전송에서, 제한된 채널 대역폭으로 인해 ISI가 발생한다. 전치 필터(pre-emphasis filter), CTLE, DFE와 같은 일반적인 등화 방법이 채널 보상을 위해 사용된다. BER(Bit-error-rate)은 수신단의 성능 지표이고 등화기 계수 및 샘플링 포인트에 영향을 받는다. 최적의 BER 성능을 위해, 적응형 등화 방법 및 샘플링 포인트 조정 알고리즘이 필요하다. 계수 적용 및 샘플링 포인트 조정에서 비용과 테스트 시간으로 실제 BER을 사용하기 어렵다. 그래서 평균 제곱 오류 (Mean Squared Error; MSE) 또는 계수 기반 추정 BER과 같은 추정 알고리즘이 이용된다. 카운팅 기반 BER 추정의 경우, 정확도는 특히 낮은 BER 요구 조건에서 많은 데이터 축적 시간과 하드웨어가 필요하다. 최근에 송신기에서 전치(pre-emphasis)를 수행하는 것보다 샘플링 클럭 위상을 조정하는 것이 프리 커서 ISI를 제거하는 데 더 효과적이라는 것이 증명되었다. 그에 따라 눈-열림을 모니터링 하여 샘플링 포인트를 조정하는 연구가 이루어지고 있다. 이러한 최적의 샘플링 순간은 오직 BER 추정 방법을 사용하여 결정될 수 있다. 그러나, 특히 BER이 낮은 시스템에서, BER의 정확한 추정을 위해서는 많은 양

의 처리 시간과 실리콘 영역이 필요하다. 결과적으로, 전형적인 눈-열림 모니터(Eye-Opening Monitor; EOM) 기반의 수신기는 외부 마이크로 프로세서의 계산 보조가 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 샘플링 포인트의 조정과 저장된 카운터 값을 이용하여 아이-다이어그램을 추정하고, 추정된 아이-다이어그램을 통해 최적의 등화계수 조정 및 샘플링 포인트를 계산하며, 카운터 비트에 비례한 추정 BER 계산을 하기 위한 방법 및 시스템을 제공하는데 있다.

과제의 해결 수단

[0004] 일 측면에 있어서, 본 발명에서 제안하는 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템은 샘플링 포인트의 크기 및 위상을 조정하는 DTC 및 DAC, DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 샘플러, 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 카운터 및 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하기 위해 누적된 카운터 정보를 저장하는 FPGA를 포함한다.

[0005] 샘플러는 DTC 및 DAC에 의해 조정된 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처하고, 매 샘플링 포인트의 위상에서 포인트 크기와 입력 데이터의 값을 비교하여 "0" 또는 "1"을 출력하여 래치를 통해 저장한다.

[0006] DTC는 복수의 위상을 가지는 클럭을 이용하여 비트 디지털리 제어되는 위상 로테이터이고, DTC는 복수의 위상 중 두 개를 선택하여 비트 디지털 신호로 위상을 나누고, 샘플링 클럭의 위상은 비트로 제어되며, 위상 선택간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원이 사용된다.

[0007] DAC는 전류-모드 비트 디지털리 제어되는 전압 컨버터이고, 디지털 신호를 통해 기준 전류량이 결정되고 샘플링 포인트의 크기가 결정된다.

[0008] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 방법은 DTC 및 DAC를 통해 샘플링 포인트의 크기 및 위상을 조정하는 단계, DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 샘플러를 통해 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 단계, 카운터를 통해 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 단계 및 누적된 카운터 정보를 FPGA에 저장하여 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하는 단계를 포함한다.

발명의 효과

[0009] 본 발명의 실시예들에 따르면 각 샘플링 포인트에서 카운팅된 신호로 눈-열림을 추정하고, 각 샘플링 포인트에서 "0" 또는 "1"을 판단하고 개수를 FPGA에 저장할 수 있다. 이때, 샘플링 포인트의 조정과 저장된 카운터 값을 이용하여 아이-다이어그램을 추정하고 모니터에 표시한다. 이와 같이 추정된 아이-다이어그램을 통해 최적의 등화계수 조정 및 샘플링 포인트를 계산할 수 있고, 카운터 비트에 비례한 추정 BER 계산이 가능하다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템의 구성을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 아이-다이어그램과 샘플링 포인트 간 관계 및 카운터 프로파일을 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 샘플러의 회로도이다.

도 4는 본 발명의 일 실시예에 따른 DTC 및 DAC의 회로도이다.

도 5는 본 발명의 일 실시예에 따른 MATLAB 모의실험 결과이다.

도 6은 본 발명의 일 실시예에 따른 카운터 출력의 프로파일이다.

도 7은 본 발명의 일 실시예에 따른 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 방법을 설명하기 위한 흐름도이다.

도 8은 본 발명의 일 실시예에 따른 지터 조건에 따른 실제 아이 다이어그램과 제안된 EOM 시스템을 통해 추정된 아이-다이어그램이다.

도 9는 본 발명의 일 실시예에 따른 눈-열림 모니터링 시스템의 칩 포토이다.

도 10은 본 발명의 일 실시예에 따른 눈-열림 모니터링 시스템을 검증하기 위한 테스트 셋업 구성을 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따른 정규화된 DTC 및 DAC의 측정 결과이다.

도 12는 본 발명의 일 실시예에 따른 아이-다이어그램 및 눈-열림 모니터링 시스템의 출력결과이다.

도 13은 본 발명의 일 실시예에 따른 인가된 데이터에 따른 눈-열림 모니터링 시스템의 출력결과이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명은 신호 카운팅 기반의 눈-열림 모니터링 시스템에 관한 것이다. 제안된 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템은 각 샘플링 포인트에서 카운팅 된 신호로 눈-열림을 추정한다. 각 샘플링 포인트에서 "0" 또는 "1"을 판단하고 개수를 FPGA에 저장한다. 샘플링 포인트 조정과 저장된 카운터 값을 이용하여 아이-다이어그램을 추정하고 모니터에 표시한다. 추정된 아이-다이어그램을 통해 최적의 등화계수 조정 및 샘플링 포인트를 계산할 수 있다. 또한, 카운터 비트에 비례한 추정 BER 계산이 가능하다.
- [0012] 본 발명의 실시예에 따르면, 데이터를 2048번 샘플링하고 "0" 또는 "1"을 카운팅하여 각 샘플링 포인트에서 눈-열림을 판단한다. FPGA는 카운터 값을 저장하고 추정된 아이-다이어그램을 출력한다. 추정된 눈-열림 정보를 통해 아이(eye)가 열린 면적과 최적의 샘플링 포인트를 계산한다. 샘플링 포인트의 크기와 위상은 각각 5-bit로 제어 된다. 제안된 눈-열림 모니터는 180-nm CMOS 공정을 통해 제작되었고 1Gb/s 데이터 속도, 1.8V 전원에서 86mW 전력을 소비한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템의 구성을 나타내는 도면이다.
- [0015] 제안하는 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 시스템은 DTC 및 DAC(120), 샘플러(110), 카운터(130), FPGA(140)를 포함한다.
- [0016] DTC 및 DAC(120)는 샘플링 포인트의 크기 및 위상을 조정한다.
- [0017] DTC 및 DAC(120)는 복수의 위상을 가지는 클록을 이용하여 비트 디지털리 제어되는 위상 로테이터이다. DTC는 복수의 위상 중 두 개를 선택하여 비트 디지털 신호로 위상을 나누고, 샘플링 클록의 위상은 비트로 제어된다. 그리고, 위상 선택간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원이 사용된다. 또한, DTC 및 DAC(120)는 전류-모드 비트 디지털리 제어되는 전압 컨버터이고, 디지털 신호를 통해 기준 전류량이 결정되고 샘플링 포인트의 크기가 결정된다.
- [0018] 샘플러(110)는 DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 입력 데이터(D_{in})를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력한다.
- [0019] 샘플러(110)는 DTC 및 DAC에 의해 조정된 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처하고, 매 샘플링 포인트의 위상에서 포인트 크기와 입력 데이터의 값을 비교하여 "0" 또는 "1"을 출력하여 래치를 통해 저장한다.
- [0020] 카운터(130)는 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적한다.
- [0021] FPGA(140)는 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하기 위해 누적된 카운터 정보를 저장한다.
- [0022] FPGA(140)는 DTC 및 DAC(120)를 제어하고 카운터(130)의 출력을 처리한다. 눈-열림을 모니터링하기 위해 사용자는 PC(150)를 통해 눈-열림 모니터링 시스템을 제어한다. 입력 데이터는 조정된 문턱 값에서 비동기 클록으로 샘플링된다. 샘플링 문턱 값은 DTC 및 DAC(120)에 의해 5비트, 32 단계 크기로 제어된다. 비교기는 샘플링 클럭의 엣지에서 문턱 값과 데이터를 비교하고 "0" 또는 "1"을 출력한다. 비교기의 출력은 카운터(130)를 통해 누적된

다. 매 카운터가 출력되는 주기마다 카운터(130) 출력이 FPGA(140)에 저장된다.

- [0024] 도 2는 본 발명의 일 실시예에 따른 아이-다이어그램과 샘플링 포인트 간 관계 및 카운터 프로파일을 나타내는 도면이다.
- [0025] 수신단에서 데이터는 샘플링 클럭으로 복원된다. 일반적으로 낮은 BER을 위해 샘플링 포인트는 아이-다이어그램의 가장 많이 열린 영역에 위치해야 한다. 도 2(a)는 아이-다이어그램과 샘플링 포인트 간 관계를 보여준다. 샘플링 포인트는 DAC와 DTC를 통해 설정된 크기와 위상으로 결정된다. 데이터의 엣지와 샘플링 클럭의 0번째 위상은 동기화 되어 있다. 아이-다이어그램은 0번 위상에서 가장 닫혀있고 15번 위상에서 가장 크게 열려있다. 샘플러는 각 샘플러 클럭의 상승 엣지에서 "0" 또는 "1" 값을 출력한다. 각 샘플링 포인트에서 데이터를 2048번-샘플링하고 카운터로 축적한다. "0"과 "1"의 데이터 전이 확률이 같다면, 눈-열림 영역의 "0"과 "1"의 비율은 유사하고 카운터 출력은 1024에 가깝다. 반대로 눈-닫힌 영역에서 "0"과 "1"의 비율은 차이를 보이고 카운터 출력은 1024보다 낮다. 이러한 카운터 정보를 사용하여 눈-열림을 모니터링 할 수 있다. 도 2(b)는 샘플링 클럭의 0번 위상과 15번 위상에서 크기 조정에 따른 카운터 출력 값을 보여준다. 눈-열린 영역에서 카운터 출력은 1024에 가깝다. 눈-영역이 닫힘에 따라 카운터 출력은 비례하여 낮아진다. 카운터 출력 프로파일을 통해 아이-다이어그램의 모양을 추정할 수 있다. 데이터 엣지인 0번 위상에서, 중앙 크기부터 샘플링 크기가 증가함에 따라 카운터 출력은 급격히 감소한다. 데이터 중앙인 15번 위상에서, 중앙 크기부터 샘플링 크기가 증가함에 따라 카운터 출력은 완만히 감소한다. 평균 카운터 출력은 0 번 위상에서 보다 15번 위상에서 더 크므로 15번 위상에서 더 크게 눈이 열려 있다. 제안된 EOM 시스템은 샘플링 포인트 조정과 카운터 출력들을 통해 아이-다이어그램의 모양을 추정할 수 있다.
- [0027] 도 3은 본 발명의 일 실시예에 따른 샘플러의 회로도이다.
- [0028] 샘플러는 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처한다. 샘플 포인트의 위상(p_j)과 크기(A_i)는 DTC와 DAC로 각각 조절된다. 매 샘플 포인트 위상에서 포인트 크기와 데이터의 값을 비교하여 "0" 또는 "1"을 출력한다. 샘플러 출력은 래치를 통해 저장된다. 본 발명에서는 칩 면적을 고려하여 5-to-32 온도계코드를 이용하여 DTC가 제어된다.
- [0030] 도 4는 본 발명의 일 실시예에 따른 DTC 및 DAC의 회로도이다.
- [0031] 도 4(a)는 4개 위상을 가지는 클록을 이용하여 5-비트 디지털리 제어되는 위상 로테이터이다. DTC는 4개 위상 중 두 개를 선택(I,Q)하고 3-비트 디지털 신호로 위상은 나누어진다. 따라서, 샘플링 클록의 위상은 5-비트로 제어된다. 위상 선택간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원(I_{offset})이 사용된다. 도 4(b)는 전류-모드 5-비트 디지털리 제어되는 전압 컨버터이다. 디지털 신호를 통해 기준 전류(I_{DAC})양이 결정되고 샘플링 포인트의 크기가 결정된다. 본 발명에서는 칩 면적을 고려하여 5-to-32 온도계코드를 이용하여 DAC는 제어된다.
- [0033] 도 5는 본 발명의 일 실시예에 따른 MATLAB 모의실험 결과이다.
- [0034] 제안된 EOM 시스템에 대하여 MATLAB을 통해 모의실험을 진행하였다. 도 5는 제안된 EOM 시스템을 통해 출력된 추정 아이-다이어그램이다. 카운터 출력은 그 값에 할당된 명암으로 저장된다. 카운터 출력은 1024에 가까울수록 흰색이고 0에 가까울수록 검은색이다. 카운터 출력 값이 1024 이상이면 눈-열림으로 처리한다. FPGA는 눈-열린 영역의 면적과 최적의 샘플링 포인트를 계산한다. 열린 영역에서 최적의 샘플링 포인트는 최대 너비와 최대 높이를 가지는 지점으로 계산되고 아이-다이어그램에 빨간 점으로 표시된다.
- [0036] 도 6은 본 발명의 일 실시예에 따른 카운터 출력의 프로파일이다.
- [0037] 도 6은 각 위상에서 샘플링 포인트 크기 조정에 따른 카운터 출력 값을 보여준다. 도 6(a)는 샘플링 포인트 위상이 데이터의 중앙 일 때 카운터 출력의 프로파일이다. 중앙으로부터 샘플링 크기가 증가함에 따라 카운터 출력 값은 완만하게 떨어진다. 도 6(b)는 샘플링 포인트 위상이 데이터의 엣지 위상일 때 카운터 출력의 프로파일이다. 중앙으로부터 샘플링 크기가 증가함에 따라 카운터 출력 값은 가파르게 떨어진다. 각 프로파일들을 통해 눈-열림과 아이-다이어그램을 추정할 수 있다.
- [0039] 도 7은 본 발명의 일 실시예에 따른 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 방법을 설명하기 위한 흐름도이다.
- [0040] 제안하는 고속 직렬 인터페이스용 카운팅 기반의 눈-열림 모니터링 방법은 DTC 및 DAC를 통해 샘플링 포인트의

크기 및 위상을 조정하는 단계(710), DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 샘플러를 통해 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력하는 단계(720), 카운터를 통해 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적하는 단계(730) 및 누적된 카운터 정보를 FPGA에 저장하여 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정하는 단계(740)를 포함한다.

- [0041] 단계(710)에서, DTC 및 DAC를 통해 샘플링 포인트의 크기 및 위상을 조정한다.
- [0042] DTC는 복수의 위상 중 두 개를 선택하여 비트 디지털 신호로 위상을 나누고, 샘플링 클럭의 위상은 비트로 제어된다. 위상 선택 간 스위칭에서 발생하는 오프셋을 줄이기 위해 기준 전류원이 사용된다. 디지털 신호를 통해 기준 전류량이 결정되고 샘플링 포인트의 크기가 결정된다.
- [0043] 단계(720)에서, DTC 및 DAC에 의해 조정된 문턱 값을 이용하여 샘플러를 통해 입력 데이터를 샘플링하고, 샘플링 클럭의 엣지에서 문턱 값과 입력 데이터를 비교하여 "0" 또는 "1"을 출력한다.
- [0044] DTC 및 DAC에 의해 조정된 샘플링 포인트에서 스위치를 사용하여 입력 데이터를 캡처하고, 매 샘플링 포인트의 위상에서 포인트 크기와 입력 데이터의 값을 비교하여 "0" 또는 "1"을 출력하여 래치를 통해 저장한다.
- [0045] 단계(730)에서, 카운터를 통해 출력된 "0" 또는 "1"을 카운팅하고 카운터 정보를 누적한다.
- [0046] 단계(740)에서, 누적된 카운터 정보를 FPGA에 저장하여 눈열림을 모니터링하고, 아이-다이어그램의 모양을 추정한다.
- [0048] 도 8은 본 발명의 일 실시예에 따른 지터 조건에 따른 실제 아이다이어그램과 제안된 EOM 시스템을 통해 추정된 아이-다이어그램이다.
- [0049] 도 8(a)는 도 8(b)보다 큰 지터를 포함하고 아이-다이어그램의 눈-열린 부분의 면적이 작다. EOM 시스템은 각 샘플링 포인트에서 카운터 출력을 메모리에 할당하고 추정된 아이-다이어그램을 출력한다. 아이-다이어그램의 눈이 열린 영역에서 카운터의 출력은 1024(흰색 할당)에 가깝다. 아이-다이어그램의 눈이 닫힌 영역에서 카운터의 출력은 0(검은색 할당)에 가깝다. 추정된 아이-다이어그램의 흰색 면적은 실제 눈-열린 정도와 비례한다. 제안된 EOM 시스템은 아이-다이어그램을 추정하고 및 눈-열림을 모니터링 할 수 있다.
- [0051] 도 9는 본 발명의 일 실시예에 따른 눈-열림 모니터링 시스템의 칩 포토이다.
- [0052] 제안된 EOM 시스템은 180-nm CMOS 공정을 통해 제작되었다. 도 9는 칩 포토이다. 제안된 EOM 시스템의 설계 면적은 2000um x 500um 이다. 1.8V 전압에서 86mW@1Gb/s (w IO block) 전력을 소비한다.
- [0054] 도 10은 본 발명의 일 실시예에 따른 눈-열림 모니터링 시스템을 검증하기 위한 테스트 셋업 구성을 나타내는 도면이다.
- [0055] 도 10은 EOM 시스템을 검증하기 위한 테스트 셋업이다. 펄스 생성기를 통해 동기화된 데이터와 클럭을 인가한다. PC는 FPGA에 샘플링 포인트의 위상 및 크기를 제어한다. FPGA는 온-칩에 DTC 및 DAC 제어 비트와, Reset 신호를 인가한다. 각 샘플링 포인트에서 카운터 출력 값을 저장한다. 저장된 카운터 값을 통해 모니터로 EOM 정보를 출력한다. 기준 샘플링 클럭과 복원된 데이터, 제어 신호에 따른 DAC와 DTC의 출력은 오실로스코프를 통해 확인한다.
- [0057] 도 11은 본 발명의 일 실시예에 따른 정규화된 DTC 및 DAC의 측정 결과이다.
- [0058] 도 11은 측정된 DTC와 DAC의 출력 결과를 나타낸다. 도 11(a)는 디지털 코드에 따른 정규화된 샘플링 포인트의 위상이다. 1ns 주기를 가지는 1GHz 샘플링 클럭은 DTC [4:0] 디지털 코드에 따라 위상이 조정된다. 디지털 코드 6에서부터 25까지 선형적으로 위상이 증가된다. 측정된 DTC의 LSB는 48ps 이고 INL ± 0.20 이며 DNL은 ± 0.80 이다. 도 11(b)는 디지털 코드에 따른 정규화된 포인트의 샘플링 크기이다. 샘플링 포인트의 크기는 1.8V 부터 0.6V까지 DAC[4:0] 디지털 코드에 따라 크기가 조정된다. 디지털 코드 3에서부터 32까지 선형적으로 크기가 증가된다. 측정된 DAC의 LSB는 40mV 이고 INL ± 0.13 이며 DNL은 ± 0.87 이다.
- [0060] 도 12는 본 발명의 일 실시예에 따른 아이-다이어그램 및 눈-열림 모니터링 시스템의 출력결과이다.
- [0061] 도 12(a)는 인가된 데이터의 아이-다이어그램이다. 사용된 데이터의 속도는 1Gb/s로 1ns의 주기와 400mV의 스윙 폭을 가진다. 도 12(b)는 제안된 시스템을 통해 출력된 EOM 정보이다. 카운터 출력 값에 따라 명도의 차이가 있다. 데이터의 엣지 부분에서 카운터 값은 낮고 닫혀있다. 데이터의 중앙 부분에서 카운터 값은 높고 열려 있다. 카운터 출력이 1024 이상인 것을 열린 부분으로 설정한다. 점선은 열린 부분의 경계지점을 나타낸다. EOM 시

템은 눈-열림 면적과 최적의 샘플링 포인트(빨간점)를 계산할 수 있다.

[0063] 도 13은 본 발명의 일 실시예에 따른 인가된 데이터에 따른 눈-열림 모니터링 시스템의 출력결과이다.

[0064] EOM 시스템은 아이-다이어그램의 눈-열림을 추정하여 모니터로 출력한다. 인가된 데이터 조건에 따라 아이-다이어그램이 닫히면 추정된 아이-다이어그램의 눈-열림 면적도 감소한다. 점선은 개략적인 눈-열림 부분이고 빨간색 점은 눈-열림의 중앙 부분이다. 실제 아이-다이어그램의 열린 면적과 EOM 출력에서 열린 부분의 면적은 비례한다. 제안된 EOM 시스템은 인가된 데이터의 아이-다이어그램을 눈-열림 면적과 최적의 샘플링 포인트 계산이 가능하다.

[0065] 본 발명의 실시예들에 따르면 각 샘플링 포인트에서 카운팅된 신호로 눈-열림을 추정하고, 각 샘플링 포인트에서 "0" 또는 "1"을 판단하고 개수를 FPGA에 저장할 수 있다. 이때, 샘플링 포인트의 조정과 저장된 카운터 값을 이용하여 아이-다이어그램을 추정하고 모니터에 표시한다. 이와 같이 추정된 아이-다이어그램을 통해 최적의 등화계수 조정 및 샘플링 포인트를 계산할 수 있고, 카운터 비트에 비례한 추정 BER 계산이 가능하다.

[0067] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0068] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

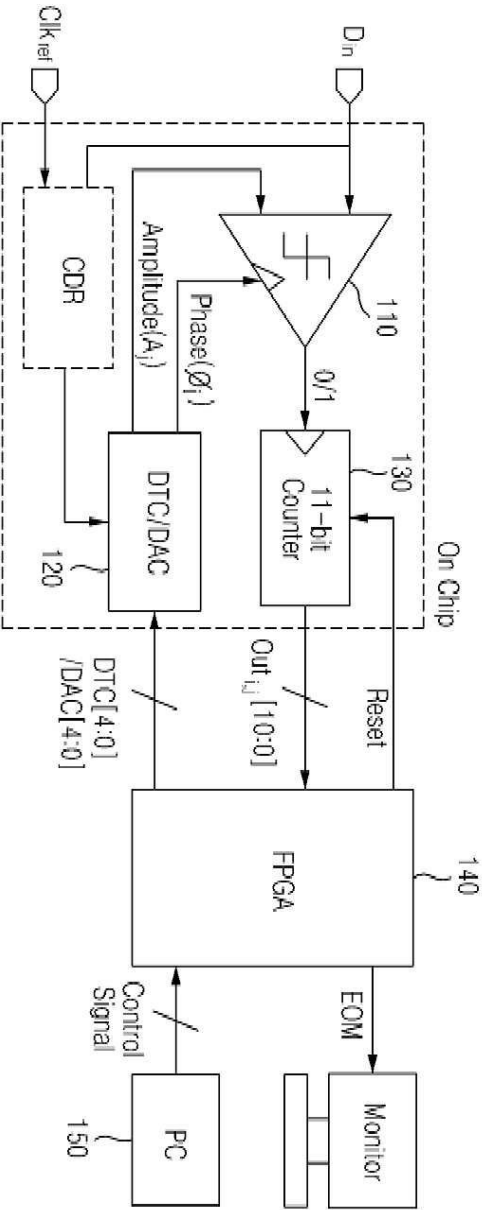
[0069] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0070] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

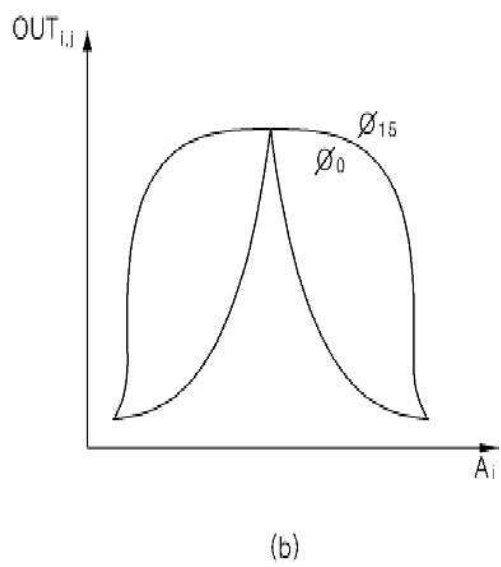
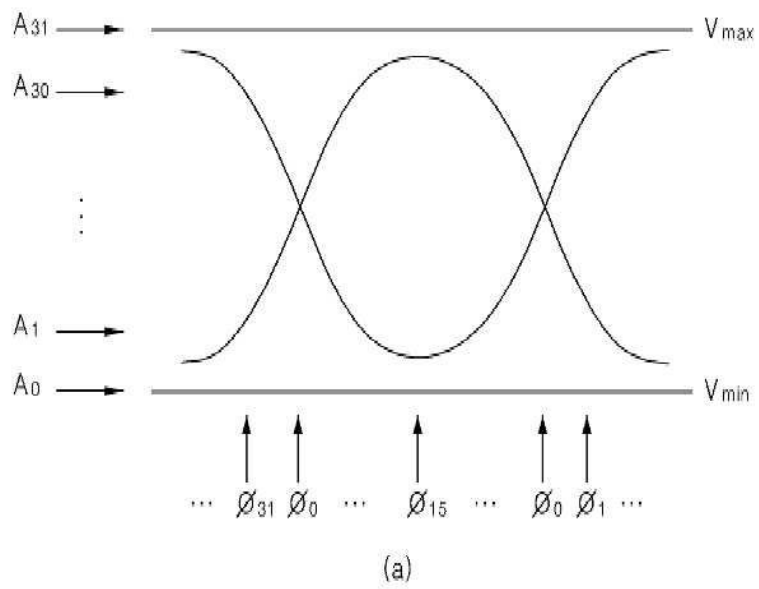
[0071] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

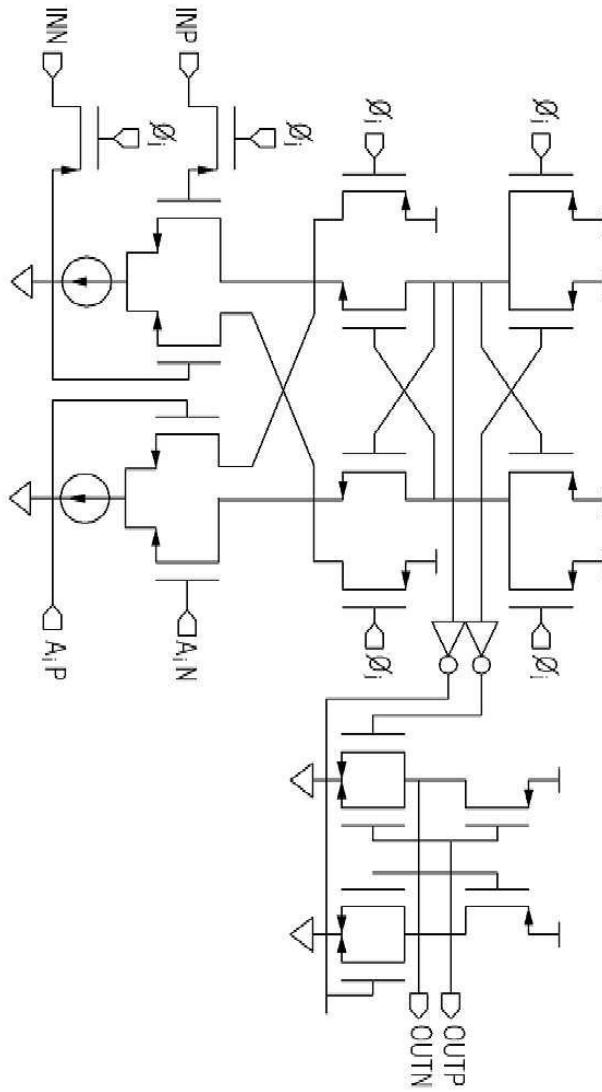
도면1



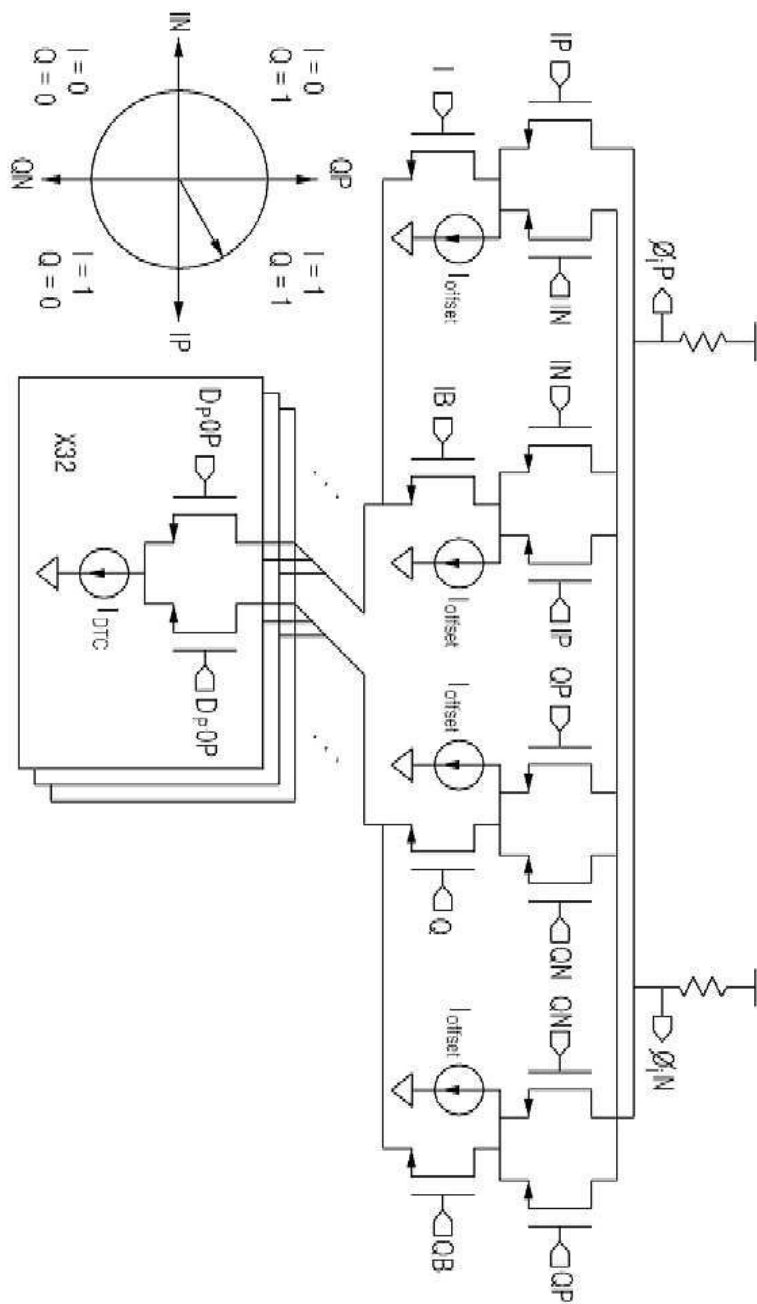
도면2



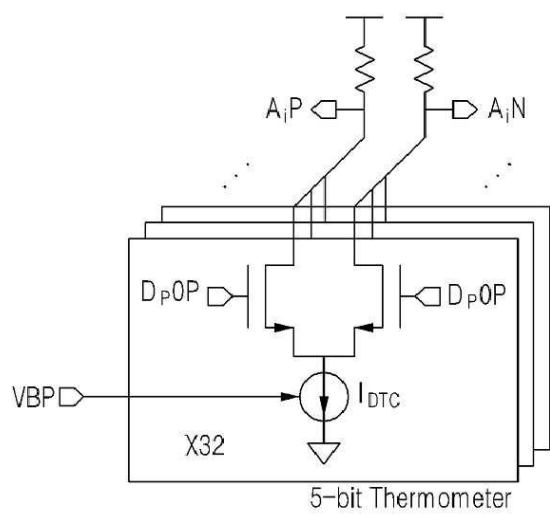
도면3



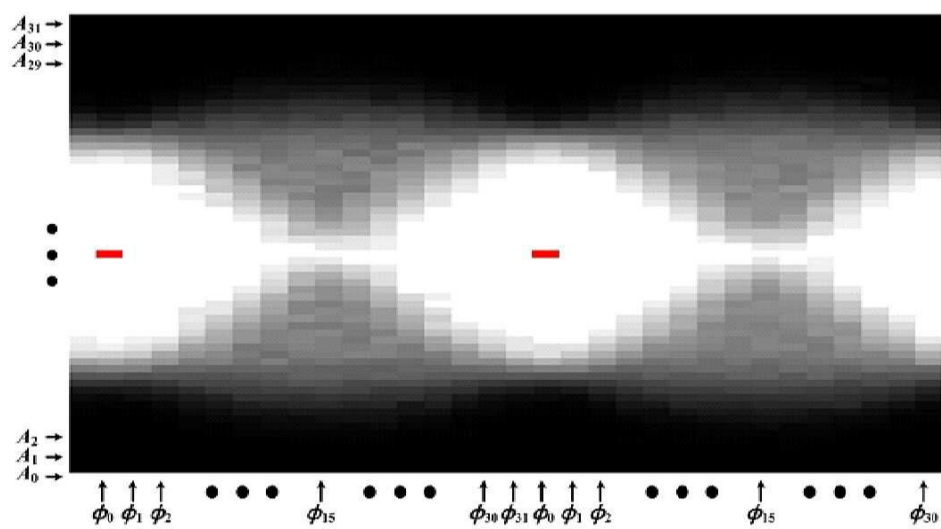
도면4a



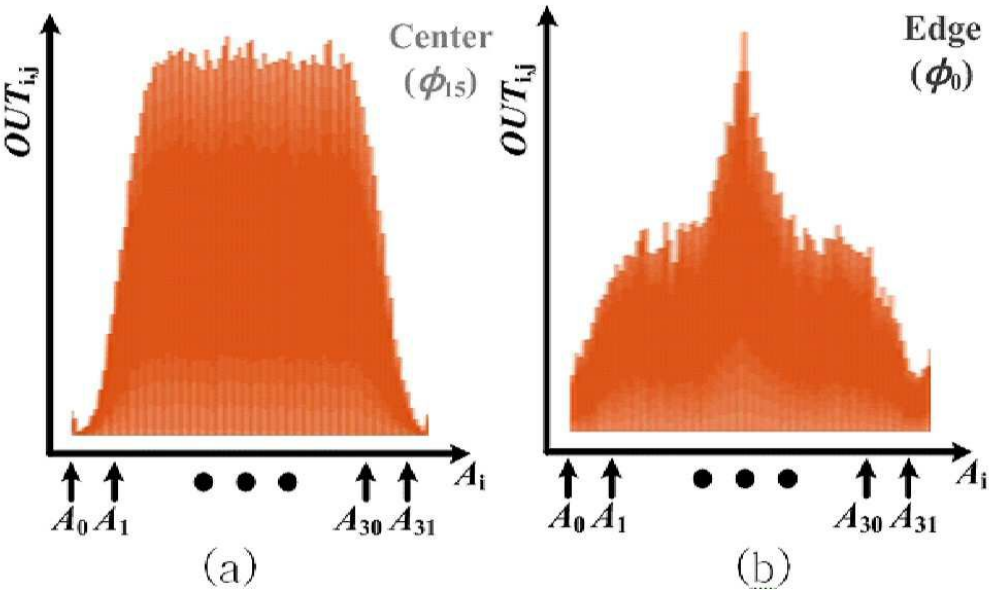
도면4b



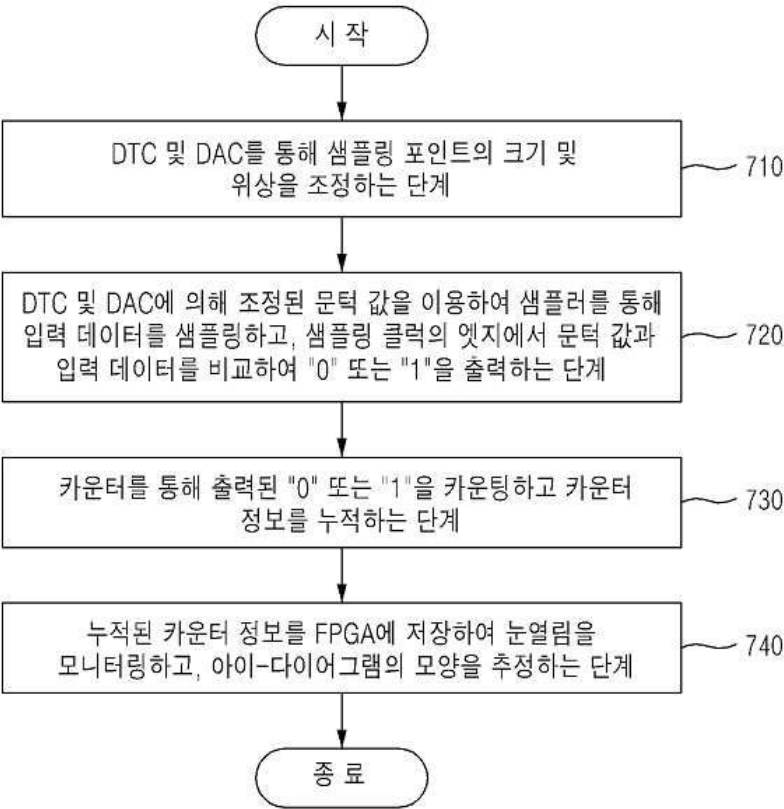
도면5



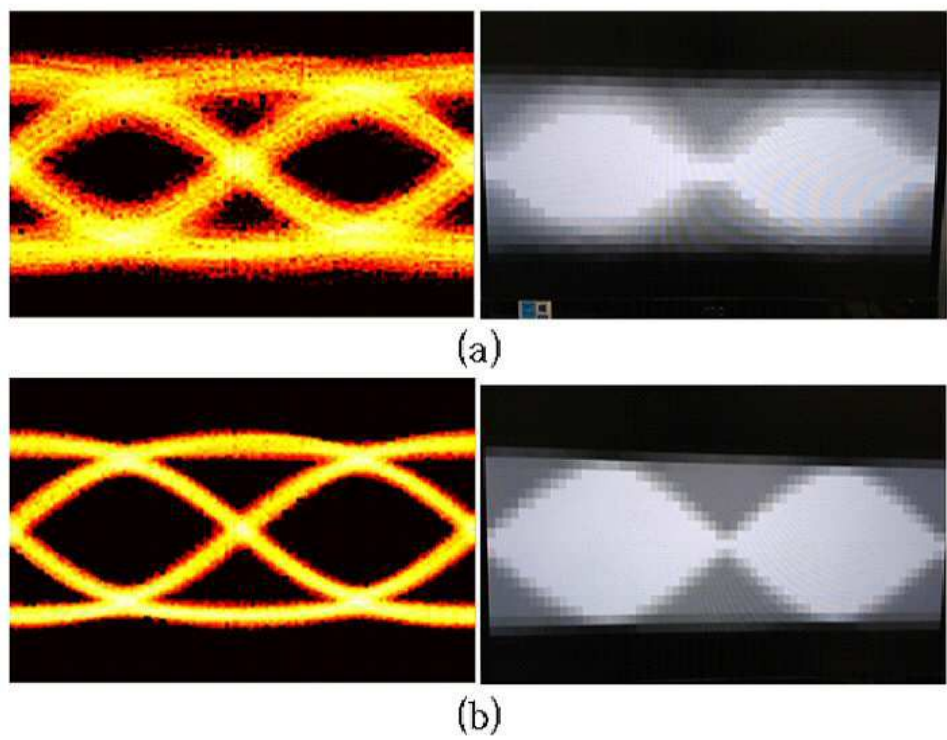
도면6



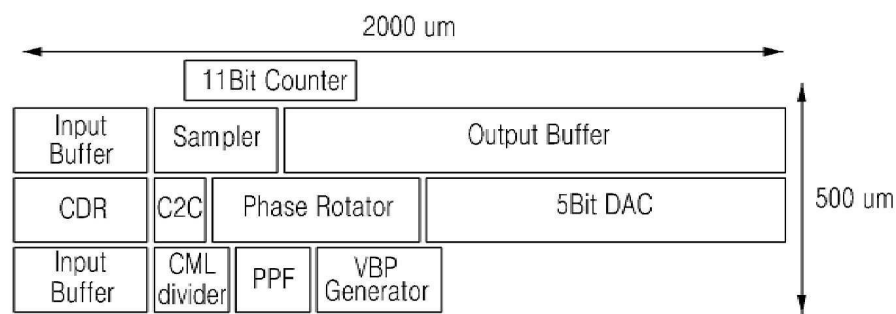
도면7



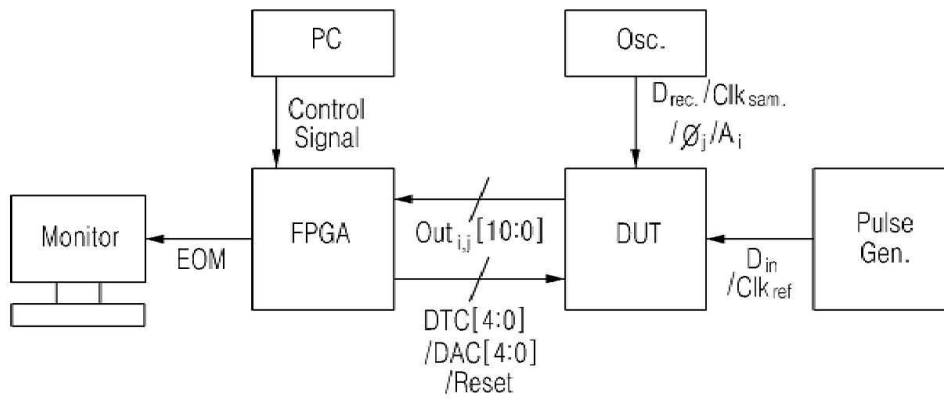
도면8



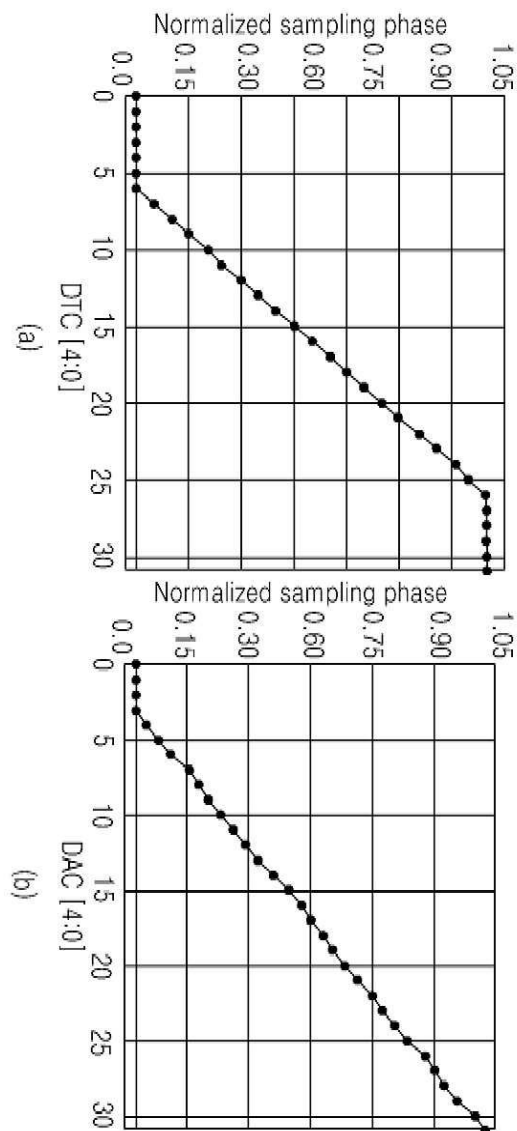
도면9



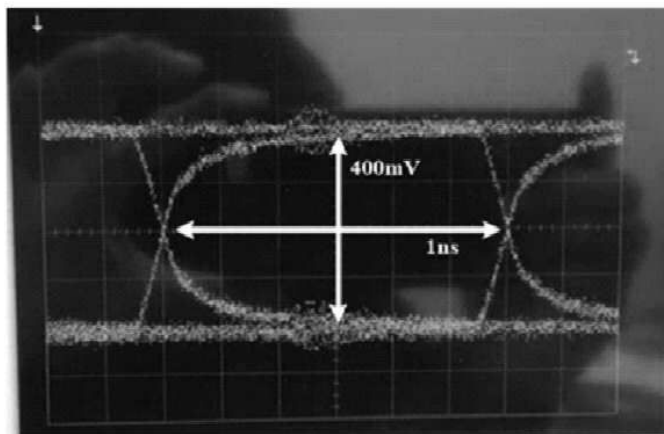
도면10



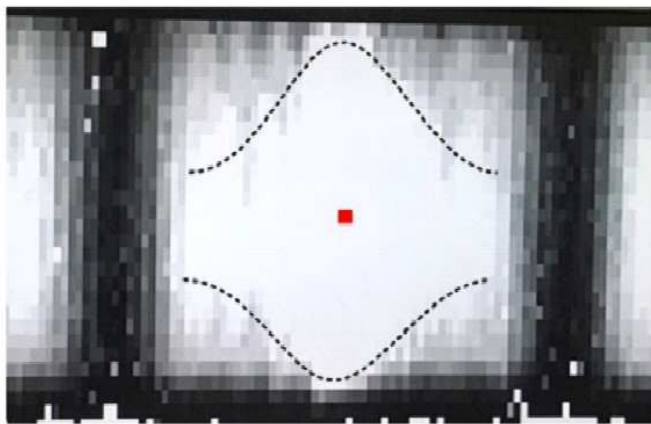
도면11



도면12



(a)



(b)

도면13

