



(12) 发明专利

(10) 授权公告号 CN 102856329 B

(45) 授权公告日 2015.02.11

(21) 申请号 201110180886.9

CN 101369591 A, 2009.02.18, 全文.

(22) 申请日 2011.06.30

CN 101740591 A, 2010.06.16, 说明书第4页
倒数第3段至的7页第2段及附图2-7.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

CN 101483162 A, 2009.07.15, 全文.

地址 201203 上海市浦东新区张江路18号

CN 101728283 A, 2010.06.09, 全文.

(72) 发明人 丁万春 刘焯杰

审查员 肖箫

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 27/146(2006.01)

H01L 21/768(2006.01)

(56) 对比文件

US 2010/0117181 A1, 2010.05.13, 说明书第
88-105段及附图1-4D.

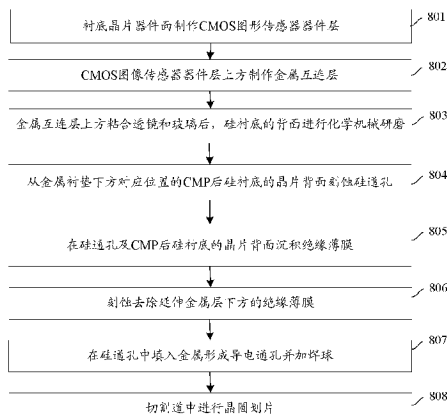
权利要求书1页 说明书7页 附图8页

(54) 发明名称

一种硅通孔封装方法

(57) 摘要

本发明提供了一种硅通孔封装方法,提供具有衬底和半导体器件层的晶片,该方法包括,在所述半导体器件层上沉积金属间电介质,在所述晶片的芯片区对应的所述金属间电介质中制作与所述半导体器件层电连接的金属连线 and 金属衬垫,从所述衬底的晶片背面依次刻蚀所述衬底、半导体器件层和金属间电介质,以所述金属衬垫作为刻蚀停止层,形成与所述金属衬垫相通的硅通孔后,在所述硅通孔中填充金属并制作焊球。本发明一方面无需制作延伸金属层,通过减小切割道面积增大芯片区面积,使每个晶片上制作半导体器件数量增加;另一方面导电通孔在芯片区的密封环境保护范围内,避免外界对其电信号传输的干扰,提高半导体器件可靠性。



1. 一种硅通孔封装方法,提供具有衬底和半导体器件层的晶片,所述衬底具有晶片器件面和与其相对的晶片背面,所述半导体器件层位于所述衬底的晶片器件面上,该方法包括,所述半导体器件层上沉积金属间电介质,在所述晶片的芯片区对应的所述金属间电介质中制作与所述半导体器件层电连接的金属连线和金属衬垫,其特征在于,该方法还包括:

从所述衬底的晶片背面依次刻蚀所述衬底、半导体器件层和金属间电介质,以所述金属衬垫作为刻蚀停止层,形成与所述金属衬垫相通的硅通孔;

所述硅通孔中填充金属形成导电通孔,制作与所述导电通孔电连接的焊球;

其中,所述金属衬垫、硅通孔位于晶片的芯片区。

2. 根据权利要求 1 所述的方法,其特征在于,所述硅通孔的直径范围是 5 到 80 微米。

3. 根据权利要求 1 所述的方法,其特征在于,所述刻蚀是干法刻蚀。

4. 根据权利要求 1 所述的方法,其特征在于,在从所述衬底的晶片背面依次刻蚀所述衬底之前,该方法还包括:化学机械研磨所述衬底的晶片背面。

5. 根据权利要求 4 所述的方法,其特征在于,化学机械研磨后的所述衬底的厚度范围是 50 微米到 200 微米。

一种硅通孔封装方法

技术领域

[0001] 本发明涉及一种半导体制造方法,特别涉及一种硅通孔封装方法。

背景技术

[0002] 目前,半导体集成电路(IC)制造主要在衬底的晶片(wafer)器件面上生长半导体器件并进行互连。半导体器件制作在器件层中,以金属氧化物半导体场效应管(MOSFET)器件为例,MOSFET器件的主要结构包括:有源区、源极、漏极和栅极,其中,所述有源区位于衬底中,所述栅极位于有源区上方,所述栅极两侧的有源区分别进行离子注入后形成源极和漏极,所述栅极下方具有导电沟道,所述栅极和导电沟道之间有栅极电介质层。在MOSFET器件所在的器件层制作完毕后,还要在器件层之上制作金属互连层,由金属互连层为MOSFET器件之间的电信号传输提供物理保证。最终形成IC。金属互连层的制作称为金属互连层工艺(BEOL)。现有技术中,BEOL通常是指在金属间电介质(IMD)中刻蚀通孔(via)和沟槽并在其中填充金属形成金属衬垫(metal pad)和金属连线,其中,IMD用于metal pad和金属连线在金属互连层中的电绝缘,根据IC设计由金属连线将不同MOSFET器件的栅极、源极或者漏极连接到同一metal pad。

[0003] 在半导体IC制造中,同一晶片上会制作成千上万个半导体器件形成IC。对制造完成的IC,还要经过晶片划片步骤,分割为一个个独立的芯片(chip)。因此需要在晶片上预先规划出芯片区(main chip)和切割道区域,其中,半IC(包括半导体器件的器件层和金属互连层)所在区域称为main chip,用于切割的区域称为切割道区域。

[0004] 图像传感器是一种把光学图像信号转换为电信号并进行存储和传输的半导体器件。数码相机、数码摄像机、手机和其他许多便携式电子设备的图像传感器大体上可以分为两类:一类为电荷耦合器件(CCD, Charge-coupled Device)图像传感器,另一类为互补型金属氧化物半导体(CMOS, Complementary Metal Oxide Semiconductor)图像传感器。两者都是利用光电二极管进行光电转换,将光学图像转换为电信号,而其差异是信号传送的方式不同。CCD图像传感器通过对电信号传输方向上的潜在井深的持续控制来传输电信号。CMOS图像传感器利用(包括在像素unit cell里的)一个或多个CMOS器件和光电二极管的组合进行光学图像传感。CMOS器件由导电沟道中多数载流子为电子的N型MOSFET(NMOS)和导电沟道中多数载流子为空穴的P型MOSFET(PMOS)组成,因此,由CMOS器件和光电二极管组成的CMOS图像传感器相比CCD图像传感器功耗较小,运算速度较快,而且采用最常用的半导体制造工艺,可以轻易地把CMOS图像传感器集成到外围电路系统中,例如放大器和信号处理器的操作系统,从而大大降低了制造成本。因此,CMOS图像传感器已经应用在移动电话和个人数字助理(PDA, Personal digital Assistant)的摄像头中。随着消费者对设备轻便性需求的增加,基于硅通孔(TSV, Through Silicon Via)技术的三维封装技术的发展大大减小了CMOS图像传感器的器件尺寸。但是,当硅通孔的尺寸减小到微米级时,当前半导体制造技术就受到了挑战。传统TSV是从衬底的晶片器件面开始向晶片背面刻蚀,但这种方法由于在衬底中没有刻蚀停止层,使在衬底中形成的TSV深度不均匀,

从而导致晶片背面的衬底表面化学机械研磨 (CMP, Chemical Mechanical Polishing) 控制困难。为了克服上述问题,出现了一种背面 TSV 的半导体器件封装方法。下面以 COMS 图像传感器的封装为例,详细说明现有技术中采用背面 TSV 的半导体器件封装方法。

[0005] 图 1 为现有技术中 TSV 的 CMOS 图像传感器封装方法步骤流程图,结合图 2 ~ 图 7 所示的现有技术中 TSV 的 CMOS 图像传感器封装结构的简化剖面示意图,说明现有技术中从晶片背面进行刻蚀 TSV 的 CMOS 图像传感器封装方法的具体步骤。

[0006] 步骤 101,硅衬底 201 的晶片器件面 201a 制作 CMOS 图像传感器器件层 202,得到如图 2 所示的结构,包括硅衬底 201 和 CMOS 图像传感器器件层 202 ;

[0007] 此步骤中,衬底可以是半导体衬底,例如,硅衬底,当然也可以是包括 III 族、IV 族和 / 或 V 族元素的半导体衬底, CMOS 图像传感器器件层 202 中包括 CMOS 器件和光电二极管 (图 2 中 CMOS 器件和光电二极管未画出),具体制作方法为现有技术,不再赘述。

[0008] 步骤 102, CMOS 图像传感器器件层 202 上方依次制作第一金属互连层 (metal) 310 和包含延伸金属层 324 的第二金属互连层 320,得到如图 3 所示的结构,包括硅衬底 201、第一金属互连层 310、第二金属互连层 320、CMOS 图像传感器器件层 202 ;

[0009] 本步骤中,制作完成的第一金属互连层 310 中包括第一 IMD311、第一 metal pad 313 和第一金属连线 312,同样,第二金属互连层 320 中包括第二 IMD321、第二 metal pad 323、延伸金属层 324 和第二金属连线 322,延伸金属层 324 可以视为第二 metal pad 323 向切割道区域的延伸,延伸金属层 324 和第二 metal pad 323 同时制作,与第二 metal pad 323 一样通过第二金属连线 322 与第一 metal pad 313 电连接。

[0010] 本实施例中,仅以第一金属互连层 310 为例对现有技术中的金属互连层工艺方法进行说明,第一金属互连层 310 在实际应用中可为任意一层金属互连层。首先在 CMOS 图像传感器器件层 202 上沉积第一 IMD311,在沉积第一 IMD311 之前还可以先在 CMOS 图像传感器器件层 202 上沉积氮化硅 (Si_3N_4) 作为后续步骤中对第一 IMD311 进行刻蚀的停止层。

[0011] 本步骤中,第一 IMD311 为二氧化硅 (SiO_2),在第一 IMD311 上还可以沉积硅的氧化物 (TEOS) 作为后续刻蚀和去胶 (ashing) 步骤中第一 IMD311 的保护层。

[0012] 然后,光刻和刻蚀第一 IMD311,形成穿透第一 IMD311 的通孔和位于通孔上方具有较大开口宽度的沟槽;其中,第一金属互连层 310 中的沟槽和通孔都位于 main chip,在现有技术中 main chip 所在区域的 CMOS 图像传感器器件层和各个金属互连层上都会加入密封环 (seal ring),其作用主要有以下两点:第一、通过 seal ring 接地,避免对 CMOS 图像传感器的电信号传输的干扰;第二、防止后续晶片的划片步骤中可能造成的机械损伤,保证划片后所得 chip 的完整性。

[0013] 接着,在通孔、沟槽和第一 IMD311 表面沉积扩散阻挡层,沉积扩散阻挡层的目的是防止后续步骤填充在沟槽和通孔中的金属铜散落扩散至第一 IMD311,采用物理气相沉积 (PVD) 工艺沉积扩散阻挡层;

[0014] 最后,由 PVD 工艺在扩散阻挡层上沉积铜籽晶层,采用电化学镀工艺 (ECP) 在沟槽和通孔中生长金属铜后,将金属铜、铜籽晶层和扩散阻挡层通过 CMP 抛光至第一 IMD311 的表面,形成第一金属互连层 310。其中,填充金属铜的沟槽称为第一 metal pad 313,填充金属铜的通孔称为第一金属连线 312。

[0015] 第一金属互连层 310 制作完毕后,在第一金属互连层 310 上方制作第二金属互连

层 320。需要注意的是,第二金属互连层 320 和第一金属互连层 310 制作过程中的最大区别在于,在第二金属互连层 320 的第二 IMD321 中刻蚀形成沟槽的位置不同,第二金属互连层 320 中的沟槽不仅位于 main chip,还有一部分位于切割道区域,位于切割道区域的沟槽在填充金属后成为延伸金属层 324,延伸金属层 324 的长度范围在 20 到 40 微米,作为后续从晶片背面刻蚀硅通孔 (TSV) 的刻蚀停止层。

[0016] 步骤 103,在第二金属互连层 320 上方粘合透镜和玻璃 80 后,对硅衬底 201 的背面 201b 进行 CMP,得到 CMP 后硅衬底 201',如图 4 所示(透镜和玻璃 80 的具体结构省略,未画出),CMP 的作用是使随后在硅衬底 201 的背面 201b 刻蚀硅通孔步骤更容易进行;

[0017] 此步骤中,透镜和玻璃 80 把 CMOS 图像传感器器件层 202、第一金属互连层 310 及第二金属互连层 320 与外界环境隔离,起到保护 CMOS 图像传感器器件层 202 和第一金属互连层 310 及第二金属互连层 320 的作用;

[0018] CMP 后的 CMP 后硅衬底 201' 的厚度要满足坚固性和耐磨性的要求,一般来说,CMP 后硅衬底 201' 的厚度范围最好控制在 50 微米到 200 微米之间。

[0019] 步骤 104,从延伸金属层 324 位置对应的 CMP 后硅衬底 201' 晶片背面 201b 开始刻蚀,在 CMP 后硅衬底 201' 中形成从晶片背面 201b 直到延伸金属层 324 下方的穿透结构硅通孔 (TSV) 501,得到如图 5 所示的结构;

[0020] 在这个步骤中,TSV501 位置可以用双面对准法确定,刻蚀 TSV501 的方法可以是直接干法刻蚀,依次刻蚀晶片的 CMP 后硅衬底 201'、CMOS 图像传感器器件层 202、第一 IMD311 和第二 IMD321,以延伸金属层 324 作为刻蚀停止层,采用终点检测法控制干法刻蚀的时间;也可以采用先干法刻蚀形成非穿透性 TSV,再用干法或湿法过刻蚀去掉延伸金属层 324 下方残留的部分第二 IMD321;在这里,硅通孔的直径范围是 5 微米到 50 微米,最佳取值为 20 ~ 30 微米。虽然 TSV501 形状一般为圆形,但也可以是各种形状,例如:三角形、四边形或多边形;硅通孔的尺寸可以大于、小于或等于延伸金属层 324 的尺寸;

[0021] 步骤 105,在 TSV501 及 CMP 后硅衬底 201' 的晶片背面 201b 沉积绝缘薄膜;

[0022] 在本步骤中,绝缘薄膜沉积采用化学气相沉积方法沉积二氧化硅或氮化硅等绝缘材料。

[0023] 步骤 106,刻蚀去除延伸金属层 324 下方的绝缘薄膜,露出延伸金属层 324,得到如图 6 所示的结构,包括延伸金属层 324、CMOS 图像传感器器件层 202、透镜和玻璃 80、TSV501 和绝缘薄膜 601;

[0024] 在本步骤中,首先在 TSV501 和 CMP 后硅衬底 201' 晶片背面 201b 的绝缘薄膜表面涂抹一层光刻胶,然后按照需要的掩模板图案进行曝光和显影使光刻胶图案化,对位于延伸金属层 324 下方没有被光刻胶图案覆盖的绝缘薄膜进行刻蚀,最后清洗残留在 TSV501 和绝缘薄膜 601 表面的光刻胶。

[0025] 步骤 107,在 TSV501 中填充金属形成导电通孔 701,制作与导电通孔 701 电连接的焊球 702,得到如图 7 所示的结构,包括绝缘薄膜 601,导电通孔 701、焊球 702、引线 703 和焊球绝缘层 704;

[0026] 本步骤中,制作焊球 702 的方法为现有技术,具体包括:从导电通孔 701 露出的金属表面开始引出沿引线 703,引线 703 平行于绝缘薄膜 601,将引线 703 拉至合适位置后,在引线 703 表面和没有被引线覆盖的绝缘薄膜 601 表面沉积二氧化硅的焊球绝缘层 704,最

后通过刻蚀去掉引线 703 表面的部分焊球绝缘层 704 露出引线 703, 将焊球 702 加在露出部分引线 703 上, 焊球 702 由引线 703 电连接导电通孔 701, 同时由焊球绝缘层 704 使焊球 702 之间电绝缘。由于 TSV501 位于延伸金属层 324 的下方, 且与延伸金属层 324 直接相连, TSV501 中填入的金属与延伸金属层 324 形成的良好电接触。在后续 CMOS 图像传感器封装过程中, 外围电路与焊球 702 接触后, 经由导电通孔 701、延伸金属层 324 以及第二金属互连层 320 和第一金属互连层 310 的导通, 最终与 CMOS 图像传感器器件层 202 电连接。

[0027] 步骤 108, 在切割道中进行晶片划片, 分离出每个 CMOS 图像传感器。

[0028] 至此, 现有技术中采用 TSV 的 CMOS 图像传感器封装工艺过程制作完毕。

[0029] 以上从晶片背面进行刻蚀背面 TSV 的半导体器件封装方法, 通过焊球 702 以及导电通孔 701 与延伸金属层 324 形成电接触, 利用延伸金属层 324 所在金属互连层的金属互连结构, 实现 CMOS 图像传感器的三维立体封装。该方法由两个缺陷, 首先, 由于需要在晶片的切割道上额外设计出延伸金属层 324 的区域用于电连接导电通孔 701, 所以必须相应增大切割道面积, 从而必然导致芯片中用于制作 CMOS 图像传感器的 main chip 面积减小, 降低每个晶片上制作 CMOS 图像传感器的数量; 其次, 延伸金属层 324 和导电通孔 701 位于切割道区域, 无法受到 seal ring 的保护, 一方面加大了后续晶片划片步骤中对 CMOS 图像传感器芯片造成机械损伤的可能性, 另一方面延伸金属层 324 和导电通孔 701 都无法避免外界对其电信号传输的干扰。

发明内容

[0030] 有鉴于此, 本发明提供一种能够提高晶片的芯片区中制作半导体器件数量及增加所制作的半导体器件可靠性的硅通孔封装方法。

[0031] 为解决上述问题, 本发明的技术方案具体是这样实现的:

[0032] 一种硅通孔封装方法, 提供具有衬底和半导体器件层的晶片, 所述衬底具有晶片器件面和与其相对的晶片背面, 所述半导体器件层位于所述衬底的晶片器件面上, 该方法包括, 所述半导体器件层上沉积金属间电介质, 在所述晶片的芯片区对应的所述金属间电介质中制作与所述半导体器件层电连接的金属连线和金属衬垫, 该方法还包括:

[0033] 从所述衬底的晶片背面依次刻蚀所述衬底、半导体器件层和金属间电介质, 以所述金属衬垫作为刻蚀停止层, 形成与所述金属衬垫相通的硅通孔;

[0034] 所述硅通孔中填充金属形成导电通孔, 制作与所述导电通孔电连接的焊球。

[0035] 所述硅通孔的直径范围是 5 到 80 微米。

[0036] 所述刻蚀是干法刻蚀。

[0037] 一种硅通孔封装方法, 在从所述衬底的晶片背面依次刻蚀所述衬底之前, 该方法还包括: 化学机械研磨所述衬底的晶片背面。

[0038] 化学机械研磨后的所述衬底的厚度范围是 50 微米到 200 微米。

[0039] 由上述的技术方案可见, 本发明提供了一种硅通孔封装方法, 将硅通孔放置在晶片的芯片区, 制作与金属互连层的金属衬垫形成电连接的导电通孔, 该方法一方面在晶片区中取消延伸金属层的制作从而减小切割道面积, 增大芯片区面积, 使每个晶片上制作半导体器件数量增加; 另一方面导电通孔在芯片区的密封环保护范围内, 避免外界对其电信号传输的干扰, 提高半导体器件可靠性。

附图说明

- [0040] 图 1 为现有技术 TSV 的 CMOS 图像传感器封装方法的步骤流程图；
[0041] 图 2 ~ 7 为现有技术背面 TSV 的 CMOS 图像传感器封装结构的简化剖面示意图；
[0042] 图 8 为本发明背面 TSV 的 CMOS 图像传感器封装方法的步骤流程图；
[0043] 图 9 ~ 14 为本发明背面 TSV 的 CMOS 图像传感器封装结构的简化剖面示意图。

具体实施方式

[0044] 为使本发明的目的、技术方案、及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

[0045] 具体实施例一

[0046] 下面以 CMOS 图像传感器的封装为例，详细说明本发明提出的采用背面 TSV 的半导体器件封装方法。

[0047] 图 8 为本发明背面 TSV 的 CMOS 图像传感器封装方法的步骤流程图，结合图 9 ~ 图 14 所示的本发明背面 TSV 的 CMOS 图像传感器封装结构的简化剖面示意图，说明本发明提出的背面 TSV 的 CMOS 图像传感器封装方法的具体步骤。

[0048] 步骤 801，硅衬底 201 的晶片器件面 201a 制作 CMOS 图像传感器器件层 202，得到如图 9 所示的结构，包括硅衬底 201 和 CMOS 图像传感器器件层 202；

[0049] 在半导体制造中，衬底是半导体材料的衬底，例如，硅衬底，当然也可以是包括 III 族、IV 族和 / 或 V 族元素的半导体衬底，本实施例中以硅衬底为例说明。CMOS 图像传感器器件层 202 中包括 CMOS 器件和光电二极管（图 9 中 CMOS 器件和光电二极管未画出），具体制作方法为现有技术，不再赘述。

[0050] 步骤 802，CMOS 图像传感器器件层 202 上方制作金属互连层 1010，得到如图 10 所示的结构，包括硅衬底 201、金属互连层 1010、CMOS 图像传感器器件层 202；其中，金属互连层 1010 中包括 metal pad 1013 和金属连线 1012。

[0051] 本实施例中，仅以 CMOS 图像传感器器件层 202 的层间介质上方的金属互连层 1010 为例对现有技术中的金属互连层工艺方法进行说明，金属互连层 1010 在实际应用中可为任意一层金属互连层。首先在 CMOS 图像传感器器件层 202 上沉积 IMD1011，在沉积 IMD1011 之前还可以先在 CMOS 图像传感器器件层 202 的层间介质上沉积氮化硅 (Si_3N_4) 作为后续步骤中对 IMD1011 进行刻蚀的停止层。

[0052] 本步骤中，IMD1011 为二氧化硅 (SiO_2)，在二氧化硅上还可以沉积硅的氧化物 (TEOS) 作为后续刻蚀和去胶 (ashing) 步骤中二氧化硅的保护层。

[0053] 然后，光刻和刻蚀 IMD1011，形成穿透 IMD1011 的通孔和位于通孔上方具有较大开口宽度的沟槽；其中，金属互连层 1010 中的沟槽和通孔都位于 main chip，能够被 seal ring 覆盖，对 CMOS 图像传感器的电信号传输起到保护作用。

[0054] 接着，在通孔、沟槽和 IMD1011 表面沉积扩散阻挡层（图中未画出），沉积扩散阻挡层的目的是防止后续步骤填充在沟槽和通孔中的金属铜散落扩散至 IMD1011，采用物理气相沉积 (PVD) 工艺沉积扩散阻挡层；

[0055] 最后，由 PVD 工艺在扩散阻挡层上沉积铜籽晶层，采用电化学镀工艺 (ECP) 在沟槽

和通孔中生长金属铜后,将金属铜、铜籽晶层和扩散阻挡层通过 CMP 抛光至 IMD1011 的表面,形成金属互连层 1010。其中,填充金属铜的沟槽称为 metal pad 1013,填充金属铜的通孔称为金属连线 1012。其中,金属互连层 1010 的长度范围在 20 到 40 微米,作为后续从晶片背面刻蚀硅通孔 (TSV) 的刻蚀停止层。

[0056] 金属互连层 1010 制作完毕后,还可以接着在金属互连层 1010 上方制作其他金属互连层。需要注意的是,金属互连层中的沟槽和通孔都位于 main chip 所在的区域,都会受到 seal ring 的保护。

[0057] 步骤 803,在金属互连层 1010 上方粘合透镜和玻璃 80 后,对硅衬底 201 的背面 201b 进行 CMP,得到如图 11 所示的结构(透镜和玻璃 80 的具体结构省略,未画出),CMP 的作用是使随后在硅衬底 201 的背面 201b 刻蚀硅通孔步骤更容易进行;

[0058] 此步骤中,透镜和玻璃 80 把 CMOS 图像传感器器件层 202 和金属互连层 1010 与外界环境隔离,起到保护 CMOS 图像传感器器件层 202 和金属互连层 1010 的作用;

[0059] CMP 后的 CMP 后硅衬底 201' 的厚度要满足坚固性和耐磨性的要求,一般来说,CMP 后硅衬底 201' 的厚度范围最好控制在 50 微米到 200 微米,例如 50 微米、100 微米或 200 微米。

[0060] 步骤 804,从 metal pad 1013 对应的 CMP 后硅衬底 201' 背面 201b 位置刻蚀 TSV1201,形成从硅衬底 201 背面 201b 直到 metal pad 1013 下方的穿透结构,得到如图 12 所示的结构;

[0061] 本步骤中,TSV1201 的位置可以用双面对准法确定。刻蚀 TSV1201 的方法可以是直接干法刻蚀,依次刻蚀晶片的衬底、CMOS 图像传感器器件层 202 和 IMD1011,以 metal pad 1013 作为刻蚀停止层。采用终点检测法控制干法刻蚀的刻蚀终点;此外,还可以根据干法刻蚀的刻蚀速率和第一 CMP 后硅衬底 201'、CMOS 图像传感器器件层 202 和 IMD1011 分别的厚度,通过控制刻蚀时间确定刻蚀终点,为了形成穿透性 TSV1201,还需要干法过刻蚀去掉 metal pad 1013 下方可能残留的部分 IMD1011;根据以往的经验,控制干法过刻蚀的时间范围在干法刻蚀 IMD1011 所用时间的 50%到 100%,保证完全去除残留在 metal pad 1013 下方的 IMD1011 残留。

[0062] 在这里,TSV1201 的直径范围是 5 微米到 80 微米,例如:5 微米、60 微米或 80 微米,最佳取值为 50 微米。虽然硅通孔形状一般为圆形,但也可以是各种形状,例如:三角形、四边形或多边形;TSV1201 的尺寸可以大于、小于或等于 metal pad1013 的尺寸;

[0063] 步骤 805,在 TSV 及 CMP 后衬底的晶片背面 201b 沉积绝缘薄膜;

[0064] 在本步骤中,绝缘薄膜沉积采用化学气相沉积方法沉积二氧化硅绝缘材料。

[0065] 步骤 806,刻蚀掉 metal pad 1013 下方的绝缘薄膜,露出金属互连层 1010,得到如图 13 所示的结构,包括金属互连层 1010、CMOS 图像传感器器件层 202、透镜和玻璃 80、TSV1201 和绝缘薄膜 601。

[0066] 在本步骤中,首先在 TSV1201 和硅衬底 201 晶片背面 201b 的绝缘薄膜表面涂抹一层光刻胶,然后按照需要的掩模板图案进行曝光和显影使光刻胶图案化,对位于 metal pad 1013 下方没有被光刻胶图案覆盖的绝缘薄膜进行刻蚀,最后清洗残留在 TSV1201 和绝缘薄膜 601 表面的光刻胶;

[0067] 步骤 807,在 TSV1201 中填充金属形成导电通孔 1401 后,制作与导电通孔 1401 电

连接的焊球 1402,得到如图 7 所示的结构,包括绝缘薄膜 601,导电通孔 1401、焊球 1402、引线 1403 和焊球绝缘层 1404;

[0068] 本步骤中,制作焊球 1402 的方法为现有技术,具体包括:从导电通孔 1401 露出的金属表面开始引出沿引线 1403,引线 1403 平行于绝缘薄膜 601,将引线 1403 拉至合适位置后,在引线 1403 表面和没有被引线覆盖的绝缘薄膜 601 表面沉积二氧化硅的焊球绝缘层 1404,最后通过刻蚀去掉引线 1403 表面的部分焊球绝缘层 1404 露出引线 1403,将焊球 1402 加在露出部分引线 1403 上,焊球 1402 由引线 1403 电连接导电通孔 1401,同时由焊球绝缘层 1404 使焊球 1402 之间电绝缘。由于 TSV1201 位于金属互连层 1010 的下方,且与金属互连层 1010 直接相连,所以本步骤中制作的焊球 1402 以及 TSV1201 中填入的金属与金属互连层 1010 形成良好的电接触。在后续 CMOS 图像传感器封装过程中,外围电路与焊球 1402 接触后,经由导电通孔 1401 以及金属互连层 1010 中的 metal pad 1013 和金属连线 1012,最终与 CMOS 图像传感器器件层 202 电连接。

[0069] 步骤 808,在切割道中对晶片划片,分离出每个 CMOS 图像传感器。

[0070] 至此,本发明具体实施例一采用从晶片背面进行刻蚀 TSV 的 CMOS 图像传感器封装工艺过程制作完毕。

[0071] 本发明提出的硅通孔封装方法,将硅通孔放置在晶片的芯片区,制作与金属互连层的金属衬垫形成电连接的导电通孔,该方法一方面在晶片中取消延伸金属层的制作从而减小切割道面积,增大芯片区面积,使每个晶片上制作半导体器件数量增加;另一方面导电通孔在芯片区的 seal ring 保护范围内,避免外界对其电信号传输的干扰,提高半导体器件可靠性。

[0072] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

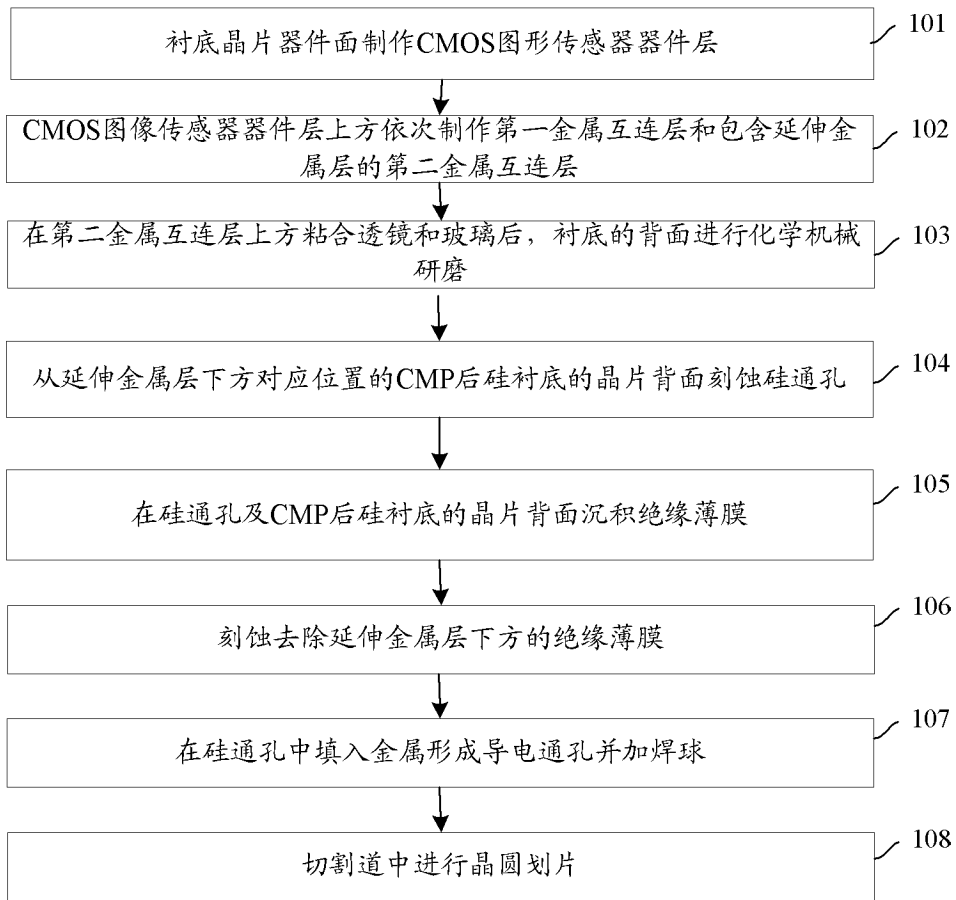


图 1

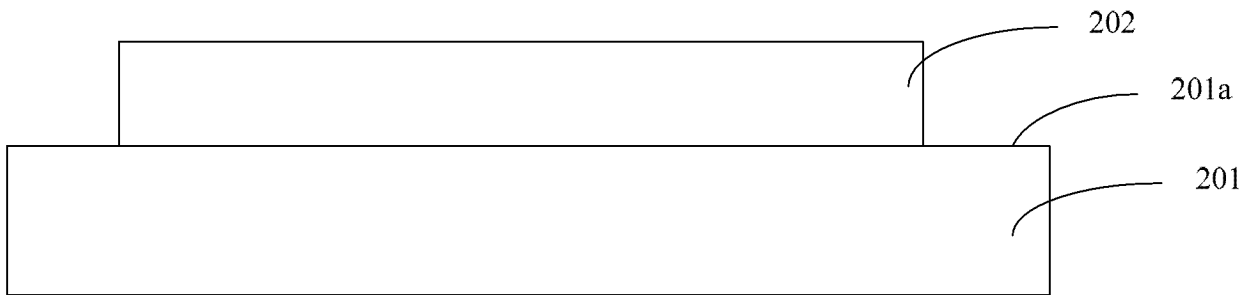


图 2

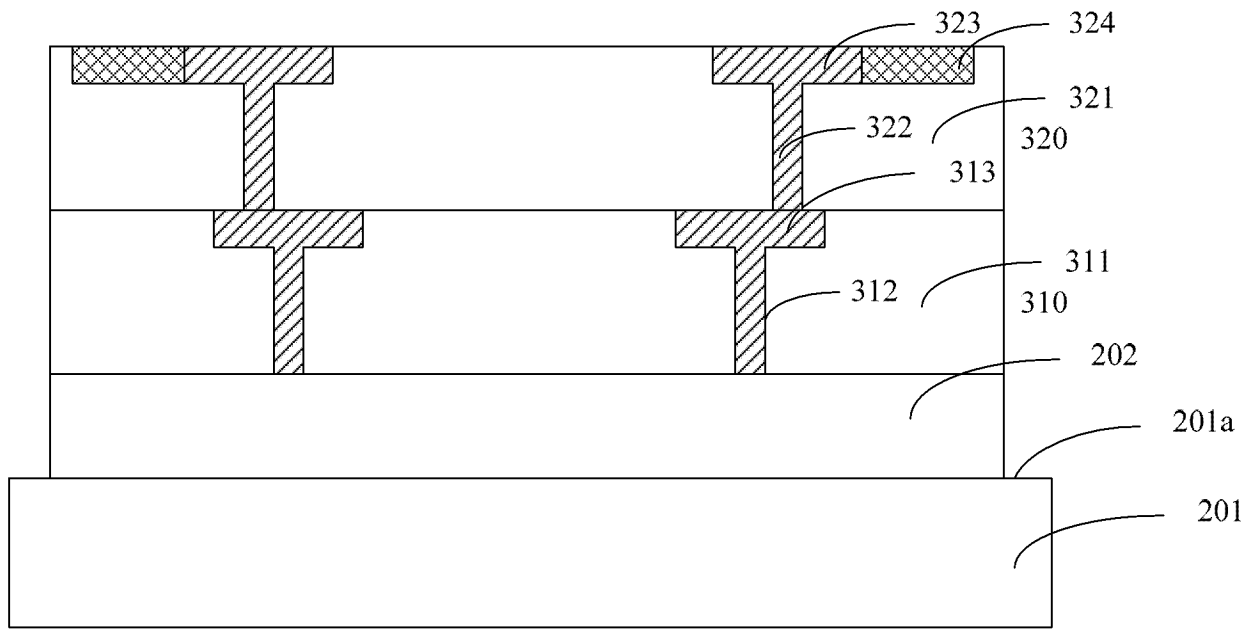


图 3

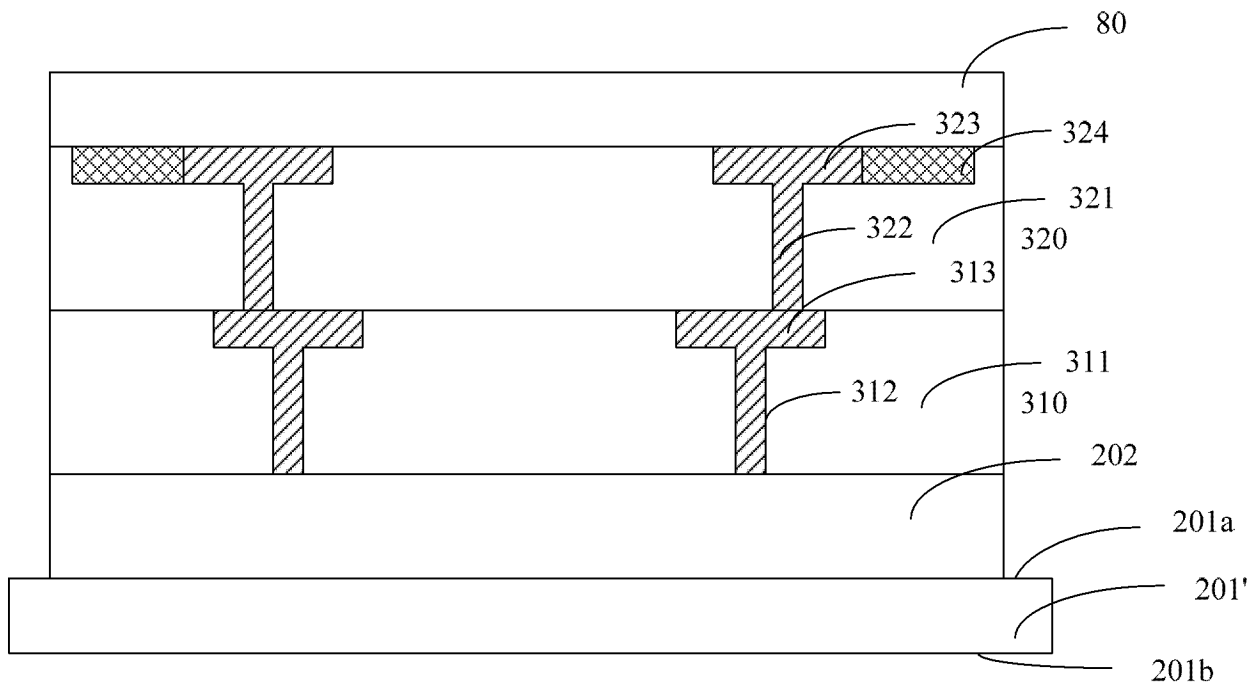


图 4

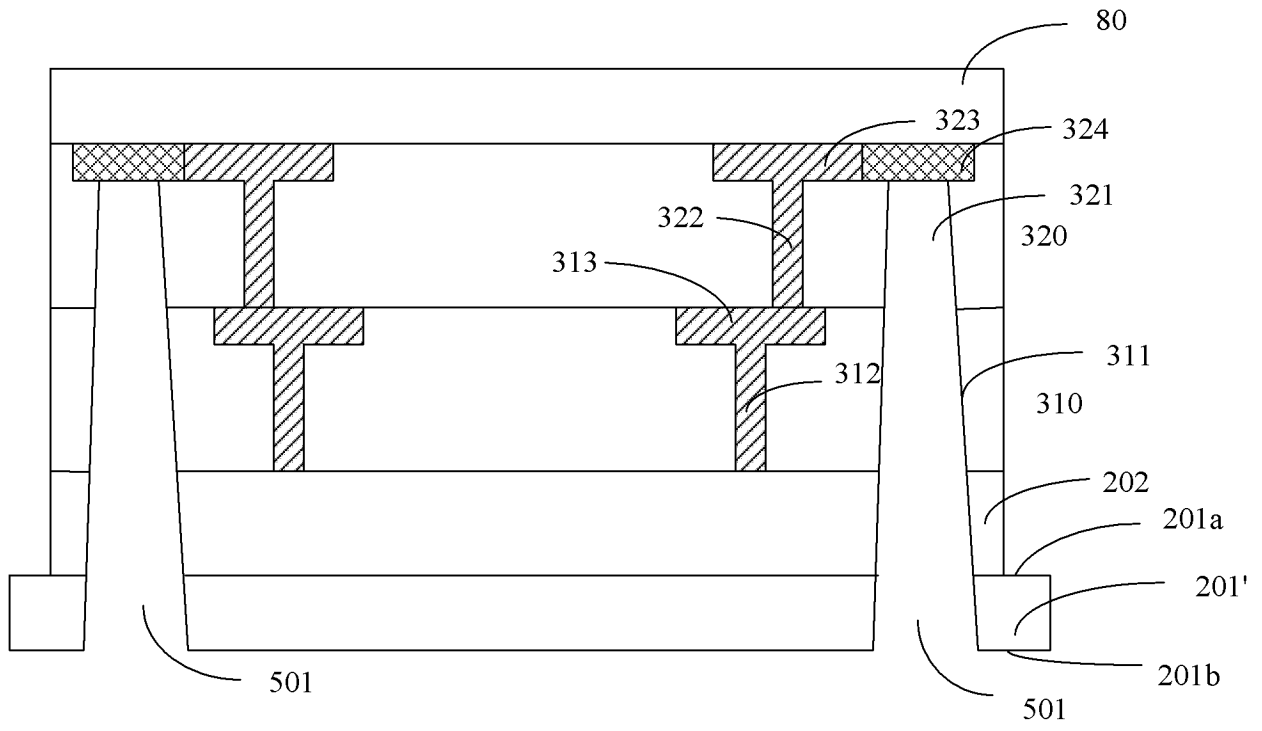


图 5

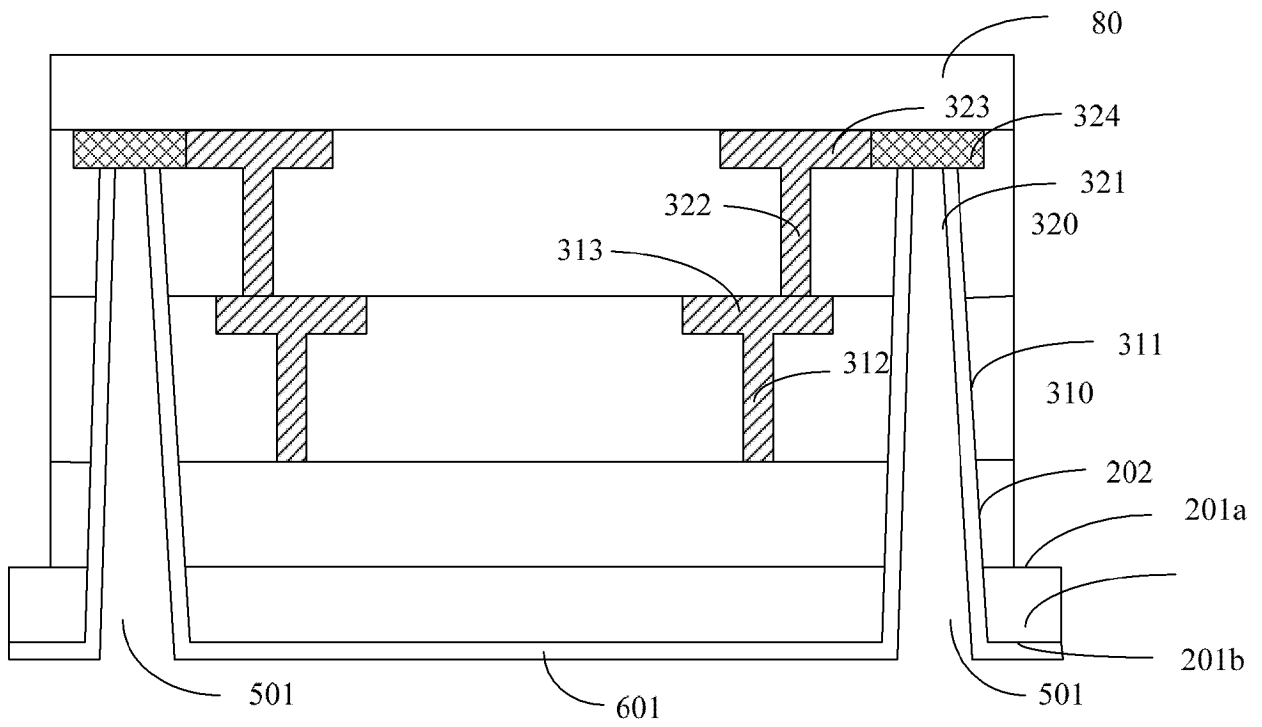


图 6

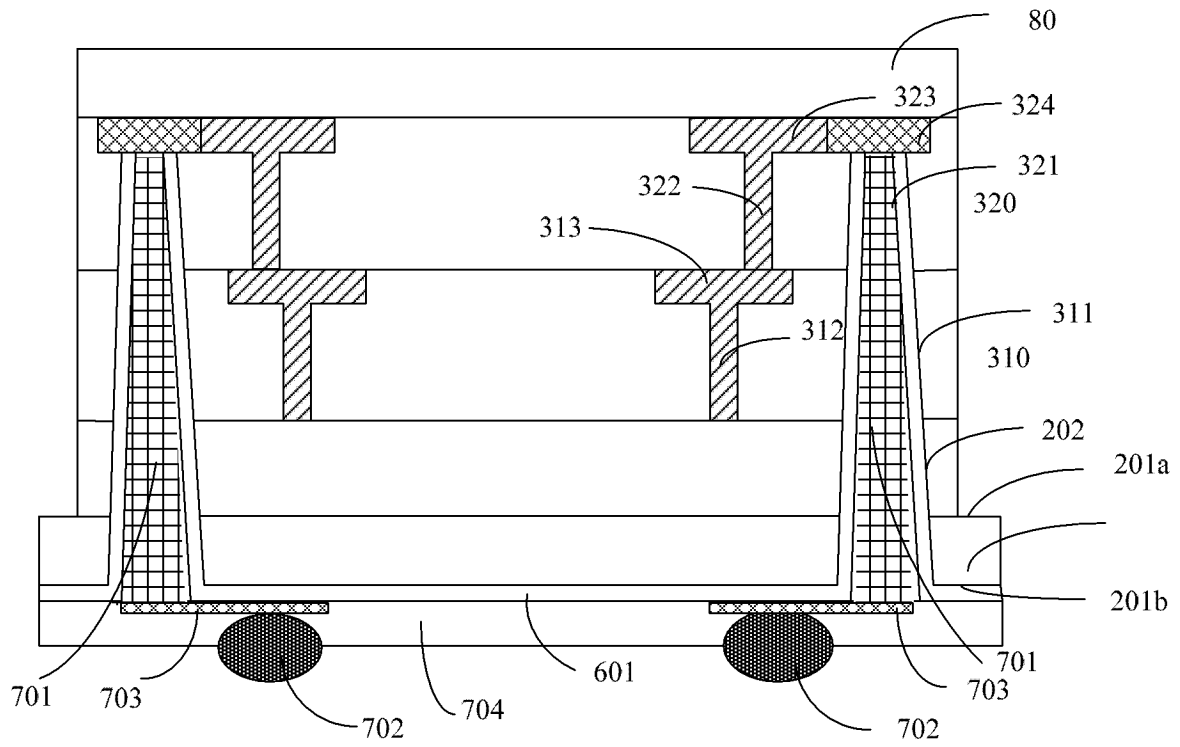


图 7

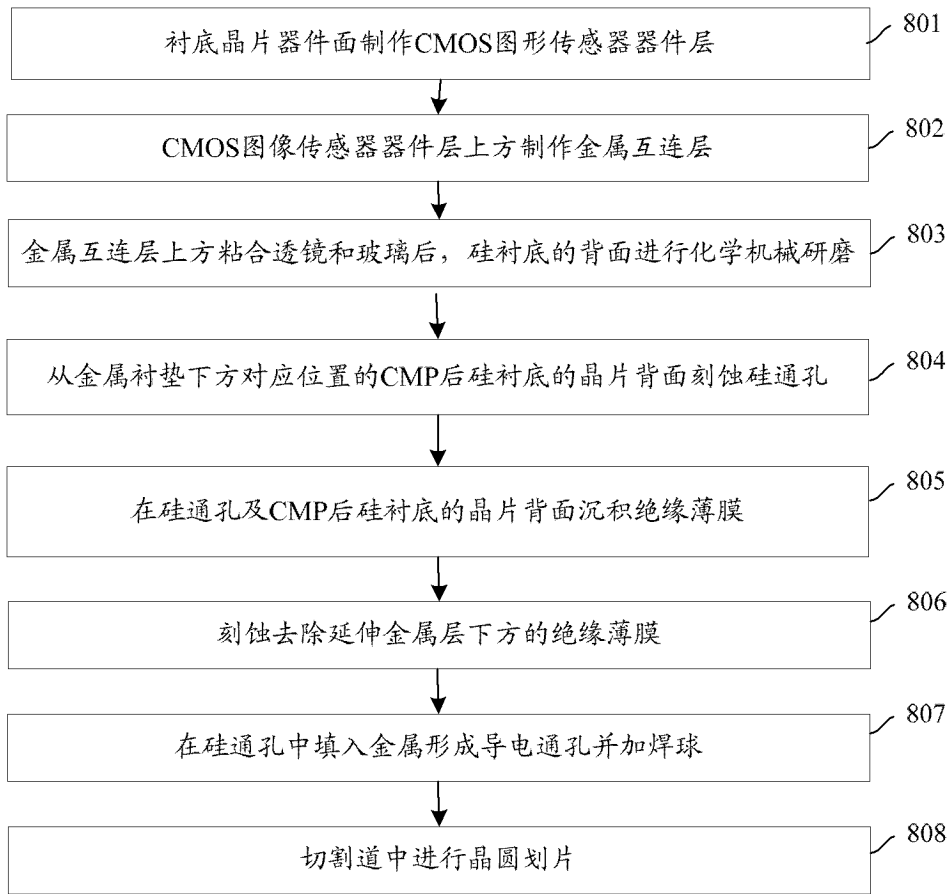


图 8

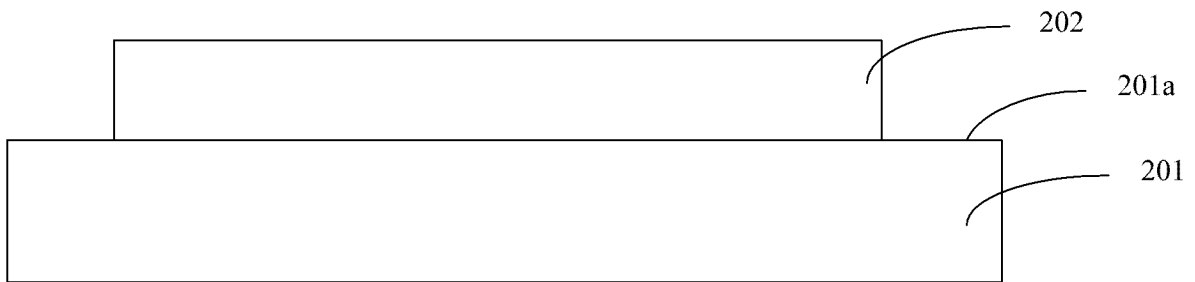


图 9

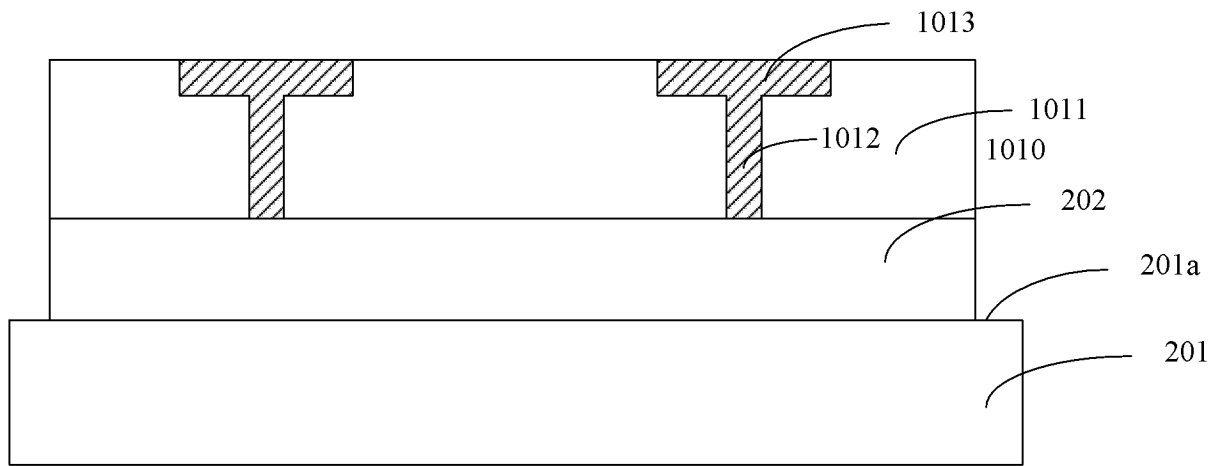


图 10

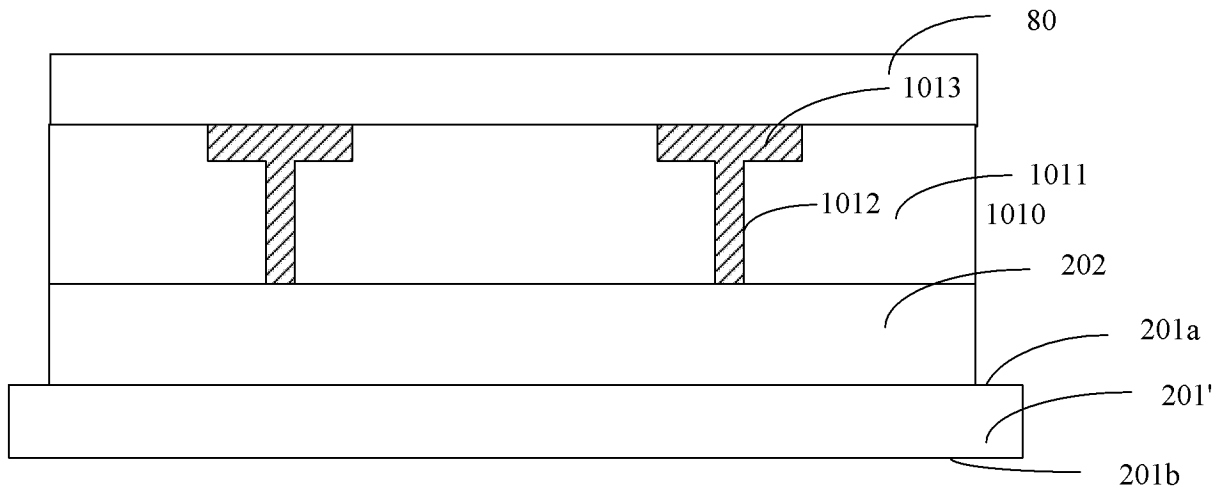


图 11

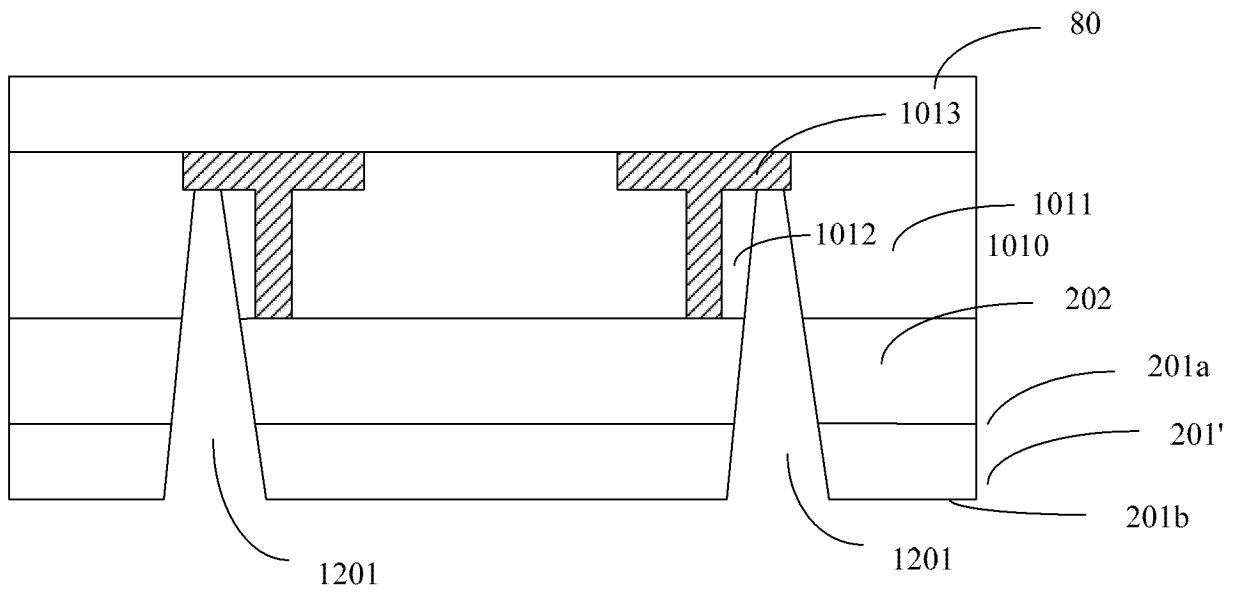


图 12

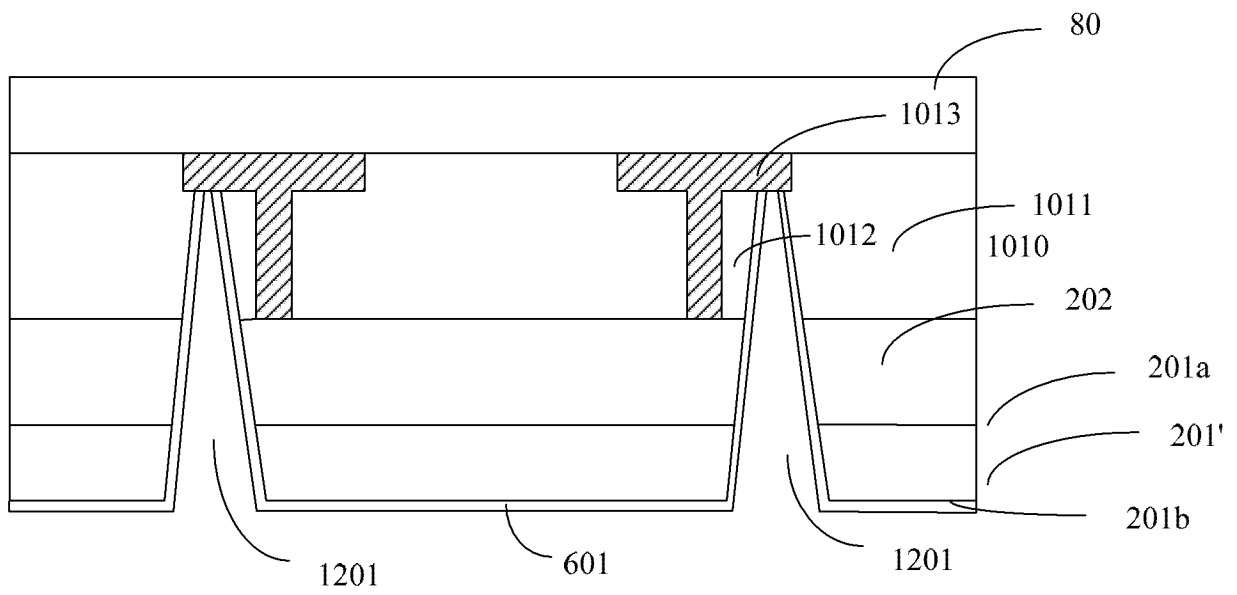


图 13

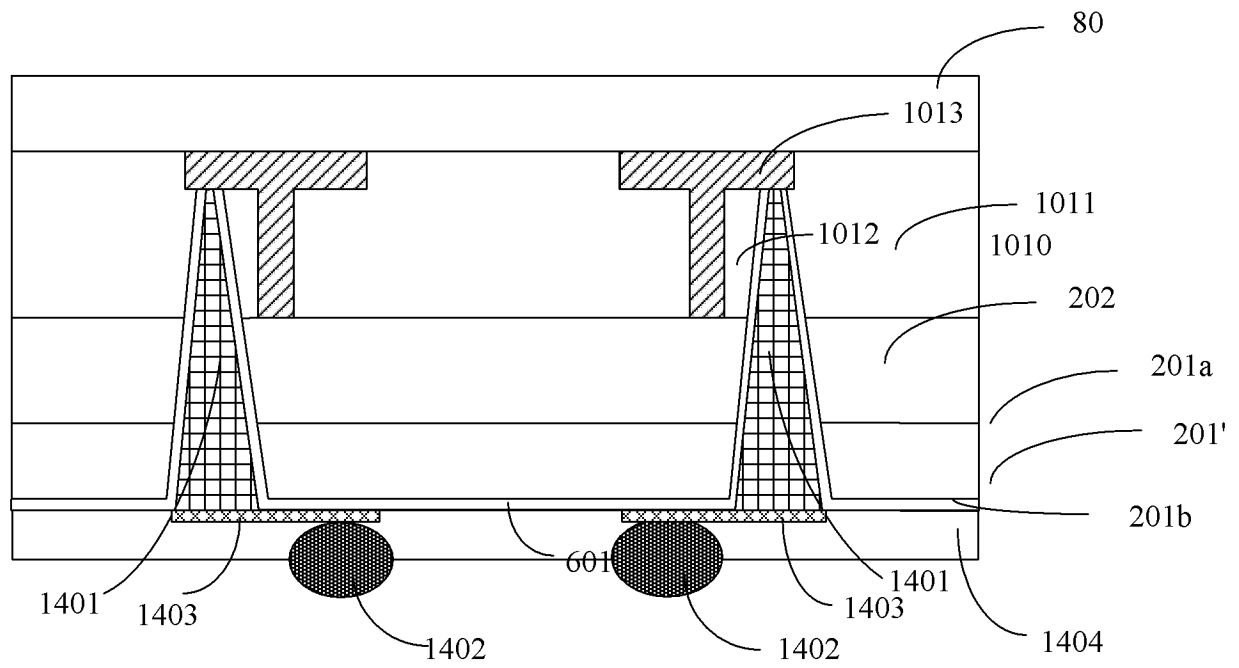


图 14