



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월18일  
(11) 등록번호 10-1192626  
(24) 등록일자 2012년10월12일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/136* (2006.01)  
(21) 출원번호 10-2006-0042898  
(22) 출원일자 2006년05월12일  
심사청구일자 2011년05월12일  
(65) 공개번호 10-2007-0110159  
(43) 공개일자 2007년11월16일  
(56) 선행기술조사문헌  
KR1020060023419 A

전체 청구항 수 : 총 20 항

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
우에모토 츠토무  
서울특별시 강남구 삼성로64길 5, 대치현대@ 104  
동 1001호 (대치동)  
(74) 대리인  
박영우

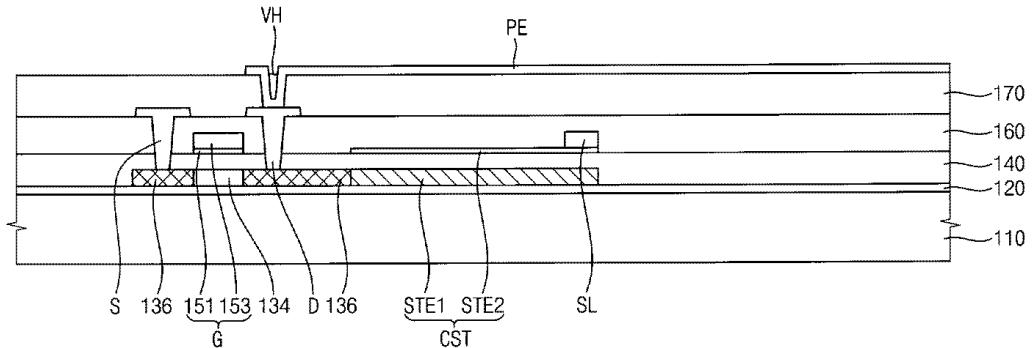
심사관 : 신창우

(54) 발명의 명칭 표시 기판과, 이의 제조 방법 및 이를 구비한 표시 장치

### (57) 요 약

고개구울을 가지는 표시 기판과, 이의 제조 방법 및 이를 구비한 표시 장치가 개시된다. 표시 기판의 제조 방법은 베이스 기판 위에 다결정 실리콘층을 형성하고, 다결정 실리콘층에 불순물을 도핑하여 스위칭 소자의 채널부와 제1 스토리지 전극을 형성하고, 다결정 실리콘층이 형성된 베이스 기판 위에 투명 도전성 물질로 형성된 하부층과 금속물질로 형성된 상부층을 포함하는 게이트 금속층을 형성하고, 게이트 금속층으로 게이트 금속패턴을 형성하고, 하부층으로 제1 스토리지 전극과 중첩하는 제2 스토리지 전극을 형성하고, 다결정 실리콘층에 불순물을 도핑하여 스위칭 소자의 도핑부를 형성하고, 도핑부가 형성된 베이스 기판 위에 소스 금속층으로 소스 금속패턴을 형성하고, 스위칭 소자와 전기적으로 연결된 화소 전극을 형성한다. 이에 따라, 스토리지 캐패시터의 면적을 축소시키지 않고 고개구울의 표시 기판을 구현할 수 있다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

베이스 기판 위에 다결정 실리콘층을 형성하는 단계;

상기 다결정 실리콘층에 불순물을 도핑하여 스위칭 소자의 채널부와 제1 스토리지 전극을 형성하는 단계;

상기 다결정 실리콘층이 형성된 베이스 기판 위에 투명 도전성 물질로 형성된 하부층과 금속 물질로 형성된 상부층을 포함하는 게이트 금속층을 형성하는 단계;

상기 게이트 금속층으로 게이트 금속패턴을 형성하고, 상기 하부층으로 상기 제1 스토리지 전극과 중첩하는 제2 스토리지 전극을 형성하는 단계;

상기 다결정 실리콘층에 상기 불순물을 도핑하여 상기 스위칭 소자의 도핑부를 형성하는 단계;

상기 도핑부가 형성된 베이스 기판 위에 소스 금속층으로 소스 금속패턴을 형성하는 단계; 및

상기 스위칭 소자와 전기적으로 연결된 화소 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

### 청구항 2

제1항에 있어서, 상기 제1 스토리지 전극은 상기 도핑부 보다 저농도로 불순물이 도핑된 것을 특징으로 하는 표시 기판의 제조 방법.

### 청구항 3

제1항에 있어서, 상기 다결정 실리콘층을 형성하는 단계는

상기 베이스 기판 위에 비정질 실리콘층을 제1 두께로 형성하는 단계;

상기 비정질 실리콘층을 SLS(Sequential Lateral Solidification) 방식으로 결정화하는 단계; 및

상기 결정화된 상기 제1 두께의 다결정 실리콘층을 제2 두께로 식각하는 단계를 포함하는 표시 기판의 제조 방법.

### 청구항 4

제3항에 있어서, 상기 제1 두께는 500Å 내지 7000Å인 것을 특징으로 하는 표시 기판의 제조 방법.

### 청구항 5

제3항에 있어서, 상기 제2 두께는 200Å 내지 400Å인 것을 특징으로 하는 표시 기판의 제조 방법.

### 청구항 6

제1항에 있어서, 상기 게이트 금속패턴은 상기 스위칭 소자의 게이트 전극, 상기 게이트 전극과 연결된 게이트 배선, 상기 제2 스토리지 전극과 연결된 스토리지 배선을 포함하는 표시 기판의 제조 방법.

### 청구항 7

제6항에 있어서, 상기 소스 금속패턴은 상기 게이트 배선과 교차하는 소스 배선과, 상기 도핑부와 각각 접촉되는 상기 스위칭 소자의 소스 전극 및 드레인 전극을 포함하는 표시 기판의 제조 방법.

### 청구항 8

제1항에 있어서, 상기 제2 스토리지 전극을 형성하는 단계는

상기 게이트 금속층 위에 포토레지스트층을 도포하는 단계;

상기 포토레지스트층을 패터닝하여 게이트 배선 영역, 게이트 전극 영역 및 스토리지 배선 영역에 제1 포토패턴을 형성하고, 스토리지 전극 영역에 제2 포토패턴을 형성하는 단계;

상기 제1 및 제2 포토패턴을 이용해 상기 게이트 금속층을 패터닝하여 게이트 전극, 게이트 배선 및 스토리지 금속패턴을 형성하는 단계;

상기 제2 포토패턴을 제거하여 상기 스토리지 전극 영역의 상기 상부층을 노출시키고, 상기 제1 포토패턴을 일정두께 제거하여 게이트 배선 영역, 게이트 전극 영역 및 스토리지 배선 영역에 잔류포토패턴을 형성하는 단계; 및

상기 잔류포토패턴을 이용해 상기 노출된 상부층을 제거하여 상기 제2 스토리지 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

#### 청구항 9

복수의 화소부들을 포함하는 표시 기판에서, 각 화소부는

채널부와 도핑부를 포함하는 다결정 실리콘층과, 상기 채널부 위에 하부층과 상부층으로 형성된 게이트 전극, 상기 도핑부와 접촉하는 소스 전극 및 드레인 전극을 포함하는 스위칭 소자;

상기 다결정 실리콘층으로 형성된 제1 스토리지 전극과, 상기 하부층으로 형성된 제2 스토리지 전극을 포함하는 스토리지 캐페시터; 및

상기 스위칭 소자와 전기적으로 연결된 화소 전극을 포함하는 표시 기판.

#### 청구항 10

제9항에 있어서, 상기 하부층 및 상부층으로 형성되고, 상기 제2 스토리지 전극과 연결된 스토리지 배선을 더 포함하는 표시 기판.

#### 청구항 11

제9항에 있어서, 상기 하부층은 투명 도전성 물질로 형성된 것을 특징으로 하는 표시 기판.

#### 청구항 12

제9항에 있어서, 상기 제1 스토리지 전극은 상기 도핑부 보다 저농도로 불순물이 도핑된 것을 특징으로 하는 표시 기판.

#### 청구항 13

제9항에 있어서, 상기 다결정 실리콘층의 두께는 200Å 내지 400Å인 것을 특징으로 하는 표시 기판.

#### 청구항 14

스위칭 소자의 도핑부 및 채널부와, 제1 스토리지 전극을 포함하는 다결정 실리콘층;

상기 채널부 위에 형성되고, 투명 도전성 물질로 이루어진 하부층과 금속 물질로 이루어진 상부층을 포함하는 게이트 전극;

상기 도핑부와 접촉되는 소스 및 드레인 전극;

상기 제1 스토리지 전극 위에 형성되며 상기 하부층으로 이루어진 제2 스토리지 전극; 및

상기 스위칭 소자와 전기적으로 연결된 화소 전극을 포함하는 표시 기판.

#### 청구항 15

제14항에 있어서, 상기 다결정 실리콘층은 SLS(Sequential Lateral Solidification) 방식으로 결정화된 것을 특징으로 하는 표시 기판.

#### 청구항 16

제15항에 있어서, 상기 제1 스토리지 전극은 상기 도핑부 보다 저농도로 불순물이 도핑된 것을 특징으로 하는 표시 기판.

## 청구항 17

복수의 화소부들을 포함하는 표시 기판;

상기 표시 기판과 대향하여 결합된 대향 기판; 및

상기 표시 기판과 상기 대향 기판 사이에 배치된 액정층을 포함하며,

각 화소부는 채널부와 도핑부를 포함하는 다결정 실리콘층과, 상기 채널부 위에 하부층과 상부층으로 형성된 게이트 전극, 상기 도핑부와 접촉하는 소스 전극 및 드레인 전극을 포함하는 스위칭 소자;

상기 다결정 실리콘층으로 형성된 제1 스토리지 전극과, 상기 하부층으로 형성된 제2 스토리지 전극을 포함하는 스토리지 캐패시터;

상기 하부층 및 상부층으로 형성되고, 상기 제2 스토리지 전극과 연결된 스토리지 배선; 및

상기 스위칭 소자와 전기적으로 연결된 화소 전극을 포함하는 표시 장치.

## 청구항 18

제17항에 있어서, 상기 제1 스토리지 전극은 상기 도핑부 보다 저농도로 불순물이 도핑된 것을 특징으로 하는 표시 장치.

## 청구항 19

제17항에 있어서, 상기 하부층은 투명 도전성 물질로 형성된 것을 특징으로 하는 표시 장치.

## 청구항 20

제17항에 있어서, 상기 다결정 실리콘층은 SLS(Sequential Lateral Solidification) 방식으로 결정화 된 것을 특징으로 하는 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0014] 본 발명은 표시 기판과, 이의 제조 방법 및 이를 구비한 표시 장치에 관한 것으로, 보다 상세하게는 고개구율을 가지는 표시 기판과, 이의 제조 방법 및 이를 구비한 표시 장치에 관한 것이다.

[0015] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 표시 기판과 상기 표시 기판과 결합하여 액정층을 수용하는 대향 기판(Counter Substrate)을 포함한다. 상기 표시 기판에는 게이트 배선들 및 게이트 배선들과 교차하는 소스 배선들이 형성되며, 게이트 배선들과 소스 배선들에 연결된 스위칭 소자들과, 상기 스위칭 소자들에 연결된 화소 전극들이 형성된다. 각 스위칭 소자는 게이트 배선으로부터 연장된 게이트 전극, 게이트 전극과 절연되며 게이트 전극과 오버랩된 채널, 소스 배선으로부터 형성되어 채널과 전기적으로 연결된 소스 전극 및 소스 전극과 이격되며 채널과 전기적으로 연결된 드레인 전극을 포함한다.

[0016] 최근 액정표시장치는 모바일 폰, 캠코더, 디지털 카메라, MP3 플레이어 등과 같은 복합기기의 표시 장치로 개발되며, 이에 따라 컨텐츠의 다양화 및 고급화에 의해 고해상도는 물론 고휘도가 요구되고 있다. 특히, 휴대용 기기에 적용되는 소형의 액정표시장치는 고해상도 및 고휘도를 위해 소비전력을 증가시켜 백라이트의 휘도를 높이는 방법이 일반적으로 사용되고 있다. 그러나, 소비전력을 증가시켜 고휘도를 이루는 방법은 휴대 전원(예컨대 빛데리)을 사용하는 휴대용 기기에서 한계를 갖는다.

#### 발명이 이루고자 하는 기술적 과제

[0017] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 고개구율을 가지는 표시 기판을 제공하는 것이다.

- [0018] 본 발명의 다른 목적은 상기 표시 기판의 제조 방법을 제공하는 것이다.
- [0019] 본 발명의 또 다른 목적은 상기 표시 기판의 구비한 표시 장치를 제공하는 것이다.

### 발명의 구성 및 작용

- [0020] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 기판의 제조 방법은 베이스 기판 위에 다결정 실리콘층을 형성하는 단계와, 상기 다결정 실리콘층에 불순물을 도핑하여 스위칭 소자의 채널부와 제1 스토리지 전극을 형성하는 단계와, 상기 다결정 실리콘층이 형성된 베이스 기판 위에 투명 도전성 물질로 형성된 하부층과 금속물질로 형성된 상부층을 포함하는 케이트 금속층을 형성하는 단계와, 상기 케이트 금속층으로 케이트 금속 패턴을 형성하고, 상기 하부층으로 상기 제1 스토리지 전극과 중첩하는 제2 스토리지 전극을 형성하는 단계와, 상기 다결정 실리콘층에 상기 불순물을 도핑하여 상기 스위칭 소자의 도핑부를 형성하는 단계와, 상기 도핑부가 형성된 베이스 기판 위에 소스 금속층으로 소스 금속패턴을 형성하는 단계 및 상기 스위칭 소자와 전기적으로 연결된 화소 전극을 형성하는 단계를 포함한다.
- [0021] 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 표시 기판은 복수의 화소부들을 포함하고, 각 화소부는 스위칭 소자, 스토리지 캐페시터, 스토리지 배선 및 화소 전극을 포함한다. 상기 스위칭 소자는 채널부와 도핑부를 포함하는 다결정 실리콘층과, 상기 채널부 위에 하부층과 상부층으로 형성된 케이트 전극, 상기 도핑부와 접촉하는 소스 전극 및 드레인 전극을 포함한다. 상기 스토리지 캐페시터는 상기 다결정 실리콘층으로 형성된 제1 스토리지 전극과, 상기 하부층으로 형성된 제2 스토리지 전극을 포함한다. 상기 스토리지 배선은 상기 하부층 및 상부층으로 형성되고, 상기 제2 스토리지 전극과 연결된다. 상기 화소 전극은 상기 스위칭 소자와 전기적으로 연결된다.
- [0022] 본 발명의 목적을 실현하기 위한 또 다른 실시예에 따른 표시 장치는 복수의 화소부들을 포함하는 표시 기판과, 상기 표시 기판과 대향하여 결합된 대향 기판 및 상기 표시 기판과 상기 대향 기판 사이에 배치된 액정층을 포함한다. 각 화소부는 스위칭 소자, 스토리지 캐페시터, 스토리지 배선 및 화소 전극을 포함한다. 상기 스위칭 소자는 채널부와 도핑부를 포함하는 다결정 실리콘층과, 상기 채널부 위에 하부층과 상부층으로 형성된 케이트 전극, 상기 도핑부와 접촉하는 소스 전극 및 드레인 전극을 포함한다. 상기 스토리지 캐페시터는 상기 다결정 실리콘층으로 형성된 제1 스토리지 전극과, 상기 하부층으로 형성된 제2 스토리지 전극을 포함한다. 상기 스토리지 배선은 상기 하부층 및 상부층으로 형성되고, 상기 제2 스토리지 전극과 연결된다. 상기 화소 전극은 상기 스위칭 소자와 전기적으로 연결된다.
- [0023] 이러한 표시 기판과 이의 제조 방법 및 표시 장치에 의하면, 스토리지 캐페시터의 면적을 축소시키지 않고 고개구율의 표시 기판을 구현할 수 있다.
- [0024] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- [0025] 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이고, 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.
- [0026] 도 1 및 도 2를 참조하면, 표시 장치는 표시 기판(100)과 상기 표시 기판(100)과 결합하여 액정층(300)을 수용하는 대향 기판(200)을 포함한다. 상기 표시 기판(100)은 제1 베이스 기판(110) 위에 복수의 화소부(P)들이 매트릭스 형상으로 형성되고, 각 화소부(P)에는 화소 전극(PE)이 형성된다. 상기 대향 기판(200)은 제2 베이스 기판(210) 위에 컬러 필터층(220)과 상기 화소 전극(PE)에 대응하는 공통 전극(230)이 형성된다.
- [0027] 구체적으로, 상기 표시 기판(100)은 복수의 케이트 배선(GL)들, 복수의 소스 배선(DL)들, 복수의 스위칭 소자(TFT)들, 복수의 스토리지 캐페시터(CST)들 및 복수의 화소 전극(PE)들이 형성된다. 상기 스토리지 캐페시터(CST)들은 스토리지 배선(SL)을 통해 공통으로 연결된다.
- [0028] 상기 케이트 배선(GL)들은 케이트 금속층으로 형성되고, 제1 방향으로 연장되어 형성된다. 상기 케이트 금속층은 투명 도전성 물질로 형성된 하부층(151)과, 상기 투명 도전성 물질과 축전 효과가 없는 금속으로 형성된 상부층(153)으로 이루어진다. 상기 하부층(151)은 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물질 또는 질산화물질로 형성된다. 상기 상부층(153)은 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 몰리브덴(Mo) 또는 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)을 포함하는 금속으로 형성되며, 단층 구조 또는 다층 구조로 형성된다. 바람직하게 상기 상부층(153)은 Mo, MoTa, MoW, AlNi 중 하나로 선택된 단층 구조로 형성되거나, Mo/Al, Ti/Al/Ti, Mo/Al/Mo 중 선택된 하나로 형성된 다층 구조로 형성된다.

- [0029] 상기 소스 배선(DL)들은 상기 소스 금속층으로 형성되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되어 형성된다. 상기 소스 금속층은 구리(Cu) 또는 구리 합금 등의 구리 계열 금속, 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag) 또는 은 합금 등의 은 계열의 금속, 몰리브덴(Mo) 또는 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)을 포함하는 금속으로 형성되며, 단층 구조 또는 서로 다른 금속이 적층된 다층 구조로 형성된다. 바람직하게는 몰리브덴(Mo) 또는 몰리브덴 합금 등 몰리브덴 계열의 금속으로 형성된다.
- [0030] 상기 스위칭 소자(TFT)들은 상기 게이트 배선(GL)들과 소스 배선(DL)들에 의해 정의된 복수의 화소부(P)들에 각각 형성된다. 각 스위칭 소자(TFT)는 채널부(134)와 불순물이 고농도로 도핑된 도핑부(136)를 포함하는 다결정 실리콘층과, 게이트 배선(GL)과 연결되고 상기 채널부(134) 위에 형성된 게이트 전극(G)과, 소스 배선(DL)과 연결되고 상기 도핑부(136)와 접촉된 소스 전극(S) 및 상기 소스 전극(S)과 이격되어 상기 도핑부(136)와 접촉된 드레인 전극(D)을 포함한다. 상기 도핑부(136)는  $n+$ , 약  $1E15/cm^2$  농도로 불순물이 도핑된다. 여기서, 상기 다결정 실리콘층은 SLS(Sequential Lateral Solidification : 순차적 측면 고상화) 결정화 방식으로 결정화되어, 결정립이 대략 수 마이크로미터로 형성된다.
- [0031] 상기 스토리지 캐패시터(CST)는 상기 다결정 실리콘층으로 형성되어 불순물이 저농도로 도핑된 제1 스토리지 전극(STE1)과, 공통전압이 인가되는 스토리지 배선(SL)과 연결된 제2 스토리지 전극(STE1)을 포함한다.
- [0032] 상기 제1 스토리지 전극(STE1)은 상기 SLS 결정화 방식으로 통해 결정화된 다결정 실리콘층으로 형성됨에 따라서 투과율 특성이 우수하다. 또한, 상기 제1 스토리지 전극(STE1)은  $n-$ , 약  $1E13/cm^2$  농도로 불순물이 도핑됨에 따라서 충분한 스토리지 커페시턴스를 얻을 수 있다. 상기 제2 스토리지 전극(STE2)은 상기 게이트 금속층의 하부층(151)으로 형성된다. 즉, 상기 제2 스토리지 전극(STE2)은 투명 도전성 물질로 형성됨에 따라서 개구율을 향상시킨다. 일반적으로 금속물질로 형성되어 화소부(P)의 개구율이 저하시키는 스토리지 전극을 투명 도전성 물질로 형성함에 따라서 광의 투과율을 향상시켜 스토리지 전극의 면적을 줄이지 않고도 화소부(P)의 개구율을 향상시킬 수 있는 효과를 갖는다.
- [0033] 한편, 상기 스토리지 배선(SL)은 상기 게이트 금속층, 즉, 제1 및 상부층(151, 153)이 적층된 구조로 형성된다.
- [0034] 상기 화소 전극(PE)들은 상기 스위칭 소자(TFT)들과 전기적으로 연결된다. 각 화소 전극(PE)은 해당하는 상기 스위칭 소자(TFT)의 드레인 전극(D)과 전기적으로 연결되어 상기 화소부(P)에 형성된다. 상기 화소 전극(PE)은 상기 투명 도전성 물질로 형성된다. 상기 투명 도전성 물질은 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물질 또는 질산화물질로 형성된다.
- [0035] 도 3 내지 도 12는 도 2에 도시된 표시 기판의 제조 방법을 나타낸 공정도들이다.
- [0036] 도 1 및 도 3을 참조하면, 제1 베이스 기판(110) 위에 차단층(120)을 형성한다. 상기 차단층(120)이 형성된 제1 베이스 기판(110) 위에 제1 두께(d1)로 비정질 실리콘층(130)을 증착한다. 상기 제1 두께(d1)는 대략  $600\text{\AA}$  정도이다.
- [0037] 상기 제1 두께(d1)로 증착된 상기 비정질 실리콘층(130)을 SLS(Sequential Lateral Solidification) 결정화 방식으로 다결정 실리콘층으로 결정화한다. 상기 SLS 결정화 방식은 기준의  $1\mu\text{m}$  이하의 결정립을 성장시키는 ELA(Excimer Laser Annealing) 결정화 방식과는 달리, 순차적으로 측면 이동에 의한 레이저 조사에 의하여 결정립 크기를 수  $\mu\text{m}$  이상으로 성장시키는 방식이다.
- [0038] 상기 SLS 결정화 방식으로 결정화를 진행할 경우, 일반적으로 막 두께가 두꺼울수록 유리하다. 따라서, 상기 비정질 실리콘층(130)의 제1 두께(d1)는 대략  $600\text{\AA}$  정도로 두껍게 형성한다.
- [0039] 이후, 상기 SLS 결정화 방식으로 결정화된 다결정 실리콘층을 식각 공정을 통해 제2 두께(d2)로 얇게 형성한다. 상기 제2 두께(d2)는 대략  $300\text{\AA}$  정도이다.
- [0040] 일반적으로 다결정 실리콘층의 두께가 대략  $500\text{\AA}$  정도 일 때, 광의 투과율은  $400\text{nm}$  파장에 대해 20%,  $480\text{nm}$ 의 파장에 대해 70% 및  $600\text{nm}$  파장에 대해 40%를 갖으며, 피크 투과율은 대략 50% 정도이다. 반면, 상기 다결정 실리콘층의 두께가 대략  $250\text{\AA}$  정도일 경우, 광의 피크 투과율은 85%에 달한다. 이와 같이, 상기 다결정 실리콘층의 두께가 얇을수록 광의 투과율은 우수하다.
- [0041] 따라서, 상기 SLS 결정화 공정을 위해 상대적으로 두껍게 제1 두께(d1)로 형성된 상기 다결정 실리콘층을 식각 공정을 통해 대략  $300\text{\AA}$  정도의 제2 두께(d2)로 얇게 형성한다.

- [0042] 도 1 및 도 4를 참조하면, 상기 제2 두께(d2)의 다결정 실리콘층(131) 위에 제1 포토레지스트층을 도포 및 패터닝하여, 제1 포토레지스트 패턴(PR11, PR12)을 형성한다. 상기 제1 포토레지스트 패턴(PR11, PR12)은 제1 포토패턴(PR11, PR12)을 포함하며, 상기 화소부(P) 내의 다결정 실리콘 영역(PSA)에 형성된다. 구체적으로, 상기 제1 포토패턴(PR11)은 상기 스위칭 소자(TFT)의 채널부(134)에 대응하는 제1 영역(A1)에 제1 높이(t1)로 형성되고, 상기 제2 포토패턴(PR12)은 상기 스위칭 소자(TFT)의 도핑부(136) 및 상기 스토리지 캐페시터(CST)가 형성되는 영역에 제2 높이(t2)로 형성된다. 상기 제1 높이(t1)는 상기 제2 높이(t2) 보다 높다.
- [0043] 도 1 및 도 5를 참조하면, 상기 제1 포토레지스트 패턴(PR11, PR12)을 이용해 상기 다결정 실리콘층(131)을 패터닝하여 상기 화소부(P) 내의 다결정 실리콘 영역(PSA)에 상기 다결정 실리콘층(131)을 잔류시킨다.
- [0044] 이어, 상기 제1 및 제2 포토패턴(PR11, PR12)을 예싱 공정을 통해 일정두께 제거한다. 상기 예싱 공정에 의해 상기 제1 영역(A1)에 상기 제1 잔류포토패턴(PR11')이 형성되고, 상기 제2 영역(A2)에 대응하는 상기 다결정 실리콘층(131)을 노출시킨다.
- [0045] 상기 제1 잔류포토패턴(PR11')을 마스크로 불순물을 제1 도핑하여 상기 다결정 실리콘층(131)의 제2 영역(A2)에 불순물을 도핑시킨다. 즉, 상기 제1 도핑 공정을 통해 상기 스위칭 소자(TFT)의 도핑부(134) 및 상기 스토리지 캐페시터(CST)의 제1 스토리지 전극(STE1)에  $n^-$ , 약  $1E13/cm^2$  농도의 불순물을 도핑한다.
- [0046] 이어, 상기 제1 잔류포토패턴(PR11')을 스트립 공정을 통해 제거한다.
- [0047] 도 1 및 도 6을 참조하면, 상기 도핑부(136) 및 제1 스토리지 전극(STE1)에 저농도의 불순물이 도핑된 제1 베이스 기판(110) 위에 제1 충간 절연층(140)과, 게이트 금속층(150)을 순차적으로 증착한다.
- [0048] 상기 게이트 금속층(150)은 투명 도전성 물질로 형성된 하부층(151)과, 상기 투명 도전성 물질과 축전 효과가 없는 금속물질로 형성된 상부층(153)을 포함한다. 상기 하부층(151)은 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물질 또는 질산화물질로 형성된다. 상기 상부층(153)은 Mo, MoTa, MoW, AlNi 중 하나로 선택된 단층 구조로 형성되거나, Mo/Al, Ti/Al/Ti, Mo/Al/Mo 중 선택된 하나로 형성된 다층 구조로 형성된다.
- [0049] 상기 게이트 금속층(150)이 형성된 제1 베이스 기판(110) 위에 제2 포토레지스트층을 도포 및 패터닝하여 제2 포토레지스트 패턴(PR21, PR22)을 형성한다. 상기 제2 포토레지스트 패턴(PR21, PR22)은 제1 포토패턴(PR21) 및 제2 포토패턴(PR22)을 포함한다. 구체적으로, 상기 제1 포토패턴(PR21)은 상기 게이트 전극(G)이 형성되는 게이트 영역(GA) 및 상기 게이트 배선(GL)이 형성되는 영역(미도시) 및 상기 스토리지 배선(SL)이 형성되는 영역(SLA)에 제3 높이(t3)로 형성된다. 상기 제2 포토패턴(PR22)은 상기 제2 스토리지 전극(STE2)이 형성되는 스토리지 전극 영역(STEA)에 제4 높이(t4)로 형성된다. 상기 제3 높이(t3)는 상기 제4 높이(t4) 보다 높다.
- [0050] 도 1 및 도 7을 참조하면, 상기 제2 포토레지스트 패턴(PR21, PR22)을 이용해 상기 게이트 금속층(150)을 패터닝하여 게이트 금속패턴을 형성한다. 상기 게이트 금속패턴은 상기 하부층(151) 및 상부층(153)으로 이루어지며, 상기 게이트 전극(G), 게이트 배선(GL) 및 스토리지 금속패턴(ST)을 포함한다. 상기 스토리지 금속패턴(ST)은 추후 공정을 통해 상기 제2 스토리지 전극(STE2) 및 상기 스토리지 배선(SL)으로 형성된다.
- [0051] 이어, 상기 제2 포토레지스트 패턴(PR21, PR22)을 예싱 공정을 통해 일정두께 제거한다.
- [0052] 도 1 및 도 8을 참조하면, 상기 예싱 공정을 통해 상기 제4 포토패턴(PR22)을 제거하여 상기 스토리지 전극 영역(STEA)의 상부층(153)을 노출시키고, 상기 게이트 전극 영역(GA), 게이트 배선 영역(미도시) 및 스토리지 배선 영역(SLA)에는 제2 잔류포토패턴(PR22')을 형성한다.
- [0053] 상기 제2 잔류포토패턴(PR22')을 이용해 상기 스토리지 전극 영역(STEA)에 노출된 상기 상부층(153)을 제거하여 상기 제2 스토리지 전극(STE2)을 형성한다. 결과적으로 상기 제2 스토리지 전극(STE2)은 투명 도전성 물질인 하부층(151)으로 형성되며, 이에 따라서, 상기 스토리지 캐페시터(CST)의 면적을 확보함과 동시에 상기 화소부(P)의 개구율을 향상시킨다. 또한, 상기 게이트 전극(G), 상기 게이트 배선(GL) 및 상기 스토리지 배선(SL)은 게이트 금속층, 즉, 하부층(151) 및 상부층(153)으로 이루어진다.
- [0054] 이 후, 스트립 공정을 통해 상기 제2 잔류포토패턴(PR22')을 제거한다.
- [0055] 도 1 및 도 9를 참조하면, 제3 포토레지스트층을 도포 및 패터닝하여 제3 포토패턴(PR3)을 형성한다. 상기 제3 포토패턴(PR3)은 상기 다결정 실리콘 영역(PSA) 중 상기 채널부(134), 상기 스토리지 전극 영역(STEA) 및 상기 스토리지 배선(SLA) 위에 형성한다. 상기 제3 포토패턴(PR3)을 마스크로 불순물을 상기 다결정 실리콘층에 제2

도핑한다. 따라서, 상기 불순물이 제1 도핑된 상기 도핑부(136)에는 불순물이 재도핑되어,  $n^+$ ,  $1E15cm^2$  농도로 도핑된다.

[0056] 이어, 상기 제3 포토페턴(PR3)을 스트립 공정을 통해 제거한다.

도 1 및 도 10을 참조하면, 상기 게이트 전극(G), 게이트 배선(GL) 및 스토리지 캐페시터(CST) 및 스토리지 배선(SL)이 형성된 제1 베이스 기판(110) 위에 제2 층간 절연층(160)을 형성한다.

[0058] 상기 제1 및 제2 층간 절연층(140, 160)을 제거하여 상기 소스 전극(S) 및 드레인 전극(D)을 각각 노출시키는 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성한다.

[0059] 도 1 및 도 11을 참조하면, 상기 제1 및 제2 콘택홀(CH1, CH2)이 형성된 제1 베이스 기판(110) 위에 소스 금속 층을 증착하여 상기 제1 및 제2 콘택홀(CH1, CH2)을 통해 상기 소스 금속층과 상기 도핑부(136)를 접촉시킨다.

[0060] 상기 소스 금속층은 구리(Cu) 또는 구리 합금 등의 구리 계열 금속, 알루미늄(Al) 또는 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag) 또는 은 합금 등의 은 계열의 금속, 몰리브덴(Mo) 또는 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)을 포함하는 금속으로 형성되며, 단층 구조 또는 서로 다른 금속이 적층된 다층 구조로 형성된다. 바람직하게는 몰리브덴(Mo) 또는 몰리브덴 합금 등 몰리브덴 계열의 금속으로 형성된다.

[0061] 이어, 상기 소스 금속층을 패터닝하여 소스 금속페턴을 형성한다. 상기 소스 금속페턴은 상기 제1 콘택홀(CH1)을 통해 상기 도핑부(136)와 접촉하는 소스 전극(S)과, 상기 제2 콘택홀(CH2)을 통해 상기 도핑부(136)와 접촉하는 드레인 전극(D) 및 상기 게이트 배선(GL)과 교차하고 상기 소스 전극(S)과 연결된 소스 배선(DL)을 포함한다.

[0062] 상기 소스 금속페턴이 형성된 제1 베이스 기판(110) 위에 제3 층간 절연층(170)을 형성한다. 상기 제3 층간 절연층(170)을 제거하여 상기 드레인 전극(D)을 노출시키는 비아홀(VH)을 형성한다.

[0063] 도 1 및 도 12를 참조하면, 상기 비아홀(VH)이 형성된 제1 베이스 기판(110) 위에 투명 도전성 물질을 증착 및 패터닝하여 상기 화소 전극(PE)을 형성한다. 상기 투명 도전성 물질은 인듐(In), 주석(Sn), 아연(Zn), 알루미늄(Al) 및 갈륨(Ga) 중 선택된 하나 이상을 함유한 산화물질 또는 질산화물질을 포함한다. 상기 화소 전극(PE)은 상기 비아홀(VH)을 통해 상기 드레인 전극(D)과 접촉된다.

[0064] 도 13은 본 발명의 실시예에 따라 다결정 실리콘층의 투과율 특성을 나타낸 그래프이다.

[0065] 도 13을 참조하면, 비교예1(#1)은 SLS 결정화 방식으로 결정화된  $300\text{ \AA}$ (= 30nm)의 막 두께를 갖는 다결정 실리콘층의 투과율을 측정한 그래프이고, 비교예2(#2)는 ELA 결정화 방식으로 결정화된  $300\text{ \AA}$ 의 막 두께를 갖는 다결정 실리콘층의 투과율을 측정한 그래프이며, 비교예3(#3)은 결정화 되지 않은  $300\text{ \AA}$ 의 막 두께를 갖는 비정질 실리콘층의 투과율을 측정한 그래프이다.

[0066] 도시된 바와 같이, 상기 비교예1(#1)의 경우 400nm 파장에 대한 투과율은 대략 30%, 480nm 파장에 대한 투과율은 대략 55%, 600nm 파장에 대한 투과율은 대략 63%로 측정되었다.

[0067] 상기 비교예2(#2)의 경우 400nm 파장에 대한 투과율은 대략 30%, 480nm 파장에 대한 투과율은 대략 50%, 600nm 파장에 대한 투과율은 대략 60%로 측정되었다.

[0068] 상기 비교예3(#3)의 경우, 400nm 파장에 대한 투과율은 대략 8% 이하, 480nm 파장에 대한 투과율은 대략 25%, 600nm 파장에 대한 투과율은 대략 45%로 측정되었다.

[0069] 이와 같이, 상기 비교예3(#3)의 경우 투과율이 가장 낮으며, 그 다음 상기 비교예2(#2), 상기 비교예1(#1)의 순으로 투과율이 우수함을 확인할 수 있다. 특히, 400nm 내지 600nm 이하의 파장에서 상기 비교예1(#1)이 상기 비교예2(#2) 보다 투과율이 높음을 확인할 수 있다.

[0070] 따라서, 본 발명의 실시예에 따라 상기 SLS 결정화 방식으로 결정화된 다결정 실리콘층의 투과율이 기존 ELA 결정화 방식으로 결정화된 다결정 실리콘층의 투과율 보다 우수함을 확인할 수 있다.

[0071] 도 14는 본 발명의 실시예에 따른 스토리지 캐페시터의 커페시턴스를 나타낸 그래프이다.

[0072] 도 14를 참조하면, 전압(V) 대비 스토리지 캐페시터의 커페시턴스(C)를 나타낸 그래프이다. 불순물을 도핑하지 않고 다결정 실리콘층으로 스토리지 캐페시터의 전극을 형성할 경우(Non dopping), 0V 이상의 임의의 전압(Vo)에서 커페시턴스(C)이 최고치(Cmax)를 얻어짐을 확인할 수 있다. 반면, 불순물이 도핑된 다결정 실리콘층으로

스토리지 캐패시터의 전극을 형성할 경우(n- dopping), 0V에서 최고치의 커패시턴스(Cmax)가 얻어짐을 확인할 수 있다.

[0073] 따라서, 스토리지 전극을 불순물이 도핑된 다결정 실리콘층으로 형성함으로써 스토리지 캐패시터의 커패시턴스를 충분히 확보하여 표시 장치의 구동 신뢰성을 향상시킬 수 있다.

### 발명의 효과

[0074] 이상에서 설명한 바와 같이, 본 발명에 따르면 화소부 내에 형성되는 스토리지 캐패시터의 면적을 축소시키지 않고 상기 스토리지 캐패시터의 전극을 투명하게 형성함으로써 고개구울을 구현할 수 있다. 또한, 상기 스토리지 캐패시터의 전극을 SLS 결정화 방식으로 결정화된 다결정 실리콘층을 형성함으로써 투과율을 향상시킬 수 있다.

[0075] 결과적으로, 투과율이 우수한 다결정 실리콘층으로 제1 스토리지 전극을 형성하고, 상기 제1 스토리지 전극에 대향하는 제2 스토리지 전극을 투명한 도전층으로 형성하여 고개구울의 표시 기판 및 고화도의 표시 장치를 구현할 수 있다.

[0076] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0001] 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이다.

[0002] 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

[0003] 도 3 내지 도 12는 도 2에 도시된 표시 기판의 제조 방법을 나타낸 공정도들이다.

[0004] 도 13은 본 발명의 실시예에 따라 다결정 실리콘층의 투과율 특성을 나타낸 그래프이다.

[0005] 도 14는 본 발명의 실시예에 따른 스토리지 캐패시터의 커패시턴스를 나타낸 그래프이다.

[0006] <도면의 주요부분에 대한 부호의 설명>

[0007] 100 : 표시 기판 200 : 대향 기판

[0008] CST ; 스토리지 캐패시터 STE1 : 제1 스토리지 전극

[0009] STE2 : 제2 스토리지 전극 120 : 차단층

[0010] 130 : 다결정 실리콘층 140 : 제1 층간 절연층

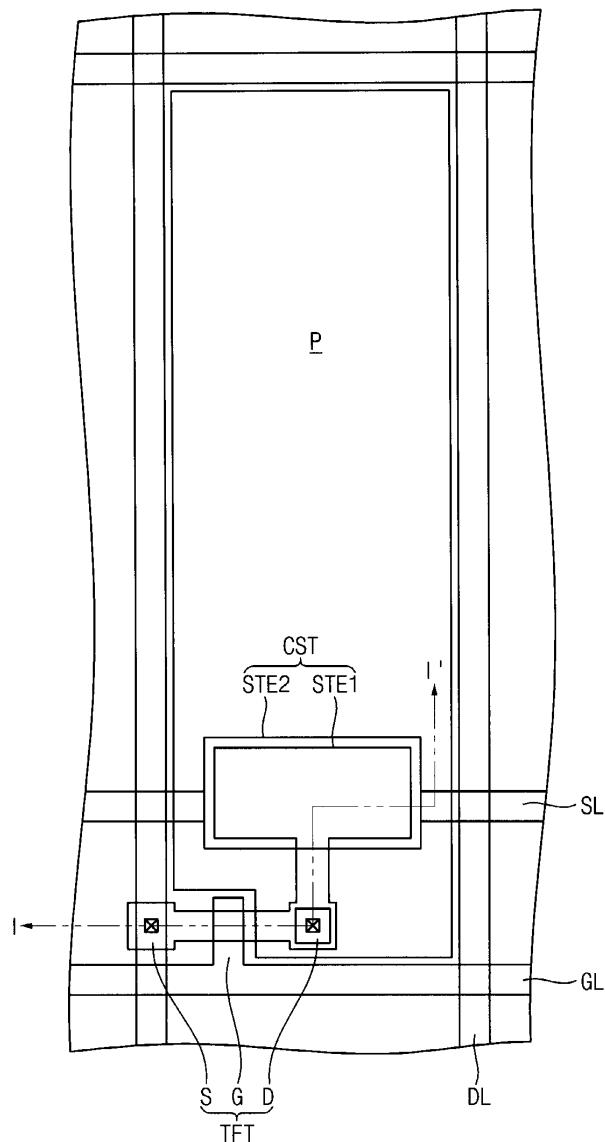
[0011] 160 : 제2 층간 절연층 170 : 제3 층간 절연층

[0012] TFT : 스위칭 소자 PE : 화소 전극

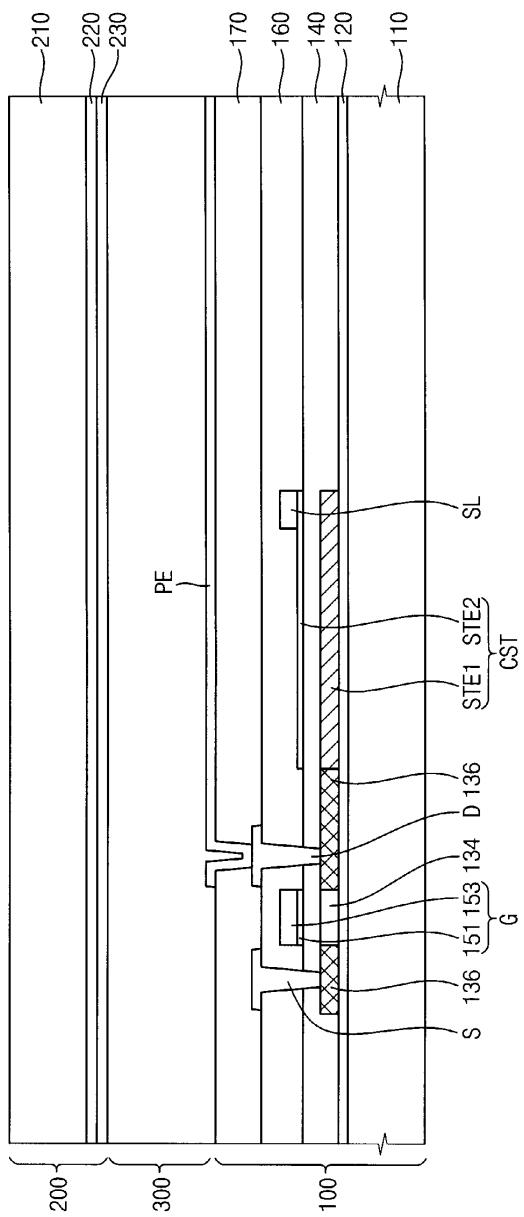
[0013] CH1, CH2 : 제1, 제2 콘택홀 VH : 비아홀

도면

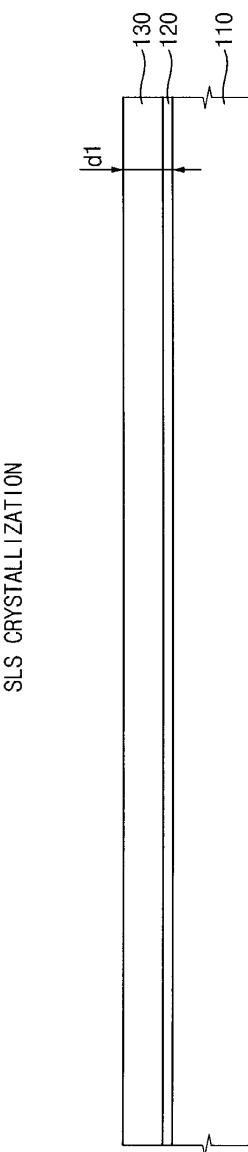
도면1



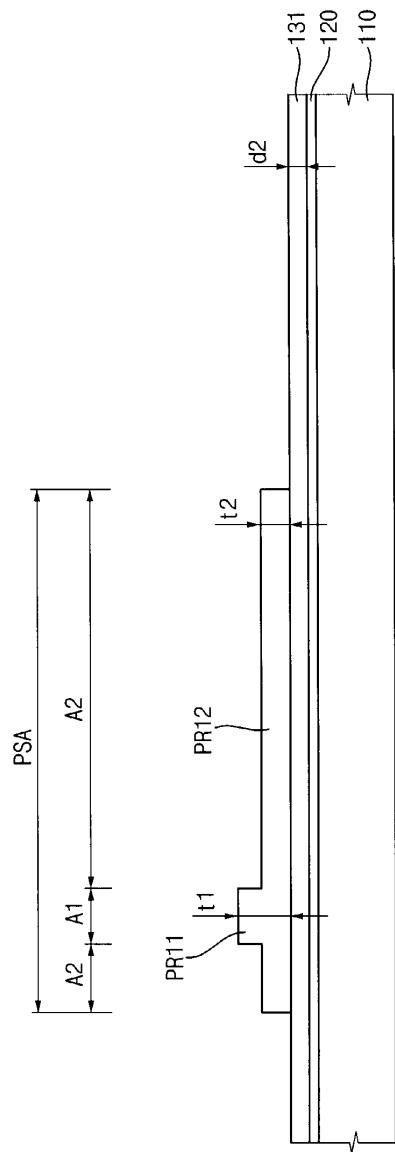
도면2



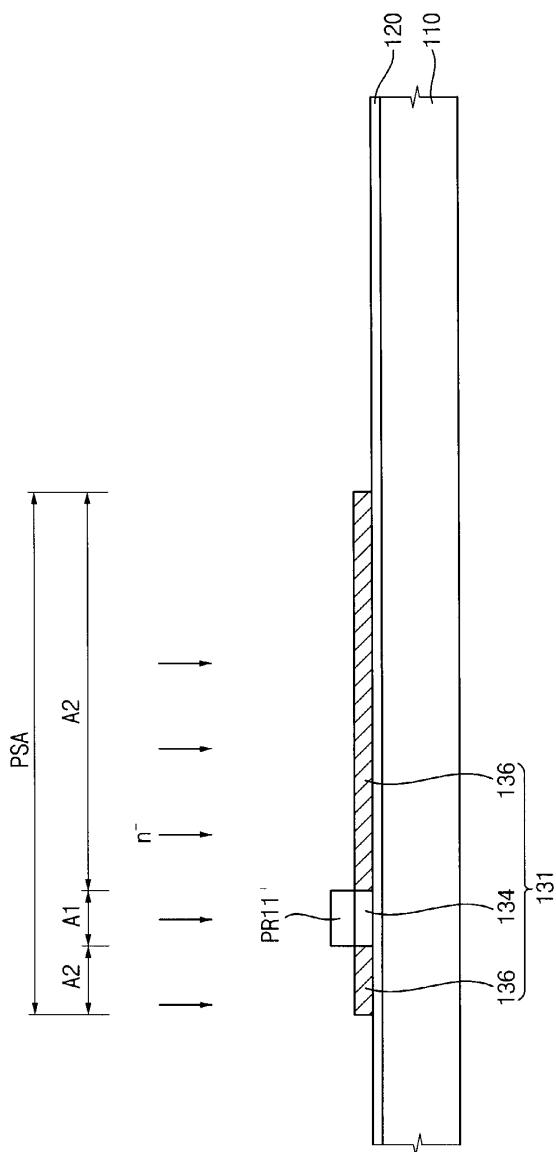
도면3



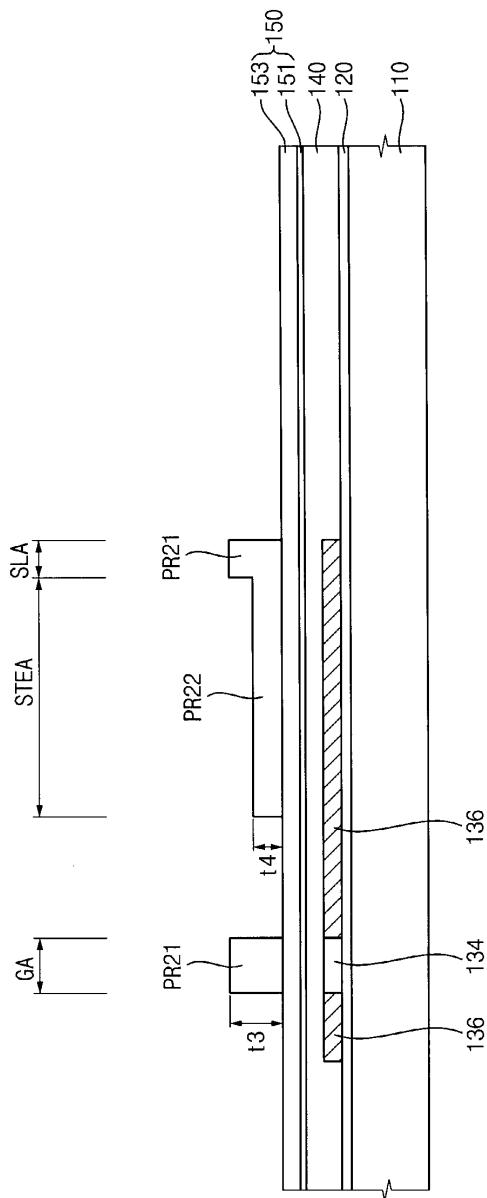
도면4



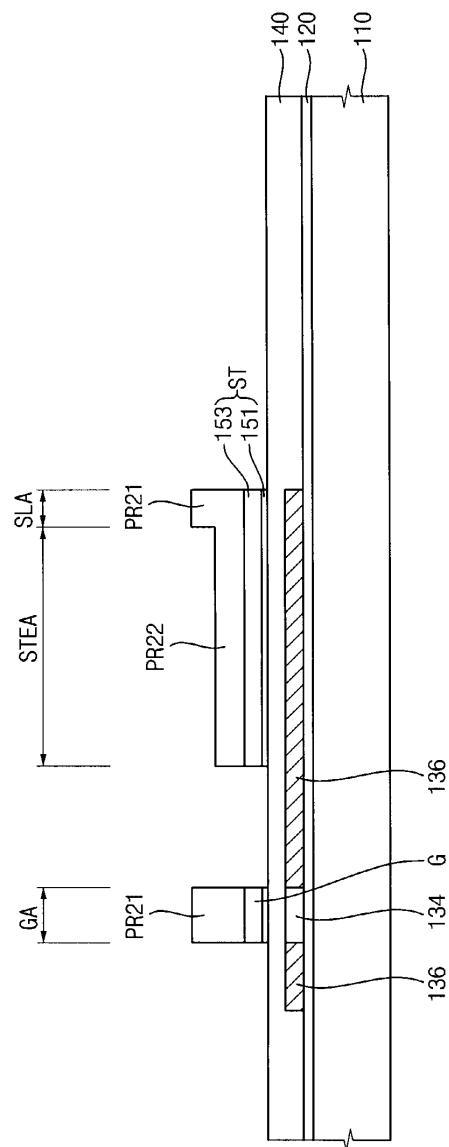
도면5



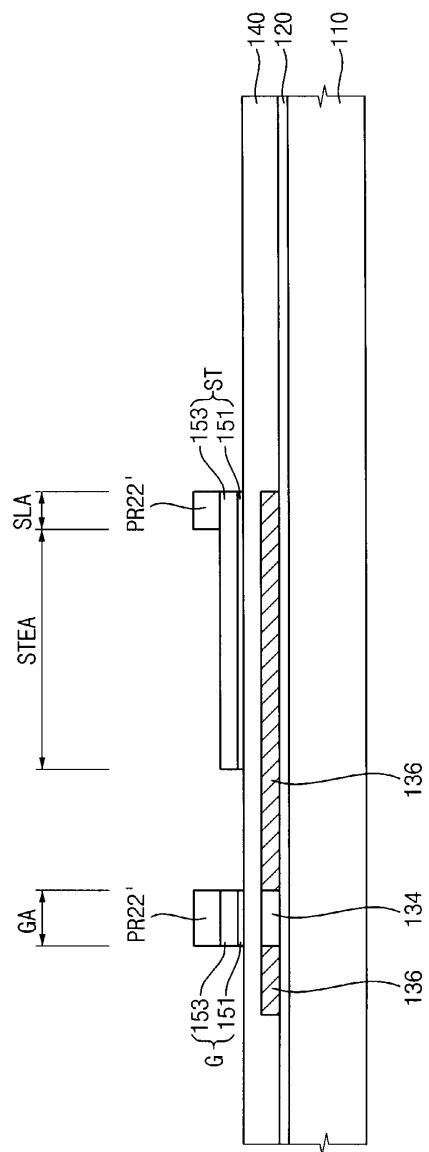
도면6



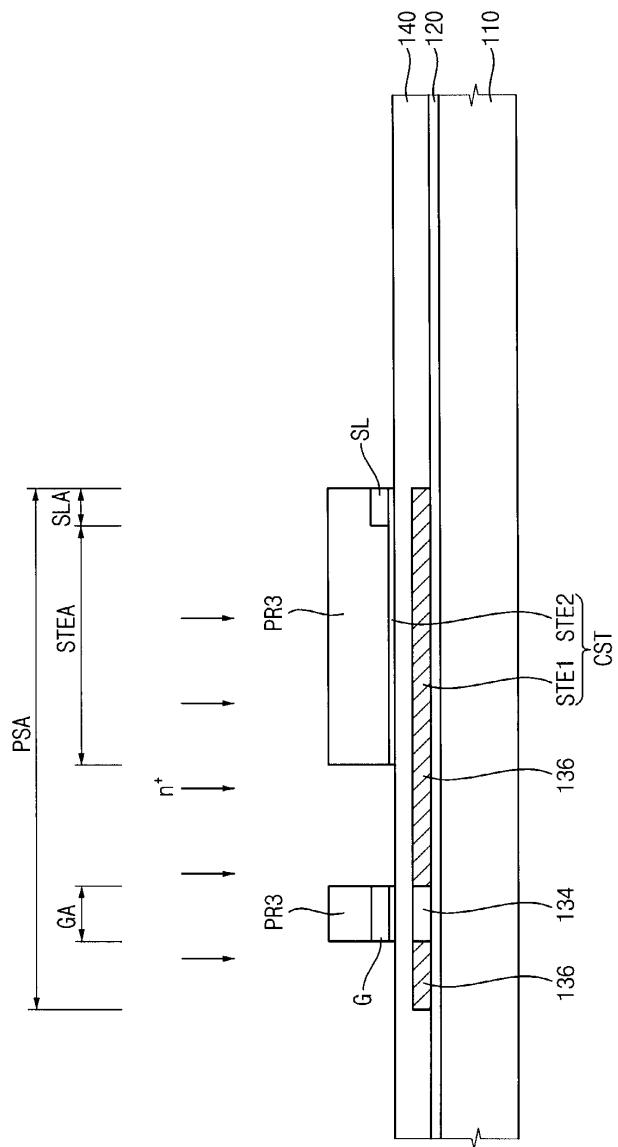
## 도면7



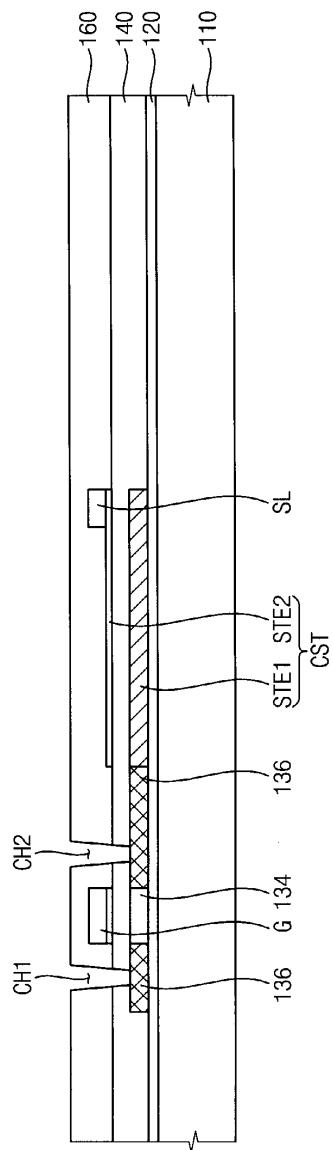
도면8



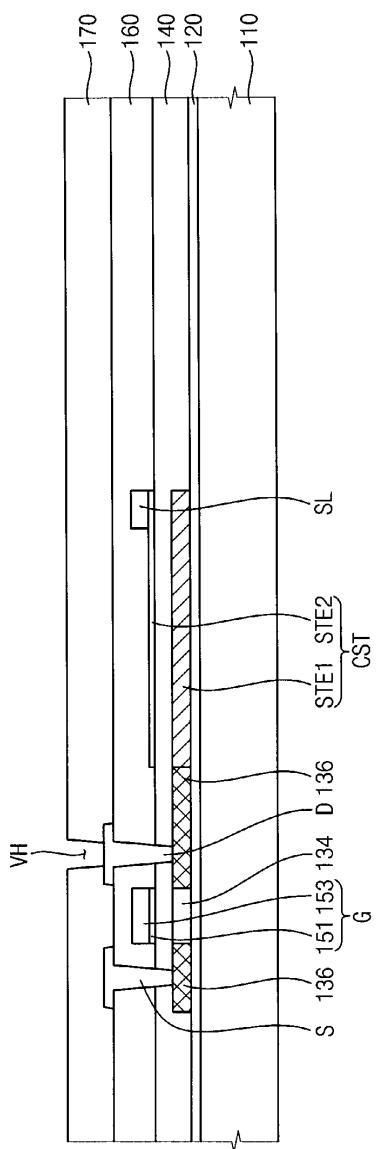
도면9



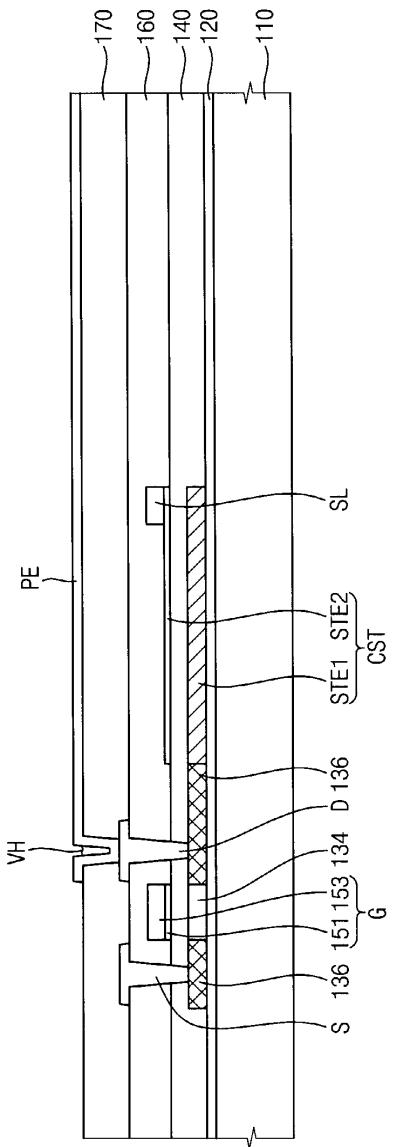
도면10



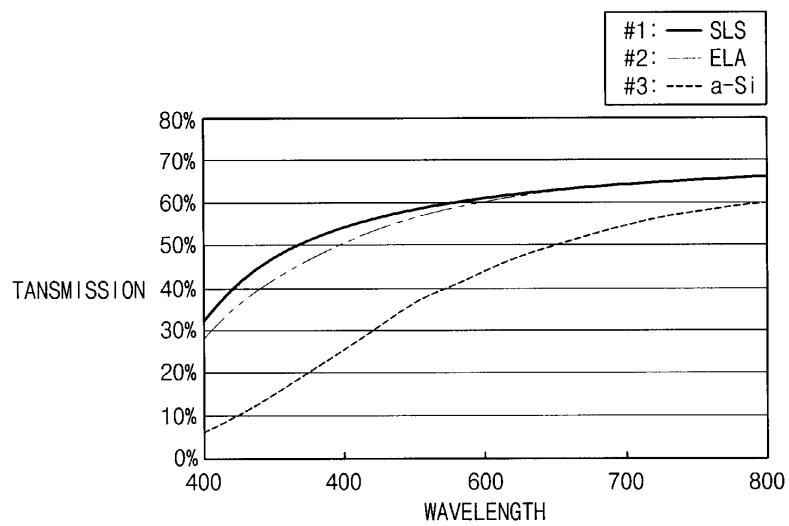
도면11



도면12



도면13



도면14

