(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/108

(45) 공고일자 2003년07월16일
(11) 등록번호 10-0342931
(24) 등록일자 2002년06월20일

(21) 출원번호 10-1994-0020261
(22) 출원일자 1994년08월17일

(65) 공개번호 특1995-0007121
(43) 공개일자 1995년03월21일

(30) 우선권주장 93-204922 1993년08월19일 일본(JP)
93-291638 1993년11월22일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 야노가즈오
일본국히노시다마다이라6-6-6

이시이도모유끼
일본국고다이라시하나꼬가네이미나미쵸3-34-37-2

하시모또다까시
일본국이루마시미쯔기다이190-9

세끼고이찌
일본국히노시히라야마2-11-10

아오끼마사까즈
일본국도꼬로자와시히가시도꼬로자와3-24-20

사까다다께시
일본국구니따찌시나까1-14-23라까비나데아미찌301

나까고메요시노부
일본국하무라시가와사끼4-2-1

다께우찌깐
일본국고다이라시죠스이혼쵸5-16-3-1

(74) 대리인 백남기

심사관 : 조지은

## (54) 반도체소자및그것을사용한반도체메모리장치

요약

고밀도로 집적화에 적합한 반도체소자 및 그것에 의해 실행되는 반도체 메모리장치로서, 적은 소자수 및 적은 면적으로 반도체 메모리장치가 실행되고, 그 자체가 테이타 또는 정보저장능력을 가짐과 동시에 극저온레벨등의 낮은 온도에서 냉각을 필요로 하지 않는 반도체소자를 제공하기 위해, 반도체소자의 소오스영역을 구성하는 소오스영역, 반도체소자의 드레인영역을 구성하는 드레인영역, 소오스영역과 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효

채널영역, 게이트전극과 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 실효채널영역에 접속된 게이트전극과 적어도 하나의 캘어를 포획하기 위해 소오스영역과 드레인영역 사이의 실효채널영역에서의 전류경로의 부근에 형성된 레벨노드를 포함하는 구성으로 한다.
이러한 반도체 메모리장치에 의해, 고속으로 리라이트 동작이 가능한 불휘발성 메모리장치를 실현할 수 있다.

## 대표도

도 1

## 명세서

## 도면의 간단한 설명

도 1A 도 1D는 본 발명의 실시예1에 따른 메모리소자의 구성을 도시한 도면으로서, 도 1A는 상면도, 도 1B는 도 1C의 채널부의 마이크로 포토그래픽도, 도 1C는 메모리소자 전체의 구성을 도시한 모식적 사시도, 도 1D는 도 1C의 선C-C'에서 본 단면도.
도 2는 본 발명의 실시예1에 따른 메모리소자의 드레인전류에 있어서의 게이트 소오스 전압 의존성을 나타내는 실측값을 도시한 도면.
도 3은 논리값 '1' 및 '0'의 라이트 후, 실시예1에 따른 반도체소자에 의한 데이타유지를 나타내기 위해 실험적으로 얻은 결과를 도시한 도면.
도 4A 도 4C는 게이트 전압이 증가할 때, 본 발명의 실시예1에 따른 반도체소자의 채널영역 근방의 밴드 프로파일의 변동을 도시한 도면.
도 5A 도 5C는 게이트 전압이 저하할 때, 본 발명의 실시예1에 따른 반도체소자의 채널영역 근방의 밴드 프로파일의 변동을 도시한 도면.
도 6은 도 1에 도시한 구성을 각각 갖는 메모리소자가 사용되는 본 발명에 따른 메모리IC장치의 구성을 도시한 모식적 회로도.
도 7은 도 6에 도시한 메모리장치에 의해 나타날 것으로 예상되는 히스테리시스 특성을 도시한 도면.
도 8은 메모리셀 어레이가 Si기판표면에 형성된 주변회로에 적층으로 형성되어 있는 본 발명의 실시예1에 따른 반도체 메모리장치의 구성을 모식적으로 도시한 분해사시도.
도 9A 및 도 9B는 본 발명의 실시예1에 따른 반도체 메모리장치의 제조공정을 도시한 단면도.
도 10A 및 도 10B는 본 발명의 실시예2에 따른 반도체 메모리소자의 구성을 도시한 단면도.
도 11A 및 도 11B는 본 발명의 실시예2에 따른 메모리소자의 채널영역, 캐리어 감금영역 및 게이트전극을 확대해서 도시한 확대도.
도 12는 본 발명의 실시예2에 따른 반도체 메모리소자에 있어서의 드레인전류의 게이트-소오스 전압 의존성을 도시한 도면.
도 13A 도 13C는 게이트전압이 증가할 때, 반도체 메모리소자의 캐리어 감금영역 및 채널영역 근방의 전위 분포의 변동을 확대 도시한 모식도.
도 14A 도 14C는 게이트전압이 저하할 때, 반도체 메모리소자의 캐리어 감금영역 및 채널영역 근방의 전위 분포의 변동을 확대 도시한 모식적 도면.
도 15A 및 도 15B는 본 발명의 실시예3에 따른 반도체 메모리소자의 구성을 도시한 단면도.
도 16A 도 16C는 본 발명의 실시예4에 따른 반도체 메모리소자의 구성을 도시한 도면으로서, 도 16A는 단면도, 도 16B는 도 16A의 선 a, a'에서 본 단면, 도 16C는 정면도.
도 17A 및 도 17B는 본 발명의 실시예5에 따른 반도체 메모리소자를 도시한 도면으로서, 도 17A는 반도체 메모리소자의 단면도, 도 17B는 메모리소자의 전위분포 프로파일도.
도 18은 본 발명에 따른 반도체 메모리소자를 나타내는 기호를 도시한 도면.
도 18A, 도 18B 및 도 18C는 본 발명의 실시예6에 따른 메모리셀을 나타내는 도면으로서, 도 18A는 메모리셀의 회로구성도, 도 18B는 리드 및 라이트 동작시 메모리셀의 워드선 및 데이타선에 인가되는 전압을 각각 도시한 도면, 도 18C는 메모리셀에 사용되는 반도체소자의 게이트-소오스 전압에 있어서의 드레인 전류의 의존성을 도시한 도면.
도 19는 본 발명의 실시예6에 따른 메모리셀의 리드회로의 회로구성을 도시한 회로도.
도 20은 여러 가지 신호가 리드동작시 인가되는 타이밍을 도시한 신호파형도.
도 21A 및 도 21B는 실시예6에 따른 4비트의 메모리셀 어레이의 회로구성 및 그의 레이아웃을 각각 도시한 도면.
도 22A 도 22C는 본 발명의 실시예7에 따른 메모리셀 세트를 도시한 도면으로서, 도 22A는 셀세트의 회로구성을 도시한 도면, 도 22B는 라이트 및 리드동작시 그의 메모리소자에 인가되는 전압을 도시한 도면, 도 22C는 메모리소자의 특성을 도시한 도면.
도 23은 본 발명의 실시예7에 따른 반도체 메모리장치의 구성을 도시한 도 면.
도 24A 및 도 24E는 본 발명에 따른 메모리셀의 여러 가지 구성을 도시한 회로도.

도 25A 도 25C는 본 발명의 실시예8에 따른 메모리셀을 도시한 도면으로서, 도 25A는 메모리셀의 회로구성을 도시한 도면, 도 25B는 리드 및 라이트동작시 메모리셀의 워드선 및 데이타선에 인가되는 전압을 각각 도시한 도면, 도 25C는 메모리셀에 사용되는 반도체소자의 게이트-소오스 전압에 있어서의 드레인전류의 의존성을 도시한 도면.
도 26은 본 발명의 실시예8에 따른 메모리셀의 리드회로의 회로구성을 도시한 회로도.
도 27A 및 도 27B는 실시예8에 따른 메모리셀 회로의 반전을 각각 도시한 회로도.
도 28A 및 도 28B는 4비트의 메모리셀의 구성을 도시한 회로도 및 그의 대응하는 마스크 레이아웃을 각각 도시한 도면.
도 29A 도 29C는 본 발명의 실시예9에 따른 메모리셀을 도시한 도면으로서, 도 29A는 메모리셀의 회로구성을 도시한 도면, 도 29B는 리드 및 라이트동작시 메모리셀의 워드선 및 데이타선에 인가되는 전압을 각각 도시한 도면, 도 29C는 메모리셀에 사용되는 반도체소자의 게이트-소오스 전압에 있어서의 드레인전류의 의존성을 도시한 도면.
도 30은 본 발명의 실시예9에 따른 리드/라이트 회로를 도시한 회로도.
도 31A 도 31B 및 도 31C는 본 발명의 실시예10에 따른 메모리셀을 도시한 도면으로서, 도 31A는 메모리셀의 회로구성을 도시한 도면, 도 31B는 리드 및 라이트동작시 메모리셀의 워드선 및 데이타선에 인가되는 전압을 각각 도시한 도면, 도 31C는 메모리셀에 사용되는 반도체소자의 게이트-소오스 전압에 있어서의 드레인전류의 의존성을 도시한 도면.
도 32는 본 발명의 실시예10에 따른 리드회로를 도시한 회로도.
도 33은 본 발명의 실시예10에 따른 메모리셀의 반전을 도시한 도면.
도 34는 본 발명에 따른 메모리장치가 메인 메모리로서 사용되는 데이타처리장치의 구성을 도시한 블럭도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고밀도로 집적화하는데 적합한 반도체소자 및 그것에 의해 실행되는 반도체 메모리장치에 관한 것이다.
종래부터, 다결정 실리콘 트랜지스터는 스데이틱 랜덤 엑세스 메모리장치 (SRAM이라 한다)를 구성하는 소자로서 사용되고 있다. 이것에 관련하는 종래 기술중 하나가 T. Yamanaka 외 : IEEE International Electron Device Meeting, pp. 477-480(1990)에 기재되어 있다. 대부분의 다결정 실리콘 트랜지스터를 활용하는 것에 의해, 집적회로의 집적도를 향상시킬 수 있는 것은 다결정 실리콘 트랜지스터와 벌크 MOSFET 사이에 개재하고 있는 절연막을 갖는 반도체 기판표면상에 형성된 종래의 벌크 MOSFET(MOS트랜지스터)의 상부에 다결정 실리콘 트랜지스터를 적층으로 형성할 수 있다는 사실에 의해 설명될 수 있기 때문이다. SRAM에서는 1비트의 메모리셀을 구성하기 위해서는 벌크 MOSFET 4개와 다결정 실리콘 트랜지스터 2개가 필요하다. 그러나, 다결정 실리콘 트랜지스터는 벌크 MOSFET 상부에 적층될 수 있기 때문에, 실질적으로는 벌크 MOSFET 4개에 해당하는 면적으로 SRAM의 1개의 메모리셀을 구성할 수 있다.
본 발명에 관련된 다른 선행 기술로서는 K.Nakazato 외 : Electronics Letter, Vol. 29, No. 4, pp. 384-385(1993)에 기재되어 있는 단일 전자 메모리를 들 수 있다. 전자 1개 1개를 제어해서 메모리를 구성할 수 있다고 보고되어 있다. 또, 동작온도는 30mk 정도의 매우 낮은 온도이다.
본 발명에 관한 또 다른 종래 기술로서는 F.Fang 외 : 1990 Symposium on VLSI Technology, pp. 37-38(1990)에 기재되어 있는 MOSFET의 RTN(랜덤 전신잡음)의 연구를 들 수 있다. 특히, MOSFET이 드레인 전류를 일정 전압 조건하에서 조정의 시간 동안 측정하는 경우, 상태천이가 고전류 상태와 저전류 상태 사이에서 랜덤하게 발생한다. 이 현상은 RTN에 관한 것으로서, 실리콘(Si)와 산화실리콘($SiO_2$)의 계면에 존재하는 레벨노드로 단일 전자가 혼입되거나 레벨노드에서 방출되는 것에 의해서 드레인 전류가 변화하는 것이 원인이다. 그러나, RTN은 MOSFET의 전류잡음에 관한 기초 연구의 과제로서 단지 남아 있고, 실제적인 응용에 있어서 RTN의 긍정적인 사용에 대한 어떤 시도나 접근은 아직까지 전혀 보고되어 있지 않다.
현재, 반도체 집적회로의 미세가공 기술이 고도로 발전한 한편, 더 높은 미세화의 실현성에 대한 시도는 기술적으로 곤란하게 되어 있다. 기술적으로는 가능하더라도, 고도의 기술에 대한 필요성 때문에 제조비용이 매우 증대한다는 문제가 있다. 이 때문에, 반도체 집적회로를 구성하는 반도체소자를 단순히 미세화하는 것이 아니라 근본적으로 새로운 방법에 의해서 반도체 집적회로의 제조에 집적도를 향상시키는 것이 절실하게 요구된다.
한편, 상술한 종래의 다결정 실리콘 트랜지스터는 다결정 실리콘 트랜지스터의 소오스와 드레인 사이의 저항이 게이트 전압에 의해 제어된다는 점에서 기본적으로 가변저항소자와 동일하다. 따라서, SRAM의 메모리셀을 구성하기 위해서는 실리콘 기판에 형성된 종래의 MOSFET를 포함해서 6개의 반도체소자가 필요하였다.
반대로, DRAM(다이나믹 랜덤 엑세스 메모리)의 경우, 1비트의 정보 또는 데이타를 1개의 MOSFET 및 1개의 캐패시터에 의해 구성되는 메모리셀에 저장시킬 수 있다. 이러한 이유 때문에, DRAM은 높은 집적도로 실행하기 용이한 RAM장치로서 알려져 있다. 그러나, DRAM은 그의 용량이 무시할 수 없는 데이타선으로 전하량을 리드하는 빙식이므로 그의 메모리셀의 용량이 수십 fF(femto Farads) 정도 필요하여 메모리셀의 실행에 있어서 미세화를 더욱 증가시키는 것이 곤란하다.

한편, 플로팅 게이트 및 컨트롤 게이트를 각각 갖는 MOSFET를 사용하는 것에 의해 플래시 EEPROM(Electricaiiy, Erasable and Programmable Read-Only Memory)과 같은 불휘발성 메모리장치가 실현되고 있다. 또, 이러한 불휘발성 메모리장치에 대한 반도체소자로서는 MNOS(Metal Nitride Oxide Semiconductor)소자가 알려져 있 다. 이 MNOS는 플래시 EEPROM의 플로팅 게이트 대신에 $SiO_2$ 막과 $Si_3N_4$ 막 사이의 계면에 전하를 저장하도록 설계되어 있다. 플로팅 게이트를 갖는 MOSFET 또는 MNOS소자를 사용하는 것에 의해 1비트의 데이타를 연장된 타임스팬(span)상의 1트랜지스터에 의해 유지 또는 저장할 수 있다는 이점이 있지만, 이를 위한 전류는 절연막을 통해서 흐르기 때문에 리라이트 동작에 장시간이 요구되므로, 리라이트 동작을 실행할 수 있는 횟수는 100만회 정도로 제한되어 불휘발성 메모리 장치의 용도가 한정된다는 문제점이 있다.

한편, 상술한 Nakazato 이외의 문헌에 기재되어 있는 단일 전자 메모리장치는 극저온레벨에서만 동작할 수 있으므로, 실제적으로 대처하기 곤란한 문제점이 있다. 또한, 단일 전자 메모리의 셀은 1개의 캐패시터 및 2개의 능동소자로 구성되어 있고, 이것은 소자수가 필요에 따라 종래의 DRAM을 초과하여 문제점을 발생시킬 수 있다는 것을 의미한다.

상기에서 명확하게 되는 바와 같이, 높은 미세화로 메모리를 실행하는 기술에 의존하지 않고 종래보다 고집적도의 메모리를 구성하기 위해, DRAM과 달리 용량소자를 필요로 하지 않고, 소자 자체에 저장작용을 갖는 반도체 소자가 절실히 요구된다.

상기한 기술상태의 관점에서, 본 발명의 목적은 적은 소자수 및 적은 면적으로 반도체 메모리장치가 실행되고, 그 자체가 데이타 또는 정보저장능력을 가짐과 동시에 극저온 레벨 등의 낮은 온도에서 냉각을 필요로 하지 않는 획기적인 반도체 소자를 제공하는 것이다.

본 발명의 다른 목적은 상기한 반도체소자를 사용하는 것에 의해 실행될 수 있는 반도체 메모리장치를 제공하는 것이다.

본 발명의 또 다른 목적은 상기한 반도체 메모리장치를 저장으로서 포함하는 데이타 처리장치를 제공하는 것이다.

상술한 목적을 달성하기 위한 본원 발명의 기본개념에 있어서, 반도체 전계효과 트랜지스터소자의 채널과 게이트 사이의 용량은 트랩(trap)레벨에 의해 단일의 캐리어(전자 또는 홀(정공))의 포획이 반도체 전계효과 트랜지스터 소자의 전류에 있어서의 변화로서 명확하게 검출될 수 있도록 작게 설정된다. 특히, 트랩내의 캐리어의 포획에 의해 발생하는 반도체 전계효과 트랜지스터 소자의 스레쉬홀드 값에 있어서의 변화 및 해제를 논리 디지탈 값 '1' 및 '0'에 대응시키는 것에 의해 실온에 대해서도 정보 또는 데이타를 저장하는 기능을 반도체 전계효과 트랜지스터 소자에 부가할 수 있다.

그러므로, 본 발명의 제1의 특징에 따르면, 반도체소자의 소오스를 구성하는 소오스영역, 반도체소자의 드레인을 구성하는 드레인영역, 소오스영역과 드레인영역 사이의 접속을 위해 소오스영역과 트레인영역 사이에 마련되어 있는 실효채널영역, 게이트전극과 채널영역 사이에 개재되어 있는 게이트 절연막을 거쳐 채널영역에 접속되어 있는 게이트전극, 적어도 1개의 캐리어를 포획하기 위해 채널영역에 있어서의 전류경로의 근방의 소오스영역과 드레인영역 사이에 형성되어 있는 레벨노드를 포함하고, 게이트전극과 실효채널영역 사이의 실효 용량(후에 명확하게 됨) 이 다음의 부등식으로 표현되는 조건을 만족하도록 작게 설정되는 반도체소자가 마련되어 있다.

$$1/C_{gc} \rangle\ kT/q^2$$

여기에서, $C_{gc}$ 는 실효 용량, k는 볼츠만정수, T는 동작 절대온도 및 q는 전자의 전하량(도 1A 도 1D 참조)이다.

본 발명의 다른 특징에 따르면, 소오스영역과 드레인영역 사이에 개재되어 있는 채널영역을 거쳐 소오스영역에 접속되어 있는 소오스영역과 드레인영역, 게이트전극과 채널영역 사이에 개재되어 있는 게이트 절연막을 거쳐 채널영역에 접속되어 있는 게이트전극, 캐리어를 가두기 위해 채널영역 근방에 형성되어 있는 적어도 하나의 캐리어 감금영역 및 캐리어 감금영역과 채널영역 사이에 존재하는 전위장벽을 포함하고, 게이트전극과 실효채널영역 사이의 실효 용량이 다음의 부등식으로 표현되는 조건을 만족하도록 작게 설정되는 반도체소자가 마련되어 있다.

$$1/C_{gc} \rangle\ kT/q^2$$

여기에서, $C_{gc}$ 는 실효 용량, k는 볼츠만정수, T는 동작 절대온도 및 q는 전자의 전하량(도 10A, 도 10B 참조)이다.

본 발명의 또 다른 특징에 따르면, 반도체소자의 소오스를 구성하는 소오스영역, 반도체소자의 드레인을 구성하는 드레인영역, 드레인영역과 소오스영역 사이에 개재되어 있는 채널영역을 거쳐 드레인영역에 접속되어 있는 소오스영역, 게이 트전극과 채널영역 사이에 개재되어 있는 게이트 절연막을 거쳐 채널영역에 접속되어 있는 게이트전극, 캐리어를 가두기 위해 채널영역 근방에 형성되어 있는 적어도 하나의 캐리어 감금영역 및 캐리어 감금영역과 채널영역 사이에 존재하는 전위장벽을 포함하고, 채널영역과 캐리어 감금영역 사이의 용량값이 게이트전극과 캐리어 감금영역 사이의 용량보다 크게 설정되어 있고, 캐리어 감금영역 주위에 존재하는 전체용량이 다음의 부등식으로 표현되는 조건을 만족하도록 설정되어 있는 반도체소자가 마련되어 있다.

$$q^2/2C_{tt} \rangle\ kT$$

여기에서, $C_{tt}$ 는 전체 용량, k는 볼츠만정수, T는 동작 절대온도 및 q는 전자의 전하량(도 10A, 도 10B 참조)이다.

이와 관련해서 중요한 것은 전체 용량($C_{tt}$)이 캐리어 감금영역과 게이트전극 이외의 모든 다른 전극 사이에 존재하는 용량의 총합을 의미하는 것이다.

반도체 메모리소자가 리라이트 가능한 횟수를 증가시키기 위해서는 채널영역과 캐리어 감금영역 사이에 존재하는 장벽(절연막)의 저하를 가능한 한 최소화하도록 억제할 필요가 있다.

상기의 관점에서 본 발명의 또 다른 특징에 따르면, 반도체소자의 소오스를 구성하는 소오스영역, 반도체소자의 드레인을 구성하는 드레인영역, 소오스영역과 드레인영역 사이에 개재되어 있는 채널영역을 거쳐 드레인영역에 접속되어 있는 소오스영역, 게이트전극과 채널영역 사이에 개재되어 있는 게이트 절연막을 거쳐 채 널영역에 접속되어 있는 게이트전극, 캐리어를 포획하기 위해 채널영역 근방에 형성되어 있는 적어도 하나의 캐리어 감금영역, 전위장벽에 의해 둘러싸여져 있는 감금영역, 캐리어 감금영역내의 캐리어를 유지하는 것에 의해 실행되는 정보기억 및 두께가 9nm이

하이고 채널영역과 캐리어 감금영역 사이에 개재되어 있는 절연막내의 반도체 재료로 형성되어 있는 박막구조(도 17A, 도 17B 참조)를 포함하는 반도체소자가 마련되어 있다.

이하, 본 발명을 더울 명확하게 하기 위해, 본원의 대표적인 개요를 상세히 설명한다.

본 발명을 실행하는 대표적인 형태에 있어서, 다결정 실리콘 소자(예를 들면, 도 1A-도 1D)의 특징은 드레인 소오스 전압을 일정하게 유지해서 게이트와 소오스 사이의 전위차를 소정의 범위에서 반복해서 증감시킬 때, 소오스와 드레인 사이의 용량이 실온에 대해서도 히스테리시스를 나타낸다(도 2 참조).

특히, 첨부도면의 도 2를 참조해서, 게이트-소오스 전압을 제1의 전압 $V_{g0}$ (0 볼트)와 제2의 전압$V_{gl}$ (50볼트) 사이에서 수직으로 스위프하면, 다결정 실리콘 소자의 드레인전류는 히스테리시스 특성을 나타낸다. 이러한 현상은 종래 거의 전부 알려진 것이고 본 출원의 발명자들이 실험적으로 발견한 것이다. 이러한 히스테리시스 특징이 나타나는 이유를 이하 설명한다.

게이트-소오스 전압-$V_{gs}$ 가 0볼트인 상태에서의 도 1A 도 1 D에 도시한 반도체장치의 채널영역의 밴드 프로파일을 도 4A에 도시한다. 드레인 전류는 도면의 수직 방향으로 흐른다. 기술의 편의성을 위해, 게이트 전압과 비교할 때 드레인-소오스 전압이 충분히 낮다고 가정하지만 드레인-소오스 전압이 높은 경우에도 이하 설명하는 경과는 그대로 성립한다.

우선, 도 4A에 있어서 게이트 산화막(5)와 주변의 $SiO_2$ 보호막(10) 사이의 낮은 에너지의 포텐셜 웰이 다결정 실리콘의 채널(3)에 형성되어 있다. 이 경우, p형 또는 저 불순물 농도를 갖는 i형(진성 반도체형) 또는 n형 중의 전도대의 에너지레벨(11)은 고불순물 농도의 n형 소오스영역내의 전도대밴드의 에너지레벨 또는 축퇴한 고 불순물 농토의 n형 소오스영역내의 페르미레벨(12)과 비교할 때 충분히 높다. 따라서, 채널(3)내에는 전자가 존재하지 않는다. 그러므로, 드레인전류는 흐르지 않는다.

또, 트랩레벨(7)은 채널(3) 근방에 존재하므로 전자 등의 캐리어를 포획 또는 트랩할 수 있다. 트랩레벨 형성에 참여하는 레벨로서는 높은 장벽에 둘러싸여진 드레인군(다결정 실리콘의 채널영역내의 결정입자 자체의 레벨 또는 입자에 연장하는 레벨, 결정내의 레벨, $Si-SiO_2$ 계면(즉, 채널영역(3)과 게이트 산화막(5)사이의 계면)의 레벨 및 게이트 산화막(5)중의 레벨 등이 있다. 그러나, 이들 레벨중 어떤 것이라도 트랩레벨을 형성하는 데도 관계없다. 또한, 본 발명자에 의해 실행된 실험 후에도 상술한 레벨 중 어느것에 의해서 캐리어 또는 전자를 실제적으로 트랩하는지 현재 확실하지 않다. 상기 레벨중에서 상술한 히스테리시스 특성을 실현하는데 역할을 담당하는 트랩레벨(7)의 에너지는 소오스영역(1)내의 페르미레벨(12)보 다 충분히 높다. 따라서, 트랩레벨(7)내에 전자는 존재하지 않는다. 이와 관련하여, 도 4A 도 4C에 게이트 산화막내에 존재하는 트랩레벨을 도시하였지만, 산화막내에 트랩레벨이 존재할 필요는 없다. 단지 채널 근방에 트랩레벨이 존재할 필요만이 있다.

게이트(4)와 소오스(1) 사이의 전위차 $V_{gs}$ 가 0볼트에서 저 스레쉬홀드 전압V로 증가함에 따라, 채널영역(3)내의 전위는 증가한다. 따라서, 전위차 $V_{gs}$ 가 0(도 4A 참조)인 상태에서 채널영역(3)의 초기 에너지레벨과 비교할 때. 전위차$V_{gs}$ 가 0보다 높고 저 스레쉬홀드 전압 $V_{\ell}$ 보다 낮은 조건하에서 전자에 대한 채널영역(3)의 전위는 낮게 된다. 게이트-소오스 전위차$V_{gs}$ 가 저 스레쉬홀드 전압 $V_{\ell}$ 을 얻을 때, 소오스영역(1)내의 페르미레벨은 채널영역(3)의 전도대의 에너지레벨(볼츠만 정수를 k, 동작 절대온도를 T라 할 때의 대략 kT의 차를 갖는)에 근접한다. 따라서, 전자가 소오스에서 채널영역(3)으로 도입된다. 그러므로 전류의 흐름이 드레인과 소오스 사이에서 발생한다.

게이트 전압이 더욱 증가할 때, 채널영역(3)내의 전자수는 상당히 증가한다. 그러나, 전위차$V_{gs}$ 가 포획전압$V_{gl}$ 에 도달할 때, 트랩레벨(7)의 에너지는 페르미레벨 (12)에 근접하여 소오스영역(1)에서 도입되는 이들 전자의 열에너지에 의한 전자의 분포 때문에 적어도 1개의 전자기 트랩전위(7)에 의해 포획된다. 이때, 트랩(7)의 레벨이 게이트 산화막(5)화 주변의 $SiO_2$ 보호막(10)의 전위보다 충분히 낮기 때문에, 트랩레벨(7)에 의해 포획된 전자는 전자의 열에너지에 의해 게이트 산화막(5)와 주변의 $SiO_2$ 보호막(10)으로 이동하는 일은 없다. 또, 예를 들면 $Si-SiO_2$ 계면에서의 트랩레벨(7)의 근방에는 채널영역(3)의 다결정 실리콘의 고 에너지의 결성입자경계가 존재하기 때문에, 트랩레벨(7)에 의해 포획된 전자는 이 트랩레벨에서 이동할 수 없다(도 4C 참조). 그러나, 다른 전자는 이동할 수 있으므로 드레인 전류는 계속해서 흐른다.

이와 같이, 일단 트랩레벨(7)에 의해 단일의 전자가 포획되면 도 1A-도 1D에 도시한 다결정 실리콘 반도체소자의 스레쉬홀드전압은 저 스레쉬홀드전압$V_{\ell}$ 에서 고 스레쉬홀드전압 $V_h$ 로 변하며, 그 이유를 이하 설명한다.

도 4C에 도시한 상태에서 $V_h < V_{gs} < V_{gl}$ 의 범위에서 게이트-소오스 전위차 $V_{gs}$ 가 낮아지면, 채널영역(3)내의 전자수가 감소한다. 그러나, 일반적으로 고 에너지영역이 트랩레벨(7) 주변에 존재한다. 따라서, 트랩레벨(7)에 의해 포획되는 전자는 그대로 남는다(도 5A 참조).

게이트전압이 전위차 $V_{gs}$ 가 고 스레쉬홀드전압$V_h$ 을 얻는 값으로 더욱 낮아지면, 소오스영역(1)의 페르미레벨(12)는 채널(3)의 전도대의 에너지레벨과 kT정도 다르게 되어 채널내의 거의 모든 전자는 없어진다(도 5B 참조). 따라서, 드레인전류는 더 이상 흐르지 않는다. 그러나, 드레인전류가 흐르지 않는 스레쉬홀드 전압$V_h$ 는 트랩레벨(7)에 포획된 전자의 전하량에 대응하는 전압만큼 저 스레쉬홀드 전압V 보다 높게 된다.

또, 게이트 소오스 전위차 $V_{gs}$ 를 전위차 $V_{gs}$ 가 0과 동일하게 되는 경우의 값으로 저하시킬 때, 트랩레벨(7) 주변의 고 에너지영역의 전위가 게이트전압의 하강에 따라 저하해서, 트랩레밸(7)에 의해 포획된 전자가 전개효과에 의한 터널을 거쳐 저하한 에너지의 영역으로 방출된다(도 5C 참조).

계속해서, 게이트-소오스 전위차 $V_{gs}$ 는 수직의 스위핑을 위해 재차 증가된다. 이러한 동작을 반복하는 것에 의해, 전자의 트랩 및 방출에 의한 드레인전류 대 게이트전압 특성에서 히스테리시스가 관측된다.

이와 관련해서, 본 발명자들은 게이트와 채널 사이의 용량이 작은 경우에만 상술한 히스테리시스 특성이 나타난다는 것을 발견했다. 또한, 본 발명자에 의해 실행된 실험은 각각 0.1마이크론의 게이트폭과 게이트길이를 갖는 반도체소자가 상술한 히스테리시스 특성을 나타내더라도, 1마이크론 정도인 반도체소자의 게이트길이와 게이트폭은 이러한

히스테리시스 특성을 나타내는 것이 불가능하다는 것을 보여준다.
그러므로, 상술한 히스테리시스 특성이 나타나기 위해서는 게이트전극과 채널영역 사이의 용량 $C_{gs}$ 가 작을 필요가 있고, 그 이유는 다음에 설명한다. 트랩레벨에 축적된 전하량$Q_s$ 와 스레쉬홀드 값 또는 전압의 변화량 $\Delta V_t (=V_h - V_\ell)$과의 사이에는 다음의 관계식이 성립한다.

$$\Delta V_t = Q_s / C_{gc} \quad (1)$$

여기에서, $C_{gc}$ 는 게이트와 실효 채널 사이의 용량을 나타낸다. 실효채널에 있어서, 전류 흐름의 크기를 규제하고, 전류 경로의 가장 높은 전위 에너지의 영역에 대응하는 채널 영역을 의미한다. 그러므로, 이 영역을 보틀 넥(bottle neck)영역이라 부른다. 상술한 히스테리시스 특성을 메모리기능으로서 사용하기 위해서는 스레쉬홀드 값이 높은($V_h$) 상태와 스레쉬홀드 값이 낮은($V_\ell$)상태가 드레인 전류의 변화로서 명확하게 구분하여 검출할 수 있는 것이 필요하다. 한편, 스레쉬홀드 값 $Y_h$ 와 $V_\ell$ 사이의 차는 드레인전류에서 나타나는 변화 또는 차에 관해서 명확하게 센스되어야 한다. 이를 위한 조건은 이하 기술하는 방식으로 결정할 수 있다. 일반적으로, 스레쉬홀드 값$V_t$ 를 갖는 MOS 트랜지스터의 드레인전류 $I_d$ 는 다음의 식에 의해 스레쉬홀드 값 근방에 나타나게 된다.

$$I_d = A \cdot \exp[q(V_{gs} - V_t)/(kT)] \quad (2)$$

여기에서, q는 전자의 전하량, $V_{gs}$ 는 MOS 트랜지스터의 게이트-소오스 전압, $V_t$ 는 스레쉬홀드 전압, k는 볼츠만 정수, T는 동작 절대 온도이다. 따라서, $V_t = V_h$ 인 경우, 드레인전류는

$$I_{dh} = A \cdot \exp[q(V_{gs} - V_\ell /(kT)] \quad (3)$$

이고, $V_t = V_\ell$ 인 경우, 드레인전류는

$$I_{dl} = A \cdot \exp[q(V_{gs} - V_\ell d/(kT)] \quad (4)$$

이다. 그러므로, $V_t = V_h$ 및 $V_t = V_\ell$ 인 상태의 드레인전류 값의 비는 다음식으로 결정할 수 있다.

$$I_{d\ell} / I_{dh} = \exp[q(V_h - V_\ell /(kT)] \quad (5)$$

그러므로, 센스된 드레인전류값에 따라 상술한 2개의 상태를 구별하기 위해 서는 식(5)에 의해 주어지는 드레인전류비 $I_{d\ell} / I_{dh}$ 는 최소에서의 자연대주의 베이스 e(2.7)보다 클 필요가 있고, 실용적으로는 전류비가 10이상인 것이 바람직하다. 드레인 전류비가 자연대수의 베이스 e보다 크다는 조건을 사용하면, 다음식과 같다.

$$\Delta V_t (=V_h - V_\ell) \rangle\ kT/q \quad (6)$$

그러므로, 식(1)로부터 다음의 조건을 만족시켜야 한다.

$$Q_s / C_{gc} > kT/q \quad (7)$$

단일 전자의 포획이 상술한 전류센스를 만족하기 위해서는 다음의 조건이 만족되어야 한다.

$$q/C_{gc} \rangle\ kT/q \quad (8)$$

상기 식(8)로부터, 실온에서 동작을 가능하게 하기 위해 게이트 채널 용량 $C_{gc}$ 는 6aF(여기에서, a는 $10^{-18}$ 을 의미하는 'atto-'의 약자) 이하이어야 한다. 또, 1 마이크론 정도의 게이트길이를 갖는 반도체소자의 경우, 게이트 채널 용량$C_{gc}$ 는 1fF(여기에서, f는 $10^{-15}$ 을 의미하는 'femto-'의 약어) 정도의 양으로 상술한 조건으로부터 상당히 이탈해 버린다. 반대로, 본 발명의 대표적인 특징에 의해 제조되는 반도체소자의 경우, 게이트 채널 용량 $C_{gc}$ 는 0.01aF 정도로 매우 작으므로, 센스될 수 있는 스레쉬홀드 값의 시프트가 실온에서 단일의 전자만의 포획에 의해 발생한다는 것이 판명된다.
또, 실험과정에서 본 발명자들은 게이트-소오스 전위차$V_{gs}$ 를 0볼트와 전압레벨$V_{gl}$ 사이에 유지하는 것에 의해, 그 직전의 스레쉬홀드 전압을 1시간 이상 안정하게 유지할 수 있다는 것을 발견하였다. 첨부된 도면의 도 3에 이 실험의 경과를 도시한다. 특히, 도 3에 게이트 전압을 일정하게 유지하면서 도 2의 a로 나타낸 조건하에서 측정된 트레인 전류의 변화를 도시한다. 도면에서 명확하게 되는 바와 같이, 저 스레쉬홀드 값의 상태에서는 고 전류레벨이 유지될 수 있고, 고 스레쉬홀드 값의 상대에서는 저 전류레벨이 유지될 수 있다. 그러므로, 스레쉬홀드 값의 시프트를 사용하는 것에 의해, 정보 또는 데이타를 유지, 즉 정보 또는 데이타를 기억하는 것이 가능하다. 또, 이들 상대에서의 드레인 전류를 센스하는 것에 의해, 데이타를 리드하는 것이 가능하다. 즉, 드레인전류가 기준값13보다 적은 상태를 논리값 '1'로서 리드하고, 드레인전류가 기준값13보다 큰 상태를 논리값 '0'으로서 리드한다(도 3 참조).
한편, 데이타 라이트동작은 게이트전압을 제어하는 것에 의해 실행할 수 있다. 우선, 데이타 라이트동작에 대해서 설명한다. 초기상태에서 게이트전압은 저레 벨$V_{g0}$ 으로 가정한다. 게이트전압을 정방향으로 $V_{gl}$ 까지 스위프하는 것에 의해, 스레쉬홀드 전압이 고레벨$V_h$ 로 설정된다. 이러한 동작에 의해, 디지탈 데이타의 논리값'1'은 본 발명에 따른 반도체소자내에서 라이트 가능하다. 계속해서, 게이트 전압을 0볼트 레벨까지 부방향으로 스위프해서 스레쉬홀드 전압을 저레벨 $V_\ell$ 로 변화시킨다. 이것에 의해, 디지탈 데이타의 논리값'0'은 라이트 가능하게 된다.
상기 설명으로부터 이해되는 바와 같이, 단일의 반도체소자만으로 데이타 또는 정보를 라이트, 유지 및 리드 가능하다. 이것은 종래의 메모리장치와 비교할 때, 단위 영역당 상당히 작은 반도체 소자수로 메모리장치를 실행할 수 있다는 것을 의미한다.
기억노드(캐리어 감금영역 또는 레벨노드 또는 캐리어트랩 또는 캐리어 감금트랩, 양자 감금영역이라고도 함)에서 소수의 전자만을 포획하는 것에 의해, 데이타 기억이 실현되는 본 발명에 따른 반도체소자는 플로팅게이트 MOSFET와 같이 절연막의 저하에 의해 데이타의 리라이트의 횟수가 제한되지 않고, 또는 상대적으로 제한이 완화된다는 이점을 갖고 있다.
그러나, 본 발명을 실행하기 위한 도 1A 도 1D에 도시된 방식의 경우에 있어서, 캐리어를 감금하는 캐리어트랩 레벨과 전류경로로서 기능하는 실효 채널영역 사이의 상대적인 위치관계(즉 상대거리)를 고정시키기가 어렵고 제조시 소자 사이의 스레쉬홀드값 변화특성의 분산이 무시할 수 없을 정도로 된다.
상술한 문제점에 대하여 도 10A 및 도 10B에 도시한 본 발명의 다른 방식에 있어서는 채널영역(21)의 근방에 전위장벽으로 둘러싸여진 캐리어 감금영역(24)를 독립적으로 마련한다. 이러한 구조에 의해 상술한 분산을 감소시킬 수가

있다.
반도체소자의 성능안정의 관점에 있어서 제조시 반도체소자 사이에서 고 스레쉬홀드 전압 $V_h$ 와 저 스레쉬홀드 전압 $V_\ell$ 사이의 전압차 $\Delta V_t$ 의 분산을 가능한 한 억제하는 것이 바람직하다.
식(1)에 의해 주어진 조건은 캐리어 감금영역과 게이트영역 사이의 용량 $C_{gt}$ 가 충분히 작을 때 유효하게 적용된다.
그 이외의 경우에 있어서는 다음식에 의해 주어진 조건이 유효하게 적용된다.
$\Delta V_t = q/(1+C_{gt}/C)C_{gc}$ (9)
여기에 $C_{gc}$ 는 게이트영역(22)와 채널영역(21) 사이의 용량이고, $C_{gt}$ 는 캐리어 감금영역(24)와 채널(21) 사이의 용량이다.
본 발명을 실행하기 위한 도 1A 도 1D에 도시한 방식과 관련하여, 본 발명자들은 캐리어 감금영역이 캐리어 트랩 레벨을 취하기 때문에, 식(9)에서는 캐리어감금영역과 채널영역 사이의 용량을 나타내는 C가 분산에 가장 민감하다는 것을 발견하였다.
캐리어 감금영역과 채널영역 사이의 용량 C가 변동해도 전위차 $\Delta V_t$ 가 그다지 변화하지 않기 위해서는 게이트전극과 채널영역 사이의 용량 $C_{gt}$ 가 용량 C보다 충분히 작아야 한다. (즉, Cg《C).
그러므로, 본 발명을 실행하는 다른 방식에 의하면 게이트전극(22)와 캐리어 감금영역(24) 사이의 용량 $C_{gt}$ 를 큰 막두께의 게이트 절연막(23)을 개재하는 것에 의해 작은 값으로 설정하고, 한편 캐리어 감금영역(24)와 채널(21) 사이의 용량 C를 작은 막두께의 절연막(25)를 이들 사이에 개재하는 것에 큰 값으로 설정한다.
한편, 캐리어 감금영역(24)에 데이타를 유지하는 것과 관련하여 열적 파동에 대한 안전성을 확보할 필요가 있다. 이와 관련하여 캐리어 감금영역과 다른 모든 영역 사이에 존재하는 전체의 용량을 $C_{tt}$ 로 나타낸다. 절대온도(T)의 시스템에 있어서는 일반적으로 kT (k는 볼츠만정수, T는 절대온도)정도의 에너지 파동이 존재한다. 따라서, 안정한 정보유지를 위해서는 전자 1개를 포획하는 것에 의한 에너지변화 $q^2/2C_{tt}$ 로 주어지는 에너지의 변화는 상술한 파동보다 커야 한다.
즉, 다음의 부등식에 의해 주어지는 조건을 만족해야 한다.
$q^2/2C_{tt} \rangle kT$ (10)
이 조건은 상기 규정된 전체의 용량 $C_{tt}$ 는 상기 상온에서 동작할 수 있기 위해 3aF 이하이어야 한다.
도 17A 및 도 17B에 도시한 바와 같이, 본 발명을 실행하는 다른 방식에 있어서는 절연막(49, 50)의 열화를 저감하기 위해, 기억영역(47)과 채널영역(46) 사이의 절연막(49), (50)내에 반도체의 박막구조(48)이 형성되어 있다.
그러므로, 본 실시예에 의한 반도체소자에 있어서는 박막구조(48)이 절연막 과 동일한 역할을 유효하게 실행하도록, 절연막(49, 50)내에 박막구조(48)에 의해 마련된 전위장벽이 형성되어 있어, 실제 적용에 있어서, 절연막두께를 감소하는 것이 가능하다.
도 17A 및 도 17B에 도시한 바와 같이, 절연막(49, 50)내에 마련된 반도체 박막(48)은 반도체 박막의 막두께방향의 양자 감금 효과하에서 에너지 준위가 전도대에 의해 시프트되고, 실질적으로는 기억영역과 라이트/소거동작의 캐리어 공급영역 사이의 전위장벽으로서 필수적으로 기능하며, 그 이유를 이하 상세하게 설명한다.
반도체박막의 막두께를 L, 박막중의 캐리어의 유효질량을 m, 프랭크정수를 h로 하면, 막두께방향의 감금효과에 의한 캐리어의 양자파동의 최저 에너지상태의 에너지는 대략 다음식으로 주어진다.
$h^2/8mL^2$ (11)
이 양자감금 효과에 의한 에너지 시프트가 열적 에너지파동을 고려하여 유효로 되게 하기 위해서는 다음의 부등식에 의해 주어지는 조건을 만족해야 한다.
$h^2/8mL^2 > kT$ (12)
상기 식(12)에서, 실리콘(Si)로 형성된 반도체박막(48)의 막두께는 실온에서 장벽이 유효하게 되기 위해 9nm이하로 작아야 한다.
따라서, 채널영역(46)과 캐리어 감금영역(47) 사이에 절연막(49. 50)을 거쳐서 캐리어가 이동할 때 캐리어가 반도체박막(48)중에 단시간에 존재할 확률이 있지 만, 캐리어가 반도체박막(48)중에 장시간 머물 확률은 매우 낮다. 이 결과, 채널영역(46)과 감금영역(47) 사이의 캐리어의 이동시에 반도체박막(48)은 캐리어의 일시적 통과영역이고, 이것은 반도체박막(48)이 캐리어 감금을 실행할 수 있기 때문에 결국 전위장벽으로서 가능한다는 것을 의미한다.
상기한 구조에 있어서는 상기 구조를 채용하지 않은 반도체소자와 비교할 때 보다 작은 절연막 두께로 장벽의 효과를 실현할 수 있다. 그러므로, 절연막(49, 50)의 막피로를 억제할 수 있다. 이 막피로를 더욱 작게 하기 위해서는 반도체박막(48)을 다층구조로 형성해도 좋다.
또, 반도체박막이 절연막에 마련되어 있는 구조에 있어서는 캐리어 감금영역과 소오스영역 사이의 전위장벽의 높이를 적절하게 설정할 수 있다는 이점이 있다.
양자감금에 의한 에너지시프트가 캐리어 감금영역의 크기 L에 의해 결정되므로, 박막재질 이외에 막두께를 조절하는 것으로 장벽의 높이를 조절할 수 있다.
이와 관련하여, 상기 주지의 구조의 반도체소자에 있어서, 절연막을 구성하는 재질에만 의존하여 장벽의 높이를 결정할 수 있다.
본 발명의 다른 목적, 특징 및 이점은 첨부된 도면을 참조한 다음 설명에서 명확하게 될 것이다.
<실시예1>
이하에는 본 발명의 구체적인 실시예에 의한 전계효과 반도체 기억소자(FET 메모리소자)를 설명한다. 도 1A 도 1D는 본 발명의 실시예1에 의한 반도체 메모리소자의 구조를 도시한 도면으로서, 도 1C는 메모리소자의 전반적인 구조를 도시하 는 모식적 사시도, 도 1D는 도 1C의 선C-C'에서 본 단면도, 도 1B는 도 1C의 채널부분을 도시하는 확대 마이크로 포토그래픽도 및 도 1A는 그의 상면도이다. 도면에서, 소오스(1)과 드레인(2)는 n형의 다결정 실리콘으로

형성되고, 고 불순물농도를 갖는 영역에 의해 이루어지고, 채널부(3)은 논도프 다결정 실리콘영역으로 형성되는 영역에 의해 이루어진다. 각각의 소오스(1), 드레인(2) 및 채널 (3)은 다결성 실리콘의 미세 배선의 형대로 실현된다. 본 출원의 발명자에 의해 실제로 제조된 메모리장치의 경우, 채널(3)은 폭0.1㎛ 및 두께10nm, 바람직하게는 3.4nm이다. 소오스(1)과 드레인(2)의 끝부에는 소오스(1)과 드레인(2)보다 큰 두께를 각각 갖는 다결정 실리콘의 컨택트(1A)와 (2A)가 접속되어 있고, 소오스(1)과 드레인(2)는 다결정 실리콘 컨택트(1A) 및 (2A)를 거쳐 금속배선 도체에 각각 접속되어 있다. 메모리소자의 대표적인 예의 경우, 각각의 다결정 실리콘 컨택트(1A) 및 (2A)는 채널부(3)의 10배의 두께 0.0㎛로 실행되는 것이 바람직하며, 그렇지 않으면 얇은 다결정 실리콘상에 직접 컨택트홈을 형성한 직후 다결정 실리콘 자체가 에칭되기 때문이다. 게이트전극(4)에는 개재된 게이트 절연막(5)를 거쳐 채널영역 (3)을 교차시키는 방향으로 마련되어 있다. 본 실시예의 경우, 게이트전극(4)의 막두께는 0.1㎛이다. 상술한 구조는 도 1C로부터 더욱 명확하게 될 수 있다.

또한, 채널영역(3)을 구성하는 다결정 실리콘막은 본 실시예의 경위의 SiO보호막(10)에 의해 전체적으로 둘러싸여 있다(도 1D참조). 산화실리콘(SiO)의 유전율이 실리콘의 대략 1/3이기 때문에 채널영역(3)과 게이트전극(4)의 용량은 상술한 바와 같이 SiO, 보호막(10))으로 그들을 둘러싸는 것에 의해 감소될 수 있다. 이것 은 상기된 히스테리시스 특성이 실온에서 실현될 수 있는 이유중의 하나이다.

본 실시예에 의한 메모리소자의 경우, 다결정 실리콘의 채널은 $SiO_2$ 기판에 두께10nm의 아모르퍼스 실리콘(a-Si)를 퇴적시키고, 온도 750℃에서 열처리하여 결정화하는 것에 의해 형성된다. 이와 관련하여 아모르퍼스 실리콘(a-Si)의 두께는 3.5nm 정도가 바람직하다는 것을 알 수 있었다. 채널부의 구조를 도 1B에 도시한다. 열처리 과정에서, 아모르퍼스 실리콘의 실리콘 결정입자는 성장한다. 그러나, 결정입자의 크기가 막두께에 도달하면, 막의 면에 대해 수직방향으로의 성장은 더 이상 실행되지 않는다. 동시에, 막에 대해 평행방향으로의 결정성장 속도는 지연된다. 따라서, 횡방향(즉, 막표면에 대해 평행한 방향)의 결정입자의 크기는 막두께와 거의 동일하다. 이러한 이유 때문에, 본 발명의 이 실시예에 따른 전계효과 반도체 메모리소자에는 채널영역을 형성하는 다결정 실리콘의 결정 사이즈가 상당히 작다는 특징이 있다.

이와 같이 결정입자의 크기가 작은 것은 게이트전극과 채널영역 사이의 용량을 작게 하는 것에 공헌하며 그 이유를 이하 설명한다. 고려중인 현재의 전계효과소자에 있어서, 스레쉬홀드 레벨 근방의 저전류영역에서는 실제로 전류가 흐를 수 있는 것은 채널영역(3)중에서도 가장 낮은 저항을 갖는 소수의 전류경로(6)뿐이다(제 1도A 참조). 즉, 전류의 흐름은 전자가 한쪽에서 다른 쪽의 결정입자로 이동하는 것에 의해 발생한다. 본 실시예의 경우, 결정입자의 크기가 작기 때문에 전류경로도 상술한 바와 같이 상당히 미세하고 얇다. 따라서, 전자가 존재하는 영역은 전 체의 채널영역과 비교할 때 상당히 작다. 이러한 이유 때문에, 게이트전극과 실효적인 채널영역(이전에 규정된) 사이에서 유효한 용량 $C_{gc}$ 는 상당히 작다.

본 실시예에 의해 실제로 제조된 반도체 메모리소자의 경우, 스레쉬홀드 값의 변화의 효과를 가능한한 확대해서 관측하기 위해, 상술한 게이트채널 용량 $C_{gc}$ 를 상당히 작게, 예를 들면 0.02aF(atto-Farad)로 설정한다. 이 때문에, 동작에 필요한 전압의 범위가 수십 볼트로 확대된다. 물론, 게이트 채널 용량 $C_{gc}$ 를 큰 값, 예를 들면 0.2aF로 설정하는 것에 의해, 동작전압범위를 종래의 집적회로에서 대체로 사용된 수십 볼트의 범위로 설정할 수 있다. 이를 위해, 게이트 절연막(5)의 두께를 감소할 수 있고, 게이트전극의 길이 또는 폭을 증가시킬 수 있으며, 이것은 기술적으로 어떤 어려움없이 실현될 수 있다.

본 발명의 본 실시예의 경우 채널은 다결정 실리콘으로 형성되어 있다. 그러나, 이 때 결정 실리콘 기판에 형성된 종래의 벌크 MOSFET에 대해서도 게이트채널 용량을 이전에 설명한 조건을 만족하는 정도로 작게 할 수 있으면, 히스테리시스 특성을 실현할 수 있다. 이 경우, 별크 MOSFET를 메모리소자로서 사용할 수 있다. 그러나, 이와 관련하여 벌크 MOSFET의 경우 상술한 결정입자의 효과는 없다는 것을 알았다. 또한, 벌크 MOSFET의 하측은 유전율이 높은 Si막으로 덮여 있다. 따라서, 다결정 실리콘으로 형성된 채널을 갖는 소자와 비교할 때, 벌크 MOSFET 소자의 크기를 감소할 필요가 있다. 한편, 이것은 벌크 MOSFET 메모리소자의 제조에 있어서 곤란하게 된다는 것을 의미한다. 그러나, 벌크 MOSFET가 캐리어의 이동도가 크기 때문에 큰 전류를 조정할 수 있고 고속동작에 적합하다는 이점이 있다. 또는, SOI(Silicon-On-Insulatar)구조의 MOSFET를 사용하는 것에 의해 상기 히스테리시스 특성을 실현할 수 있다. SOI구조는 절연막상에 단결정 실리콘을 성장시키고 그 안에 MOSFET를 형성하는 것에 의해 실현할 수 있다. SOI MOSFET의 게이트채널 용량을 벌크 MOSFET 보다 작게 할 수 있기 때문에, 벌크 MOSFET에 비해 히스테리시스 특성을 크게 실현할 수 있다.

상기에서는 전자 이동을 위한 채널이 n형이라는 가정하에서 설명하였다. 그러나, 홀을 사용하는 것에 의해 마찬가지의 동작을 할 수 있다. 또, 채널영역을 형성하기 위해서는 실리콘 이외의 반도체재료를 사용할 수도 있다.

또한, 상기에서는 게이트전극(4)가 채널영역(3)의 아래에 위치한다고 가정하였다. 그러나, 게이트전극을 채널영역상에 있는 구조로 해도 마찬가지의 동작을 실행할 수 있다. 또한, 이전에 설명한 바와 마찬가지의 동작 및 효과를 실현하기 위해, 게이트전극을 채널의 상하부에 각각 마련할 수도 있다. 또한, 게이트전극을 채널영역의 횡측에 배치할 수도 있다. 또한, 게이트전극을 채널의 양측에 각각 마련할 수도 있다.

다음에, 상기한 구조의 반도체소자로 구성되어 있는 집적된 메모리회로에 대해서도 도 6을 참조하면서 설명한다. 도 1에 도시한 구조를 각각 갖는 다결정 실리콘 메모리소자를 사용한 메모리 IC장치의 구조를 도 6 도시한다. 이와 관련하여, 각각의 반도체소자 또는 다결정 실리콘 메모리소자는 도 7에 도시한 바와 같은 히스테리시스 특성을 갖는다고 가정한다. 특히, 전압 Vw를 게이트와 소오스 사이에 인가할때 메모리소자는 논리값 '1'상태(고스레쉬홀드값 $V_h$ 상태)을 취하고, 게이트와 소오스 사이에 -Vw의 전압이 인가될 때 메모리소자는 논리값 '0'상태(저 스레쉬홀드값 상태 $V_\ell$ )을 취한다고 가정한다. 한편, 게이트와 소오스 사이 또는 게이트와 드레인 사이에 -Vw/2 Vw/2의 전압을 인가해도 스레쉬홀드 전압은 변화하지 않는다.. 스레쉬홀드 값이 전체적으로 낮아지고 소자의 제작시 채널영역에 도너

불순물을 도입하는 것에 의해 실현될 수 있다는 것을 제외하면, 도 7에 도시한 특성을 도 2에 도시한 특성과 비교할 수 있다.

도 6에 있어서, 각각의 반도체 메모리소자 MP1 MP4는 도 1에 도시한 구조와 도 7에 도시한 히스테리시스 특성을 갖는 본 발명에 따른 반도체소자에 의해 구성되어 있다. 반도체 메모리소자의 각각은 워드선에 접속된 게이트단자, 데이타선에 접속된 드레인단자 및 접지전위에 접속된 소오스단자를 갖는다.

집적 메모리회로에 있어서의 디지탈 데이타를 라이트하기 위해서는 도 6 도시한 데이타선 구동회로와 워드선 구동회로에 의해 이하 기술하는 방식으로 실행한다. 메모리소자 MP1에 논리값 '1'을 라이트하기 위해, 워드선(1)의 전위를 Vw/2의 전압레벨로 설정하고, 데이타선(1)의 전위를 -Vw/2로 설정하고, 그 밖의 워드선 및 데이타선을 0볼트로 설정한다. 이 결과, 메모리소자 MP1의 게이트와 드레인 사이에 Vw의 전압이 인가되므로, 논리값 '1'상태(고 스레쉬홀드 상태)를 취한다. 이 때, 메모리소자 MP1 이외의 다른 모든 메모리소자에는 Vw/2 이하의 전압이 인가된다. 따라서, 이들 다른 메모리소자에 있어서의 스레쉬홀드 전압의 변화는 발생하지 않 는다. 한편, 메모리소자 MP1에 논리값 '0'을 라이트하기 위해, 워드선(1)의 전위를 -Vw/2의 전압레벨로 설정하고, 데이타선(1)의 전위를 Vw/2로 설정하다. 그러므로, 메모리소자 MP1의 게이트와 드레인 사이에 Vw의 전압이 인가되어 메모리소자 MP1은 논리값 '0' 상태(저 스레쉬홀드 상태$V_{\ell}$)로 설정된다. 이 때, 메모리소자 MP1 이외의 다른 모든 메모리소자에는 -Vw/2 이하의 전압이 인가된다. 따라서, 이들 다른 메모리소자에 있어서의 스레쉬홀드 전압의 변화는 발생하지 않는다.

한편, 정보 또는 데이타의 리드를 이하 기술하는 방식으로 실행한다.(도 6 참조). 데이타선 구동회로에 있어서 데이타선은 부하소자를 거쳐서 전압원과 접속되어 있고, 데이타선의 다른 끝부는 센스앰프와 접속되어 있다. 우선, 메모리소자 MP1에서 정보를 리드하는 경우의 동작을 고려한다. 이를 위해, 선택된 워드선(1)의 전위를 0볼트의 레벨로 설정하고, 다른 비선택의 워드선(2)의 전위를 -Vw/2의 전압레벨로 설정한다. 메모리소자 MP1이 논리값 '1'상태일 때, 메모리소자 MP1은 오프상태(즉, 비전도상태)로 되고, 데이타선은 논리적으로 하이상태로 남는다. 메모리소자 MP2가 논리값 '0'상태이어도 비선택 워드선이 -Vw/2의 전위레벨에 있으므로, 메모리소자 MP1을 통해서는 전류가 흐르지 않는다. 메모리소자 MP1이 논리값 '0'상태일 때는 데이타선(1)로부터 메모리소자 MP1을 거쳐 접지선으로 전류가 흘러 데이타선(1)의 전위가 낮아진다. 이 전위드롭은 센스앰프에 의해 증폭되어 리드동작이 완료한다. 이와 같은 방식으로 메모리 장치를 실행할 수 있다.

현재 고려하는 메모리장치에서는 도 8에 도시한 바와 같은 배열로 Si기판 표 면에 형성되어 있는 종래의 벌크 MOSFET를 사용하는 것에 의해, 디코더, 센스앰프, 출력회로의 주변회로를 실현하고, 도 1에 도시한 메모리소자 MP1 MP4를 포함하는 메모리셀 어레이를 절연막을 개재해서 주변회로상에 제작한다. 이것은 메모리 소자 MP1 MP4의 다결정 실리콘을 벌크 MOSFET상에 제작할 수 있기 때문이다. 이러한 구성에 의해, 주변회로에 필요한 공간 또는 면적을 절약할 수 있어 종래의 다이나믹 RAM과 비교할 때 2배정도의 고집적도로 메모리소자를 실현할 수 있다.

또, 벌크 MOSFET와 다결정 실리콘 트랜지스터층 사이에 실제로 존재하는 배선층을 갖지만, 이 배선층은 도면에서는 생략되어 있다.

상술한 바와 같이, 본 발명의 이 실시예에 따른 메모리장치의 구성으로, 단일 메모리소자에 의해 1비트의 정보를 기억할 수 있기 때문에, 고집적의 메모리집적회로를 실현할 수 있다. 또, 상기한 바와 같이 주변회로층상에 메모리셀 어레이를 적층구조로 적층하는 것에 의해 집적도를 더욱 증가시킬 수 있다. 또한, 종래의 다이나믹 RAM의 경우에 필요한 전기 전하량을 리드할 필요없이 즉 스테이틱 방식으로 데이타선에 신호를 발생할 수 있다. 이러한 특징 때문에, 신호대 잡음(S/N비)을 악화시키는 일 없이 미세구조를 더욱 향상시킬 수 있다. 또한, 장시간에 걸쳐서 축적된 정보를 보유할 수 있으며, 이것은 다이나믹 RAM의 경우에 필요한 리프레시 동작시 불필요하게 된다는 것을 의미한다. 따라서, 전력소비를 가능한한 최소로 억제할 수 있다. 또, 주변회로를 상당히 간단한 구성으로 실현할 수 있다. 상술한 특징에 의한 본 실시예에 의해, 종래의 다이나믹 RAM보다 적어도 2배 높은 집적도를 갖고, 1비트당의 비용을 종래의 RAM에서 필요로 하는 것의 적어도 절반으로 줄일 수 있는 반도체 메모리장치를 실현할수 있다. 물론, 정보(데이타)의 유지에 필요한 전력도 상당히 감소할 수 있다.

상기에서, 도 7에 도시한 바와 같이 저 스레쉬홀드 전압 $V_{\ell}$ 은 부의 극성이고, 고 스레쉬홀드 $V_h$ 는 정의 극성이라 가정하였다. 그러나, 메모리소자의 이들 스레쉬홀드 전압 $V_{\ell}$ 및 $V_h$ 가 각각 고레벨로 설정되어 있을 때에도, 그 만큼 게이트를 제어하는 신호레벨을 높게 설정하는 것에 의해 간단하게 마찬가지의 동작을 실행할 수 있다.

다음에, 도 9A 및 도 9B를 참조해서, 본 발명의 실시예에 있어서의 메모리소자 및 제조공정을 설명한다. 우선, p형 Si기판(14)의 표면에 n채널 MOS(15)와 p채널 MOS(16)(즉, CMOS소자(Complementary Metal-Oxide Semiconductor device))을 제작하고, 그 다음에 CMOS장치상에 절연막을 형성하고, 또 금속배선(17)을 형성한다 (도 9A참조). 계속해서, 층간의 절연막(18)을 퇴적하고, 그의 표면을 거칠음을 감소하기 위해 평탄화를 실행한다. 다음에, 평탄화된 절연층(18)상에 메모리소자의 게이트전극(4)로서 기능하는 다결정 실리콘 영역을 형성한다. 이를 위해, 다결정 실리콘 영역에 n형 불순물을 고농도로 도프해서 저항을 낮게 한다. 다음에 게이트 절연막(5)로서 기능하는 약50nm 두께의 $SiO_2$ 막을 화학기상퇴적(CVD)법에 의해 게이트전극을 갖는 절연막(18)상에 퇴적하고, 그 다음에 아모르퍼스 실리콘층을 퇴적한다. 아모르퍼스 실리콘층을 패터닝한 후, 소오스영역(1) 및 드레인영역(2)에 As, P 등의 n형 불순물을 이온주입으로 도프하고, 대략 750°C의 온도에서 어닐링하여 다 결정 실리콘의 채널(3)을 형성한다. 최종적으로 $SiO_2$ 의 보호막 또는 패시베이션(10)을 형성한다. 그러므로, 본 발명에 따른 고집적도의 메모리장치를 제작할 수 있다 (도 9B 참조). 이때, 잡음에 대해서 메모리장치를 실드하여 신뢰성을 향상시키기 위해, 전기적 도전층을 메모리장치의 상부 표면에 또 마련할 수도 있다.

<실시예2>

도 10A 및 도 10B는 본 발명의 제2의 실시예에 따른 메모리소자를 도시한 단면도이다. 기판으로서 SOI기판을 사용하며, 도 10A의 선 a-a'선에서 본 단면을 도 10B에 도시한다. 소오스영역(19) 및 드레인영역(20)은 고 불순물 농도

이고, 저저항의 n형 실리콘으로 각각 구성되어 있으며, 소오스와 드레인영역(19)와 (20) 사이에서 연장하는 실리콘의 채널(21)은 미세하거나 또는 얇은 선으로 형성되어 있다. 채널(21)상에는 $SiO_2$ 의 박막(25)가 형성되어 있다. 또 실리콘의 결정입자로 캐리어를 감금하는 기억노드(24)가 채널영역(21)에 형성되어 있다. 게이트전극(22)와 채널영역(21) 사이에 개재되어 있는 게이트절연막(23)을 갖는 채널영역(21)에 게이트전극(22)가 마련되어 있다.

본 실시예에 따른 메모리소자의 구조로, 채널(21)의 선폭이 매우 작기 때문에, 게이트전극(22)와 채널영역(21) 사이의 용량 $C_{gc}$ 를 감소할 수 있다. 라이트 및 소거동작은 전위레벨을 변화하는 것에 의해 실행할 수 있다. 특히, 절연막(25)에 의해 마련된 전위장벽을 클리어하는 것에 의해 채널영역에서 기억노드(24)로 전자를 주입시켜 라이트를 실행할 수 있는 반면에, 기억된 정보를 소거하는 경우는 기 억노드(24)에서 전자를 인출된다. 그러므로, 본 실시예에 따른 메모리소자에 있어서, 기억노드(24)로부터의 데이타 또는 정보의 라이트 및 소거는 채널과의 전자의 전달에 의해 실행한다. 그러나, 채널영역 이외의 영역과의 전자 전달에 의해 이들 동작을 실행할 수도 있다. 이것은 이하에 기술하는 본 발명의 실시예에서도 마찬가지이다. 또, 본 실시예에 따른 메모리소자에 있어서, 절연막을 형성하는데 사용하는 $SiO_2$ 로 소오스, 드레인 및 채널을 형성하기 위해 실리콘을 사용하고 있지만, 용량 $C_{gc}$ 가 이전에 설명한 필요조건을 만족시키고 있으면, 소오스 및 드레인은 다른 반도체재료 또는 금속이라도 좋고, 절연막도 또한 다른 조성으로 형성하여도 좋다.

또한, 본 실시예에 따른 메모리소자에 있어서, 기억노드(24)는 채널 (21)상에 마련되어 있지만, 채널영역의 횡으로의 위치 또는 채널영역의 아래에 기억노드 (24)를 마련해도 좋다. 또한, 소오스, 드레인 및 채널을 형성하는데 사용하는 단결정 실리콘으로 SOI기판을 사용하고 있지만, 실시예1의 경우와 마찬가지로 다결정 실리콘을 사용하여 이들을 형성해도 좋다. 이 경우, 실시예1과의 차이는 기억노드 (24)가 독립적으로 마련되어 있다는 점이다. 또, 채널영역과 기억노드 사이에 개재된 절연막의 재료는 게이트와 기억노드 사이에 개재된 절연막의 재료와 동일할 필요는 없다.

본 실시예에 따른 메모리소자 및 메모리장치에 있어서 캐리어를 전자로 가정 하였지만, 홀을 캐리어로서 사용하여도 거의 동일한 효과를 얻을 수 있다. 또한, 홀은 이하에 기술하는 실시예에서도 마찬가지이다.

본 실시예에 있어서의 본 발명의 특징에 있어서, 기억노드(24)는 작은 크기의 결정입자를 사용하는 것에 의해 형성되어 있고, Si입자의 기억노드(24)는 $SiO_2$ 의 절연막(25)와 게이트 절연막(23)에 의해 둘러싸여져 있어 주위의 기생용량을 감소시킬 수 있다.

기억노드(24)를 구성하는 입자 사이즈가 작기 때문에, 그에 대한 주위 또는 전체의 용량 $C_{tt}$ 는 진성용량으로 결정해도 좋다. 반경이 $\tau$ 이고, 유전율 $\varepsilon$ 의 물질에 둘러싸여진 구면체의 경우, 진성용량은 $4\pi\varepsilon\tau$ 로 부여된다. 예를 들면, 입자 사이즈가 10nm인 실리콘 결정입자에 의해 형성되는 기억노드의 경우, 기억노드의 주위 또는 전체 용량 $C_{tt}$ 는 약 1aF이다.

도 11A 및 제 11B는 각각 사시도 및 단면도로서, 채널영역, 캐리어 감금노드, 게이트전극을 모식적이고 확대해서 도시한 것이다.

도 12에 도시한 바와 같이, 게이트 소오스의 전압(즉, 게이트와 소오스 사이에 인가되는 전압)을 제1의 전압 $V_{g0}$ (0볼트)와 제2의 전압 $V_{gl}$ (5볼트) 사이에서 수직방향으로 스위프하면, 드레인전류는 히스테리시스 특성을 나타낸다. 이와 관련하여, 도 11B의 평면 b-b'에 있어서의 관련 전위 분포도를 도 13A 도 13C 및 도 14A 도 14C에 도시한다. 도 12에 도시한 바와 같은 히스테리시스 특성이 나타나는 이유를 이하 설명한다.

도 10에 도시한 반도체 메모리소자에 있어서, 게이트와 소오스 사이의 전위 차 $V_{gc}$ 가 0볼트일 때의 채널영역(21)에 있어서 나타나는 전위분포를 도 13A에 모식적으로 도시한다. 이것은 도 12에 도시한 상태25에 대응한다. 또 도 13A에 도시한 평면에 대략 수직방향으로 드레인전류가 흐른다고 가정한다. 또한, 이하의 설명에서는 드레인 소오스 전압이 게이트전압에 비해 충분히 작다고 가정하지만, 드레인과 소오스 사이의 전압이 큰 경우에도 이하의 결과는 그대로 성립한다.

우선, 도 13A에 있어서, 채널영역(21)과 기억노드(24) 사이에 형성된 전위장벽(25) 및 주변의 $SiO_2$ 막(23)에 둘러싸여진 채널영역(21)은 저 에너지 전위를 나타낸다. 그러므로, Si의 결정입자로 형성되고, 절연막(23) 및 (25)에 의해 둘러싸여져 있는 기억노드(24)(캐리어 감금영역)는 캐리어 또는 전자를 포획 또는 트랩할 수 있다. 한편, 저불순물농도의 P형 또는 N형 또는 i형(진성반도제형)의 채널영역(21)에 있어서의 전도대의 에너지레벨은 고 불순물농도의 N형 소오스(19) 중의 전도대의 에너지레벨 또는 축퇴한 고 불순물농도의 N형 소오스영역(19)중의 페르미 레벨보다 충분히 높기 때문에, 채널영역(21)중에는 전자는 존재하지 않는다. 따라서 드레인전류는 흐르지 않는다.

또, 캐리어 감금영역(24) 또는 기억노드(24)의 에너지는 소오스영역(19)의 페르미 레벨보다 충분히 높다. 따라서, 이 영역(24)에도 전자는 존재하지 않는다.

게이트전극(22)와 소오스(19) 사이의 전위차 $V_{gs}$ 를 0볼트에서 저 스레쉬홀드 전압 $V_{\ell}$ 까지 증가시키면, 채널영역(21)의 전위가 증가한다. 따라서, 도 13B에 도시한 바와 같이 전자에 대한 채널영역(21)의 전위가 저하하여 소오스(19)에서 채널영 역(21)로 전자가 도입된다. 그러므로, 드레인과 소오스 사이에 전류가 흐른다.

게이트전압을 더욱 증가시키면, 채널영역(21)중에 존재하는 전자수는 상당히 증가한다. 그러나, 게이트 소오스 전압 $V_{gs}$ 가 라이트전압 $V_{gl}$ 에 도달하면 기억노드 (24)의 에너지가 낮아지고, 채널(21)과 기억노드(24) 사이의 전위구배가 상당히 증가한다. 이 결과, 전자의 열 에너지 분포나 터널링현상(터널효과)에 의해서 전위장벽(25)를 클리어하는 것에 의해, 적어도 1개의 전자가 기억노드(24)에 트랩된다.

이것은 도 12에 도시한 바와 같이, 상태27에서 상태28로의 천이에 대응한다.

그러므로, 도 14A에 도시한 바와 같이, 전위가 증가함에 따라 기억노드(24)에 트랩된 1개의 전자에 의한 쿨롱 블럭케이드(blockade)가 발생하여 기억노드(24)의 다른 전자의 주입을 방지한다.

이와 같이, 기억노드(24)에 전자가 1개 트랩될 때마다 도 10에 도시한 반도체 메모리소자의 스레쉬홀드 전압은 저 스레쉬홀드 전압 $V_{\ell}$ 에서 고 스레쉬홀드 전압 $V_h$ 로 변화하며, 그 이유를 이하 설명한다.

즉, 도 14A에 도시한 상태에서 시작하여 $V_h$ (고 스레쉬홀드 전압)<$V_{gs}$ < V, (저 스레쉬홀드 전압)의 범위에서 게이트-소오스 전압 $V_{gs}$ 를 하강시키면, 채널(21)중의 전자수는 감소한다.
그러나, 기억노드(24)와 채널(21) 사이에 전위 장벽(25)가 존재하기 때문에, 기억노드(24)에 포획 또는 트랩된 전자는 그대로 남는다.
또, 게이트전극(22)의 전압이 저하해서 전위차 $V_{gs}$ 가 고 스레쉬홀드 전압 $V_h$ 와 동일하게 되면, 소오스(19)의 페르미 레벨은 kT정도의 크기 만큼 채널(21)의 전도대의 에너지레벨과 차이가 나므로, 채널영역의 거의 모든 전자는 없어진다(도 14B 참조). 이것은 도 12에 도시한 상태29에 대응한다. 이와 관련하여, 드레인전류가 더 이상 흐를 수 없는 스레쉬홀드 값$V_h$ 는 기억노드(24)에 포획된 전자의 전하량 만큼 저 스레쉬홀드 전압 $V_h$ 보다도 높게 된다.
또, 게이트-소오스 전압 $V_{gs}$ 를 0볼트 레벨까지 더욱 저하시키면, 기억노드 (24)와 채널영역(21) 사이의 전위구배는 상당히 크게 되므로, 기억노드(24)에 포획된 전자는 전자의 열 에너지분포와 전계효과에 의해 발생하는 터널링현상에 의해 방출된다(도 14C 참조). 전자가 제거된 상태의 전위 프로파일은 도 13A에 도시한 초기의 전위 프로파일과 동일하다. 이것은 반도체 메모리소자가 도 12의 상태25를 재개한다는 것을 의미한다.
계속해서, 수직방향으로 스위프를 반복해서 실행하기 위해, 게이트-소오스 전압 $V_{gs}$ 를 재차 상승시키면, 전자의 포획/방출에 따른 히스테리시스 현상을 관측할 수 있다.
현재, 고려하고 있는 메모리소자의 구조에 있어서, 전류로 단일전자의 유무를 검출하기 위해서는 식(8)에 주어진 조건을 만족시켜야 한다.
다음에, 본 발명의 이 실시예에 따른 메모리소자 또는 메모리장치의 제조방 법에 대해서 설명한다. 도 10A 및 도 10B에 도시한 바와 같이, 포토에칭 프로세스를 사용해서 소오스영역(19), 드레인영역(20) 및 채널영역(21)을 SOI 기판에 형성한다. 채널영역은 미세한 선 형상으로 실현된다. 소오스 및 드레인영역은 고농도의 n형 불순물로 도프한다. 반면에, 채널영역은 저 불순물농도의 n형, 또는 i형 또는 p형 불순물로 도프한다. 다음에, CVD(화학기상증착법)법으로 $SiO_2$ , 막(25)을 퇴적하고, 또 CVD법으로 실리콘의 결정입자 또는 기억노드(24)를 형성한다.
매우 작은 반경 γ을 갖는 실리콘 결정입자(24)(기억노드(24)로서 기능하는)을 미세하게 형성하기 위해서는 CVD 퇴적법에 있어서 초기에 형성된 핵을 실리콘 결정입자(24)를 형성하는데 이용한다. 이를 위해, 이 CVD법에 의한 실리콘 결정입자(24)의 형성은 저온에서 실행하고, 단시간에 종료하는 것이 바람직하다.

<실시예3>

도 15A 및 도 15B는 본 발명의 실시예3에 따른 메모리소자의 단면을 각각 도시한 것으로 도 15A의 선 a-a'에서 본 단면도를 도 15B에 도시한다. 본 실시예에 따른 메모리소자 또는 메모리장치는 한쌍의 게이트전극(31)과 (32) 사이에서 채널영역(33) 및 캐리어 감금영역(34) 또는 기억노드(34)가 샌드위치된 구조로 실현된다는 점에서 실시예2와 다르다. 따라서, 본 실시예에 다른 메모리소자 또는 메모리장치에 있어서, 라이트 및 소거동작은 제1 게이트전극(31)뿐만 아니라, 제2게이트전극(32)의 매체로도 실행할 수 있다.
또, 본 발명의 실시예2에 따른 메모리소자 또는 메모리장치의 경우, 캐리어 감금영역 및 이외의 채널영역 근방의 전위 프로파일은 외부의 전위변동의 영향하에서 변화한다. 반면에, 본 실시예에 따른 메모리소자 또는 메모리장치는 양측에 마련된 게이트전극의 실드효과 때문에, 외부의 전위변동의 영향을 받지 않는다는 이점이 있다

<실시예4>

도 16A 도 16C는 본 발명의 실시예4에 따른 메모리소자를 도시한 것으로서, 도 16A는 단면도이고, 도 16B는 도 16A의 a-a'에서 본 단면도이고, 도 16C는 상면도이다. 도면에서, 소오스(35) 및 드레인(36)이 실리콘 반도체 결정기판내에 형성된 벌크 MOS의 채널영역(39)의 위에 절연막(40)을 형성하고, 그 위에 여러개의 실리콘 결정입자(41)이 형성된 절연막(40)을 형성한다 . 또, 절연막(42)를 절연막(40) 및 입자(41)상에 형성한다. 또한, 제2 게이트전극(38)을 절연막(42)상에 퇴적한다. 이 게이트전극(38)은 소오스(35)와 드레인 (36)을 상호접속하는 방향에 갭이 존재하는 형상이다. 제1 게이트전극과 제2 게이트전극사이에 개재되어 있는 절연막(43)을 갖는 제2 게이트전극(38)상에 제1 게이트전극(37)을 마련한다. 소오스(35) 및 드레인(36)은 고 불순물 농도의 n형 벌크실리콘으로 형성되는 영역에 의해 각각 구성되고, 소오스영역(35)와 드레인(36) 사이에 p형의 영역(44)가 개재되어 있다.
제1 게이트전극(37)에 정극성의 전압을 인가하는 것에 의해, p형 영역(44)의 표면부에 전자를 유기해서 채널(39)를 형성한다. 이 경우 제2 게이트극(38)의 전위 는 제1 게이트전극(37)보다도 낮게 설정 되므로, 제2 게이트전극(38)은 정전실드 전극으로서 또한 동작하도록 되어 있다. 그 결과 채널영역(45)는 제2 게이트전극 (38)의 미소갭에 대향하는 위치인 영역에서만 형성되어 제1 게이트전극(37)과 채널영역(39) 사이의 실효적인 용량 $C_{gc}$ 를 작게 할 수 있다. 라이트 및 소거동작은 제1 게이트전극(37) 또는 제2 게이트전극(38) 또는 기판(44)의 전위를 변화할 수 있는것에 의해 상술한 실시예3과 거의 마찬가지의 방식으로 실행할 수 있다.

<실시예 5>

도 17A에 본 발명의 실시예5에 따른 메모리소자의 단면도를 도시한다. 전류가 흐르는 방향은 도면의 면에 대해 수직방향이다. 채널영역, 캐리어 감금영역 근방의 영역을 확대해석 도시하고 있다. 소오스 및 트레인은 본 발명의 실시예2에 따른 메모리소자와 동일한 형상으로 실현된다. 본 실시예는 실시예2에 있어서, 실리콘의 채널영역(46)과 실리콘 결정입가에 의해 형성되는 기억노드(캐리어 감금노드)(47) 사이의 $SiO_2$ 절연막(49) 및 (50)중에 실리콘의 박막(48)이 형성되어 있다는 것이 차이점이다.
채널(46)내의 캐리어는 Si박막(48)을 거쳐서 기억노드(캐리어 감금영역) (47)에 도달한다. 상술한 구조의 메모리소자의 전위 프로파일을 도 17B에 도시한다. 도 17B에 있어서, Si박막(48)에서는 두께방향의 양자 감금의 효과에 의해 에너지 시프트(52)가 발생한다. Si박막(48)은 Si채널영역(46)에서 캐리어 감금영역 (기억노드) (47)로 전자를 이동하는 역할을 한다. 이 결과, 동일한 장벽의 효과를 달성하기 위해, 채널과 캐리어 감금영역 사이에 존재하는 $SiO_2$ 막(49) 및 (50)의 총 막두께를 본 실시예에 따른 구조를 채택하지 않는 (예를 들면, 도 10A 및 도 10B) 경우의 메모리소자의

채널영역과 캐리어 감금영역 사이에 위치한 $SiO_2$ 막의 막두께에 비해 감소해야 한다. 따라서, 절연막의 피로를 저감할 수 있어 메모리의 리라이트 횟수를 증가시킬 수 있다.

또, 본 실시예에서 상술한 양자 감금영역 효과를 이용하는 것에 의해 실현된 전위 장벽은 캐리어 감금영역(47)에 의해 많은 수의 캐리어를 조정하도록 되어 있는 경우에도 절연막의 피로를 방지하는데 유효하다.

<실시예6>

본 발명에 의한 반도체 메모리장치의 메모리 리드회로의 구성을 도 18A 도 18C 및 도 19를 참조해서 설명한다. 이하, 도 1A 도1D, 도6, 도 10A와 도 10B, 도 15A와 도 15B, 도 16A 도 16C 및 도 17A와 도 17B의 각각을 참조하는 것에 의해 상기한 소자 중 하나로 될 수 있는 본 발명의 반도체소자를 도 18에 도시한 바와 같이 종래의 전계효과 트랜지스터와 구별하기 위해, '●'로 캐리어 트래핑노드(캐리어 감금영역)를 나타내어 표시한다. 도 18A 도 18C에는 1비트분의 메모리셀의 회로구성을 도시한 것으로서, 도 18B는 리드 라이트 동작시 워드선 W와 데이타선 D에 각각 인가되는 전압을 도시한 것이고, 도 ]8C는 메모리셀을 실현하기 위해 사용되는 반도체소자 MM7의 드레인전류의 게이트전압(게이트-소오스 전압)에 대한 의존성을 도시한 것이다. 이 회로구성 자체는 도 16에 도시한 제1 실시예와 동일하다.

도 19에는 메모리셀 MM1에 기억한 데이타 또는 정보를 리드하기 위한 회로구성을 도시한다. 즉, 도면에서는 생략하였지만, 메모리셀 MM1과 마찬가지인 많은 메모리셀이 본 발명과 관련있는 메모리장치의 어레이에 배치되어 있다. 정보를 기억하는 메모리셀 MM1은 종래의 MOSFET에 비해, 메모리셀에 의해 조정할 수 있는 전류의 값이 작다는 점에서 종래 통상의 MOSFET와 다르다. 이것은 본 발명에 따른 메모리셀의 경우, 게이트-채널용량을 작게 설정하기 때문이다.

적은 전류값을 안정하고 고속으로 리드하기 위한 구성을 이하 설명한다. 반도체소자MM1로 구성되는 메모리셀은 데이타선D에 접속되고, 이 데이타선D는 데이타선 선택스위치 M5를 거쳐서 차동증폭기의 일부를 구성하는 입력 트랜지스터 M9에 접속되어 있다. 데이타선D와 쌍으로 마련된 다른 데이타선 (Dn)에는 반도체 메모리소자 MM5 및 MM6으로 각각 구성되는 더미셀이 접속되어 있다.

우선, 메모리셀 MM1에서 정보를 리드하는 동작을 설명한다. 리드동작시의 신호 타이밍을 도 20에 도시한다. 논리값 '0'이 스레쉬홀드 전압이 낮은 상태의 메모리셀 MM1에 라이트되어 있다고 가정한다. 더미셀MM5 및 MM6의 각각에는 항상 미리 '0'을 라이트해 둔다. 리드동작시, 신호 S2를 로우레벨로 설정해서 데이타선 D 및 Dn을 소오스전압 Vr로 프리챠지한다. 이와 동시에, 신호 S3 및 S4를 하이레벨로 설정해서 데이타선 D 및 Dn을 차동증폭기의 입력 트랜지스터 M9 및 M10에 각각 접속한다. 또한, 이와 동시에 신호 S5 및 S6을 하이레벨로 설정해서 차동증폭기와 활성화하여, 출력OUT 및 OUTn이 서로 동일하게 되도록 한다. 워드선 W1 및 MD의 전위를 로우레벨에서 하이레벨로 변화시키는 것에 의해, 메모리셀 MM1과 더미셀 MM5 및 MM6을 선택한다. 그 후, 메모리셀 MM1은 온상태(도전상태)로 되어 데이타선 D의 전위가 낮아진다. 동시에, 더미셀 MM5 및 MM6이 온상태로 되어 데이타선 Dn의 전위가 낮아진다. 그러나, 더미셀 MM5 및 MM6이 직렬로 접속되어 있으므로, 전류구동능력이 메모리셀 MM1에 비해 작다. 따라서, 데이타선 Dn의 전위는 데이타선 D에 비해 완만하게 변한다. 데이타선 D 및 Dn의 데이타가 확정되면, 신호S6을 로우레벨로 설정해서 차동증폭기를 동작가능한 상태로 한다 데이타선 D와 Dn의 사이의 전위차는 차동증폭기에 의해 증폭되어, 출력 OUT는 하이레벨로 되고, 출력 OUTn은 로우레벨로 된다. 이것에 의해, 메모리셀 MM1에서 논리값 '0'을 리드하는 동작은 완료한다.

메모리셀 MM1이 논리값 '1'의 상태(즉, 스레쉬홀드 값이 높고 전류가 그다지 흐르지 않는 상태)에서는 데이타선 D는 프리챠지된 상태로 남기 때문에, 데이타선 D는 프리챠지된 상태로 남고, 그 결과, 데이타선 Dn의 전위가 데이타선 D보다 빨리 하강한다. 그 후, 이러한 전위차를 차동증폭기에 의해 증폭해서 라드동작을 완료한다.

반도체 메모리소자 MM2로 구성되는 메모리셀에서 정보를 리드할 때에는 반도체 메모리소자 MM3 및 MM4는 더미셀로 작용한다. 데이타선 각각에 대해서 1개의 더미셀이 마련되면 충분하다. 그러므로, 면적조건을 최소로 억제할 수 있다.

상기의 회로구성에 의해, 데이타선 D 및 Dn 사이에 약간의 전위차만이 나타날 뿐, 정보리드동작을 실행할 수 있다. 이것은 데이타선 D에서 메모리셀 MM1을 거쳐서 방전해야 할 전하량이 적어도 좋다는 것을 의미한다. 이러한 특징에 의해 고속동작을 실현할 수 있다.

상기 1실시예의 경우, 더미셀의 전류를 메모리셀의 전류의 대략 반정도로 하는 수단으로서 더미셀 MM5 및 MM6을 직렬로 접속하고 있다. 그러나, 더미셀을 직렬로 접속하여 마련하는 것 대신에 채널폭을 반으로 감소시키거나 인가하는 게이트전압을 내리는 것에 의해서도 참조전위를 발생시킬 수가 있다.

도 21A 및 도 21B에 각각 반도체 메모리장치의 메모리셀의 회로구성 및 그의 레이아웃을 도시한다. 특히, 21A에는 서로 인접하여 어레이한 4개의 메모리셀을 도시한 회로도이고, 도 21A에 도시한 회로구성에 대응하는 마스크 레이아웃을 도 21B에 도시한다. 워드선 W91에 접속되어 있는 2개의 메모리셀 M91과 MM92에서는 동일의 게이트전극를 공유하고 있으므로, 필요한 배선을 상당히 절약할 수 있다. 또 동일의 데이타선 D91에 접속되어 있는 다른 메모리셀 MM93 및 MM91에서는 확산층을 직접 접속하여 1개의 컨택트(CT)을 메모리셀 MM93 및 MM91로 공유화하는 것에 의해 필요한 배선면적을 상당히 삭감할 수 있다.

<실시예7>

본 발명에 의한 반도체 메모리장치의 다른 실시예를 도 22A 도 23을 참조해서 기술한다. 본 실시예의 구성에 의하면 실시예6에 의한 반도체 메모리소자보다 고속으로 리드를 실행할 수 있다.

이들 도면중에서, 도 22A에 동일의 서브데이타선D에 접속되어 있는 여러개의 메모리셀 MM51, MM52 및 MM53의 조합으로 구성된 셀세트의 회로도를 도시하고, 도 22B에는 라이트 및 리드동작시 메모리소자 MM51에 인가하는 전압을 도시하고, 도 22C에는 메모리소자 MM51의 특성을 도시하고, 도 23에는 도 22 A에 도시한 구성의 각각의 셀세

트를 사용하는 것에 의해 실현한 반도체 메모리장치의 구성을 도시한다. 본 실시예와 실시예6과의 차이점은 데이타선이 메인 데이타선 MD51과 서브 데이타선 D에 적층화되어 있는 점이고, 이것에 의해 고속으로 리드동작이 가능하다(도 23 참조). 도 22A에 도시한 바와 같이, 메모리셀 MM51, MM52 및 MM53의 소오스단자는 서브 데아타선 D에 접속되어 있고, 이 서브 데이타선은 트랜지스터 M53과 M52로 구성되는 프리앰프에 접속되어 있고, 이 프리앰프 PA51의 출력이 메인데이타선 MD51에 접속외어 있다(도 23 참조). 메인 데이타선 MM51에 상술한 각각의 구조의 여러개의 셀세트가 프리앰프에 거쳐서 접속되어 있다. 메인 데이타선 MD51은 차동증폭기로 구성되는 메인앰프 MA51의 입력단자 중 하나에 접속되어 있다. 더미셀의 컬럼은 어레이에 배치된 셀세트로 구성되어 있다. 더미셀(예를 들면, MM54)는 프리앰프 PA52를 거쳐서 다른 메인 데이타선 MD52에 접속되어 있다. 메인 데이타선 MD52는 메인앰프 MM51의 다른쪽의 입력단자에 접속되어 있다. 더미셀 세트의 프리앰프 PA52는 전류구동능력이 프리앰프PA51의 대략 1/2에 해당하도록 설계되어 있다. 이것은 예를 들면, 트랜지스터의 채널폭을 반정도로 줄이는 것에 의해 실현할 수 있다.

다음에, 메모리셀 MM51에서 정보를 리드하는 동작에 대해서 설명한다. 더미셀 MM54에는 논리값 '0'의 정보를 미리 라이트한다. 우선, 메모리셀 MM51에는 논리값 '0'의 정보가 기억되어 있다고 가정한다. 우선, 트랜지스터 MM51의 게이트단자 S52에 하이레벨전위Vr을 인가해서 소오스단자 S51을 접지레벨로 하는 것에 의해, 서브데이타선 D를 접지레벨로 설정한다. 또, 셀세트를 선택하기 위해, 게이트단자 S53에 하이레벨전위를 인가하여 프리앰프 PA51의 트랜지스터 M52를 도통상태(온상태)로 설정한다. 동시에, 메인 데이타선 MD51 및 MD52를 하이레벨전위$V_r$로 프리챠지한다. 워드선 W가 로우레벨에서 하이레벨Vr로 되면, 메모리셀 MM51이 도통상태로 되어 P(=Vr)에서 메모리셀 MM51을 거쳐 서브 데이타선 D가 충전된다. 따라서, 트랜지스터 M53이 온상태로 되어 메인데이타선 MD51이 메모리셀 MM52 및 MM53을 통해서 방전되고, 메인 데이타선 MD51의 전위가 떨어진다. 이러한 동작에 의해, 동일 워드선에 접속되어 있는 터미셀 MM54는 온상태로 된다. 또, 프리앰프 PA52가 작동해서 메인 데이타선 MD52가 방전된다. 그러므로, 메인 워드선 MD52의 전위는 하강한다. 그러나, 프리앰프 PA52의 전류구동능력은 프리앰프 PA51에 비해 작기 때문에, 메인 데이타선 MD52의 전위는 메인 데이타선 MD51보다 낮은 레이트로 저하한다. 그러므로 메인 데이타선 MD51과 MD52 사이에서 전위차가 나타나고, 이것을 메인앰프 GA51로 검출하는 것에 의해, 메인앰프 MA51로부터 해당하는 출력정보가 구동된다. 논리값 '1'을 리드하는 동작도 마찬가지의 방식으로 실행된다.

본 실시예의 경우, 메모리셀 MM51은 서브 데이타선 D를 구동하면 충분하다. 서브 데이타선은 서브데이타선에 접속되어 있는 셀의 수가 8 32로 적고, 서브 데이타선의 길이가 짧기 때문에 기생용량이 작다. 그러므로 메모리셀 또는 메모리소자 MM51에 의해 고속으로 서브 데이타선을 구동할 수 있다. 마찬가지로, 메인 데이타선 MD51은 프리앰프 PA51에 의해 고속으로 구동되므로, 고속동작을 달성할 수 있다.

본 실시예에 따르면, 차동증폭기 PA51에 참조전압을 발생시키기 위해, 프리앰프 PA52 및 PA51은 전류구동력에 있어서 차이가 있도록 설정된다. 셀자체로 전류를 반으로 하는 실시예6과 비교할 때, 전류레벨이 높은 레이트의 트랜지스터에 의해 구성되는 프리앰프에서 변화하는 본 실시예에서는 상술한 분산의 영향을 거의 받지 않는다는 이점이 있다.

또, 메인앰프 MA51에는 실시예6에서 사용한 차동증폭기나 전류미러형 차동증폭회로 등의 각종 공지의 회로중 적당한 하나를 사용해서 실행할 수 있다.

상기 실시예6과 실시예7에 있어서는 메모리셀이 단일의 트랜지스터로 구성된다고 가정하였다. 그러나 도 24A 도 24E에 도시한 메모리 셀에 의한 예 등의 다른 구성으로 메모리셀을 실현해도 좋다. 특히, 도 24A에 게이트전극과 백 게이트전극 사이에 개재되어 있는 채널을 갖는 게이트전극에 대향해서 백 게이트가 마련된 메모리셀을 도시한다. 이러한 메모리셀의 구조로, 여러개의 메모리셀이 동일한 백 게이트 단자에 접속되어 있으면, 백 게이트에 부극성의 전압을 인가하는 것에 의해 이들 메모리셀에 포함된 정보 또는 데이타를 '0'으로 리세트할 수 있다는 이점이 있다. 물론, 백 게이트에 정극성의 전압을 인가하는 것에 의해, 이들 메모리셀에 동시에 논리값 '1'을 라이트할 수도 있다.

이와 관련하여, 백 게이트단자로서는 반도체 기판 그 자체 또는 포텐셜 웰 등을 이용하는 것에 의해 백 게이트단자를 실현할 수 있다.

도 24B에 단자선 P가 워드선과 병렬방향으로 연장하여 각 행마다 독립해서 제어를 실행할 수 있는 메모리셀을 도시한다. 한편, 도 24C에는 단자선 P가 데이타 선과 병렬로 연장하는 메모리셀을 도시한다. 또, 도 24D에는 메모리소자 MM73의 게이트가 데이타선과 접속되어 있는 메모리셀을 도시한다. 이 경우, 단자 P를 절약할 수 있어 반도체 메모리장치를 실행에 있어서 면적을 삭감할 수 있다.

또, 도 24E는 메모리소자 MM74의 게이트가 워드선과 접속한 메모리셀을 도시한 것으로, 도 24D에 도시한 메모리셀과 마찬가지의 이점이 있다.

<실시예8>

도 25A 도 25C 및 도 26에 본 발명의 실시예8에 따른 반도체 메모리소자를 도시한다. 도 25A에 도시한 바와 같이, 본 실시예에 따른 메모리장치의 메모리셀은 본 발명에 따른 메모리소자 MM21과 직렬로 접속된 스위칭 FET소자(전계효과 트랜지스터) M25를 포함한다. 특히 워드선이 스위칭 FET M25의 게이트에 접속되어 있어, 스위칭 FET M25에 의해 데이타선D에서 메모리소자MM21에 인가되는 전압을 차단할 수 있다. 그러므로 선택셀과 워드선 또는 데이타선을 공유하는 비선택의 메모리셀에 불필요한 전압이 인가되는 일이 없다. 이것은 본 실시예에 따른 장치가 실시예6, 7에 비해 데이타 유지특성이 우수하다는 이점이 있다는 것을 의미한다.

본 실시예에 따른 메모리셀의 라이트동작은 이하의 방식으로 실행된다. 우선, 논리값 '0'을 라이트하는 경우의 동작을 고려한다. 선택될 워드선에 $(V_{cc}+V_t)$의 전압을 인가함과 동시에, 선택되어야 할 데이타선에 0볼트의 전위레벨을 인가한다. 따라서, 스위칭 FET M25는 온상태로 되어 노드 N21이 거의 접지레벨로 된다. 소오스단자 P는 $V_{cc}/2$의 전압레벨에서 -Vcc/2의 전압은 메모리소자 MM21의 게이트와 소 오스를 거쳐서 인가되므로, 논리값 '0'이 메모리셀

에 라이트된다(도 25C 참조). 다음에 논리값 '1'의 라이트 동작을 고려한다. 이 경우에서도, 워드선에 ($V_{cc}+V_t$)의 전압을 인가함과 동시에, 데이타선에는 $V_{cc}$ 전압을 인가한다. 따라서, 메모리소자 MM21의 게이트와 소오스 사이에는 $V_{cc}/2$의 전압이 인가되어, 논리값 '1'로 메모리셀에 라이트된다(도 25C).

본 실시예에 따른 메모리셀로부터의 데이타 또는 정보를 리드하는 동작은 실시예6 및 실시예7과 마찬가지의 수단에 의해 실행할 수 있다. 그러나, 본 실시예에서는 낮은 전원전압에서 리드/라이트 동작이 가능한 구성을 나타낸다. 도 26에 있어서, 메모리소자 M25와 스위칭소자 FET MM21로 구성되는 메모리셀의 정보를 리드하기 위해서는 워드선 W21의 전위레벨을 접지전위레벨에서 소오스 전압레벨 $V_{cc}$ 로 변화시키고, 동시에 스위칭 FET M28과 메모리소자 MM25, MM26으로 구성되는 더미셀의 워드선 WD22의 전위를 로우레벨에서 하이레벨로 변화시킨다. 계속되는 동작은 출력이 결정된 후에 센스앰프의 출력에 접속된 라이트 드라이버에 의해 메모리셀에 대해 리라이트를 실행한다는 것을 제외하고는 실시예6과 동일하다.

예를 들면, 메모리소자 MM21에 논리값 '1'을 라이트하는 경우. 데이타선 D에 $V_{cc}$ 의 전압을 인가한다. 이 경우, 메모리소자 MM21의 게이트와 소오스 사이에 거의 $V_{cc}$ 와 동일한 전압이 인가되며, 논리값 '1'을 메모리소자 MM21에 라이트할 수 있다. 한편, 논리값 '0'을 라이트하는 경우, 데이타선은 접지전위레벨로 설정된다. 그러 므로, 메모리소자 MM21의 게이트와 소오스 사이에 $-V_{cc}/2$의 전압이 인가되어 논리값 '0'이 메모리셀에 라이트된다.

본 실시예에 따른 메모리장치에 있어서, 데이타 리드동작을 실행할 때마다 리라이트동작을 계속해서 실행한다. 이러한 구성에 의해 데이타선 D와 더미데이타선 Dn사이에 리드할 수 있는 크기의 전위차가 생긴 후에만 메모리소자 MM21에 의해 유지되는 정보 또는 데이타가 '0'에서 '1'로 반전되어 버려도 이러한 반전은 문제로 되지 않는다. 그러므로, 리드전압 $V_r$ 과 라이트전압 $V_{cc}/2$를 상대적으로 서로 가까운 전압 또는 레벨로 설정할 수 있다. 이것은 라이트전압을 낮은 레벨로 설정할 수 있다는 것을 의미한다. 예를 들면, 리드전압 $V_r$ 을 3V로 설정하고 $V_{cc}/2$을 4V로 실행할 수 있다. 반면에, 실시예7(도 22C 참조)과 관련하여 상술한 바와 같이, 리드동작시에 발생하는 정보 또는 데이타의 반전을 확실하게 방지하기 위해, 라이트전압 $V_p$ 는 리드전압 $V_r$ 의 3배정도로 설정해야 한다. 이것은 라이트 동작시에 높은 전압의 인가가 필요하게 된다.

본 실시예에 따른 메모리셀 회로의 반전을 도 27A 및 도 27B에 각각 도시한다. 도 27A에 도시한 메모리셀은 메모리소자 MM81의 게이트에 소오스단자 P가 접속되어 있는 점이 도 25A와의 차이점이다. 한편, 도 27B에 도시한 메모리셀에 있어서. 메모리소자 MM82의 게이트를 메모리셀의 외부에서 공급되는 제어신호C에 의해 제어한다.

4비트에 해당하는 도 27A에 도시한 각 구성의 메모리셀의 개수를 포함하는 반도체 메모리장치의 레이아웃 및 회로구성을 도 28A 및 도 28B에 도시한다. 이들 도면에서, 메모리셀 MM101 104는 각각 다결정 실리콘으로 구성되는 실시예1에 도시한 소자로 구성되어 있다. 도 28B에 도시한 바와 같이, 인접한 메모리셀의 워드선을 동일한 전극으로 구성하고, 인접한 2개의 메모리셀로 컨택트를 공유해서 데이타선과 접속하고 있다. 그러므로, 메모리셀의 실행에 필요한 면적을 상당히 감소시킬 수 있다.

<실시예9>

도 29A 도29C에 본 발명의 실시예 9에 따른 리드회로 및 메모리셀 회로를 도시한다. 특히, 도 29A에는 본 발명에 따른 메모리셀의 회로도를 도시하고, 도 29B에는 메모리셀에 대해 실행되는 리드 및 라이트시에 인가된는 전압을 도시하고, 도 29C에는 메모리셀에 사용한 메모리소자 MM31 및 MM32의 특성을 도시한다. 본 발명의 이 실시예에 따른 메모리소자의 특징은 상보적인 정보 또는 데이타가 메모리소자 MM31 및 MM32에서 라이트된다는 점이다. 특히, 논리값 '1'을 라이트할 때에는 워드선W에 $V_{cc}$ 의 전압을 인가함과 동시에, 데이타선D에는 $V_e$ (부극성)를 인가하는 것에 의해 스위칭 FET M33은 온상태로 되므로, 전위레벨$V_e$ 을 취하는 노드 N31에 데이타선 D의 전위를 인가할 수 있다. 메모리소자 MM32의 게이트와 소오스 사이에는 Ve의 전압이 인가되므로, 후에 저 스레쉬홀드 값의 상태로 설정된다. 반면에, 메모리소자 MM31의 게이트와 소오스 사이에는 ($V_{cc}-V_e$)의 전압이 인가되므로, 고 스레쉬홀드 상태로 된다. 메모리셀에 논리값 '0'을 라이트하기 위해, 데이타선D를 라이트전 압레벨 $V_p$ 로 설정한다. 이것에 의해, 메모리소자 MM31은 저 스레쉬홀드 상태, 메모리소자 MM32는 고 스레쉬홀드 상태를 실현할 수 있다. 이 라이트 후, 데이타선의 전위레벨을 $V_{cc}/2$로 설정하여 메모리소자 MM31 및 MM32의 게이트와 소오스 사이에는 대략 $V_{cc}/2$전압이 각각 인가된다. 논리값 '1'상태에서는 데이타선 D가 방전되는 경향이 있는 반면, 논리값 '0'상태에서는 데이타선 D가 충전된다. 이러한 경향 또는 상태는 도 30에 도시한 바와 같이, 데이타 또는 정보의 리드시 차동증폭기에 의해 검출된다.

본 발명의 이 실시예에 따른 메모리셀에서는 리드되어야 하는 메모리셀의 정보 또는 데이타가 논리값이 '1'인지, 또는 '0'인지에 따라 데이타선의 전위레벨이 하강 또는 상승한다. 따라서, 차동증폭기의 한쪽의 입력단자에 기준전압($V_{cc}/2$)를 직접 인가할 수 있다. 이 때문에, 더미셀이 필요 없다는 이점이 있다. 이와 관련하여, 상술한 실시예에 따른 회로구성의 경우, 메모리셀의 데이타의 논리값이 '1'인지, 또는 '0'인지에 따른 데이타선의 전위레벨의 유지 또는 하강이 불명확하기 때문에, 더미셀이 필요하였다.

<실시예10>

이하는 도 31A 도 31C를 참조하면서 본 발명에 의한 다른 실시예에 따른 메모리셀회로의 설명으로서, 도 31A에는 본 발명의 실시예에 따른 1비트의 메모리셀 회로를 도시하고, 도 31B에는 리드 및 라이트시의 전압을 도시하고, 도 31C에는 메모리소자 MM41 및 MM42의 특성을 도시한다. 본 실시예에 따른 메모리셀에 있어서, 도 27A에 도시한 각 구조의 한 쌍의 메모리셀을 동일 워드선에 의해 선택할 수 있는 구성이 채택된다. 이를 위해, 메모리소자 MM41 및 MM42는 서로 상보적인 정보 또는 데이타를 기억하기 위해 채택된다. 즉, 메모리소자 MM41을 저 스레쉬홀드 상태로 설정할 때는 메모리소자 MM42를 고 스레쉬홀드 상태로 설정하고, MM41을 고 스레쉬홀드 상태로 할 때에는 MM42를 저 스레쉬홀드 상태로 설정한다. 따라서, 라이트동작 후에 워드선을 하이레벨로 설정하면, 데이타선 D와 Dn 사이에는 메모리소자 MM41과 MM42사이의 전류구동력의 차를 반영한 전위차가 나타난다. 그러므로, 데이타선 D 및 Dn

을 차동증폭기의 한쌍의 입력단자에 접속하는 것에 의해, 메모리셀에 기억된 정보 또는 데이타를 리드할 수 있다.
본 발명의 이 실시예에 따른 메모리셀 또는 메모리소자에 있어서는 더미셀을 마련할 필요가 없고, 또 차동증폭기의 참조전위도 발생시키도 않아도 안정한 동작을 실행할 수 있다. 그러므로, 회로설계도 간편하다. 또, 도 33에 도시한 메모리셀 회로를 사용하는 것에 의해 마찬가지의 동작을 실행할 수 있다.
상기한 실시예에 있어서는 스위칭소자로서 n채널 절연게이트 전계효과형 트랜지스터를 사용하는 예를 나타내었다. 그러나, 다른 종류의 스위칭소자로 치환해도 좋은 것은 물론이다. 예를 들면, p채널 전계효과 트랜지스터를 사용할 수도 있다. 이 경우는 게이트에 인가하는 전압의 극성은 몰론 바뀌어야 한다.
또, 상기에 있어서, 반도체 메모리소자도 n채널형이라 하였다. 그러나, p채널 메모리소자(즉, 홀(정공)로 동작할 수 있는 소자)를 사용하는 것에 의해 메모리장치를 실행할 수도 있다.
<실시예11>
이상, 실시예6  실시예10의 특징에 관련하여 설명한 반도체 기억장치 또는 메모리는 휘발성없이 정보 또는 데이타를 유지할 수 있다. 그러므로, 라이트동작에 걸리는 시간이 종래의 불휘발성 메모리에 비해 매우 짧고, 리라이트동작이 실행되는 회수에 제한이 없다. 또, 라이트동작이 고속인 것은 매우 적은 전자수를 주입하는 것에 의해 실행되므로, 라이트동작을 고속으로 달성할 수 있다. 또, 리라이트동작의 회수에 제한이 없는 이유는 적은 수의 전자의 이동에 의해 라이트를 실행할 수 있기 때문이다.
본 발명에 따른 메모리장치는 도 34에 도시한 바와 같은 데이타처리 시스템에 있어서, 마이크로 프로세서의 메인 메모리로서 매우 유용하게 사용할 수 있다. 본 실시예에 따른 메모리장치는 불휘발성이므로, 전원 차단후도 메모리장치에 일단 저장된 정보를 유지할 수 있다. 이러한 특징 때문에, 종래 하디디스크나 플로피 디스크의 형태로 실현할 수 있는 외부기억도 본 발명에 따라 제조된 메모리칩으로 실현할 수 있다. 또, 이 메인 메모리는 불휘발이므로, 이러한 종류의 메인 메모리의 컴퓨터는 전원공급을 차단하기 직전의 상태에서 즉시 사용상태로 복원될 수 있다.
또, 마이크로 프로세서의 캐시메모리에 실시예6  실시예10에 관련하여 기술한 반도체 메모리장치를 사용하는 것에 의해, 캐시 메모리를 불휘발성으로 할 수 있음과 동시에 마이크로 프로세서의 전력소비를 상당히 저감할 수 있다.
상기 설명에서 명확하게 되는 바와 같이, 적은 소자수, 적은 면적에서 소자자체가 정보 기억기능을 갖는 메모리를 구성할 수 있음과 동시에, 극저온으로의 냉 각을 필요로 하지 않는 반도체소자를 제공할 수 있다. 그러므로, 본 발명에 따른 반도체 메모리소자를 사용하는 것에 의해, 고속으로 리라이트 동작을 할 수 있는 불휘발성 메모리장치를 실현할 수 있다.

## (57) 청구의 범위

### 청구항 1.
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인은 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게인트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로의 근방에 형성된 레벨노드를 포함하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자.

### 청구항 2.
제1항에 있어서,
상기 소오스와 상기 드레인 사이의 전압을 일정하게 유지하면서 상기 게이트전극과 상기 소오스 사이의 전위차가 반복적으로 증감할 때, 상기 게이트전극과 상기 소오스 사이의 콘덕턴스는 실온에서의 히스테리시스를 나타내는 반도체소자.

### 청구항 3.
제1항에 있어서,
상기 실효채널영역은 다결정의 반도체로 이루어지는 반도체소자.

### 청구항 4.
제2항에 있어서,
상기 실효채널영역은 다결정의 실리콘으로 이루어지는 반도체소자.

### 청구항 5.
제1항에 있어서,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량 6aF이하의 값으로 설정되는 반도체소자.

### 청구항 6.
여러개의 반도체소자를 포함하는 반도체 메모리장치로서,
각각의 상기 반도체소자는
상기 반도제소자의 소오스를 구성하는 소오스영역,

상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해, 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로의 근방에 형성된 레벨노드를 포함하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되고,
상기 여러개의 반도체소자는 워드선과 데이타선에 의해 제어되는 반도체 메모리장치.

**청구항 7.**

제6항에 있어서,
상기 반도체소자의 각각 상기 소오스 또는 상기 드레인과 상기 게이트전극 사이의 전위차를 $V_{gs}$로 할 때, 상기 전위차$V_{gs}$는 논리'1'을 라이트하기 위한 전압으로 설정되어 상기 여러개의 반도체소자에서 선택된 하나의 스레쉬홀드 전압을 상승 시키고, 상기 선택된 반도제소자의 상기 전위차$V_{gs}$는 상기 논리'1'의 라이트전압보다 낮은 논리'0'을 라이트하기 위한 전압으로 외부에서 설정되어 상기 반도체소자의 스레쉬홀드 전압을 하강시키며,
상기 논리'1'의 라이트전압과 상기 논리'0'의 라이트전압 사이의 전위차는 상기 전위차$V_{gs}$로서 상기 선택된 반도체소자에 인가되며, 상기 소오스와 상기 드레인 사이의 상기 선택된 반도체소자에 전위차를 부가하고, 상기 선택된 반도체소자 의 드레인 소오스 전류를 검출하는 것에 의해 정보를 리드하는 반도체 메모리장치.

**청구항 8.**

제7항에 있어서,
상기 스레쉬홀드 전압의 상승 또는 하강을 제어하는 회로와 상기 전류를 검출하는 회로는 단결정 반도체기판의 표면영역에 형성된 전계효과 트랜지스터로 이루어지고,
상기 여러개의 반도체소자는 상기 회로상에 형성되며 그 사이에 절연막이 개재되는 반도체 메모리장치.

**청구항 9.**

제1항에 있어서,
상기 실효채널영역과 상기 소오스영역은 각각 반도체 박막으로 형성되고,
상기 소오스영역이 배선에 접속되는 상기 소오스영역의 일부는 상기 실효채널영역보다 두꺼운 막을 갖는 반도체소자.

**청구항 10.**

제1항에 있어서,
상기 실효채널영역의 둘레는 상기 실효채널영역보다 유전율이 작은 재료로 덮이는 반도체소자.

**청구항 11.**

반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인은 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게인트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자.

**청구항 12.**

반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인은 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게인트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고,
상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고,
상기 캐리어 감금영역 주위에 존재하는 전체용량은 다음의 부등식
$q^2/2C_{tt} > kT$
(여기서, $C_{tt}$는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되는 반도체소자.

**청구항 13.**

제12항에 있어서,

상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자.

**청구항 14.**
제11항에 있어서,
상기 실효채널영역은 절연막 상에 마련되는 반도체소자.

**청구항 15.**
제12항에 있어서,
상기 실효채널영역은 절연막 상에 마련되는 반도체소자.

**청구항 16.**
제11항에 있어서,
상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고,
상기 실효채널영역과 상기 캐리어 감금영역은 상기 제1의 게이트전극과 상기 제2의 게이트전극 사이에 배치되는 반도체소자.

**청구항 17.**
제12항에 있어서,
상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고,
상기 실효채널영역과 상기 캐리어 감금영역은 상기 제1의 게이트전극과 상기 제2의 게이트전극 사이에 배치되는 반도체소자.

**청구항 18.**
제11항에 있어서,
상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고,
상기 제2의 게이트전극은 상기 제1의 게이트전극과 상기 실효채널영역 사이에 배치되는 반도체소자.

**청구항 19.**
제12항에 있어서,
상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고,
상기 제2의 게이트전극은 상기 제1의 게이트전극과 상기 실효채널영역 사이에 배치되는 반도체소자.

**청구항 20.**
제11항에 있어서,
섬형상의 결정박막이 상기 캐리어 감금영역을 형성하기 위해 사용되는 반도체소자.

**청구항 21.**
제12항에 있어서,
섬형상의 결정박막이 상기 캐리어 감금영역을 형성하기 위해 사용되는 반도체소자.

**청구항 22.**
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성되고, 전위장벽으 로 둘러싸여진 적어도 하나의 캐리어 감금영역 및
9㎚이하의 두께를 갖고, 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막내에 반도체재료로 형성된 박막구조를 포함하고,
상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체소자.

**청구항 23.**
반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리장치로서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및
적어도 하나의 캐리어를 트랩하기 위해 상기 소오스영역과 상기 드레인 영역사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 구비하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되고,
각각의 상기 반도체소자의 상기 게이트전극은 워드선에 접속되고,

각각의 상기 반도체소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이에 접속되며,
상기 여러개의 메모리셀은 상기 워드선과 상기 데이타선에 의해서 제어되는 반도체 메모리장치.

**청구항 24.**

제23항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포 함하는 반도체소자로 대체되고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정하고,
각각의 상기 반도체소자의 상기 게이트전극은 워드선에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이에 접속되며,
상기 여러개의 메모리셀은 상기 워드선과 상기 데이타선에 의해서 제어되는 반도체 메모리장치.

**청구항 25.**

제23항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고,
상기 캐리어 감금영역의 주위에 존재하는 전체용량은 다음의 부등식
$q^2/2C_{tt} > kT$
(여기서, $C_{tt}$ 는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되고,
각각의 상기 반도체소자의 상기 게이트전극은 워드선에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이에 접속되며,
상기 여러개의 메모리셀은 상기 워드선과 상기 데이타선에 의해서 제어되는 반도체 메모리장치.

**청구항 26.**

제23항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성되고, 전위장벽으로 둘러싸여진 적어도 하나의 캐리어를 감금영역 및
9㎚이하의 두께를 갖고, 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고,
상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하고,
각각의 상기 반도체소자의 상기 게이트전극은 워드선에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이에 접속되며,
상기 여러개의 메모리셀은 상기 워드선과 상기 데이타선에 의해서 제어되는 반도체 메모리장치.

**청구항 27.**

반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리장치로서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및

적어도 하나의 캐리어를 포획하기 위해, 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로의 근방에 형성된 레벨노드를 포함하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되고,
상기 게이트전극은 상기 드레인에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 워드선과 데이타선 사이에 접속되는 반도체 메모리장치.

**청구항 28.**

제27항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정하고,
상기 게이트전극은 상기 드레인에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 워드선과 데이타선 사이에 접속되는 반도체 메모리장치.

**청구항 29.**

제27항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고,
상기 캐리어 감금영역 주위에 존재하는 전체용량은 다음의 부등식
$q^2/2C_{tt} > kT$
(여기서, $C_{tt}$는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되고,
상기 게이트전극은 상기 드레인에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 워드선과 데이타선 사이에 접속되는 반도체 메모리장치.

**청구항 30.**

제27항에 있어서,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성되고, 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및
9㎚이하의 두께를 갖고, 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고,
상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하고,
상기 게이트전극은 상기 드레인에 접속되고,
각각의 상기 반도체소자의 소오스-드레인 경로는 워드선과 데이타선 사이에 접속되는 반도체 메모리장치.

**청구항 31.**

스위칭소자와 반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리장치로서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,

상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해, 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로의 근방에 형성된 레벨노드를 포함하고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되고,
상기 게이트전극은 상기 드레인에 접속되고,
각각의 상기 스위칭소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이의 각각의 상기 반도체소자에 직렬로 접속되고,
각각의 상기 스위칭소자의 게이트는 워드선에 의해 제어되며,
각각의 상기 메모리셀은 상기 워드선과 상기 데이타선에 의해 제어되는 반도체 메모리장치.

**청구항 32.**

제31항에 있어서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자 의 전하량)의 조건을 만족시키도록 작게 설정되고,
각각의 상기 스위칭소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이의 각각의 상기 반도체소자에 직렬로 접속되고,
각각의 상기 스위칭소자의 게이트는 워드선에 의해 제어되며,
상기 메모리셀의 각각은 상기 워드선과 상기 데이타선에 의해 제어되는 반도체 메모리장치.

**청구항 33.**

제31항에 있어서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전 극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고,
상기 캐리어 감금영역 주위에 존재하는 전체용량은 다음의 부등식
$q^2/2C_{tt} > kT$
(여기서, $C_{tt}$ 는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되고,
각각의 상기 스위칭소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이의 각각의 상기 반도체소자에 직렬로 접속되고,
각각의 상기 스위칭소자의 게이트는 워드선에 의해 제어되며,
각각의 상기 메모리셀은 상기 워드선과 상기 데이타선에 의해 제어되는 반도체 메모리장치.

**청구항 34.**

제31항에 있어서,
상기 반도체소자는
상기 반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 기재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성되고, 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및

9㎚이하의 두께를 갖고, 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고,
상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하고,
각각의 상기 스위칭소자의 소오스-드레인 경로는 데이타선과 동작전위점 사이의 각각의 상기 반도체소자에 직렬로 접속되고,
각각의 상기 스위칭소자의 게이트는 워드선에 의해 제어되며,
각각의 상기 메모리셀은 상기 워드선과 상기 데이타선에 의해 제어되는 반도체 메모리장치.

**청구항 35.**

여러개의 메모리셀을 포함하는 반도체 메모리장치로서,
상기 여러개의 메모리셀의 각각은
제1의 동작전위점과 제1의 노드 사이에 접속된 소오스-드레인 경로를 갖는 제1의 반도체소자 및
상기 제1의 노드와 제2의 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 제2의 반도체소자를 포함하고,
상기 제1 및 제2의 반도체소자는 각각
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해, 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하는 반도체소자로 구성되고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되고,
상기 제1의 반도체소자의 스레쉬홀드 전압이 로우이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 하이인 상태를 논리'1'의 데이타로서 각각의 상기 메모리셀에 기억시키고,
상기 제1의 반도체소자의 스레쉬홀드는 전압이 하이이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 로우인 상태를 논리'0'의 데이타로서 각각의 상기 메모리셀에 기억시키는 반도체 메모리장치.

**청구항 36.**

제35항에 있어서,
상기 제1의 반도체소자를 구성하는 상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식
$1/C_{gc} > kT/q^2$
(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체 메모리장치.

**청구항 37.**

제35항에 있어서,
상기 제1의 반도체소자를 구성하는 상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,
상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및
상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고,
상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고,
상기 캐리어 감금영역 주위에 존재하는 전체용량은 다음의 부등식
$q^2/2C_{tt} > kT$
(여기서, $C_{tt}$ 는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되는 반도체 메모리장치.

**청구항 38.**

제35항에 있어서,
상기 제1의 반도체소자를 구성하는 상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역,

상기 반도체소자의 드레인을 구성하는 드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역,
게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극,
캐리어를 감금하기 위해 상기 실효채널영역의 근방에 형성되고, 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및
9㎚이하의 두께를 갖고, 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고,
상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체 메모리장치.

**청구항 39.**

여러개의 메모리셀을 포함하는 반도체 메모리장치로서,
상기 여러개의 메모리셀의 각각은
제1의 데이타선과 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 제1의 반도체소자 및
제2의 데이타선과 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 제2 의 반도체소자를 포함하고,
상기 제1의 반도체소자의 스레쉬홀드 전압이 로우이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 하이인 상태를 논리'1'의 데이타로서 상기 각각의 메모리셀에 기억시키고,
상기 제1의 반도체소자의 스레쉬홀드 전압이 하이이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 로우인 상태를 논리'0'의 데이타로서 각각의 상기 메모리셀에 기억시키며,
상기 제1 및 제2의 반도체소자의 각각은
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량이 다음의 부등식

$$1/C_{gc} > kT/q^2 \quad \cdots\cdots(1)$$

(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재 되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 상기 식 1을 만족시키도록 설정된 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고, 상기 캐리어 감금영역 주위에 존재하는 전체용량이 다음의 부등식

$$q^2/2C_{tt} > kT \quad \cdots\cdots(2)$$

(여기서, $C_{tt}$ 는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되는 반도체소자 및;
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성되고 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및 9㎚이하의 두께를 갖고 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하고, 상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리장치.

**청구항 40.**

제39항에 있어서,
상기 메모리셀의 각각은 제1 및 제2의 스위칭소자를 더 포함하고,
상기 제1의 스위칭소자는 상기 제1의 데이타선과 상기 동작전위점 사이의 상기 제1의 반도체소자에 직렬로 접속된 소오스-드레인 경로를 갖고,
상기 제2의 스위칭소자는 상기 제2의 데이타선과 상기 동작전위점 사이의 상기 제2의 반도체소자에 직렬로 접속된 소오스-드레인 경로를 갖는 반도체 메모리장치.

**청구항 41.**

제1의 데이타선과 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 제1의 반도체소자를 각각 구비한 여러개의 메모리셀,
제2의 데이타선과 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 제2의 반도체소자를 각각 구비한 여러개의 더미셀 및

차동증폭기를 포함하고,
상기 제1의 데이타선 상의 신호가 상기 차동증폭기의 제1의 입력단자를 구동하고, 상기 제2의 데이타선 상의 신호가 상기 차동증폭기의 제2의 입력단자를 구동하고,
상기, 차동증폭기의 출력신호를 리드하는 것에 의해 데이타가 상기 메모리셀에서 리드되고,
상기 제1 및 제2의 반도체소자의 각각은
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자외 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량이 다음의 부등식
$1/C_{gc} > kT/q^2$ ..… · …..……(1)
(여기서, $C_{gc}$ 는/ 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 상기 식 1의 조건을 만족시키도록 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고 상기 캐리어 감금영역 주위에 존재하는 전체용량이 다음의 부등식
$q^2/2C_{tt} > kT$ ……(2)
(여기서, $C_{tt}$ 는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되는 반도체소자 및;
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이 트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성되고 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및 9㎚이하의 두께를 갖고 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하고, 상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리장치.

**청구항 42.**
제41항에 있어서,
상기 제1의 데이타선에 제1의 증폭회로가 접속되고,
상기 제1의 증폭회로의 출력에 제1의 메인 데이타선이 접속되고,
상기 차동증폭기의 상기 제1의 입력단자는 상기 제1의 메인 데이타선 상의 신호에 의해 구동되고,
상기 제2의 데이타선에 제2의 증폭회로가 접속되고,
상기 제2의 증폭회로의 출력에 제2의 메인 데이타선이 접속되며,
상기 차동증폭기의 상기 제2의 입력단자는 상기 제2의 메인 데이타선 상의 신호에 의해 구동되는 반도체 메모리장치.

**청구항 43.**
제42항에 있어서,
상기 제2의 증폭회로는 상기 제1의 증폭회로 보다 작은 출력전류 구동능력을 갖도록 설계되는 반도체 메모리장치.

**청구항 44.**
제1 및 제2의 반도체소자를 포함하는 반도체 메모리장치로서,
상기 제1 및 제2의 반도체소자의 각각은
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량이 다음의 부등식
$1/C_{gc} > kT/q^2$ ..… · …..……(1)
(여기서, $C_{gc}$ 는/ 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역

과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 상기 식 1의 조건을 만족시키도록 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어 감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고 상기 캐리어 감금영역 주위에 존재하는 전체용량이 다음의 부등식

$$q^2/2C_{tt} > kT \quad \cdots\cdots(2)$$

(여기서, $C_{tt}$는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정되는 반도체소자 및;
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성되고 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및 9㎚이하의 두께를 갖고 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하고, 상기 캐 리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체소자로 이루어진 군에서 선택된 하나로 구성되고,
상기 제1 및 제2의 반도체소자의 각각은 상기 게이트전극에 부가해서 상기 채널근방에 위치한 도전성영역을 포함하고,
상기 제1의 반도체소자의 도전성영역과 상기 제2의 반도체소자의 도전성영역은 서로 도통상태로 되고,
상기 도전성영역과 상기 실효채널영역 사이의 위치관계는 상기 제1의 반도체소자와 상기 제2의 반도체소자의 채널의 전위를 상기 도전성영역의 전위의 변화에 따라 동시에 변화할 수 있게 설정되는 반도체 메모리장치.

**청구항 45.**

데이타선과 동작전위점 사이에 접속된 소오스-드레인 경로를 갖는 반도체소자를 각각 포함하는 여러개의 메모리셀 및
상기 데이타선상의 신호에 의해 구동되는 입력단자를 갖는 증폭기를 포함하고,
상기 증폭기에서 출력신호를 리드하는 것에 의해 상기 메모리셀의 데이타가 리드되고,
상기 데이타가 리드된 후, 상기 증폭기의 출력신호에 따라서 상기 데이타선상에 소정의 라이트전압을 발생시켜 상기 메모리셀에 대해 리라이트동작이 실행되고,
상기 반도체소자는
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널 영역 사이의 실효용량이 다음의 부등식

$$1/C_{gc} > kT/q^2 \quad \cdots\cdots(1)$$

(여기서, $C_{gc}$는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)이 조건을 만족시키도록 작게 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐이어를 감금하기 위해 상기 실효채널영역 근방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 상기 식 1의 조건을 만족시키도록 설정되는 반도체소자;
소오스영역 및 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 금방에 형성된 적어도 하나의 캐리어 감금영역 및 상기 캐리어 감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어 감극영역 사이의 용량값은 상기 게이트전극과 상기 캐리어 감금영역 사이의 용량값보다 크게 설정되고, 상기 캐리어 감금영역 주위에 존재하는 전체용량이 다음의 부등식

$$q^2/2C_{tt} > kT \quad \cdots\cdots(2)$$

(여기서, $C_{tt}$는 상기 전체용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 설정된 반도체소자 및;
반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역 근방에 형성되고 전위장벽으로 둘러싸여진 적어도 하나의 캐리어 감금영역 및 9㎚이하의 두께를 갖고 상기 실효채널영역과 상기 캐리어 감금영역 사이에 개재된 절연막 내에 반도체재료로 형성된 박막구조를 포함하고, 상기 캐리어 감금영역 내에 캐리어를 유지하는 것에 의해 정보의 기억을 실행하는 반도체소자로 이루어진 군에서 선택된 하나로 구

성되는 반도체 메모리장치.

**청구항 46.**

프로세서와 기억수단을 포함하는 데이타 처리장치로서,

상기 기억수단은 여러개의 반도체소자를 포함하는 비휘발성 반도체 메모리장치를 구비하고,

상기 여러개의 반도체소자의 각각은 상기 반도체소자의 소오스를 구성하는 소오스영역, 상기 반도체소자의 드레인을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극 및 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역의 전류경로 근방에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량이 다음의 부등식

$1/C_{gc} > kT/q^2$ ·····(1)

(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키도록 작게 설정되며,

상기 여러개의 반도체소자는 워드선과 데이타선에 의해 제어되는 데이타 처리장치.

**청구항 47.**

반도체재료로 형성된 각각의 소오스영역과 드레인영역,

반도체재료로 형성되고 상기 소오스영역과 상기 드레인영역 사이에 마련된 실효채널영역,

그 사이에 개재된 게이트절연막을 거쳐서 상기 실효채널영역과 접촉하는 게이트전극 및

적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이로 연장하는 전류경로 근방의 상기 실효채널영역에 형성된 트랩을 포함하며,

상기 트랩에 의해 전계효과가 상기 전류경로 상으로 인가되도록 상기 전류경로에 근접한 위치에 있어서 상기 실효채널영역내에 상기 트랩이 위치하고, 상기 전류경로의 두께는 최대10㎚인 반도체 메모리소자.

**청구항 48.**

제47항에 있어서,

상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식

$1/C_{gc} > kT/q^2$

(여기서, $C_{gc}$ 는 상기 실효용량, k는 볼츠만정수, T는 동작절대온도, q는 전자의 전하량)의 조건을 만족시키는 반도체 메모리소자.

**청구항 49.**

제47항에 있어서,

상기 실효채널영역은 두께가 100㎚이하인 다결정 반도체재료로 형성되고,

상기 트랩은 결정입자경계에 의해 형성되는 반도체 메모리소자.

**청구항 50.**

소오스영역,

드레인영역,

상기 소오스영역과 상기 드레인영역을 접속하는 실효채널영역,

상기 실효채널영역에 전계를 인가하는 게이트 및

상기 실효채널영역에 의해 분리되고, 상기 실효채널영역과 캐리어 감금영역 사이의 전위장벽에 의해 분리된 캐리어 감금영역을 포함하고,

상기 캐리어 감금영역은 상기 채널형성영역과 상기 게이트 사이에 배치되고 절연막에 의해 둘러싸이는 도전체 또는 반도체입자로 형성되고,

상기 캐리어 감금영역의 폭은 상기 게이트의 폭보다 작은 반도체소자.

**청구항 51.**

제50항에 있어서,

상기 캐리어 감금영역의 입자크기의 직경은 30㎚이하인 반도체소자.

**청구항 52.**

제50항에 있어서,

상기 캐리어 감금영역은 여러개 마련되는 반도체소자.

**청구항 53.**

제50항에 있어서,

상기 캐리어 감금영역은 실리콘으로 이루어지는 반도체소자.

**청구항 54.**

제50항에 있어서,

상기 캐리어 감금영역은 단결정 입자로 이루어지는 반도체소자.

**청구항 55.**

제50항에 있어서,

상기 캐리어 감금영역의 용량은 3aF이하인 반도체소자.

**청구항 56.**

제50항에 있어서,

상기 절연막은 산화실리콘으로 이루어지는 반도체소자.

**청구항 57.**

제50항에 있어서,
상기 게이트 길이와 폭은 1미크론보다 작은 반도체소자.

**청구항 58.**

캐리어경로를 마련하는 채널,
상기 채널상에 배치되고, 상기 채널에 의해 분리되는 결정입자,
상기 채널과 상기 결정입사 사이에 형성된 제1의 절연막 및
상기 결정입자상에 배치되고, 상기 제1의 절연막에 의해 상기 채널에서 분리되는 게이트전극을 포함하고,
상기 게이트전극과 상기 결정입자 사이에 상기 결정입자와 제2의 절연막이 형성되고,
상기 결정입자와 상기 게이트전극 사이의 거리는 상기 채널영역과 상기 결정입자 사이의 거리보다 크고,
상기 결정입자가 배치되는 영역은 상기 게이트의 폭보다 작은 반도체소자.

**청구항 59.**

제58항에 있어서,
상기 채널영역에서 유입되는 캐리어값은 상기 결정입자에 의해 포획된 캐리어에 따라 변경되는 반도체소자.

**청구항 60.**

제58항에 있어서,
상기 결정입자는 단결정 실리콘인 반도체소자.

**청구항 61.**

제58항에 있어서,
상기 결정입자는 여러개의 입자모양으로 상기 채널상에 배치되는 반도체소자.

**청구항 62.**

채널,
상기 채널상에 배치되고, 반도체영역과 상기 채널 사이에 형성된 제1의 절연막에 의해 상기 채널에서 분리되는 반도체영역 및
상기 반도체영역상에 배치되고, 제2의 절연막에 의해서 상기 반도체영역에서 분리되는 게이트전극을 포함하고,
상기 제1의 절연막과 상기 제2의 절연막은 상기 게이트전극과 상기 채널 사이에 형성되고,
상기 반도체영역과 상기 게이트전극 사이의 거리는 상기 채널영역과 상기 반 도체영역 사이의 거리보다 크고,
소오스와 드레인 사이의 배열방향을 X축으로 하고 그의 직교방향을 Y축방향으로 하는 경우 X축방향에 있어서의 상기 반도체영역의 길이는 X축방향에 있어서의 상기 채널과 상기 게이트전극의 길이보다 작은 반도체소자.

**청구항 63.**

제62항에 있어서,
상기 반도체영역의 Y축방향의 길이는 상기 채널과 상기 게이트전극의 Y축방향의 길이보다 작은 반도체소자.

**청구항 64.**

소오스영역,
드레인영역,
상기 소오스영역과 상기 드레인영역 사이에 형성된 채널형성영역,
상기 채널형성영역에 형성되고 상기 채널형성영역에서 분리되는 게이트 및
상기 게이트과 상기 채널형성영역 사이에 형성되는 기억노드를 포함하고,
상기 기억노드는 절연막에 의해 게이트전극에서 분리되고, 상기 기억노드는 상기 기억노드와 상기 채널형성영역 사이에 형성된 전위장벽에 의해 상기 채널형성영역에서 분리되고,
반도체소자는 상기 채널형성영역과 상기 기억노드 사이에 마련된 상기 전위장벽을 극복하는 것에 의해, 상기 채널형성영역에서 상기 기억노드로 전자를 주입시켜 라이트를 실행할 수 있고, 상기 반도체소자는 상기 기억노드에서 상기 채널형 성영역으로 전자를 인출하는 것에 의해 소거할 수 있고,
상기 기억노드의 폭은 상기 게이트의 폭보다 작은 반도체소자.

**청구항 65.**

제64항에 있어서,
상기 기억노드는 반도체 결정입자를 포함하는 반도체소자.

**청구항 66.**

제65항에 있어서,
상기 반도체 결정입자의 입자크기의 직경은 30㎚이하인 반도체소자.

**청구항 67.**

제50항에 있어서,
상기 캐리어 감금영역의 폭은 상기 채널의 폭보다 작은 반도체소자.

**청구항 68.**

제58항에 있어서,
상기 결정입자가 배치된 영역은 상기 채널의 폭보다 작은 반도체소자.

**청구항 69.**

제64항에 있어서,
상기 기억노드의 폭은 상기 채널의 폭보다 작은 반도체소자.

**청구항 70.**
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향해서 배치되는 게이트전극을 갖는 제1의 전계효과 트랜 지스터,
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향해서 배치되는 게이트전극을 갖는 제2의 전계효과 트랜지스터,
데이타선,
워드선, 및
상기 제2의 전계효과 트랜지스터의 상기 게이트전극과 상기 채널영역 사이에 형성된 캐리어 감금영역을 포함하고,
상기 워드선은 상기 제1의 전계효과 트랜지스터의 게이트전극에 접속되고
상기 캐리어 감금영역은 상기 제1의 전계효과 트랜지스터의 소오스-드레인 경로를 거쳐서 상기 데이타선에 접속되는 반도체 메모리장치.

**청구항 71.**
소오스영역, 드레인영역, 상기 소오스영역 및 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향해서 배치된 게이트전극을 갖는 메모리셀 및
상기 메모리셀의 상기 게이트전극과 상기 채널영역 사이에 형성되는 캐리어 감금영역을 포함하고,
상기 채널영역은 9㎚두께 이하의 반도체막으로 이루어지는 다결정 실리콘막으로 형성되는 반도체 메모리장치.

**청구항 72.**
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영 역 및 상기 채널영역 및 상기 채널영역과 대향하는 게이트전극을 갖는 메모리셀 및
상기 메모리셀의 상기 게이트전극과 상기 채널영역 사이에 형성되는 캐리어 감금영역을 포함하고,
상기 드레인영역과 상기 소오스영역 사이의 전압이 일정하고, 상기 게이트전극과 상기 소오스영역 사이의 전위차가 변화할 때, 상기 메모리셀은 상기 소오스영역과 상기 드레인영역 사이에서 히스테리시스를 나타내는 콘덕턴스를 갖는 반도체 메모리장치.

**청구항 73.**
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향하여 배치된 게이트전극을 갖는 제1의 전계효과 트랜지스터,
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향해서 배치되는 게이트전극을 갖는 제2의 전계효과 트랜지스터,
데이타선,
워드선 및
상기 제2의 전계효과 트랜지스터의 채널영역내에 형성되는 캐리어 감금영역을 포함하고,
상기 워드선은 상기 제1의 전계효과 트랜지스터의 게이트전극에 접속되고,
상기 캐리어 감금영역은 상기 제1의 전계효과 트랜지스터의 소오스 드레인 경로를 거쳐서 상기 데이타선에 접속되는 반도체 메모리장치.

**청구항 74.**
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향해서 배치된 게이트전극을 갖는 메모리셀 및
상기 메모리셀의 채널영역내에 형성되는 캐리어 감금영역을 포함하고,
상기 채널영역은 9㎚두께 이하의 반도체막으로 이루어지는 다결정 실리콘막으로 형성되는 반도체 메모리장치.

**청구항 75.**
소오스영역, 드레인영역, 상기 소오스영역과 상기 드레인영역 사이의 채널영역 및 상기 채널영역과 대향하는 게이트전극을 갖는 메모리셀 및
상기 메모리셀의 채널영역 내에 형성되는 캐리어 감금영역을 포함하고,
상기 드레인영역과 상기 소오스영역 사이의 전압이 일정하고 상기 게이트전극과 상기 소오스영역 사이의 전위차가 변화할 때, 상기 메모리셀은 상기 소오스영역과 상기 드레인영역 사이에서 히스테리시스를 나타내는 콘덕턴스를 갖는 반도체 메모리장치.

도면

도면1

FIG. 1A

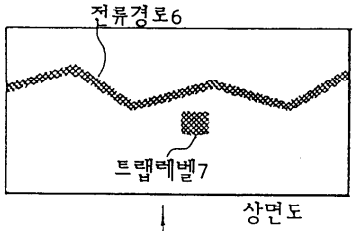



FIG. 1B

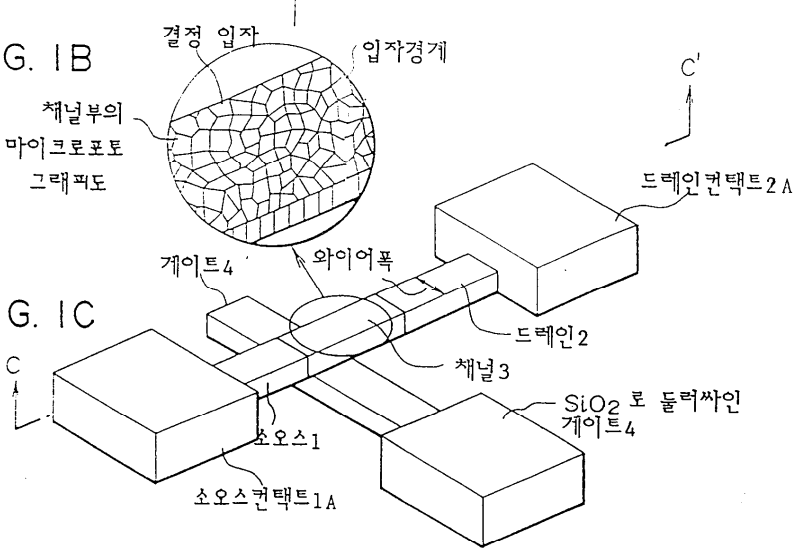
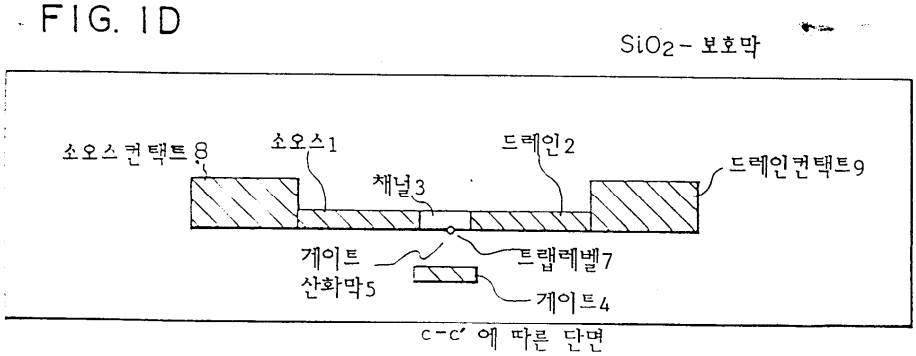
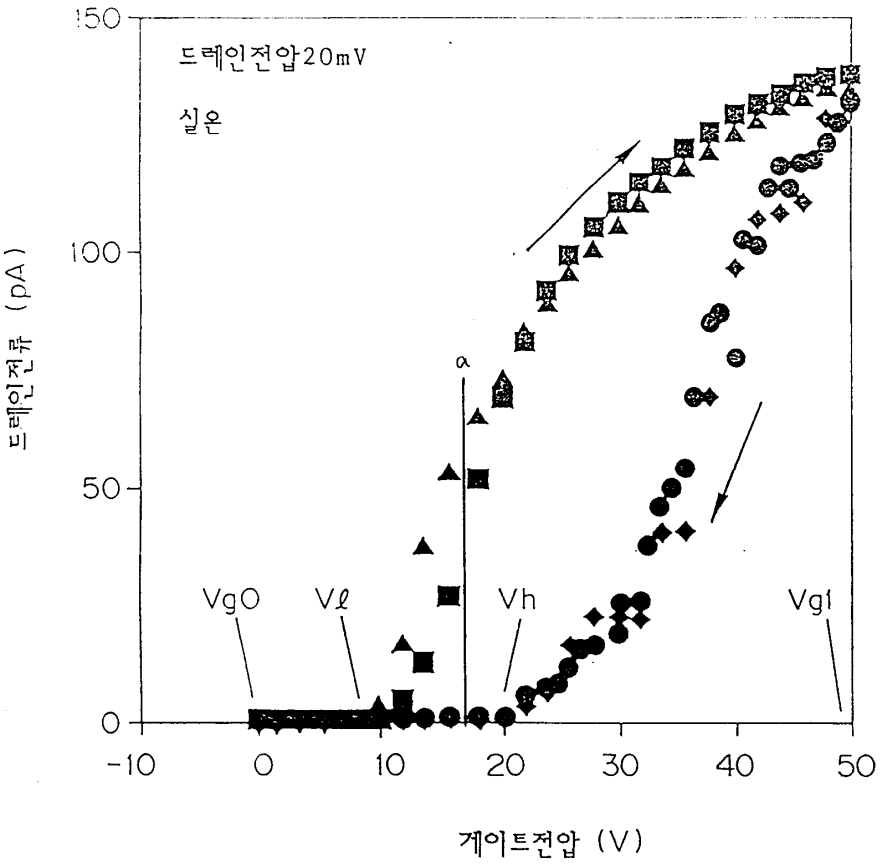



FIG. 1C

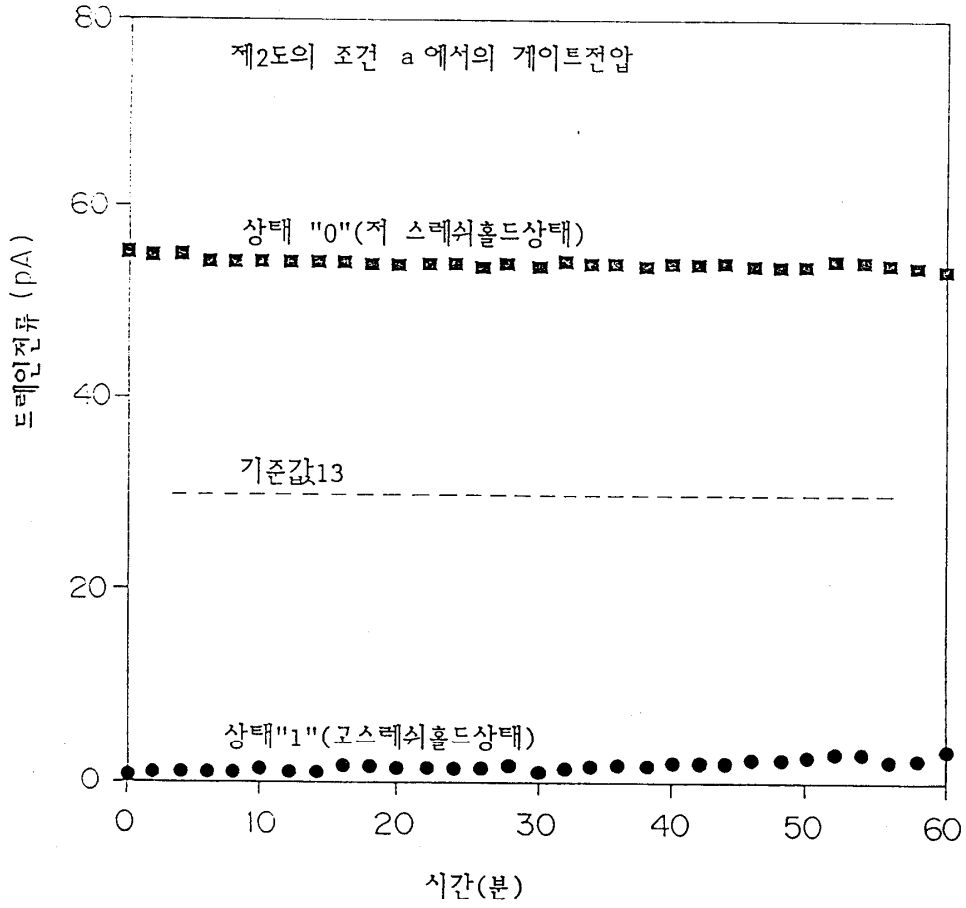
FIG. 1D



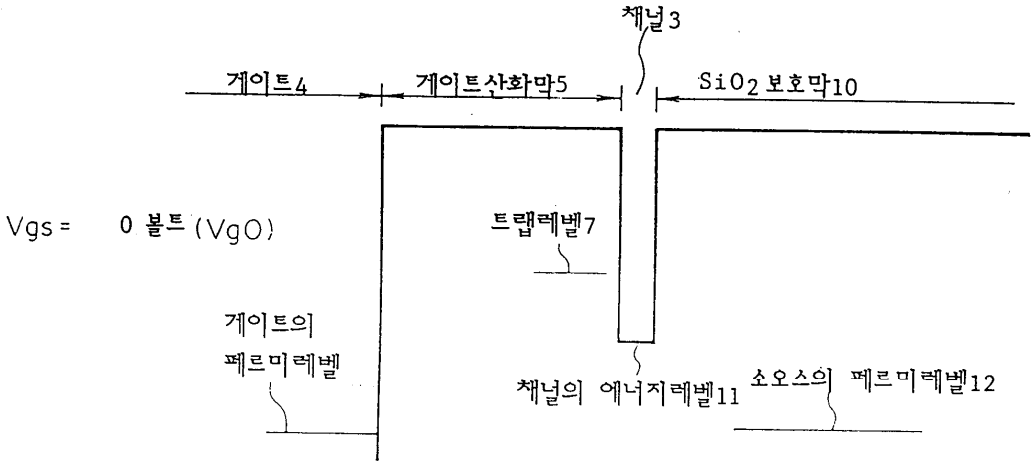
도면2


150
100
50
0
드레인전압20mV
실온
드레인전류 (pA)
a
VgO
Vℓ
Vh
Vgl
-10
0
10
20
30
40
50
게이트전압 (V)

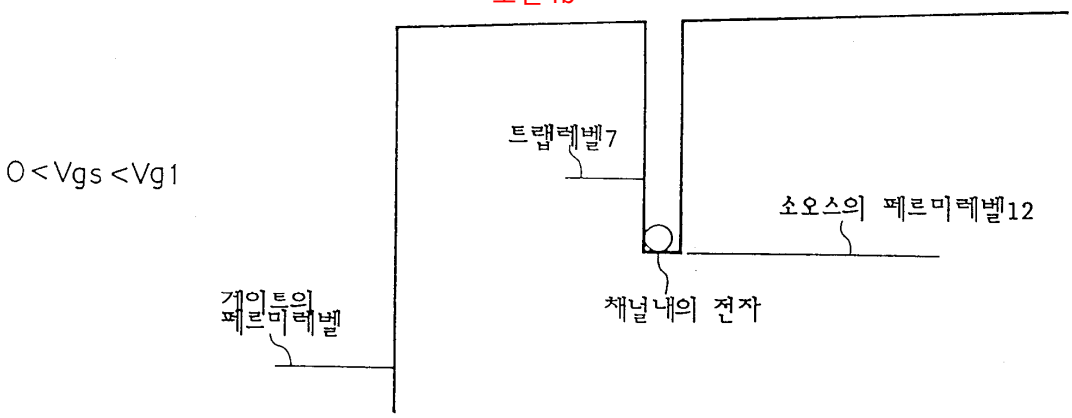
도면3


80
60
40
20
0
제2도의 조건 a 에서의 게이트전압
상태 "0"(저 스레쉬홀드상태)
기준값13
상태"1"(고스레쉬홀드상태)
드레인전류 (pA)
0
10
20
30
40
50
60
시간(분)

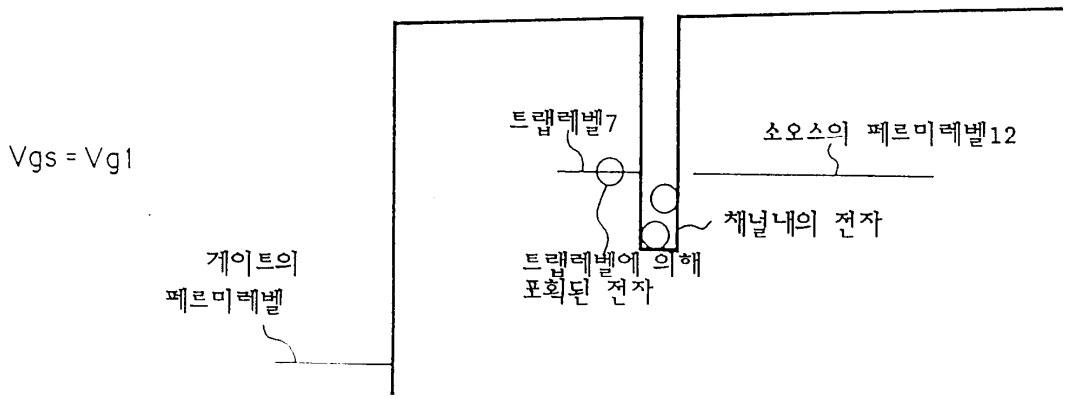
도면4a


채널3
게이트4
게이트산화막5
SiO2 보호막10
Vgs = 0 볼트 (Vg0)
트랩레벨7
게이트의
페르미레벨
채널의 에너지레벨11
소오스의 페르미레벨12

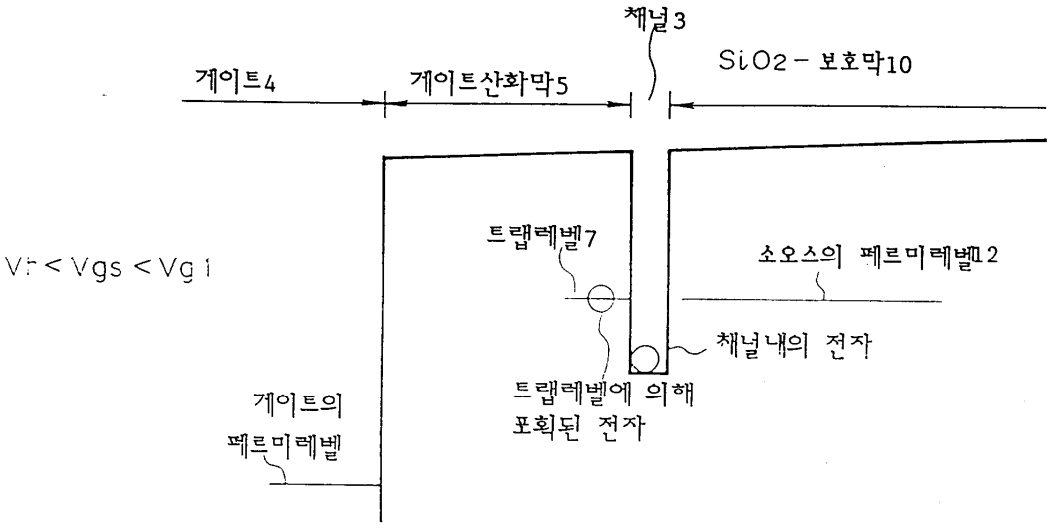
도면4b



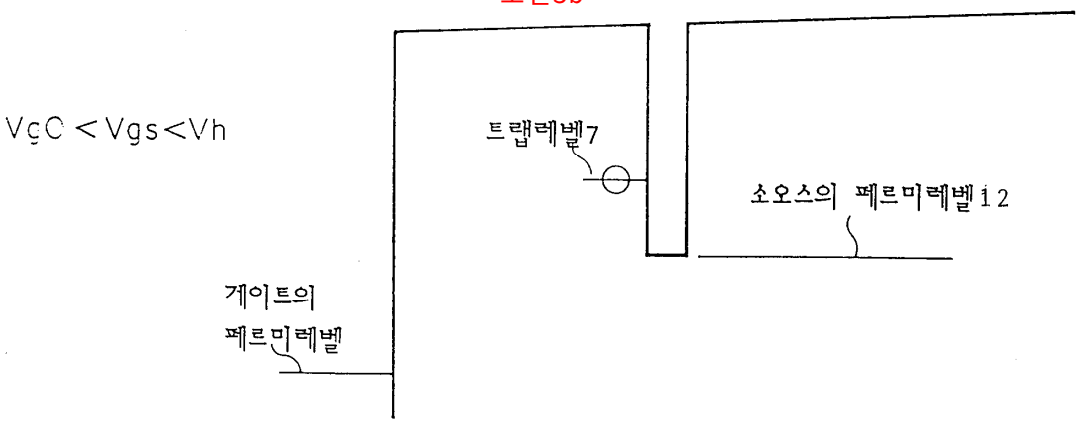

도면4c



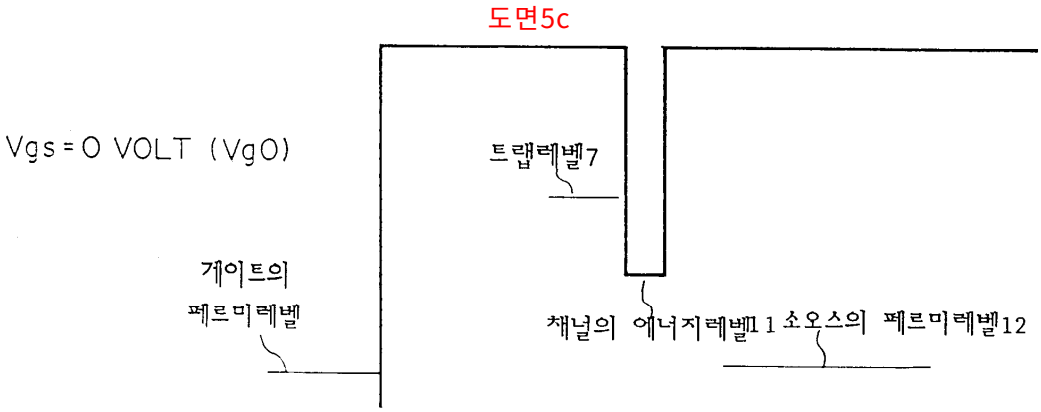

도면5a



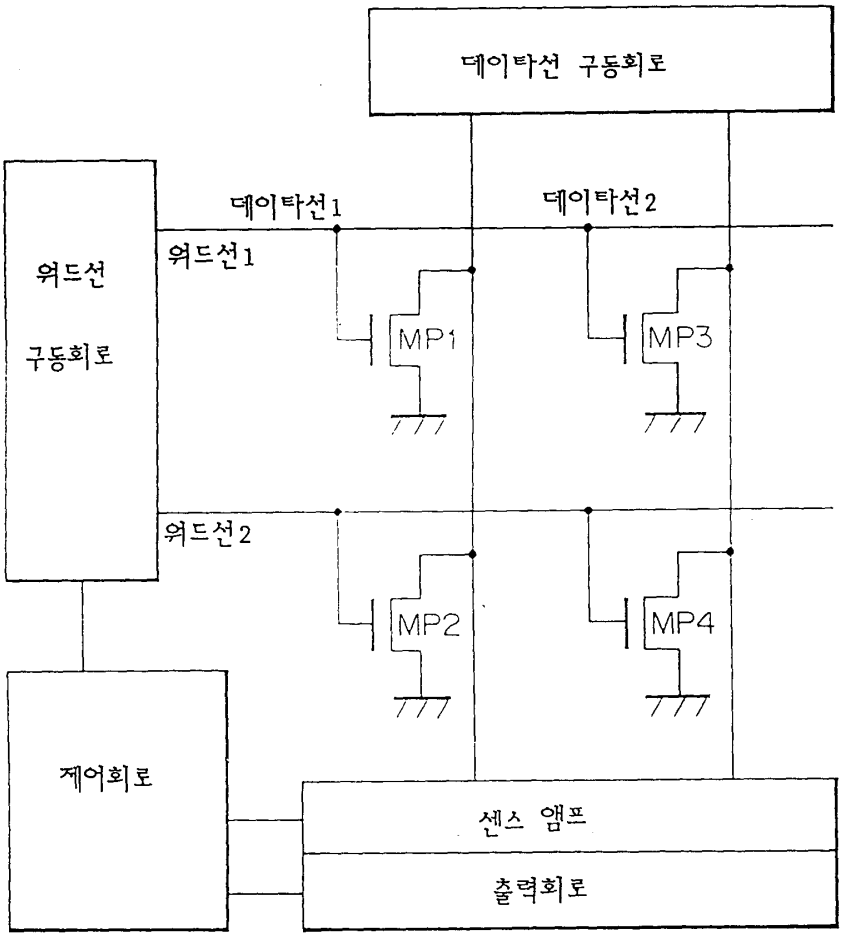
도면5b


VçC < Vgs < Vh
트랩레벨7
소오스의 페르미레벨12
게이트의
페르미레벨

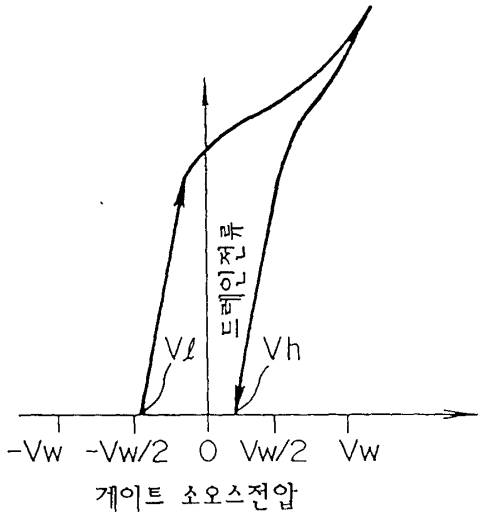
도면5c


Vgs = 0 VOLT (VgO)
트랩레벨7
게이트의
페르미레벨
채널의 에너지레벨11
소오스의 페르미레벨12

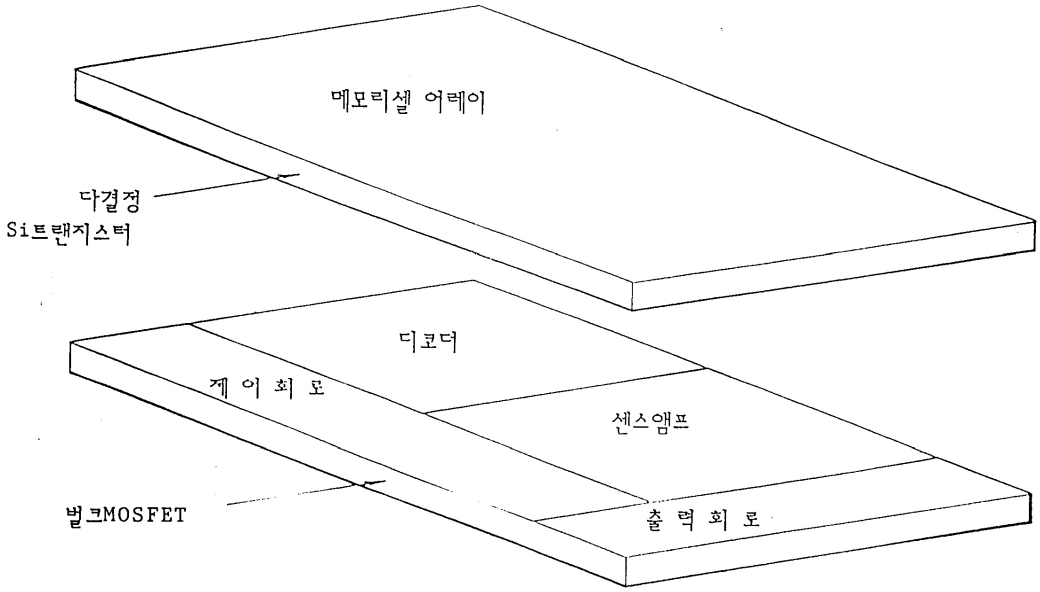
도면6


데이타선 구동회로
데이타선1
데이타선2
워드선
구동회로
워드선1
워드선2
MP1
MP2
MP3
MP4
제어회로
센스 앰프
출력회로

도면7

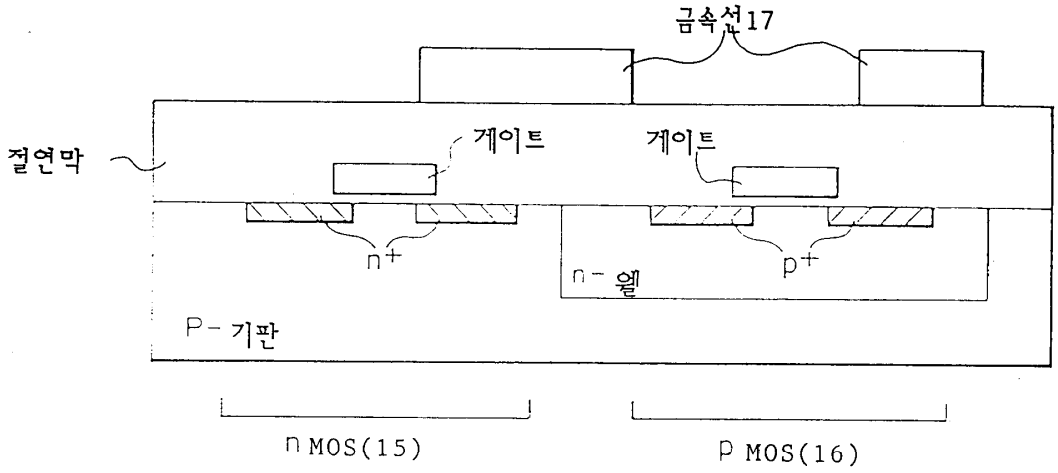

드레인전류
Vℓ
Vh
-Vw
-Vw/2
0
Vw/2
Vw
게이트 소오스전압

도면8

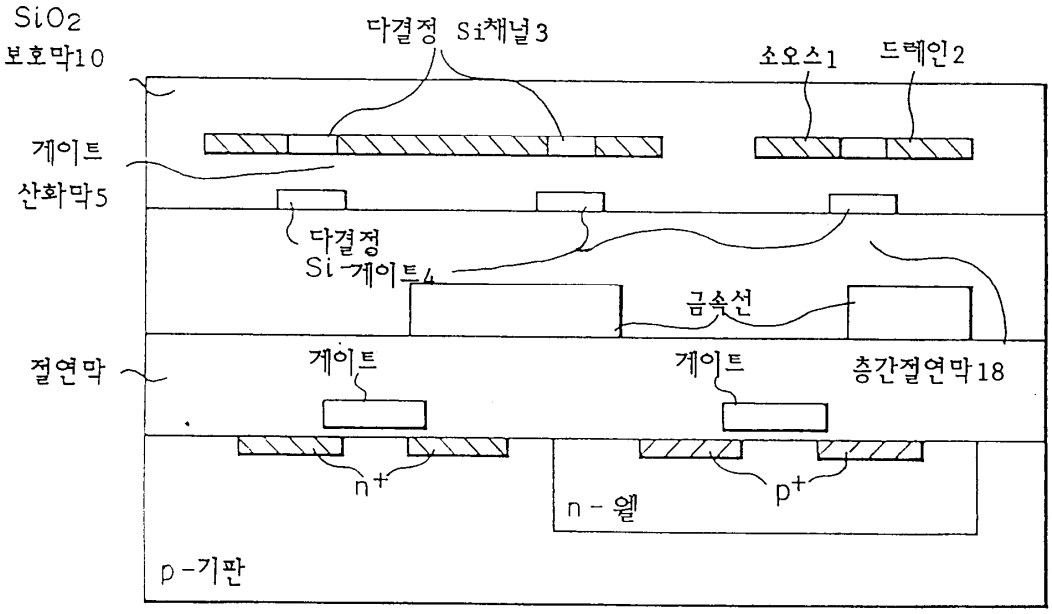



벌크MOSFET와 다결정 Si 사이에 개재된 배층선은 선명에서 생략한다.

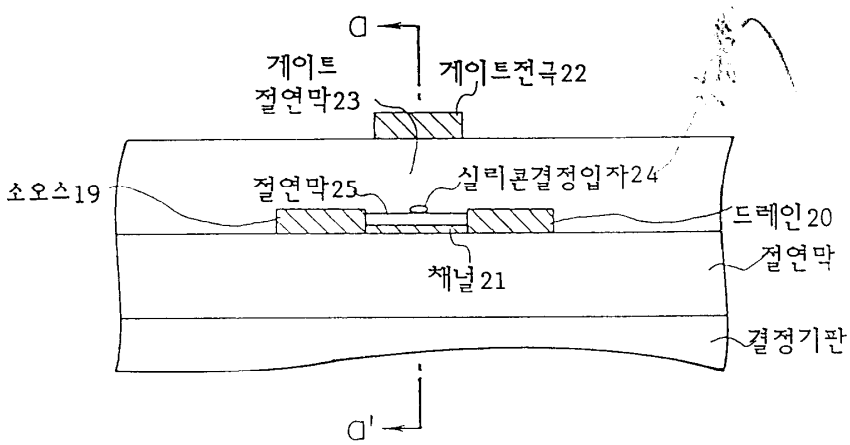
도면9a



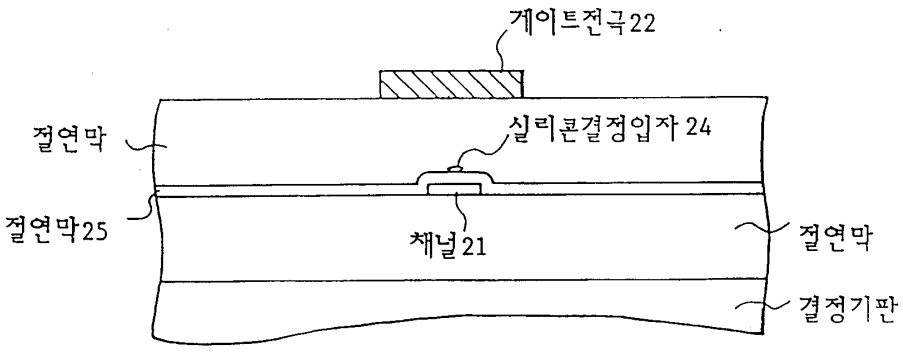
도면9b




도면10a

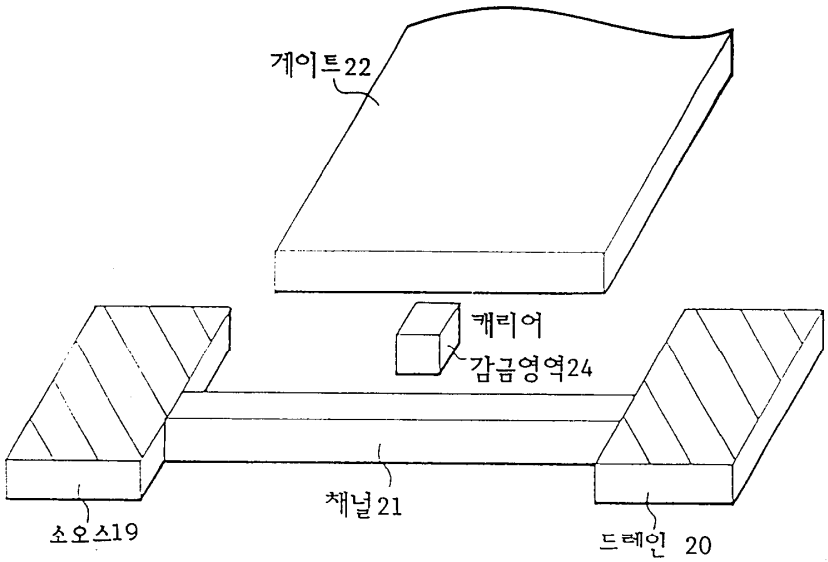



도면10b



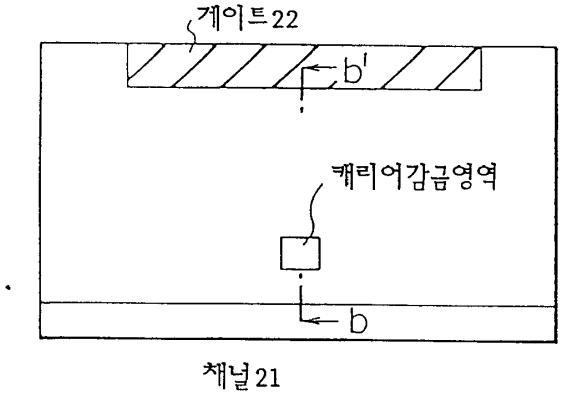

a-a'에 따른 단면

도면11a



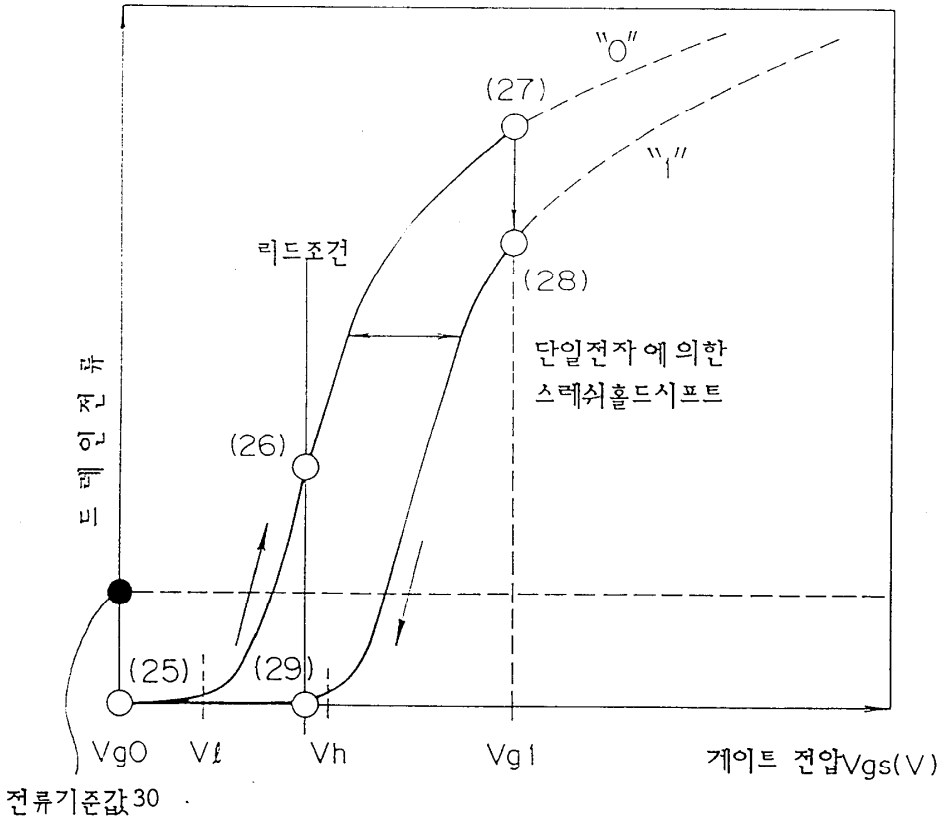

사 시 도

도면11b

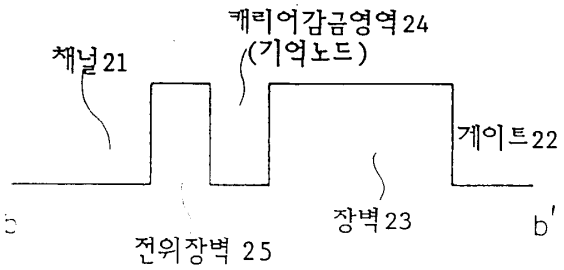



단 면 도

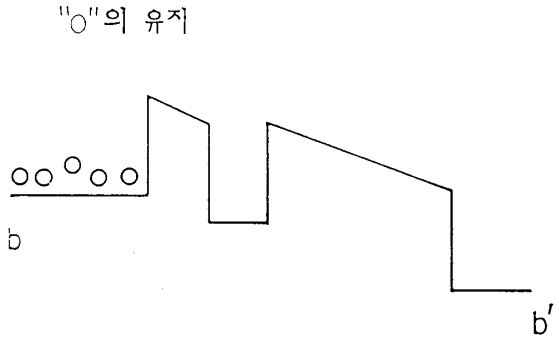
도면12



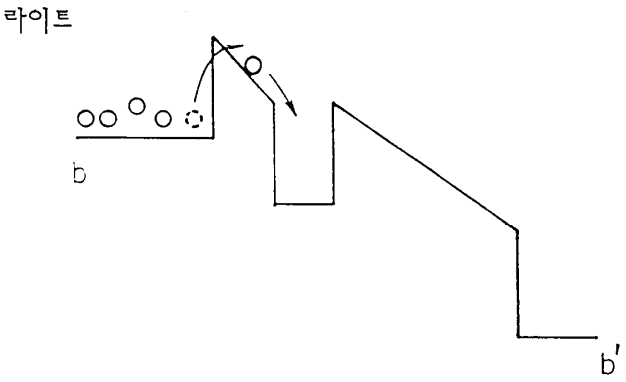

도면13a



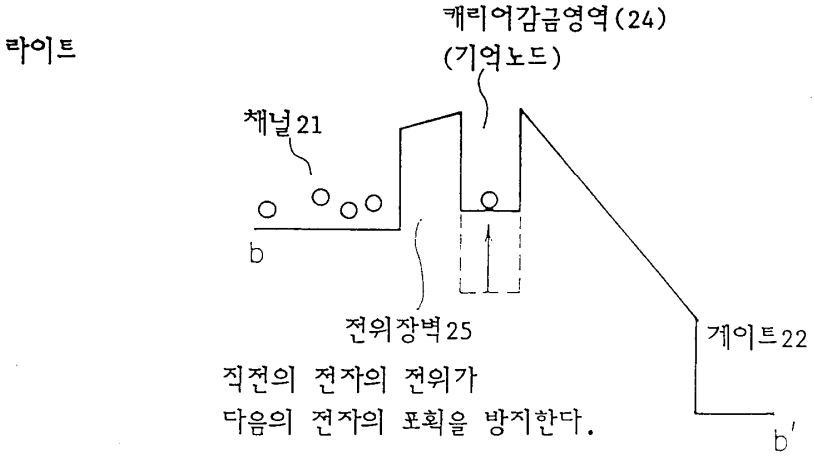

도면13b



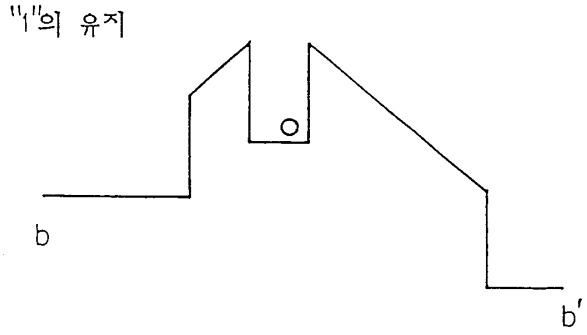
도면13c



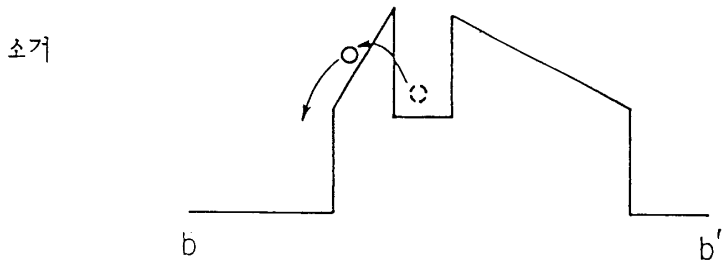

도면14a



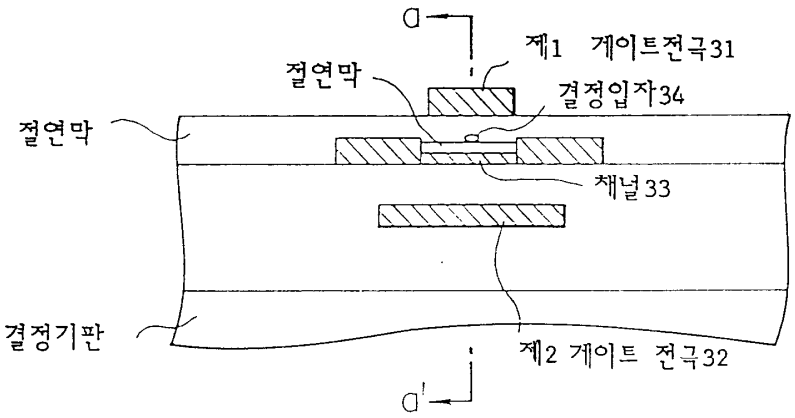

도면14b



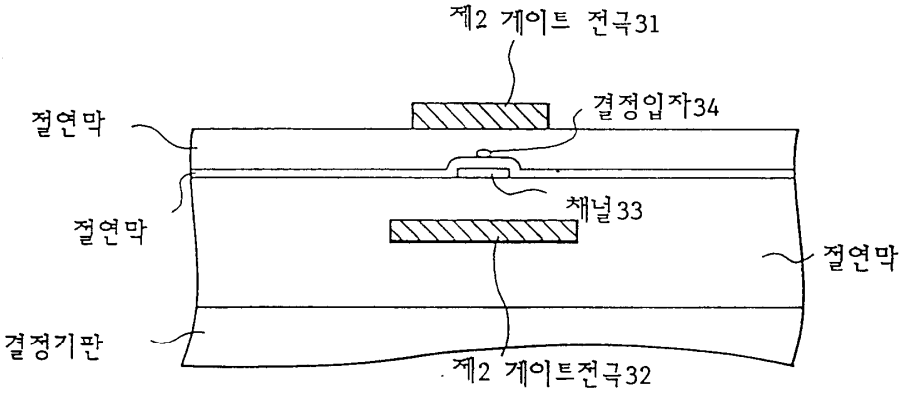

도면14c



도면15a

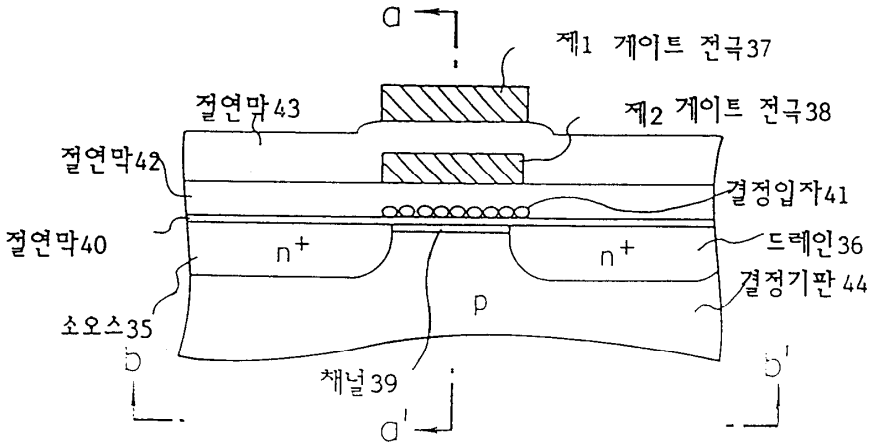



도면15b

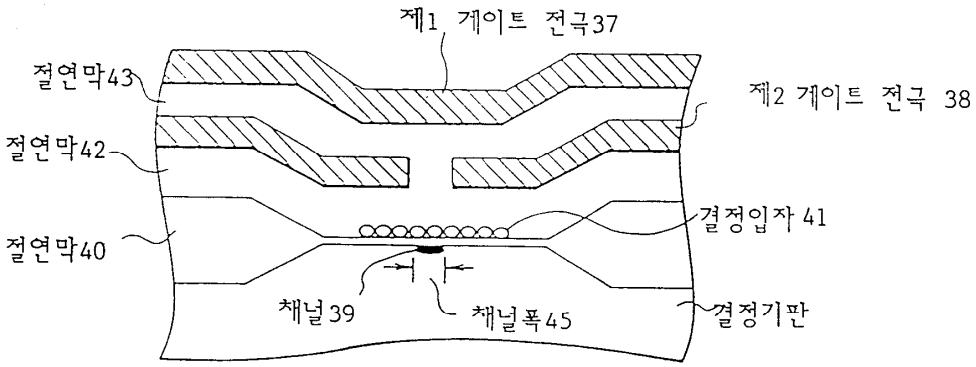



a-a'에 따른 단면

도면16a

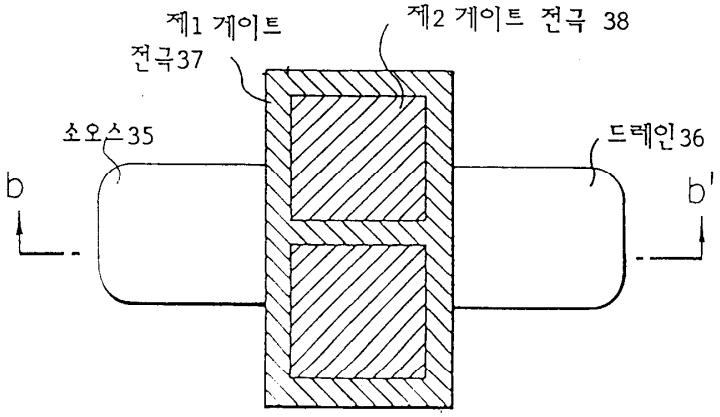


도면16b



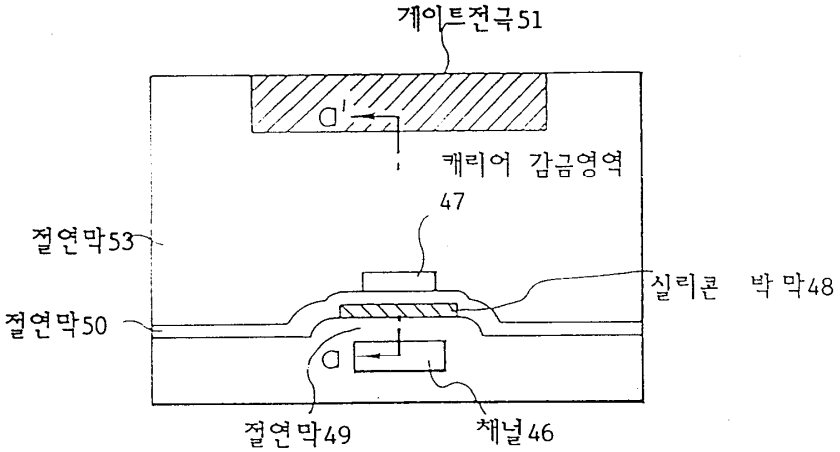

a-a'에 따른 단면

도면16c

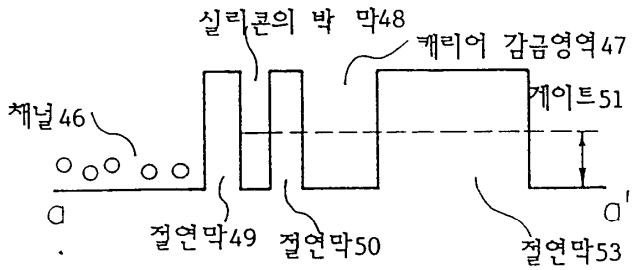



상 면 도

도면17a

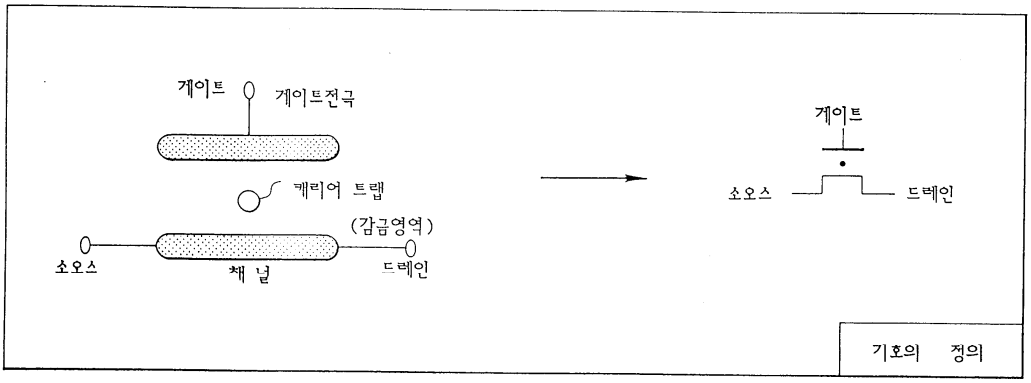


도면17b

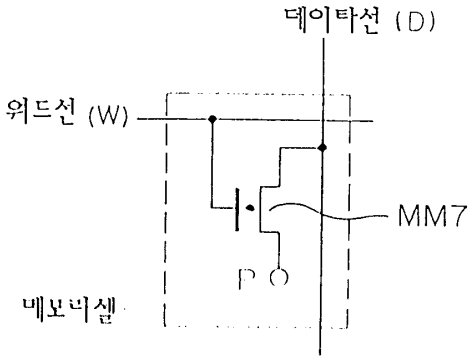



a-a'에 따른 전위 분포

도면18




도면18a

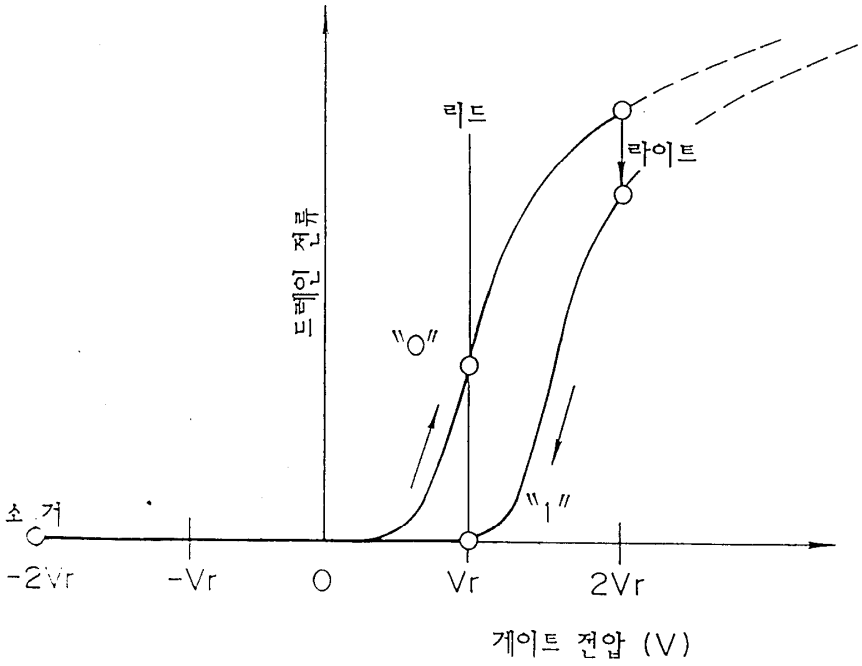



도면18b

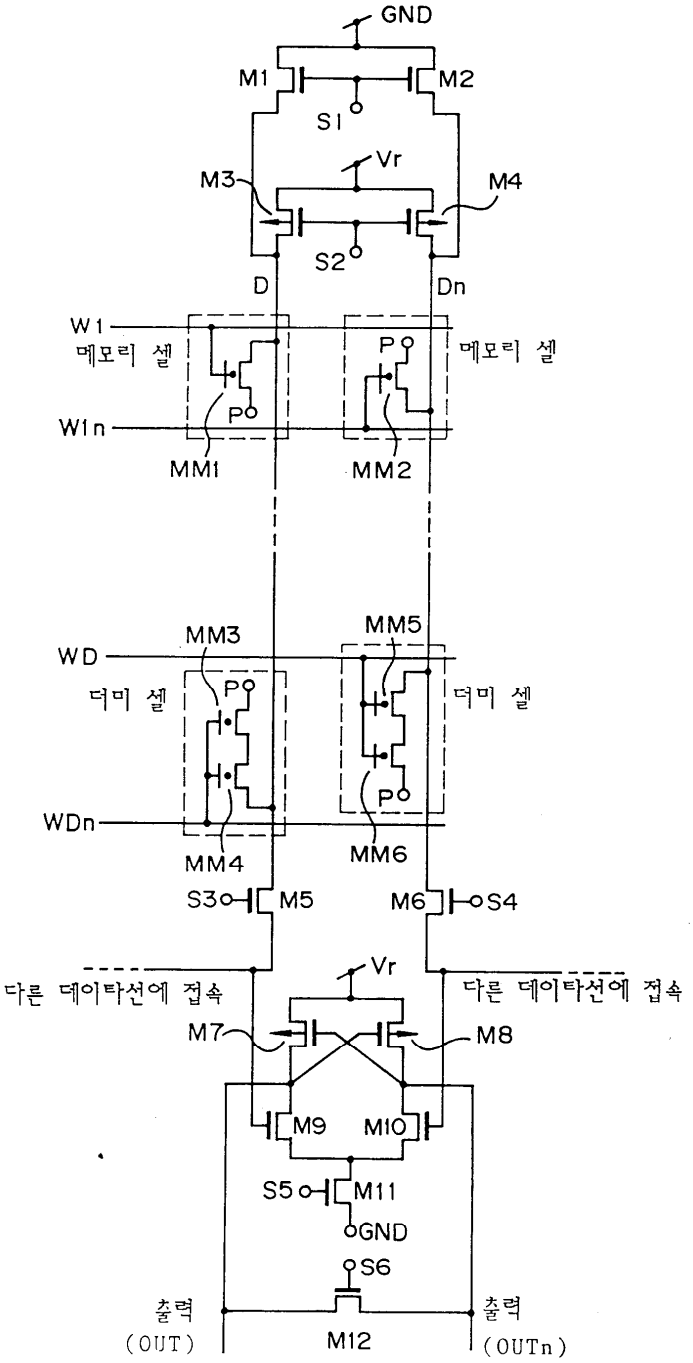
P = 0

| | | W | | D | |
|---|---|---|---|---|---|
| | | 선 택 | 비 선 택 | 선 택 | 비 선 택 |
| 리 드 | 1 | Vr | 0 | Vr | – |
| | 0 | | | Vr - △ | |
| 라 이 트 | 1 | Vr | 0 | -Vr | 0 |
| | 0 | -Vr | 0 | Vr | 0 |

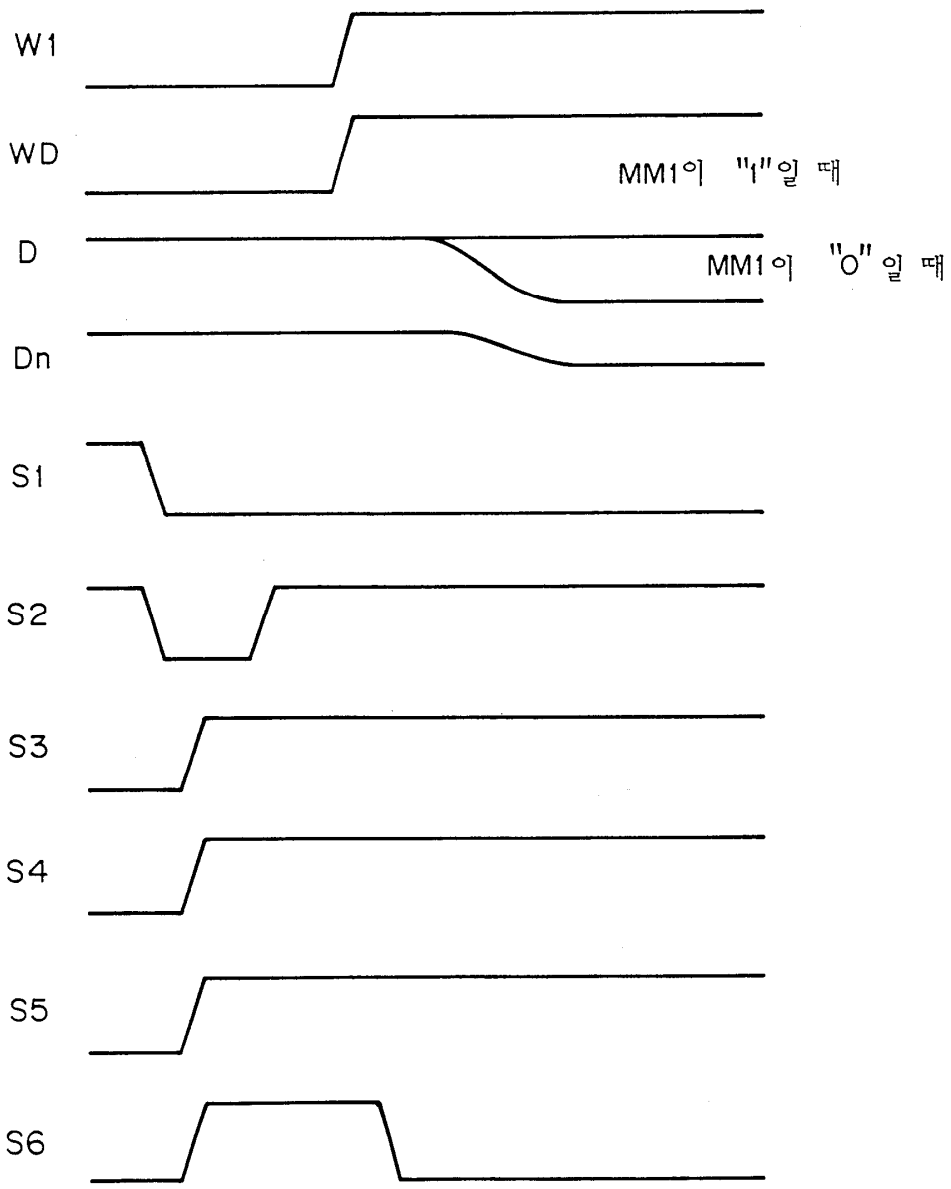
도면18c



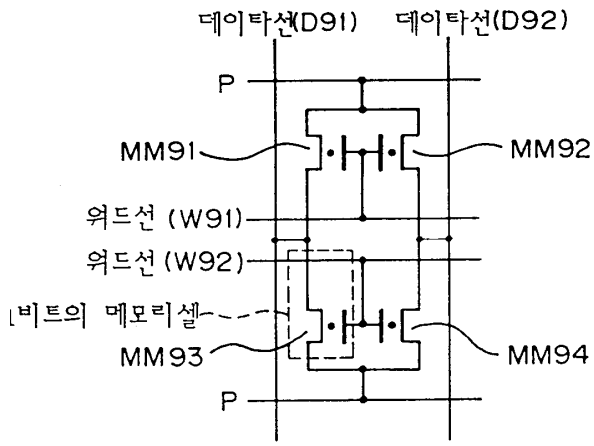
도면19


GND
M1
M2
S1
Vr
M3
M4
S2
D
Dn
W1
메모리 셀
P
메모리 셀
W1n
MM1
MM2
MM3
MM5
WD
더미 셀
더미 셀
WDn
MM4
MM6
S3
M5
M6
S4
다른 데이타선에 접속
다른 데이타선에 접속
M7
M8
M9
M10
S5
M11
GND
S6
출력
(OUT)
M12
출력
(OUTn)

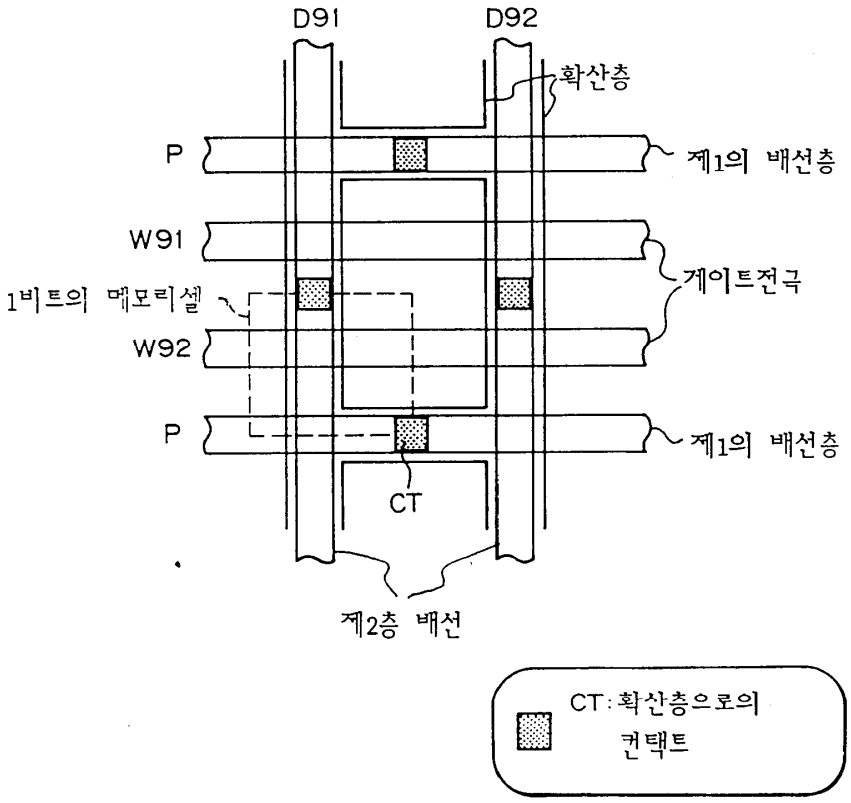
도면20


W1
WD
MM1이 "1"일 때
D
MM1이 "0"일 때
Dn
S1
S2
S3
S4
S5
S6

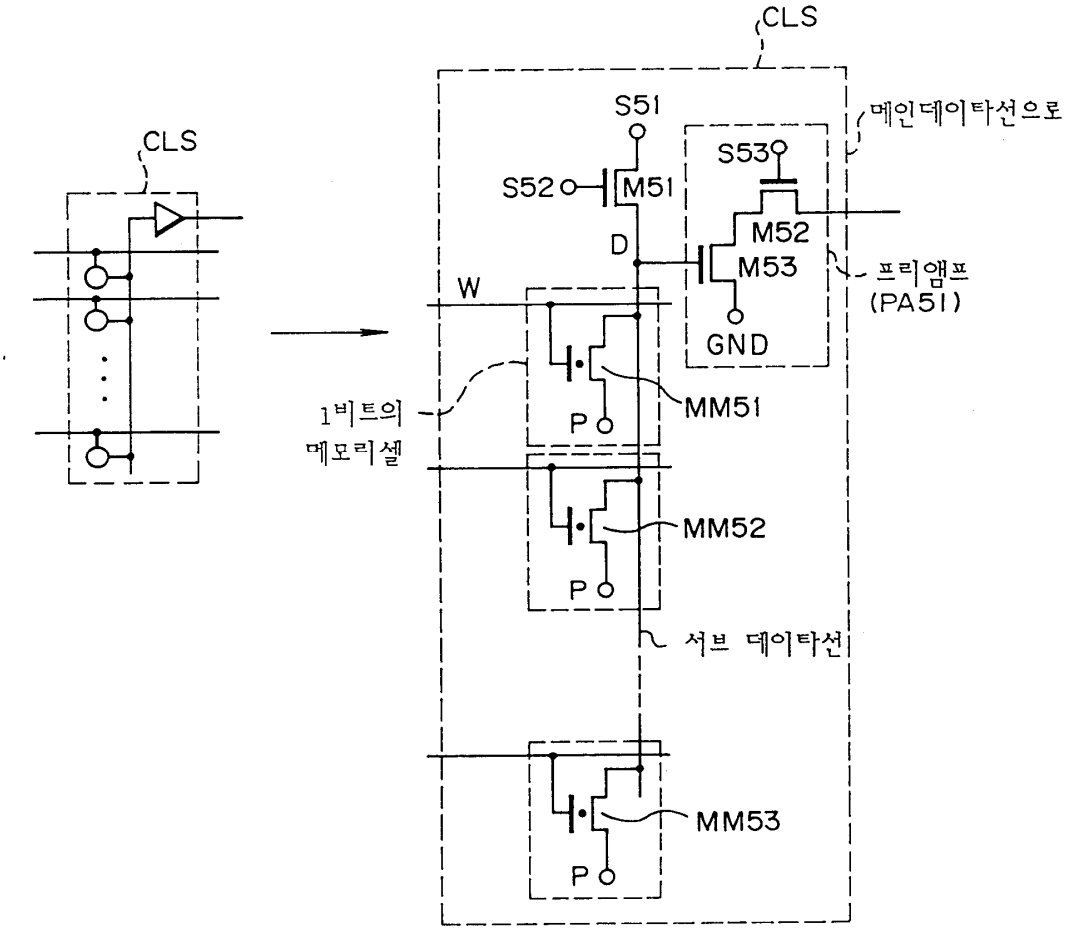
도면21a


데이타선(D91)
데이타선(D92)
P
MM91
MM92
워드선 (W91)
워드선 (W92)
1비트의 메모리셀
MM93
MM94
P

도면21b


D91
D92
확산층
P
제1의 배선층
W91
게이트전극
1비트의 메모리셀
W92
P
제1의 배선층
CT
제2층 배선
CT:확산층으로의 컨택트

도면22a

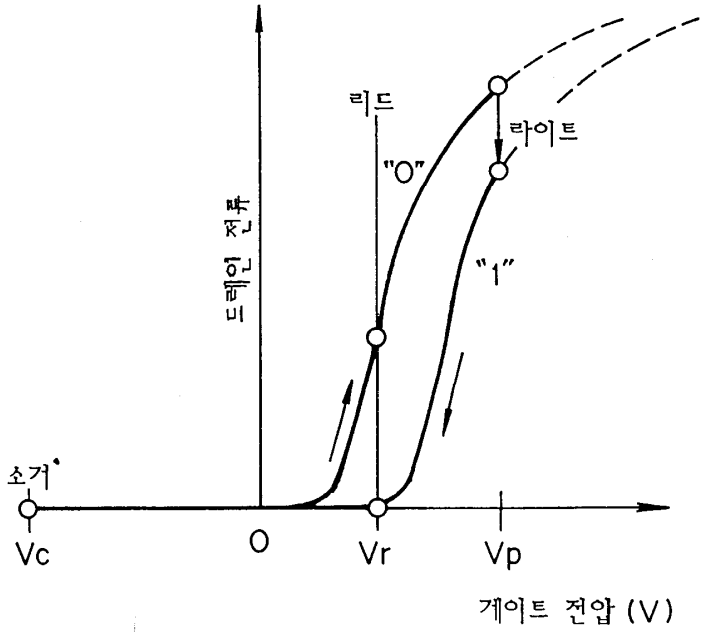

CLS
CLS
S51
메인데이타선으로
S53
S52
M51
M52
D
M53
프리앰프
(PA51)
W
GND
MM51
1비트의
메모리셀
P
MM52
P
서브 데이타선
MM53
P

도면22b

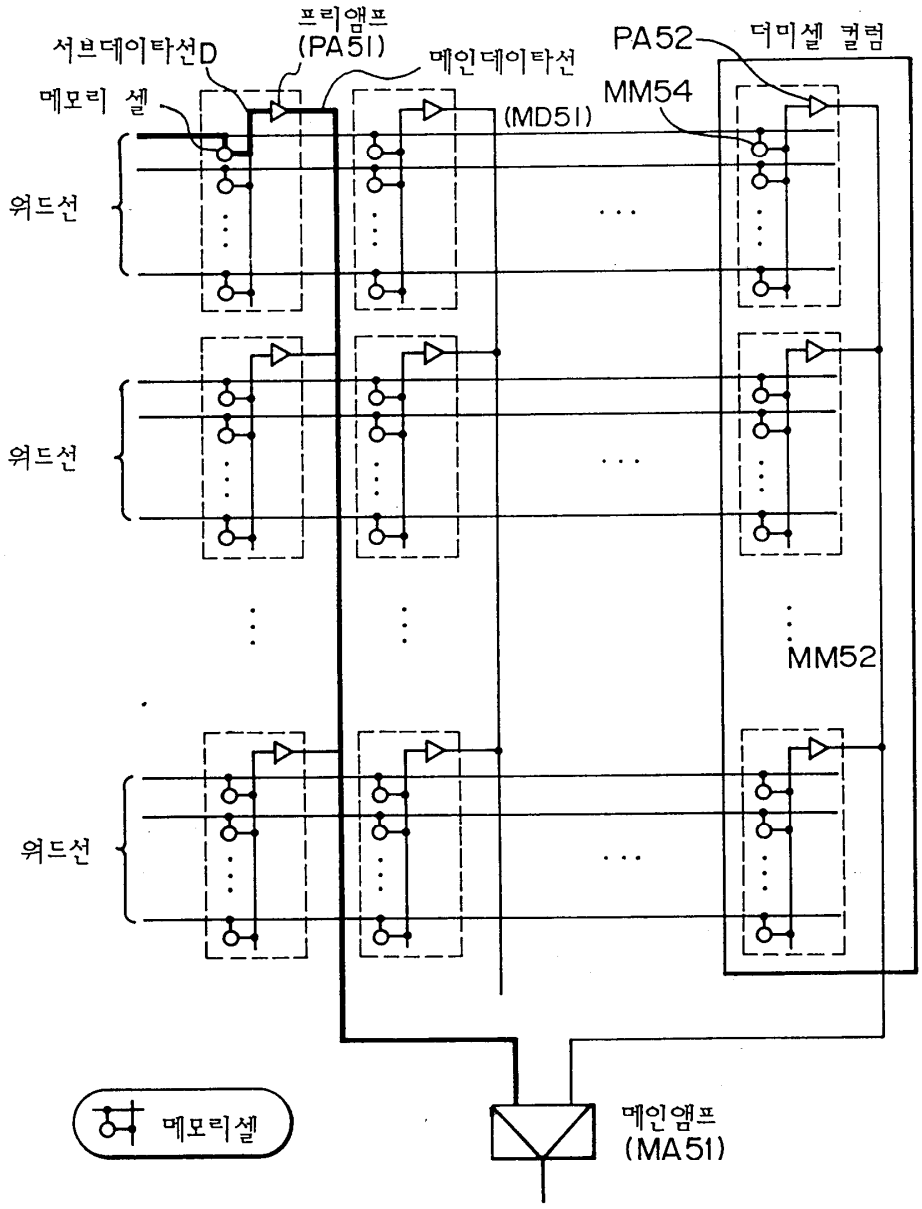
P=Vr

| | | W | | D | |
|---|---|---|---|---|---|
| | | 선 택 | 비 선 택 | 선 택 | 비 선 택 |
| 리 드 | 1 | Vr | 0 | 0 | – |
| | 0 | | | △ | |
| 라 이 트 | 1 | Vp | 0 | Vc | 0 |
| | 0 | Ve | 0 | Vp | 0 |

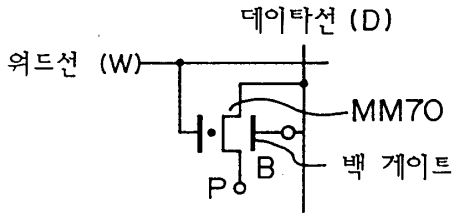
도면22c



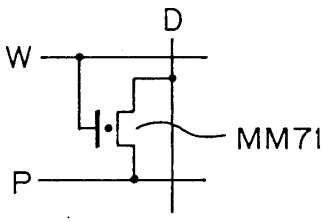
도면23



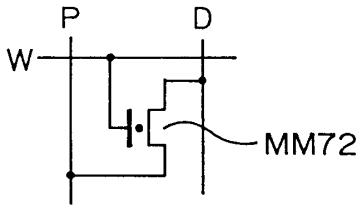

도면24a



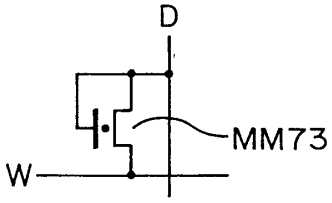

도면24b



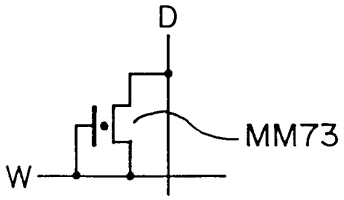
도면24c



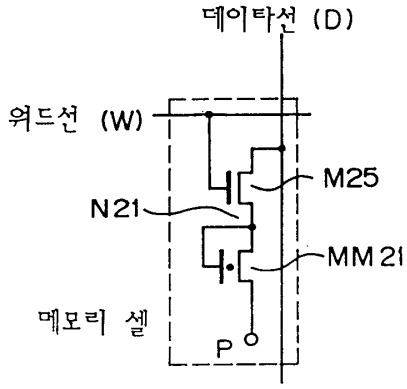

도면24d




도면24e




도면25a

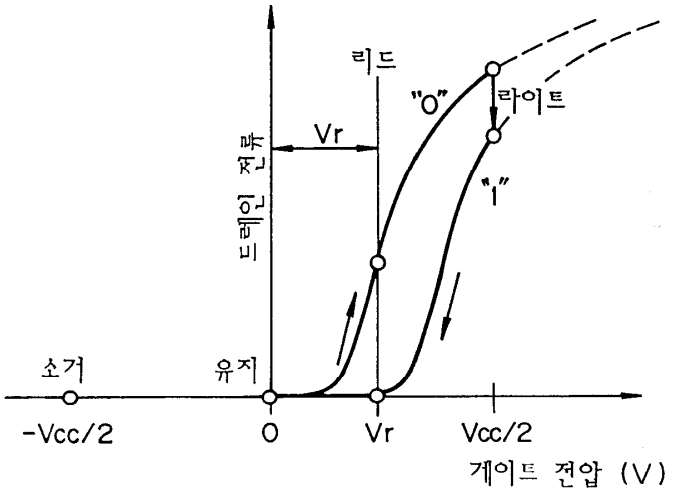



도면25b

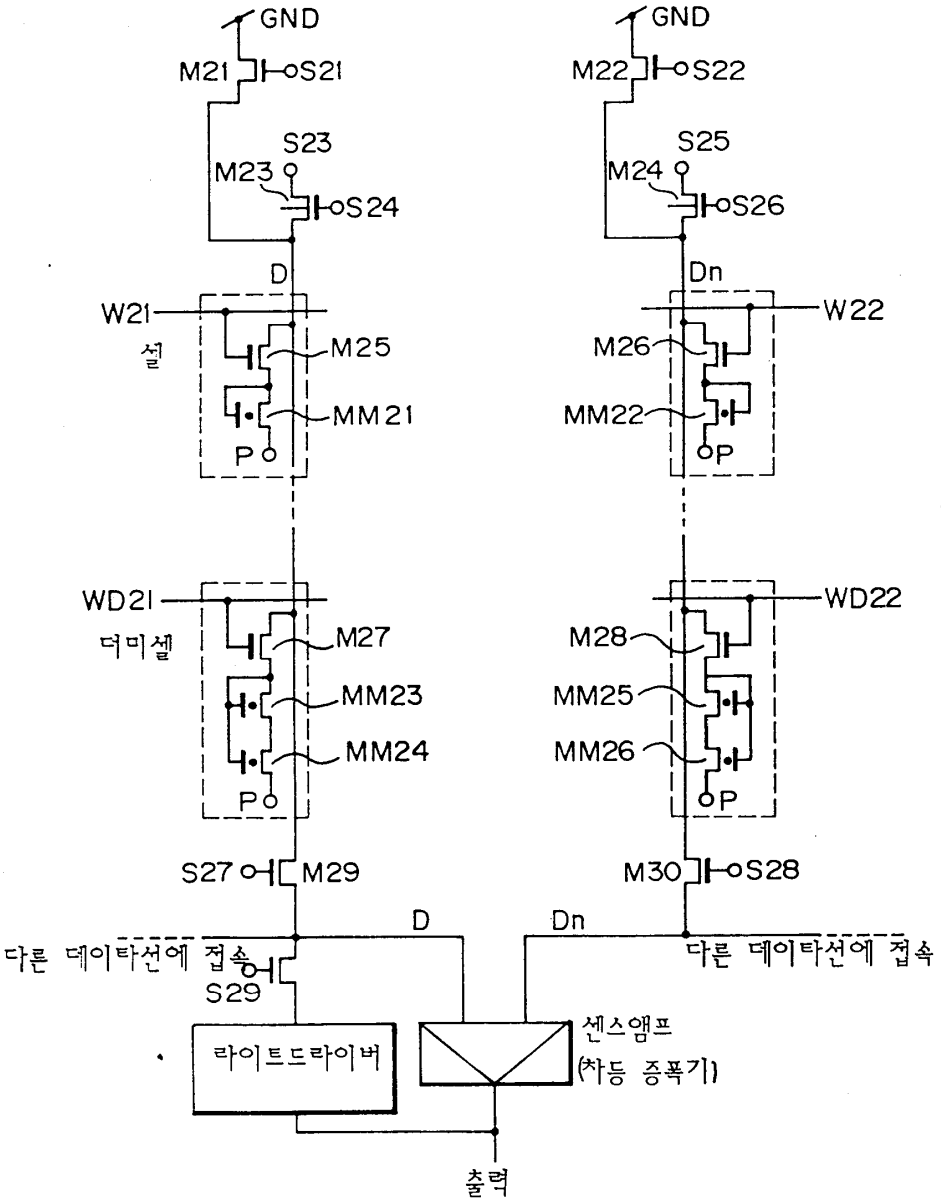
P= Vcc/2

| | | W | | D | |
|---|---|---|---|---|---|
| | | 선 택 | 비 선 택 | 선 택 | 비 선 택 |
| 리 드 | 1 | Vcc+Vt | 0 | Vcc/2+Vr | Vcc/2 |
| | 0 | | | Vcc/2+Vr-△ | |
| 라 이 트 | 1 | Vcc+Vt | 0 | 0 | 0 |
| | 0 | Vcc+Vt | 0 | Vcc | 0 |

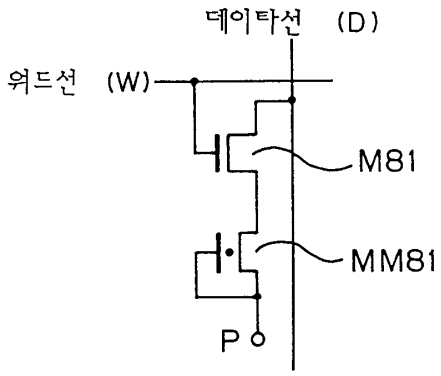
도면25c


리드
"0"
라이트
Vr
"1"
드레인 전류
소거
유지
-Vcc/2
0
Vr
Vcc/2
게이트 전압 (V)

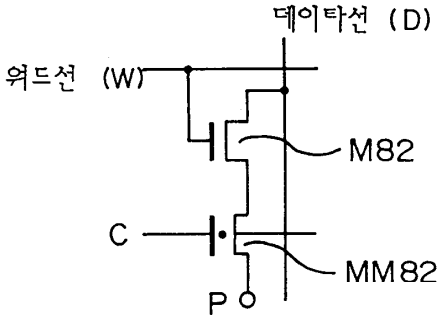
도면26


GND
M21
S21
S23
M23
S24
D
W21
셀
M25
MM21
P
GND
M22
S22
S25
M24
S26
Dn
W22
M26
MM22
P
WD21
더미셀
M27
MM23
MM24
P
WD22
M28
MM25
MM26
P
S27
M29
M30
S28
D
Dn
다른 데이타선에 접속
S29
다른 데이타선에 접속
라이트드라이버
센스앰프
(차등 증폭기)
출력

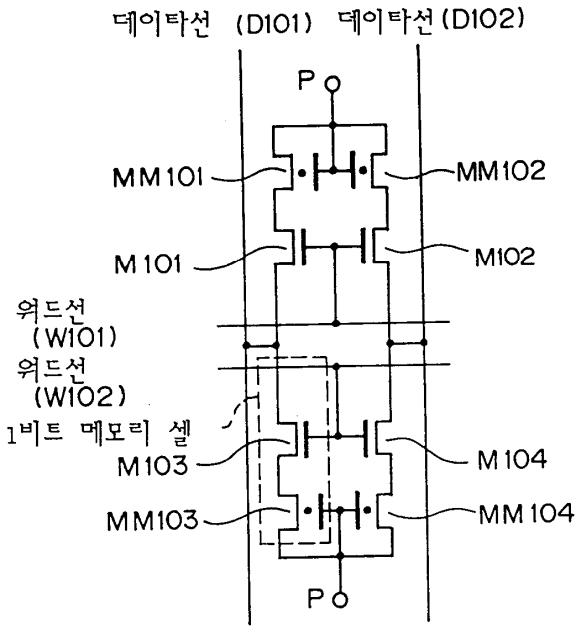
도면27a



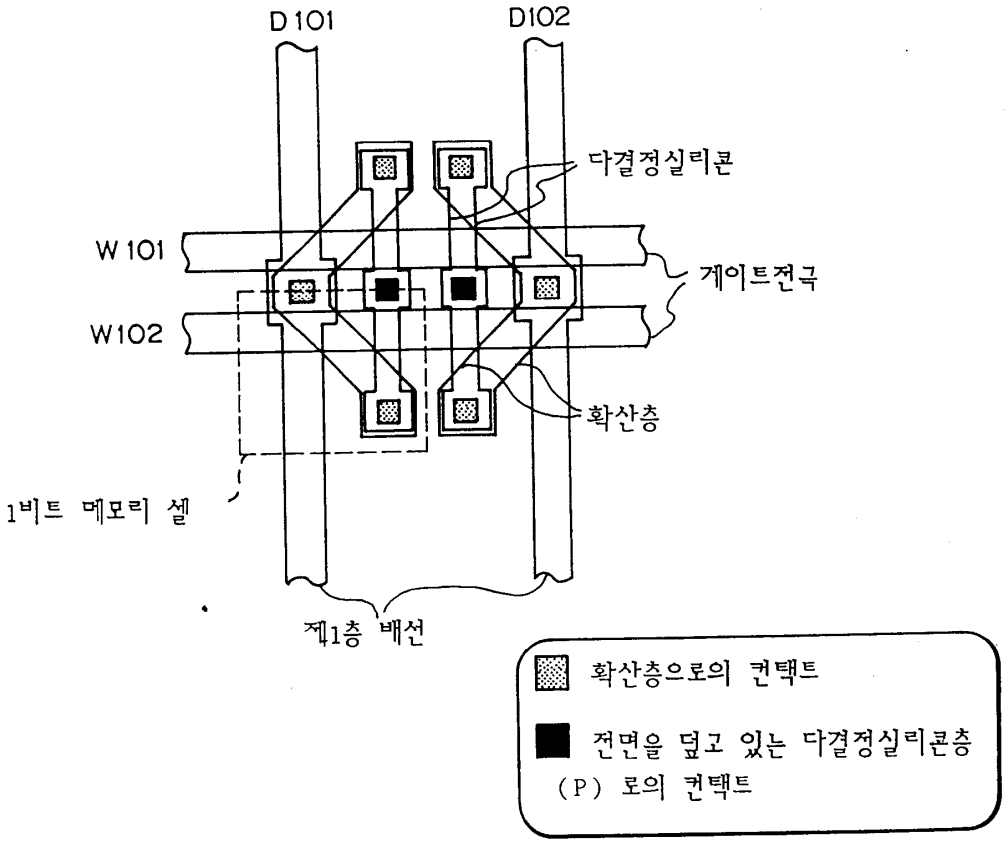

도면27b



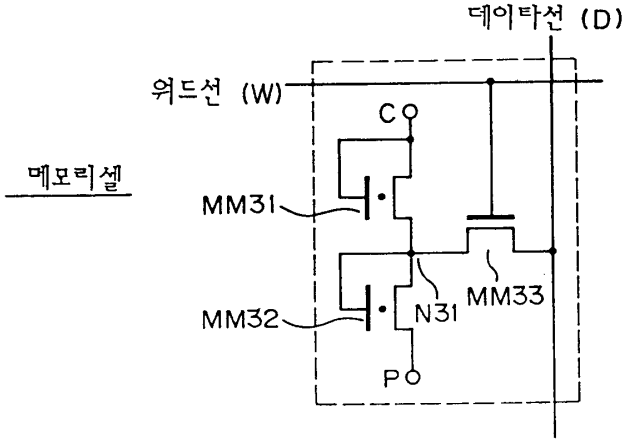

도면28a



도면28b




도면29a

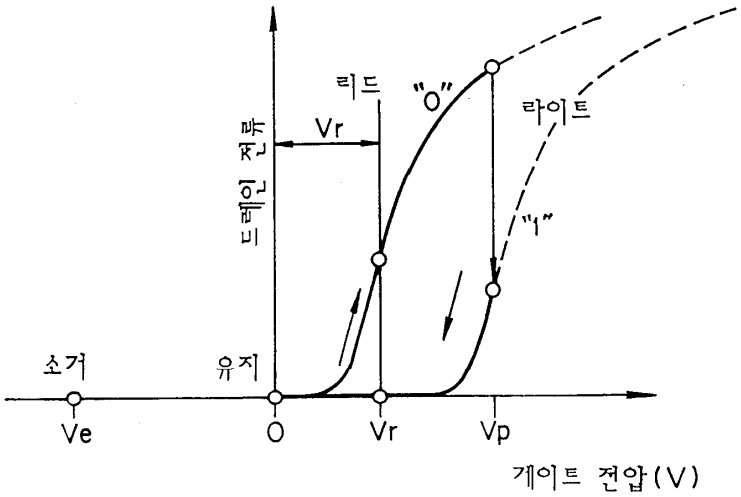



도면29b

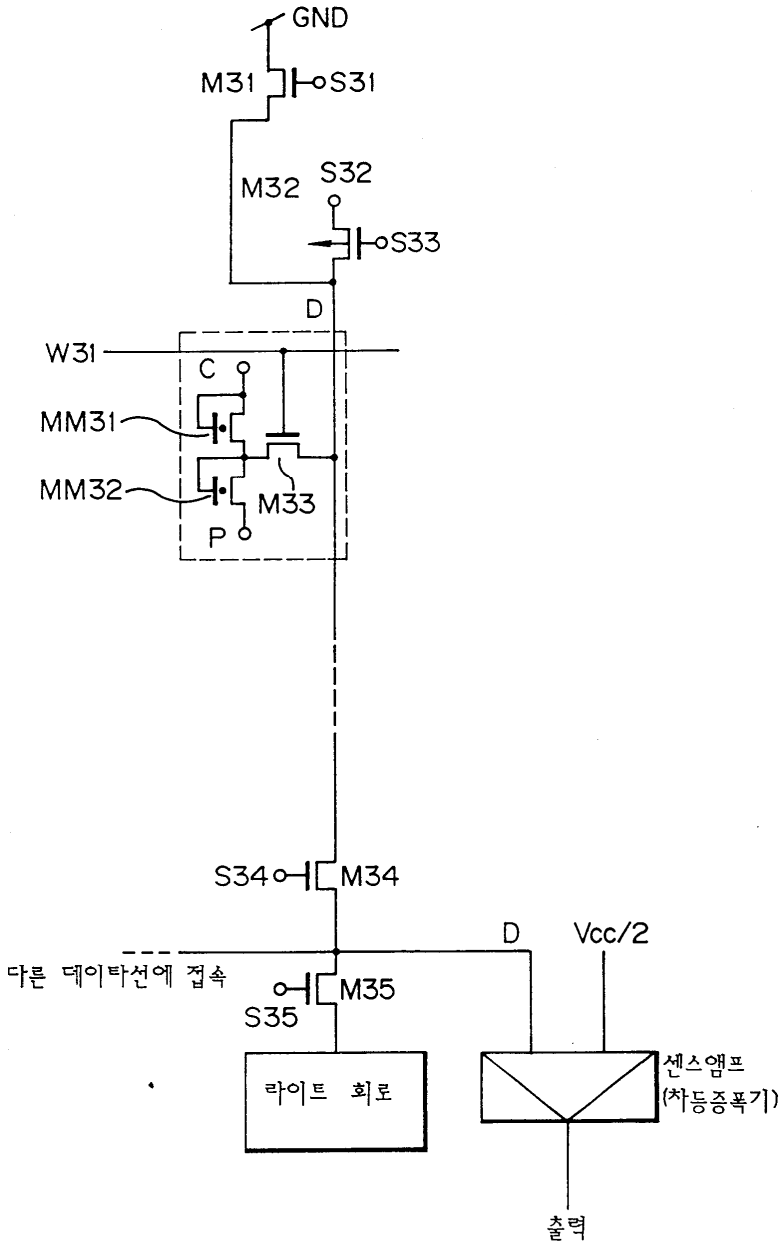
C=Vcc P=0

| | | W | | D | | C | |
|---|---|---|---|---|---|---|---|
| | | 선 택 | 비선택 | 선 택 | 비선택 | 선 택 | 비선택 |
| 리 드 | 1 | Vcc | 0 | Vcc/2+△ | 0 | Vcc | 0 |
| | 0 | | | Vcc/2-△ | | | |
| 라이트 | 1 | Vcc | Ve | Ve | 0 | Vcc | 0 |
| | 0 | Vp | 0 | Vp | 0 | 0 | 0 |

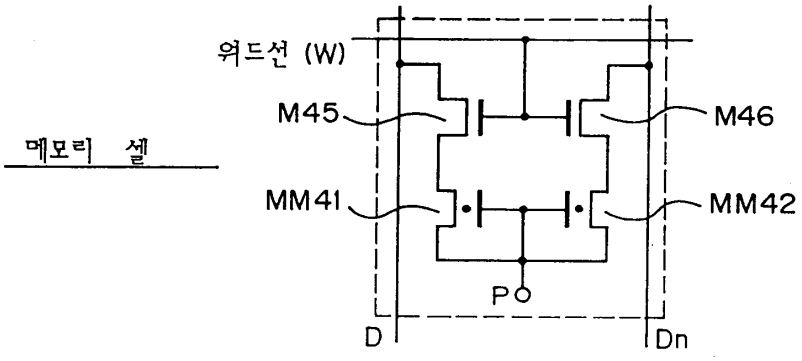
도면29c


리드
"0"
라이트
Vr
드레인 전류
"1"
소거
유지
Ve
0
Vr
Vp
게이트 전압(V)

도면30


GND
M31
S31
M32
S32
S33
D
W31
C
MM31
MM32
M33
P
S34
M34
D
Vcc/2
다른 데이타선에 접속
M35
S35
라이트 회로
센스앰프
(차등증폭기)
출력

도면31a

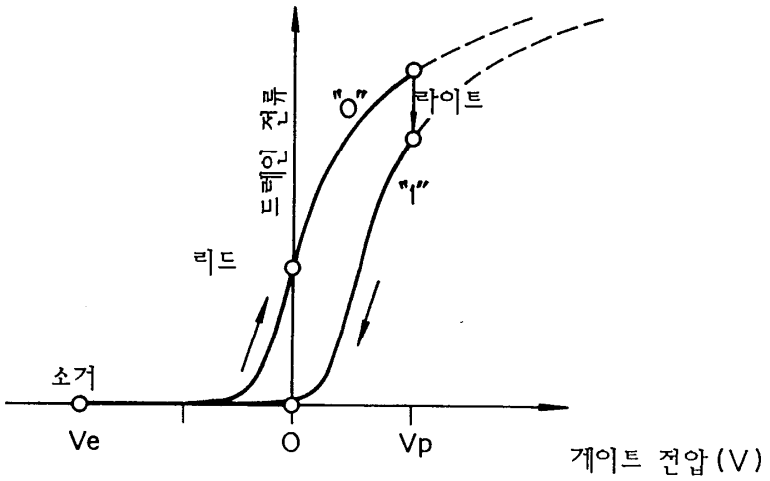



도면31b

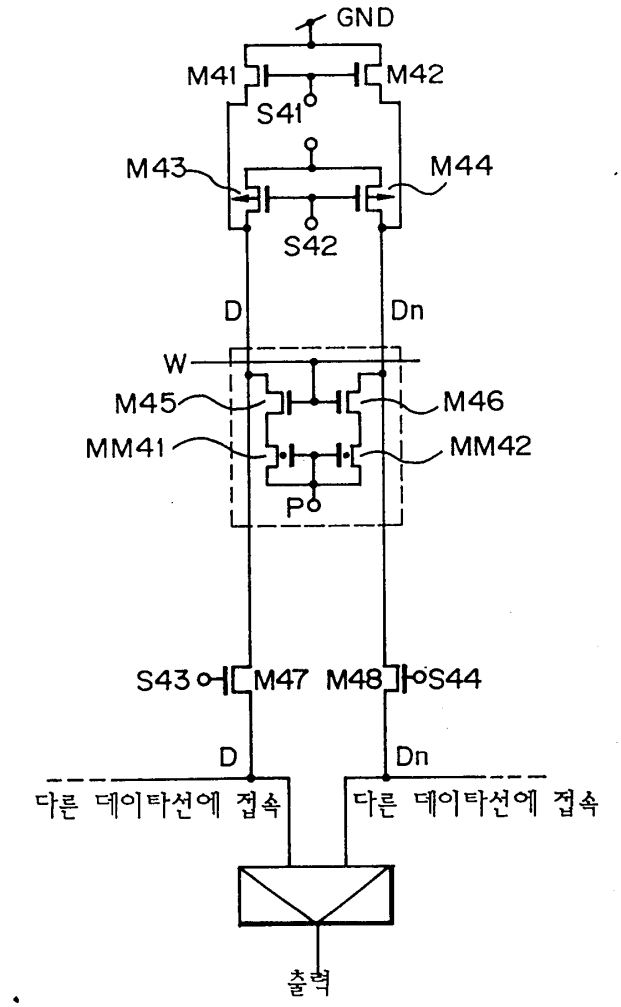
P=0

| | | W | | D | | Dn | |
|---|---|---|---|---|---|---|---|
| | | 선 택 | 비 선 택 | 선 택 | 비 선 택 | 선 택 | 비 선 택 |
| 리 드 | 1 | Vcc | 0 | Vcc | – | Vcc−△ | – |
| | 0 | | | Vcc−△ | | Vcc | |
| 라 이 트 | 1 | Vp | Ve | Ve | 0 | Vp | 0 |
| | 0 | Vp | 0 | Vp | 0 | Ve | 0 |

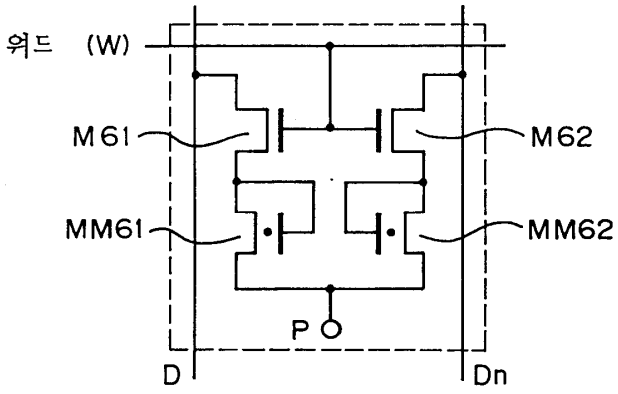
도면31c



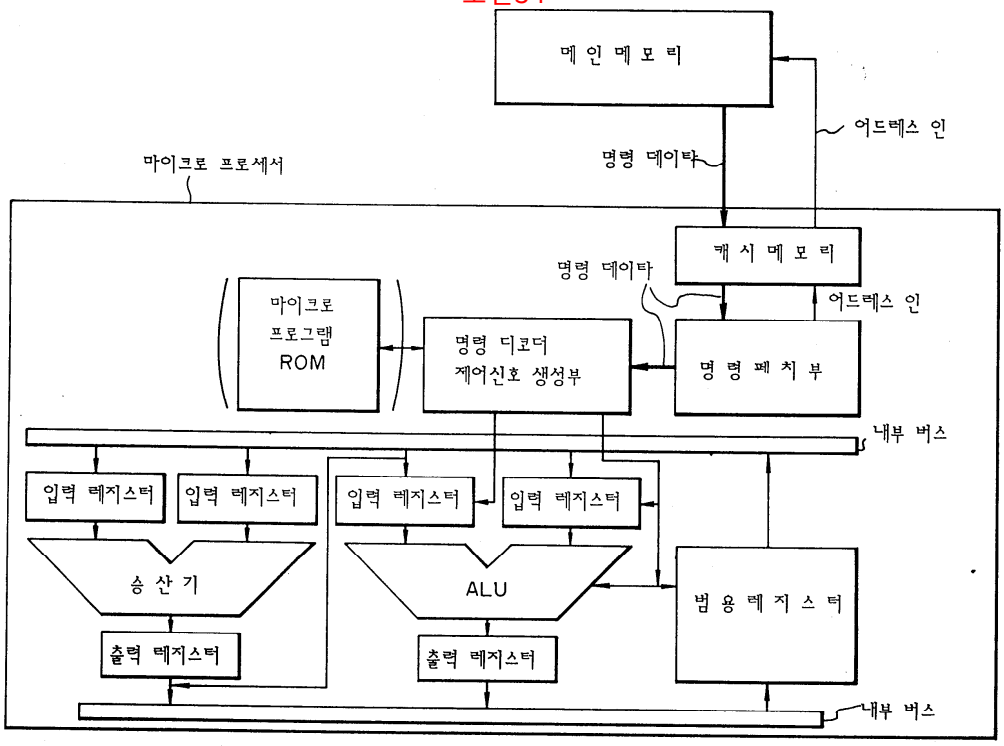
도면32


GND
M41
M42
S41
M43
M44
S42
D
Dn
W
M45
M46
MM41
MM42
P
S43
M47
M48
S44
D
Dn
다른 데이타선에 접속
다른 데이타선에 접속
출력

도면33


워드 (W)
M61
M62
MM61
MM62
P
D
Dn

도면34


메 인 메 모 리
어드레스 인
명령 데이타
마이크로 프로세서
캐 시 메 모 리
명령 데이타
어드레스 인
마이크로
프로그램
ROM
명령 디코더
제어신호 생성부
명 령 페 치 부
내부 버스
입력 레지스터
입력 레지스터
입력 레지스터
입력 레지스터
승 산 기
ALU
범 용 레 지 스 터
출력 레지스터
출력 레지스터
내부 버스