

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年1月11日 (2018.1.11)

【公開番号】特開2016-213238(P2016-213238A)

【公開日】平成28年12月15日 (2016.12.15)

【年通号数】公開・登録公報2016-068

【出願番号】特願2015-93059(P2015-93059)

【国際特許分類】

H 0 1 L 21/60 (2006.01)

【F I】

H 0 1 L 21/92 6 0 2 G

H 0 1 L 21/92 6 0 2 D

H 0 1 L 21/92 6 0 4 B

【手続補正書】

【提出日】平成29年11月21日 (2017.11.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体チップの主面側に形成された端子パッドと、
前記端子パッド上に当該端子パッドと電氣的に接続して形成されたピラー層と、
前記ピラー層上に当該ピラー層と電氣的に接続して形成されたバリア層と、
前記バリア層上に当該バリア層と電氣的に接続して形成されたバンプと、を備え、
前記バンプが前記バリア層よりも小さい半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、
前記バリア層の表面は前記ピラー層の表面に比べて半田の濡れ性が低い半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、
前記半導体装置の横断面において、前記バンプの幅が前記バリア層の幅よりも小さい半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置であって、
前記ピラー層の幅が前記バリア層の幅と略同一である半導体装置。

【請求項 5】

請求項 3 に記載の半導体装置であって、
前記ピラー層の幅が前記バリア層の幅よりも大きい半導体装置。

【請求項 6】

請求項 3 に記載の半導体装置であって、
前記ピラー層の幅が前記バリア層の幅よりも小さい半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置であって、
前記半導体チップの主面側を平面視した際、前記バリア層および前記バンプは略円形状であり、
前記バンプの直径が前記バリア層の直径よりも小さい半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置であって、
前記半導体チップの主面側を平面視した際、前記ピラー層は略円形状であり、
前記ピラー層の直径が前記バリア層の直径と略同一である半導体装置。

【請求項 9】

請求項 7 に記載の半導体装置であって、
前記半導体チップの主面側を平面視した際、前記ピラー層は略円形状であり、
前記ピラー層の直径が前記バリア層の直径よりも大きい半導体装置。

【請求項 10】

請求項 7 に記載の半導体装置であって、
前記半導体チップの主面側を平面視した際、前記ピラー層は略円形状であり、
前記ピラー層の直径が前記バリア層の直径よりも小さい半導体装置。

【請求項 11】

請求項 1 に記載の半導体装置であって、
前記ピラー層は Cu を主成分とする材料からなり、
前記バリア層は Ni を主成分とする材料からなり、
前記パンプは Sn Ag を主成分とする材料からなる半導体装置。

【請求項 12】

(a) 半導体基板の主面側に形成された端子パッド上にレジスト膜を塗布する工程、
(b) フォトリソグラフィにより、底部に前記端子パッドが露出する開口を前記レジスト膜に形成する工程、
(c) 電界めっきにより、前記開口内に下層から順に Cu 膜、Ni 膜、Sn Ag 膜を形成する工程、
(d) アッシングにより、前記レジスト膜を除去する工程、
(e) 前記 Sn Ag 膜の表面をウェットエッチングする工程、
を有する半導体装置の製造方法。

【請求項 13】

請求項 12 に記載の半導体装置の製造方法であって、
前記 (e) 工程において、希フッ酸を用いてウェットエッチングを行う半導体装置の製造方法。

【請求項 14】

(a) 半導体基板の主面側に形成された端子パッド上に第 1 のレジスト膜を塗布する工程、
(b) フォトリソグラフィにより、底部に前記端子パッドが露出する第 1 の開口を前記第 1 のレジスト膜に形成する工程、
(c) 電界めっきにより、前記第 1 の開口内に下層から順に Cu 膜、Ni 膜を形成する工程、
(d) アッシングにより、前記第 1 のレジスト膜を除去する工程、
(e) 前記端子パッドおよび前記 Cu 膜、前記 Ni 膜上に第 2 のレジスト膜を塗布する工程、
(f) フォトリソグラフィにより、底部に前記 Ni 膜が露出する第 2 の開口を前記第 2 のレジスト膜に形成する工程、
(g) 電界めっきにより、前記第 2 の開口内に Sn Ag 膜を形成する工程、
(h) アッシングにより、前記第 2 のレジスト膜を除去する工程、
を有する半導体装置の製造方法。

【請求項 15】

請求項 14 に記載の半導体装置の製造方法であって、
前記第 2 の開口径は前記第 1 の開口径よりも小さい半導体装置の製造方法。