

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2016-18842
(P2016-18842A)

(43) 公開日 平成28年2月1日(2016. 2. 1)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 25/07 (2006.01)

HO 1 L 25/04 C 5 F 1 3 6

HO 1 L 25/18 (2006.01)

HO 1 L 23/36 A

HO 1 L 23/29 (2006.01)

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号	特願2014-139640 (P2014-139640)	(71) 出願人	000005234
(22) 出願日	平成26年7月7日 (2014. 7. 7)		富士電機株式会社
			神奈川県川崎市川崎区田辺新田 1 番 1 号
		(74) 代理人	100161562
			弁理士 阪本 朗
		(72) 発明者	梨子田 典弘
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		(72) 発明者	中村 瑤子
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		F ターム (参考)	5F136 BB04 DA07 DA27 FA01 FA12

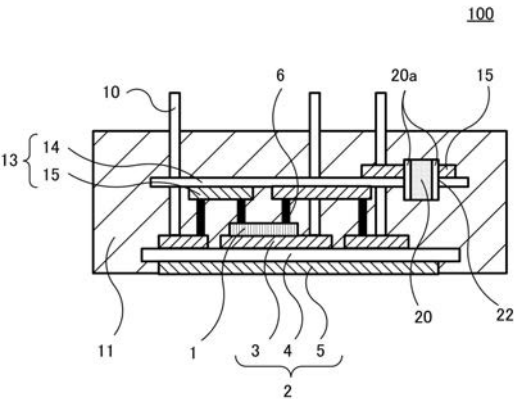
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】受動素子が搭載された樹脂封止型半導体装置において、良好な信頼性を有する半導体装置を提供する。

【解決手段】セラミック板と、前記セラミック板の主面に固定された回路板を有する絶縁基板と、回路板に固定されたスイッチング素子と、2つの配線層と、2つの前記配線層の間に配置された1つの貫通孔を有し、絶縁基板のセラミック板の主面に対向するプリント基板と、絶縁基板とプリント基板の間に配置された導電ポストと、2つの外部電極を有し、貫通孔に挿入されて固定され、2つの前記外部電極が2つの前記配線層にそれぞれ電気的に接続された受動素子と、スイッチング素子、プリント基板、導電ポストおよび受動素子を覆う熱硬化性の樹脂を備えている。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

セラミック板と、前記セラミック板の主面に固定された回路板を有する絶縁基板と、
前記回路板に固定されたスイッチング素子と、
2つの配線層と、2つの前記配線層の間に配置された1つの貫通孔を有し、前記絶縁基板
のセラミック板の主面に対向するプリント基板と、
前記絶縁基板と前記プリント基板の間に配置された導電ポストと、
2つの外部電極を有し、前記貫通孔に挿入されて固定され、2つの前記外部電極が2つの
前記配線層にそれぞれ電氣的に接続された受動素子と、
前記スイッチング素子、前記プリント基板、前記導電ポストおよび前記受動素子を覆う熱
硬化性の樹脂と、
を備えた半導体装置。

10

【請求項 2】

前記スイッチング素子は、おもて面に2つの電極を有し、裏面が前記回路板に固定され、
前記導電ポストは、一端が前記2つの配線層のいずれかに電氣的に接続され、他端が前記
スイッチング素子の2つの電極のいずれかに電氣的に接続された2つの導電ポストである
請求項1記載の半導体装置。

【請求項 3】

前記スイッチング素子の異なる2つの電極はそれぞれゲート電極およびソース電極であり
、
前記2つの配線層はそれぞれゲート配線層およびソース配線層であり、
前記2つの導電ポストはそれぞれ、一端が前記ゲート電極に電氣的かつ機械的に接続され
、他端が前記ゲート配線層に電氣的かつ機械的に接続されたゲート導電ポストと、一端が
前記ソース電極に電氣的かつ機械的に接続され、他端が前記ソース配線層に電氣的かつ機
械的に接続されたソース導電ポストである請求項2に記載の半導体装置。

20

【請求項 4】

上アームを構成する前記スイッチング素子と、
下アームを構成する前記スイッチング素子と、
を備え、
前記上アームを構成するスイッチング素子、または前記下アームを構成するスイッチング
素子のいずれかに前記受動素子が電氣的に接続されている請求項3に記載の半導体装置。

30

【請求項 5】

前記貫通孔に挿入された前記受動素子が、前記プリント基板のおもて面と裏面からの突出
高さが略均等になるように配置されている請求項1ないし4のいずれか1項記載の半導体
装置。

【請求項 6】

前記貫通孔は、前記受動素子の形状と比較して前記配線層に隣接する部分で拡大しており
、前記貫通孔内の前記拡大した部分を前記樹脂が埋めている請求項1ないし4のいずれか
1項に記載の半導体装置。

【請求項 7】

前記受動素子が、キャパシタもしくはダイオードである請求項1ないし4のいずれか1項
に記載の半導体装置。

40

【請求項 8】

前記スイッチング素子が、パワーMOSFETもしくはIGBTである請求項1ないし4
のいずれか1項に記載の半導体装置。

【請求項 9】

前記パワーMOSFETもしくはIGBTが、ワイドバンドギャップ半導体で構成される
請求項8に記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

この発明は、パワー半導体素子を搭載した半導体装置に関する。

【背景技術】

【0002】

インバータ装置、無停電電源装置、工作機械、産業用ロボット等では、その本体装置とは独立して半導体装置（パワー半導体モジュール）が使用されている。

【0003】

従来の半導体装置としては、例えば図10に示すものが提案されている（特許文献1）。この半導体装置500は、絶縁基板102と、スイッチング素子101と、プリント基板123と、導電ポスト121と、受動素子120と、樹脂122と、外部端子110で構成されている。

10

【0004】

絶縁基板102は、回路板103と、セラミック板104と、金属板105が積層されて構成されている。そして絶縁基板102の回路板103上には、パワー半導体素子であるスイッチング素子101が配置されている。

【0005】

プリント基板123は、配線層124と絶縁板125で構成され、絶縁基板102に対向して配置されている。そしてプリント基板123には、柱形状である導電ポスト121の一端が図示しないスルーホールに挿入されるなどして固定され、配線層124と電氣的に接続されている。また、導電ポスト121の他端は、スイッチング素子のおもて面電極や回路板103に電氣的かつ機械的に接続されている。

20

【0006】

そして、絶縁基板102の表面に受動素子120が搭載され、それらの内部部材が熱硬化性の樹脂122で封止されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-228403号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0008】

図10に記載された半導体装置500では、絶縁基板102の表面に受動素子120が搭載された状態で内部部材が金型内に固定され、熱硬化性の樹脂122を注入してモールド成型される。しかしながら、絶縁基板102とプリント基板123の間隔は狭く、さらにそれらの間の空間には受動素子120の他、導電ポスト121や外部端子110なども配置されている。そのため、絶縁基板102とプリント基板123との間の空間でモールド成型時の樹脂122の流動が阻害される。そのため、絶縁基板102とプリント基板123との間の空間に樹脂122が未充填の箇所が発生してしまう。

40

【0009】

そして、このような未充填箇所が発生した半導体装置を動作させた場合、スイッチング素子101から発生する熱応力により、未充填の箇所から樹脂122などに亀裂が発生し、半導体装置の信頼性が低下してしまう。

【0010】

この発明の目的は、上記課題に着目してなされたものであり、受動素子が搭載された樹脂封止型半導体装置において、良好な信頼性を有する半導体装置を提供することにある。

【課題を解決するための手段】

【0011】

前記の目的を達成するために、この発明の一態様では、半導体装置は、セラミック板と、前記セラミック板の主面に固定された回路板を有する絶縁基板と、前記回路板に固定さ

50

れたスイッチング素子と、2つの配線層と、2つの前記配線層の間に配置された1つの貫通孔を有し、前記絶縁基板のセラミック板の主面に対向するプリント基板と、前記絶縁基板と前記プリント基板の間に配置された導電ポストと、2つの外部電極を有し、前記貫通孔に挿入されて固定され、2つの前記外部電極が2つの前記配線層にそれぞれ電氣的に接続された受動素子と、前記スイッチング素子、前記プリント基板、前記導電ポストおよび前記受動素子を覆う熱硬化性の樹脂を備えた構成とする。

【発明の効果】

【0012】

この発明によれば、受動素子が搭載された樹脂封止型半導体装置において、良好な信頼性を有する半導体装置を提供することができる。

10

【図面の簡単な説明】

【0013】

【図1】参考例の半導体装置600の要部断面図である。

【図2】半導体装置600の樹脂の未充填箇所の発生を示した断面写真である。

【図3】この発明に係る実施例1の半導体装置100の要部断面図である。

【図4】この発明に係る実施例1の要部拡大図である。

【図5】この発明に係るプリント基板の貫通孔の平面図である。

【図6】この発明に係る実施例2の半導体装置200の要部断面図である。

【図7】図6の半導体装置200の回路図である。

【図8】この発明に係る実施例3の半導体装置300の要部断面図である。

20

【図9】図8の半導体装置300の回路図である。

【図10】従来例の半導体装置500の要部断面図である。

【発明を実施するための形態】

【0014】

実施の形態を以下の実施例で説明する。

【0015】

なお、本出願の明細書および特許請求の範囲に用いられている「電氣的かつ機械的に接続されている」という用語は、対象物同士が直接接合により接続されている場合に限られず、ハンダや金属焼結材などの導電性の接合材を介して対象物同士が接続されている場合も含むものとする。

30

【0016】

<参考例>

図1は、参考例の半導体装置600の要部断面図である。半導体装置600は、受動素子120の搭載位置を絶縁基板102の表面から、プリント基板123の表面に変更した以外は、従来例の半導体装置500と同じ構成である。

【0017】

図1に記載された半導体装置600は、半導体装置500と同様、内部部材が金型内に固定され、熱硬化性の樹脂122を注入してモールド成型される。そして、半導体装置500と異なり、絶縁基板102とプリント基板123の間の空間の樹脂122の流動が、受動素子120により阻害されることは無い。

40

【0018】

しかしながら、受動素子120は比較的高さがあるため、受動素子120がプリント基板123の表面においてモールド成型時の樹脂122の流動を阻害する。そのため、受動素子120付近に樹脂122が未充填の箇所が発生してしまうという新たな課題が明らかとなった。図2にその状態を示す。

【0019】

図2(a)は半導体装置600の断面写真であり、図2(b)は図2(a)中の破線部分を拡大した断面写真である。図2(b)から、プリント基板123と樹脂122の間に、樹脂の未充填箇所130が発生していることがわかる。

【0020】

50

そして、このような未充填箇所が発生した半導体装置を動作させた場合、スイッチング素子 101 から発生する熱応力により受動素子 120 近傍の接合部が破壊され、半導体装置の信頼性が低下してしまう。

【0021】

<実施例 1>

図 3 は、この発明に係る実施例 1 の半導体装置 100 の要部断面図である。半導体装置 100 は、絶縁基板 2 と、スイッチング素子 1 と、プリント基板 13 と、導電ポスト 6 と、受動素子 20 と、これらの内部部材を覆っている熱硬化性の樹脂 11 を備える。さらに、絶縁基板 2 に固定された外部端子 10 を備える。

【0022】

絶縁基板 2 は、回路板 3 と、セラミック板 4 と、金属板 5 で構成されている。セラミック板 4 の主面に回路板 3 が固定され、セラミック板 4 の主面と反対側の面に金属板 5 が固定されている。

【0023】

スイッチング素子 1 は、パワー MOSFET や IGBT (絶縁ゲートバイポーラトランジスタ) などの、縦型のパワー半導体素子である。本実施例では、スイッチング素子 1 がパワー MOSFET である場合について説明する。スイッチング素子 1 はおもて面にゲート電極とソース電極を有し、裏面にドレイン電極を有する(いずれも図示せず)。そしてドレイン電極は、絶縁基板 2 の回路板 3 に電気的かつ機械的に接続されている。

【0024】

プリント基板 13 は、絶縁基板 2 の回路板 3 側の面と対向して配置されている。プリント基板 13 は、樹脂などで構成される絶縁板 14 と、配線層 15 を有している。配線層 15 は、銅などの金属で構成されている。また、プリント基板 13 には、スルーホールに挿入されるなどして、導電ポスト 6 が固定されている。

【0025】

円柱形状である導電ポスト 6 の一端は、配線層 15 と電気的かつ機械的に接続されている。また導電ポスト 6 の他端は、スイッチング素子 1 のゲート電極やソース電極、回路板 3 と電気的かつ機械的に接続されている。すなわち、本実施例の半導体装置 100 においては、絶縁基板 2 上のスイッチング素子 1 や回路板 3 と、外部端子 10 などとの電気配線を、導電ポスト 6 及びプリント基板 13 を用いて行っている。

【0026】

受動素子 20 は、例えば直方体形状のチップキャパシタやチップ抵抗器であり、2つ(一対)の外部電極 20a を有する。

【0027】

熱硬化性の樹脂 11 は、例えばエポキシ樹脂やポリイミド樹脂などの高耐熱、高耐圧の樹脂で構成される。樹脂 11 は半導体装置 100 の各種素子や内部配線を外部から守っており、さらに半導体装置 100 の筐体としても機能している。また樹脂 11 からは、外部端子 10 の一端が突出しているとともに、絶縁基板 2 の金属板 5 の裏面が露出している。

【0028】

そして本実施例においては、プリント基板 13 の 2 つの配線層 15 がそれぞれ隣接する所定の位置に貫通孔 22 が設けられている。そして、受動素子 20 が、貫通孔 22 に挿入されて固定されている。さらに受動素子 20 の 2 つの外部電極 20a が、プリント基板 13 の 2 つの配線層 15 にそれぞれ電気的に接続されている。図 4 に拡大図を示す。

【0029】

図 4 (a) は受動素子 20 近傍の拡大断面図、図 4 (b) は受動素子 20 近傍の平面図である。なお、図 4 は、絶縁板 14 の両面に配線層 15 が配置されている場合について示している。

【0030】

プリント基板 13 の 2 つの配線層 15 が近接する絶縁板 14 の所定の位置に、貫通孔 22 が設けられている。そして、キャパシタなどの受動素子 20 が貫通孔 22 に挿入され、

10

20

30

40

50

貫通孔 2 2 がすべて埋まるように配置されている。さらに、はんだ等の導電性の接合材 2 3 を用いて、受動素子 2 0 にある 2 つの外部電極 2 0 a が、それぞれ 2 つの配線層 1 5 に電氣的かつ機械的に接続されている。これにより、2 つの配線層 1 5 の間を受動素子 2 0 で電氣的に接続しながら、受動素子 2 0 をプリント基板 1 3 に固定することができる。

【0031】

本実施例により、プリント基板の表面からの受動素子の突出高さを、プリント基板の表面に受動素子を搭載する場合に比べ、大幅に抑制することができる。そのため、プリント基板の表面における樹脂の流動の阻害を低減できることから、参考例で発生していた前述の樹脂の未充填が抑制できる。

【0032】

また同様に、絶縁基板とプリント基板の間の空間における受動素子の突出高さも、絶縁基板の表面に受動素子を搭載する場合に比べ大幅に抑制することができる。そのため、絶縁基板とプリント基板の間の空間の樹脂の流動の阻害を低減できることから、従来例で発生していた前述の樹脂の未充填を抑制できる。このことから、従来例や参考例に比べ半導体装置の信頼性を向上させることができる。

【0033】

またさらに、同じ寸法の受動素子を用いた場合でもプリント板上に必要な高さが抑制できるため、参考例に比べ半導体装置の小型化も可能となる。

【0034】

受動素子 2 0 は図 4 (a) に示す通り、プリント基板 1 3 のおもて面と裏面からの突出高さが略均等になるように配置するのが良い。なぜなら、プリント基板 1 3 のおもて面および裏面での受動素子 2 0 の突出高さのバランスが取れるため、プリント基板の両面において樹脂の流動が阻害されにくくなるからである。

【0035】

図 5 に本実施例のプリント基板 1 3 に設けられた貫通孔 2 2 について示す。なお、受動素子 2 0 が直方体の場合の貫通孔について示している。

【0036】

図 5 (a) は受動素子 2 0 の形状に合わせた矩形状の貫通孔 2 2 a である。貫通孔 2 2 a は接合の際に受動素子 2 0 を容易に拘束できるため、追加の拘束治具等が不要となり、製造コストを低減することができる。

【0037】

図 5 (b) は受動素子 2 0 の形状と比較して、配線層 1 5 に隣接する部分で拡大した貫通孔 2 2 b である。ここでは受動素子 2 0 が直方体であるため、貫通孔 2 2 b は糸巻形状になっている。貫通孔 2 2 b では、受動素子 2 0 を挿入した際に、拡大した部分に隙間ができる。そしてモールド成型時に、その拡大部分に樹脂 1 1 が流動し、貫通孔 2 2 b の内部が充填される。その結果、流動が阻害されることにより発生する受動素子 2 0 付近の樹脂の未充填が、より効果的に抑制できる。このため、半導体装置 1 0 0 の信頼性がさらに向上する。

【0038】

なお、貫通孔 2 2 、 2 2 a 、 2 2 b は、レーザー加工やプレス加工等で形成することができる。

【0039】

< 実施例 2 >

図 6 は、この発明に係る実施例 2 の半導体装置 2 0 0 の要部断面図である。以下の実施例において、前述の実施例 1 との対応部分には同一符号を付し、重複する箇所は説明を省略する。

【0040】

半導体装置 2 0 0 は、絶縁基板 2 と、スイッチング素子 1 と、プリント基板 1 3 と、ゲート導電ポスト 6 g と、ソース導電ポスト 6 s と、受動素子 2 0 と、これらの内部部材を覆っている熱硬化性の樹脂 1 1 を備える。さらに、外部端子 D、S および G を備える。こ

10

20

30

40

50

の半導体装置 200 は、1 in 1 モジュールと呼ばれる構成である。

【0041】

本実施例において、プリント基板 13 は、絶縁板 14 と、ゲート配線層 15 g と、ソース配線層 15 s を有する。

【0042】

そして、ゲート導電ポスト 6 g の一端が、スイッチング素子 1 のゲート電極に電気的かつ機械的に接続され、他端がプリント基板 13 のゲート配線層 15 g に電気的かつ機械的に接続されている。さらに、ソース導電ポスト 6 s の一端が、スイッチング素子 1 のソース電極に電気的かつ機械的に接続され、他端がプリント基板 13 のソース配線層 15 s に電気的かつ機械的に接続されている。

10

【0043】

また、スイッチング素子 1 の裏面にあるドレイン電極は、絶縁基板 2 の回路板 3 に電気的かつ機械的に接続されている。

【0044】

そして、回路板 3 と外部端子 D が電気的に接続され、ソース配線層 15 s と外部端子 S が電気的に接続され、ゲート配線層 15 g と外部端子 G が電気的に接続されている。

【0045】

また、プリント基板 13 のゲート配線層 15 g とソース配線層 15 s の間の所定の位置に、貫通孔 22 が設けられている。そして、実施例 1 と同様に貫通孔 22 に受動素子 20 が挿入され、貫通孔 22 を埋めて固定されている。さらに、受動素子 20 の両端にある電極（図示せず）の一端がゲート配線層 15 g に電気的かつ機械的に接続され、他端がソース配線層 15 s に電気的かつ機械的に接続されている。

20

【0046】

ここで、ゲート配線層 15 g 及びゲート導電ポスト 6 g など構成される半導体装置 200 のゲート配線の配線インダクタンスの値を L_g とする。また、半導体装置 200 のゲート配線には図示しないゲート抵抗が備えられ、その抵抗値を R_g とする。

【0047】

本実施例においては、電流バイパス効果を有する受動素子 20 が、絶縁基板 2 とプリント基板 13 の間に配置されている。以下においては、受動素子 20 としてキャパシタを適用した場合について説明する。キャパシタ 20 の一端は、ゲート配線層 15 g と電気的かつ機械的に接続されている。また、キャパシタ 20 の他端は、ソース配線層 15 s と電気的かつ機械的に接続されている。キャパシタ 20 の容量を C_g とする。

30

【0048】

図 7 は、図 6 の半導体装置 200 の回路図である。

【0049】

スイッチング素子 1 がターンオフした際、ゲート配線に流れる電流とゲート配線のインダクタンス L_g 、ゲート抵抗 R_g との共振による電流の振動が発生する。そしてその電流の振動で、ゲート電圧がしきい値以上に持ち上がり、本来オフ状態であるスイッチング素子 1 が意図せずターンオンする場合がある。

【0050】

40

この意図しないターンオンを抑制するには、スイッチング素子 1 のゲート配線とソース配線との間に、電流バイパス効果を有する受動素子（ここではキャパシタ 20）を接続することが有効である。さらに、受動素子での電流バイパス効果を大きく発揮させるには、ゲート配線のインダクタンス L_g を小さくすると効果的である。特に、受動素子とゲート電極との間の配線インダクタンス L_g をできるだけ低減することが効果的である。

【0051】

本実施例では、ゲート配線にゲート導電ポスト 6 g およびゲート配線層 15 g が用いられている。そして、キャパシタ 20 の一端がゲート配線層 15 g に電気的かつ機械的に接続されている。これにより、ゲート配線のインダクタンス L_g 、およびキャパシタ 20 とゲート電極の間の配線インダクタンス L_g を低減することができる。なぜなら、従来用

50

いられている配線部材であるボンディングワイヤと比較して、ゲート導電ポスト 6 g は径が太く、またゲート配線層 1 5 g は幅広だからである。その結果、スイッチング素子 1 の意図しないターンオンの発生を、効果的に抑制することができる。

【 0 0 5 2 】

< 実施例 3 >

図 8 は、この発明に係る実施例 3 の半導体装置 3 0 0 の要部断面図である。

【 0 0 5 3 】

半導体装置 3 0 0 は、絶縁基板 2 a および 2 b と、スイッチング素子 1 a および 1 b と、プリント基板 1 3 と、ゲート導電ポスト 6 g 1 および 6 g 2 と、ソース導電ポスト 6 s 1 および 6 s 2 と、受動素子 2 0 a および 2 0 b と、これらの内部部材を覆っている熱硬化性の樹脂 1 1 を備える。さらに、外部端子 D 1、S 1 / D 2、S 2、G 1 および G 2 を備える。この半導体装置 3 0 0 は、上アームと下アームを備えた 2 i n 1 モジュールと呼ばれる構成である。

10

【 0 0 5 4 】

本実施例において、プリント基板 1 3 は、絶縁板 1 4 と、ゲート配線層 1 5 g 1、1 5 g 2 と、ソース配線層 1 5 s 1、1 5 s 2 を有する。

【 0 0 5 5 】

そして、ゲート導電ポスト 6 g 1 の一端が、スイッチング素子 1 a のゲート電極に電気的かつ機械的に接続され、他端がゲート配線層 1 5 g 1 に電気的かつ機械的に接続されている。さらに、ソース導電ポスト 6 s 1 の一端が、スイッチング素子 1 a のソース電極に電気的かつ機械的に接続され、他端がソース配線層 1 5 s 1 に電気的かつ機械的に接続されている。

20

【 0 0 5 6 】

また、ゲート導電ポスト 6 g 2 の一端が、スイッチング素子 1 b のゲート電極に電気的かつ機械的に接続され、他端がゲート配線層 1 5 g 2 に電気的かつ機械的に接続されている。さらに、ソース導電ポスト 6 s 2 の一端が、スイッチング素子 1 b のソース電極に電気的かつ機械的に接続され、他端がソース配線層 1 5 s 2 に電気的かつ機械的に接続されている。

【 0 0 5 7 】

スイッチング素子 1 a の裏面にあるドレイン電極は、絶縁基板 2 a の回路板 3 a に電気的かつ機械的に接続されている。また、スイッチング素子 1 b の裏面にあるドレイン電極は、絶縁基板 2 b の回路板 3 b に電気的かつ機械的に接続されている。

30

【 0 0 5 8 】

そして、回路板 3 a と外部端子 D 1 が電気的に接続され、回路板 3 b と外部端子 S 1 / D 2 が電気的に接続され、ソース配線層 1 5 s 2 と外部端子 S 2 が電気的に接続されている。また、ゲート配線層 1 5 g 1 と外部端子 G 1 が電気的に接続され、ゲート配線層 1 5 g 2 と外部端子 G 2 が電気的に接続されている。さらに、ソース配線層 1 5 s 1 と回路板 3 b が電気的に接続されている。

【 0 0 5 9 】

プリント基板 1 3 のゲート配線層 1 5 g 1 とソース配線層 1 5 s 1 の間の所定の位置に、貫通孔 2 2 a が設けられている。そして、貫通孔 2 2 a に受動素子 2 0 a が挿入され、貫通孔 2 2 a を埋めて固定されている。さらに、受動素子 2 0 a の両端にある電極（図示せず）の一端がゲート配線層 1 5 g 1 に電気的かつ機械的に接続され、他端がソース配線層 1 5 s 1 に電気的かつ機械的に接続されている。

40

【 0 0 6 0 】

また、プリント基板 1 3 のゲート配線層 1 5 g 2 とソース配線層 1 5 s 2 の間の所定の位置に、貫通孔 2 2 b が設けられている。そして、貫通孔 2 2 b に受動素子 2 0 b が挿入され、貫通孔 2 2 b を埋めて固定されている。さらに、受動素子 2 0 b の両端にある電極（図示せず）の一端がゲート配線層 1 5 g 2 に電気的かつ機械的に接続され、他端がソース配線層 1 5 s 2 に電気的かつ機械的に接続されている。

50

【0061】

本実施例においても実施例2と同様、受動素子20a、20bとして、電流バイパス効果を有するキャパシタを適用した場合について説明する。

【0062】

図9は、図8の半導体装置300の回路図である。

【0063】

下アームのスイッチング素子1bがオフ状態である時に、上アームのスイッチング素子1aがターンオンすると、下アームのスイッチング素子1bの寄生ダイオードが逆回復し、下アームのドレイン電圧が急激に上昇する。この電圧上昇の傾き(dV/dt)と、下アームのスイッチング素子1bの帰還容量を乗算した値である電流が、下アームのスイッチング素子1bのゲート電位を上昇させる。そして、下アームのスイッチング素子1bのゲート電位が閾電圧を超えると、下アームのスイッチング素子1bは意図せずターンオンする場合がある。

10

【0064】

この意図しないターンオンを抑制するには、下アームのスイッチング素子1bのゲートとソースとの間に、電流バイパス効果を有する受動素子(ここではキャパシタ20b)を接続することが有効である。さらに、受動素子での電流バイパス効果を大きく発揮させるには、ゲート配線のインダクタンス L_{g02} を小さくすると効果的である。特に、受動素子とゲート電極との間の配線インダクタンス L_{g2} をできるだけ低減することが効果的である。

20

【0065】

本実施例では、下アームのゲート配線に、ゲート導電ポスト6g2およびゲート配線層15g2が用いられている。そして、キャパシタ20bの一端がゲート配線層15g2に電気的かつ機械的に接続されている。これにより、ゲート配線のインダクタンス L_{g02} 、およびキャパシタ20bとゲート電極の間の配線インダクタンス L_{g2} を低減することができる。その結果、スイッチング素子1bの意図しないターンオンの発生を、効果的に抑制することができる。

【0066】

また、上アームのスイッチング素子1aがオフ状態である時に、下アームのスイッチング素子1bがターンオンすると、上アームのスイッチング素子1aが上記と同様に意図せずターンオンする場合がある。このため、図8および図9に示すように、スイッチング素子1aのゲート配線層15g1とソース配線層15s1の間にも、キャパシタ20aを接続することが有効である。

30

【0067】

本発明において、スイッチング素子1はSiCやGaNなどのワイドバンドギャップ半導体もしくはSi半導体で構成されたスイッチング素子である。また、スイッチング素子1は上記実施例に記載のパワーMOSFETに限られず、IGBT(絶縁ゲート型バイポーラトランジスタ)の場合もある。スイッチング素子1にIGBTを適用する場合は、本実施例におけるソース電極はエミッタ電極に、上記ドレイン電極はコレクタ電極にそれぞれ置き換えればよい。

40

【0068】

また実施例2および実施例3においては、受動素子としてキャパシタを用いているが、これに限定されるものではなく、ダイオードなどを適用することもできる。要はスイッチング素子1のゲート配線とソース配線の間を必要に応じて電気的に接続し、ゲート電圧の変動を抑制する電流バイパス効果を備えた素子であればよい。

【0069】

以上、本発明の半導体装置を図面及び実施形態を用いて具体的に説明したが、本発明の半導体装置は、実施形態及び図面の記載に限定されるものではなく、本発明の趣旨を逸脱しない範囲で幾多の変形が可能である。

【符号の説明】

50

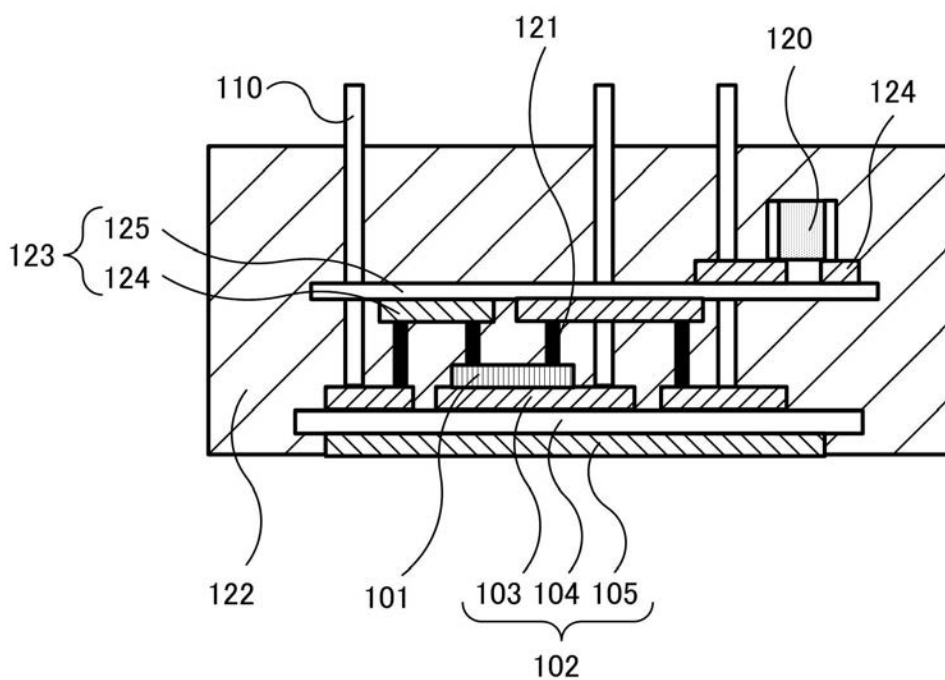
【 0 0 7 0 】

- 1 スイッチング素子
- 2 絶縁基板
- 3 回路板
- 4 セラミック板
- 5 金属板
- 6 導電ポスト
- 6 g ゲート導電ポスト
- 6 s ソース導電ポスト
- 1 0 外部端子
- 1 1 樹脂
- 1 3 プリント基板
- 1 4 絶縁板
- 1 5 配線層
- 1 5 g ゲート配線層
- 1 5 s ソース配線層
- 2 0 受動素子（キャパシタ）
- 2 0 a 外部電極
- 2 2、2 2 a、2 2 b 貫通孔
- 2 3 接合材
- 1 0 0、2 0 0、3 0 0 半導体装置

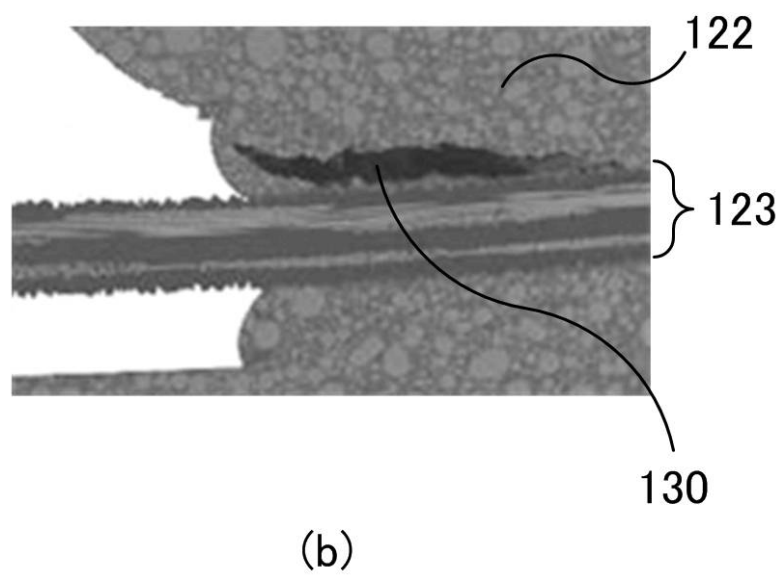
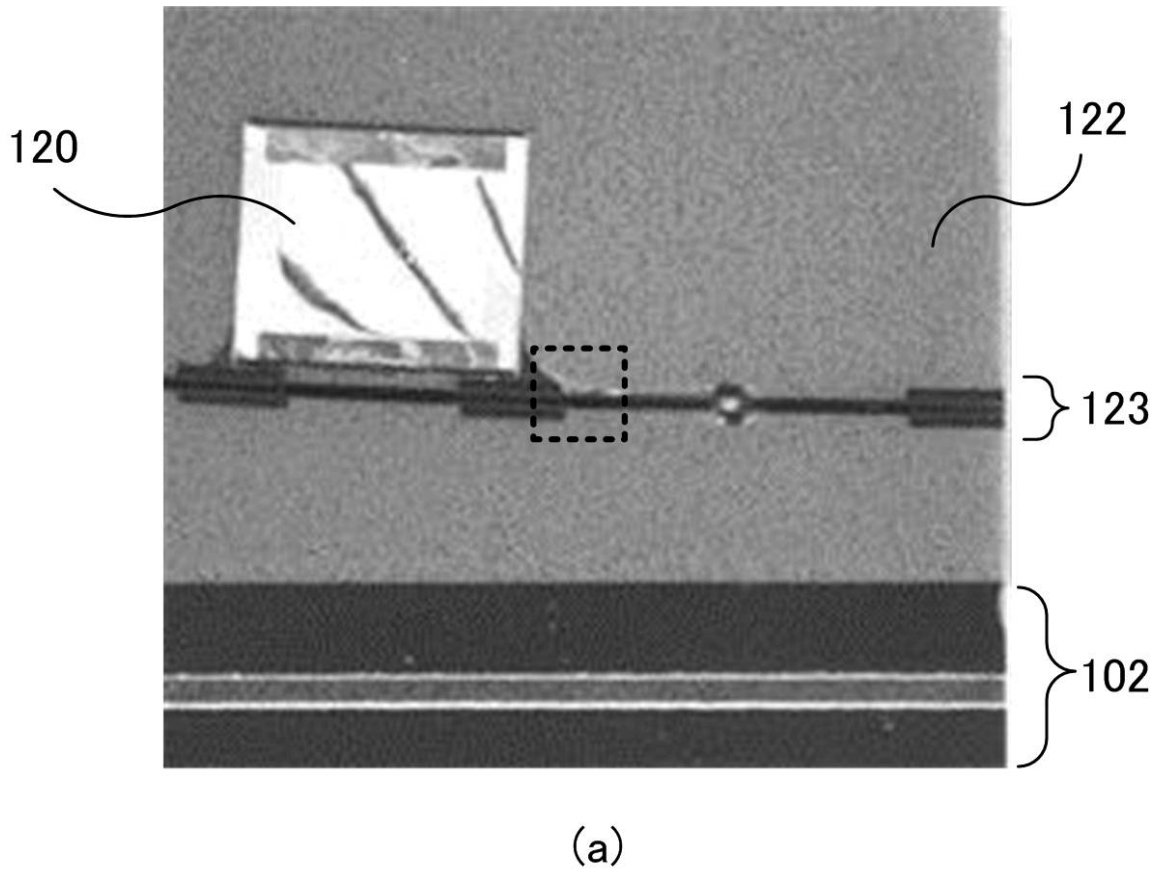
10

20

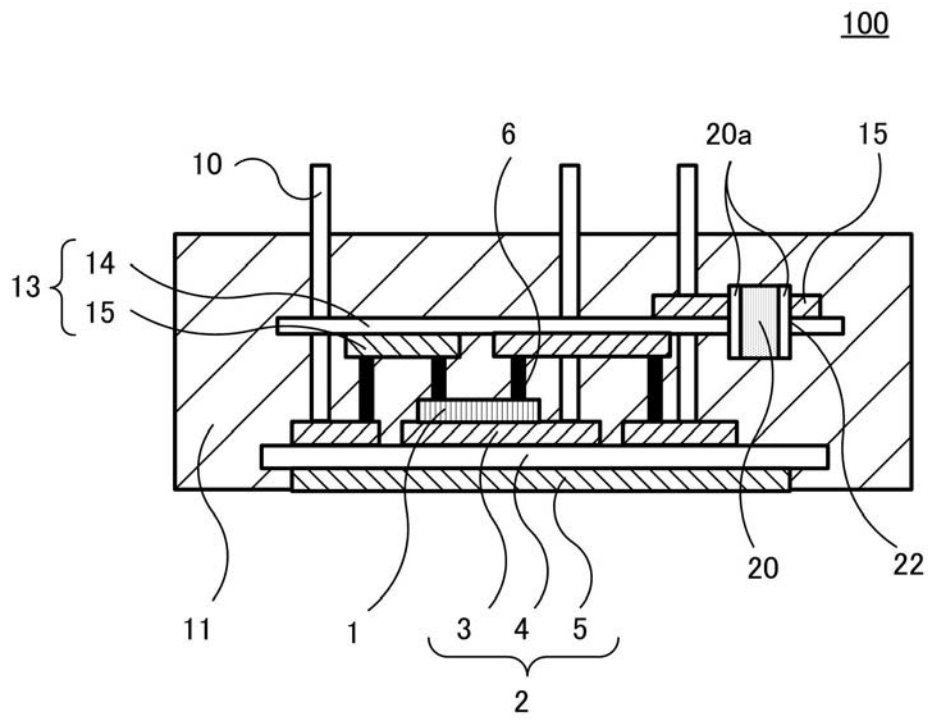
【 図 1 】

600

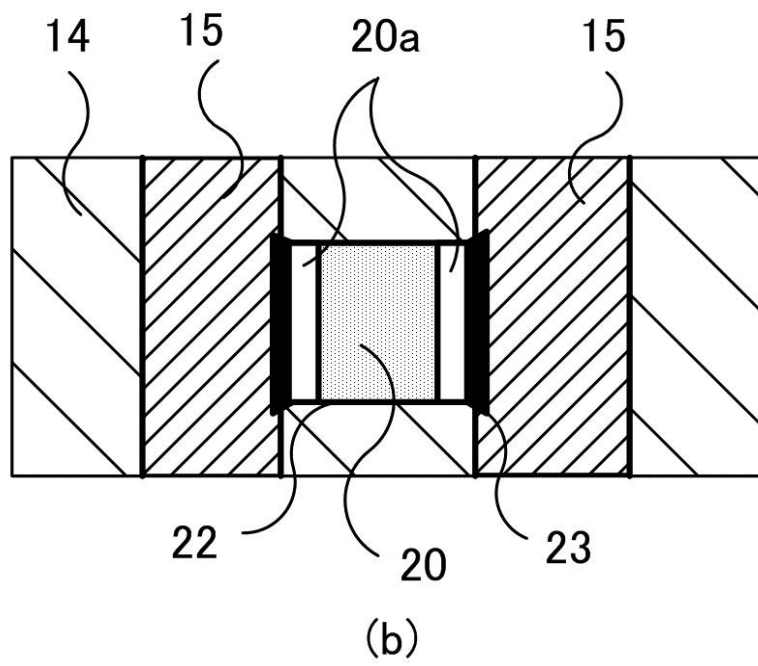
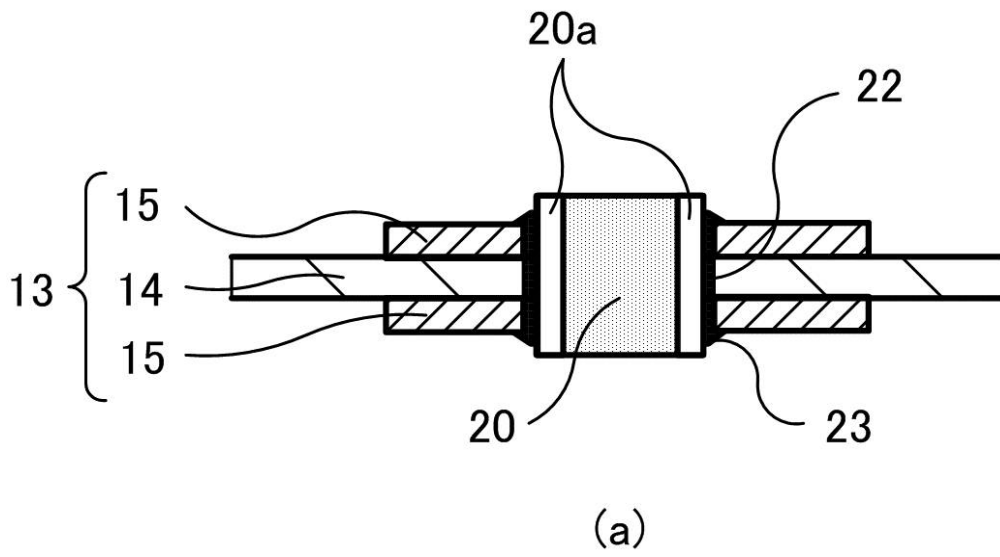
【図 2】



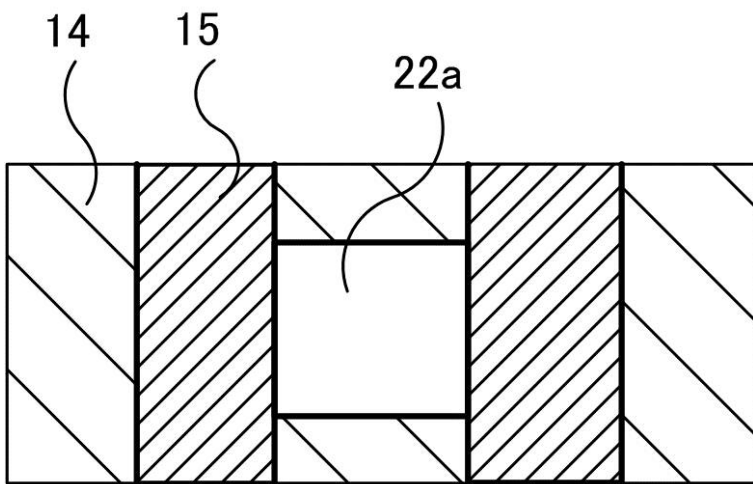
【図 3】



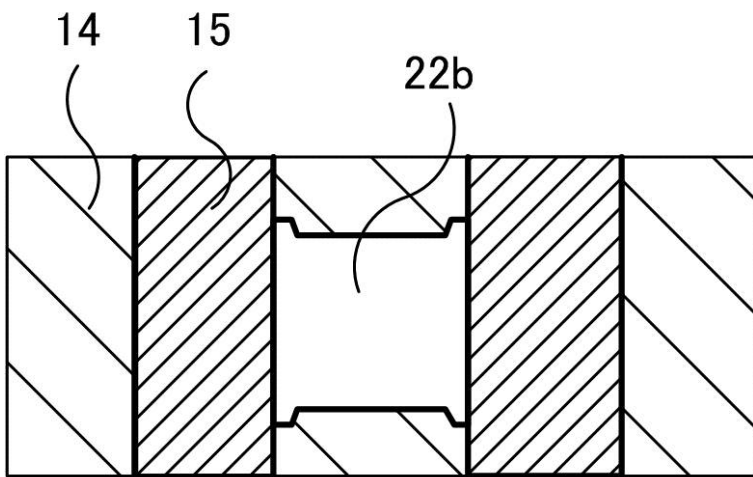
【図 4】



【図 5】

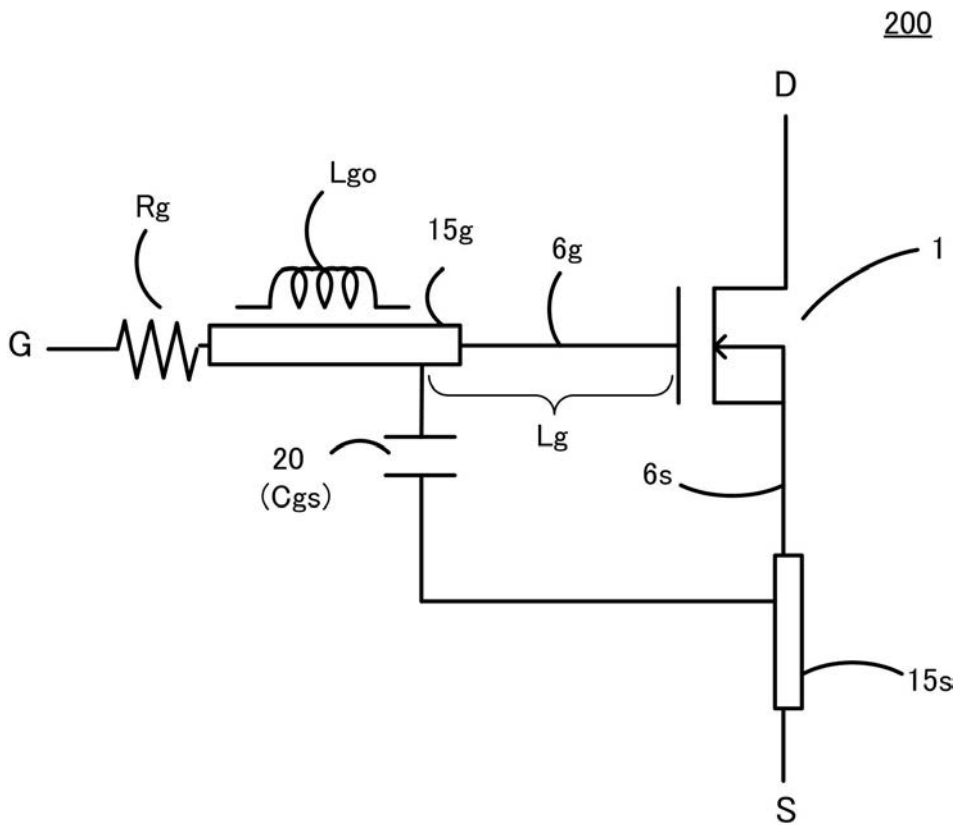
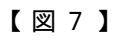


(a)

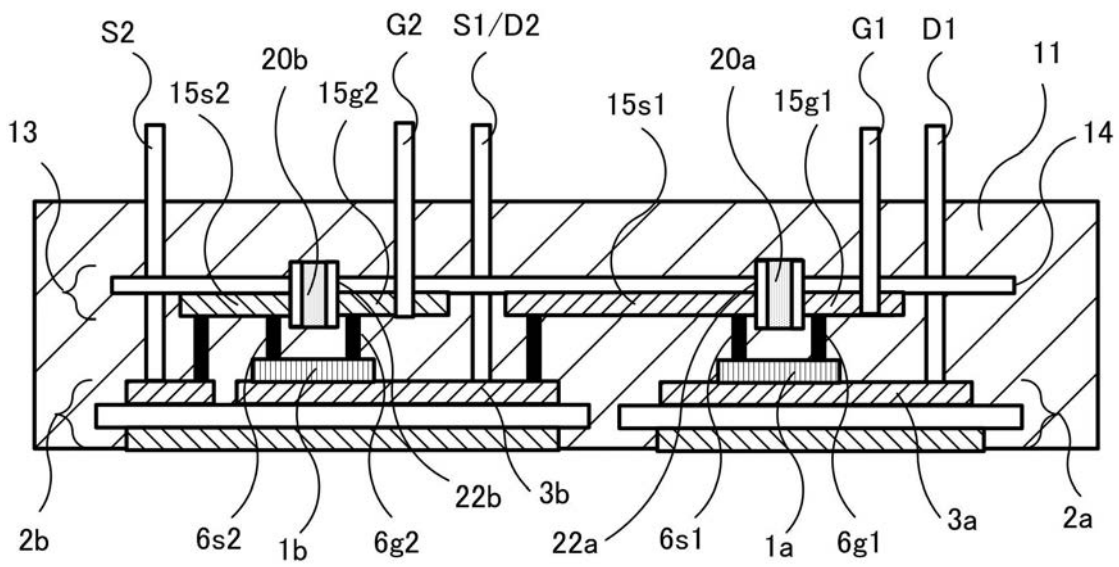


(b)

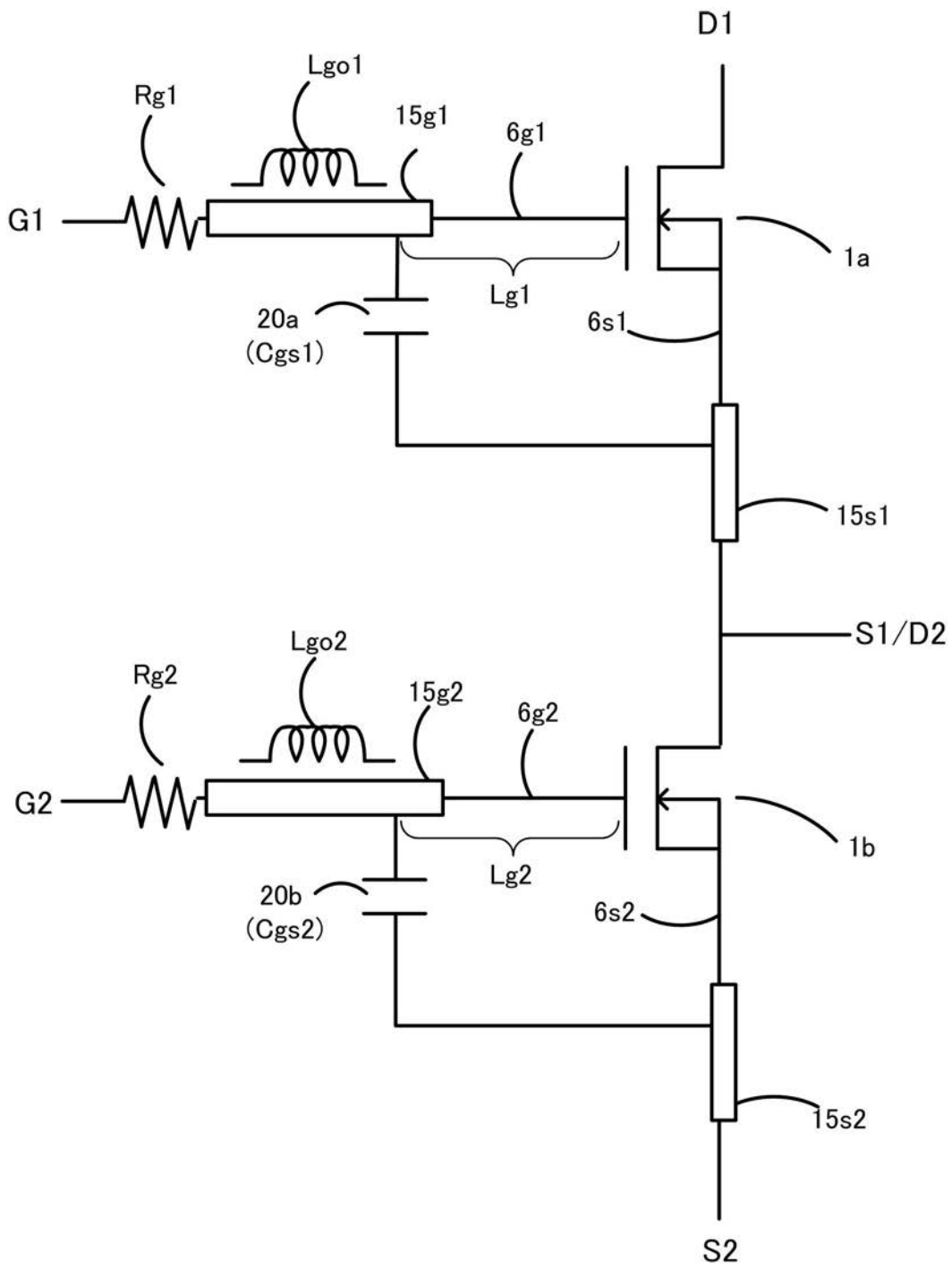
200



【 図 8 】

300

【図 9】

300

【図 10】

500