

(21)申請案號：099108506

(22)申請日：中華民國 99 (2010) 年 03 月 23 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

C23C14/08 (2006.01)

(30)優先權：2009/03/26 日本 2009-077386

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：坂田淳一郎 SAKATA, JUNICHIRO (JP)；岸田英幸 KISHIDA, HIDEYUKI (JP)；
大原宏樹 OHARA, HIROKI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；山崎舜
平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：36 共 178 頁

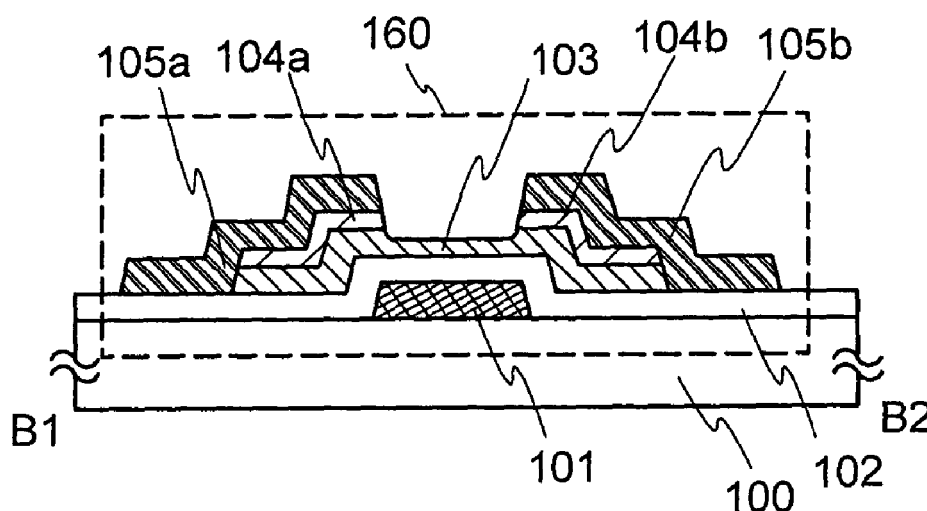
(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明的一種實施例的目的之一在於提供具備使用氧化物半導體層並具有優良的電特性的薄膜電晶體的半導體裝置。半導體裝置，包括：絕緣表面上的閘極電極；包含氧化矽的氧化物半導體層；閘極電極和氧化物半導體層之間的絕緣層；包含氧化矽的氧化物半導體層與源極電極層及汲極電極層之間的源極區及汲極區，其中，源極區及汲極區使用退化的氧化物半導體材料或氮氧化物材料。



100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極區及汲極區

104b：源極區及汲極區

105a：源極電極層及汲極電極層

105b：源極電極層及汲極電極層

160：薄膜電晶體

B1：虛線

B2：虛線

(21)申請案號：099108506

(22)申請日：中華民國 99 (2010) 年 03 月 23 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

C23C14/08 (2006.01)

(30)優先權：2009/03/26 日本 2009-077386

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：坂田淳一郎 SAKATA, JUNICHIRO (JP)；岸田英幸 KISHIDA, HIDEYUKI (JP)；
大原宏樹 OHARA, HIROKI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；山崎舜
平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：36 共 178 頁

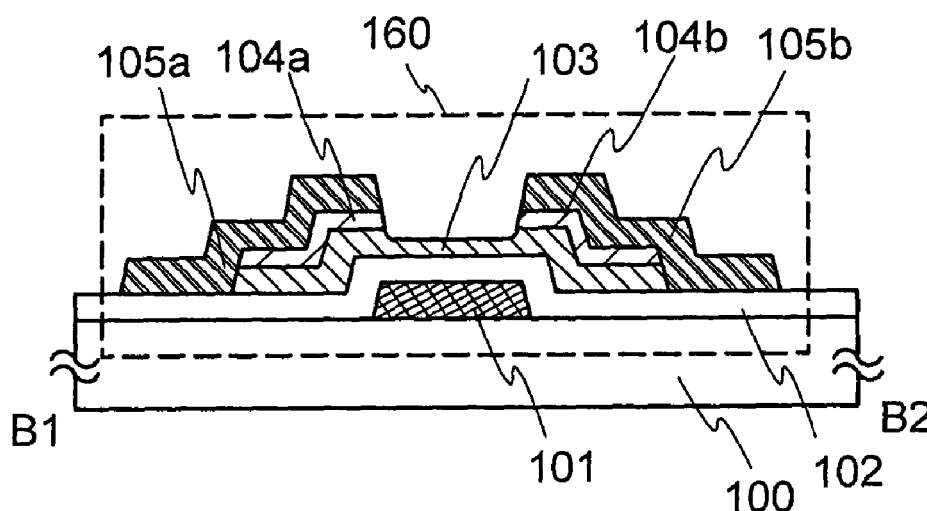
(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明的一種實施例的目的之一在於提供具備使用氧化物半導體層並具有優良的電特性的薄膜電晶體的半導體裝置。半導體裝置，包括：絕緣表面上的閘極電極；包含氧化矽的氧化物半導體層；閘極電極和氧化物半導體層之間的絕緣層；包含氧化矽的氧化物半導體層與源極電極層及汲極電極層之間的源極區及汲極區，其中，源極區及汲極區使用退化的氧化物半導體材料或氧氮化物材料。



100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極區及汲極區

104b：源極區及汲極區

105a：源極電極層及汲極電極層

105b：源極電極層及汲極電極層

160：薄膜電晶體

B1：虛線

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有由薄膜電晶體（以下，稱為 TFT）構成的電路的半導體裝置及其製造方法。例如，本發明關於一種電子設備，其中安裝有以液晶顯示面板為代表的電光裝置、具有有機發光元件的發光顯示裝置作為部件。

注意，在本說明書中，半導體裝置是指藉由利用半導體特性而能夠發揮其功能的所有裝置，並且電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

金屬氧化物的種類繁多且其用途廣泛。氧化銦是較普遍的材料並且用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。呈現半導體特性的金屬氧化物是化合物半導體的一種。化合物半導體是指兩種以上的原子結合而成的半導體。通常，金屬氧化物成為絕緣體。但是，已知根據構成金屬氧化物的元素的組合，而成為半導體。

例如，已知在金屬氧化物中，氧化鎢、氧化錫、氧化銦、氧化鋅等呈現半導體特性。已公開將由這種金屬氧化物構成的透明半導體層用作通道形成區的薄膜電晶體（專利檔案 1 至 4、非專利檔案 1）。

另外，已知金屬氧化物不僅有一元氧化物而且還有多

元氧化物。例如，具有均質化合物（homologous compound）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）為公知的材料（非專利檔案 2 至 4）。

並且，已經確認可以將像上述那樣的 In-Ga-Zn 類氧化物應用於薄膜電晶體的通道層（專利文件 5、非專利檔案 5 及 6）。

此外，藉由使用氧化物半導體製造薄膜電晶體，並且將該薄膜電晶體應用於電子裝置、光裝置的技術受到關注。例如，專利檔案 6 及專利檔案 7 公開作為氧化物半導體膜使用氧化鋅、In-Ga-Zn-O 類氧化物半導體來製造薄膜電晶體，並且將該薄膜電晶體用於影像顯示裝置的切換元件等的技術。

[專利檔案 1] 日本專利申請公開昭 60-198861 號公報

[專利檔案 2] 日本專利申請公開平 8-264794 號公報

[專利檔案 3] 日本 PCT 國際申請翻譯平 11-505377 號公報

[專利檔案 4] 日本專利申請公開 2000-150900 號公報

[專利檔案 5] 日本專利申請公開 2004-103957 號公報

[專利檔案 6] 日本專利申請公開 2007-123861 號公報

[專利檔案 7] 日本專利申請公開 2007-096055 號公報

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor"（透明鐵電薄膜電晶體），Appl. Phys. Lett., 17

June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C" (In_2O_3 - Ga_2ZnO_4 - ZnO 類在 1350°C 時的相位關係), J. Solid State Chem., 1991, Vol. 93, p. 298-315

[非專利文獻 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System" (同系物的合成和單晶資料, In_2O_3 - ZnGa_2O_4 - ZnO 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16)), J. Solid State Chem., 1995, Vol. 116, p. 170-178

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds", KOTAI BUTSURI (同系物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 爲自然数) 及其同型化合物的合成以及結晶結構), 固体物理 (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor

fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), SCIENCE, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (室溫下的使用非晶氧化物半導體的透明撓性薄膜電晶體的製造), NATURE, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的一種實施例的目的之一在於提供具備使用氧化物半導體層並具有優良的電特性的薄膜電晶體的半導體裝置。

實現如下薄膜電晶體：為了實現非晶氧化物半導體層，而使用包含氧化矽或氧氮化矽的氧化物半導體層。藉由典型地使用包含 2.5wt%以上且 20wt%以下的氧化矽，較佳的使用包含 7.5wt%以上且 12.5wt%以下的氧化矽的氧化物半導體靶材進行成膜，使氧化物半導體層含有阻擋晶化的氧化矽 (SiO_x)，實現以其閘極電壓為儘量近於 0V 的正臨界值電壓形成通道的薄膜電晶體。

本說明書所公開的本發明的一種實施例是半導體裝置，包括：絕緣表面上的閘極電極；包含氧化矽的氧化物半導體層；閘極電極和氧化物半導體層之間的絕緣層；包含

氧化矽的氧化物半導體層和源極電極層及汲極電極層之間的源極區及汲極區，其中，源極區及汲極區使用退化（degenerate）的氧化物半導體材料或氧氮化物材料。

作為包含氧化矽的氧化物半導體層，採用 Zn-O 類氧化物半導體、In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、Ga-Sn-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、In-Sn-O 類氧化物半導體或者 Ga-Zn-O 類氧化物半導體。

此外，為了降低與由電阻低的金屬材料構成的源極電極層及汲極電極層的接觸電阻，而在源極電極層及汲極電極層和上述包含氧化矽的氧化物半導體層之間形成源極區及汲極區。

此外，為了形成歐姆接觸，而在氧化物半導體層和源極電極層（或汲極電極層）之間意圖性地設置其載子濃度高於氧化物半導體層的源極區及汲極區（緩衝層）。注意，源極區及汲極區具有 n 型導電型，而也可以被稱為 n^+ 區。此外，在將源極區及汲極區稱為 n^+ 區（ N^+ 型區）的情況下，相對於該 n^+ 區而可以將用作通道形成區的氧化物半導體層稱為 i 型區（I 型區）。藉由設置源極區及汲極區，形成 NI 接面，可以實現具備如下薄膜電晶體的半導體裝置：具有 $5\mu\text{m}$ 以下的短通道長度以及高電場效應遷移率。

此外，作為源極區及汲極區（也稱為 N^+ 型區、 n^+ 層或者緩衝層），較佳使用退化的氧化物半導體。此外，退化的氧化物半導體較佳的具有透光性。作為氧化物半導體層

，使用 Zn-O 類氧化物半導體、In-Ga-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、In-Sn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、或者 Ga-Zn-O 類氧化物半導體。此外，源極區及汲極區也可以使用包含氮的 Zn-O 類非單晶膜，即 Zn-O-N 類非單晶膜（也稱為 ZnON 膜）、或者包含氮的 In-Ga-Zn-O 類非單晶膜，即 In-Ga-Zn-O-N 類非單晶膜（也稱為 IGZON 膜）。此外，源極區及汲極區也可以使用 Ga-Zn-O 類非單晶膜、或者包含氮的 Ga-Zn-O 類非單晶膜，即 Ga-Zn-O-N 類非單晶膜。此外，作為源極區及汲極區也可以使用 Al-Zn-O 類非單晶膜、或者包含氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜。注意，Ga-Zn-O 類氧化物半導體或者 Ga-Zn-O-N 類氧化物半導體所包含的鎵較佳的為 1wt% 以上且 10wt% 以下，並且 Al-Zn-O 類氧化物半導體或者 Al-Zn-O-N 類氧化物半導體所包含的鋁較佳的為 1wt% 以上且 10wt% 以下。此外，也可以使用包含氮的 Zn-O-N 類非單晶膜、包含氮的 Sn-Zn-O-N 類非單晶膜。

源極電極層及汲極電極層使用選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，也可以使用氧化銮錫、包含氧化矽的氧化銮錫、包含鋁的氧化鋅（AZO：Aluminium doped Zinc Oxide）或者包含鎵的氧化鋅（GZO：Gallium doped Zinc Oxide）。

注意，包含氧化矽的氧化物半導體層藉由使用包含

2.5 wt%以上且 20 wt%以下的氧化矽的氧化物半導體靶材的濺射法來形成。

特別地，在氧化物半導體層和源極電極層（或者汲極電極層）之間意圖性地設置其載子濃度高於氧化物半導體層的源極區及汲極區（緩衝層）的情況下，有如下可能性：緩衝層也由於在形成電漿時發生的電荷充電（electric charge）而受到損傷，因此電阻變大，從而不能發揮作為緩衝層的功能。

此外，還有如下問題：氧化物半導體層與水分、氫離子、OH⁻（也寫為 OH 基）等起反應，而其特性變化，或者其可靠性降低。

於是，在形成平坦性良好的樹脂層作為覆蓋氧化物半導體層的第一保護絕緣膜之後，藉由利用濺射法、電漿 CVD 法以低功率條件在樹脂層上形成第二保護絕緣膜。如此，藉由層疊不同的保護絕緣膜，可以實現對氧化物半導體層的電漿損傷少且密封性能非常高，並且具有長期可靠性的半導體裝置。

再者，氧化物半導體層的上方由第二閘極電極覆蓋，該第二閘極電極具有阻擋水分、氫離子、OH⁻等的功能。此外，在使用具有遮光性的導電膜作為第二閘極電極的情況下，有如下效果：該第二閘極電極防止因氧化物半導體的光感度導致的薄膜電晶體的電特性的變動而得到穩定化。

此外，用來實現上述結構的本發明的一種實施例是半

導體裝置的製造方法，包括如下步驟：在絕緣表面上形成閘極電極；在閘極電極上形成絕緣層；藉由使用包含 2.5wt%以上且 20wt%以下的氧化矽的第一氧化物半導體靶材的濺射法在絕緣層上形成包含氧化矽的氧化物半導體層；在包含氮的氛圍下藉由使用第二氧化物半導體靶材的濺射法在包含氧化矽的氧化物半導體層上形成氧氮化物層。

此外，在上述製造方法中，在形成氧氮化物層之後，去除重疊於閘極電極的氧氮化物層的一部分，使包含氧化矽的氧化物半導體層的一部分露出，以製造通道蝕刻型薄膜電晶體。

此外，不侷限於通道蝕刻型薄膜電晶體，而可以製造底閘型薄膜電晶體、底接觸型薄膜電晶體或者頂閘型薄膜電晶體。

本發明的一種方式是頂閘型薄膜電晶體的製造方法，包括如下步驟：藉由使用包含 2.5wt%以上且 20wt%以下的氧化矽的第一氧化物半導體靶材的濺射法在絕緣表面上形成氧化物半導體層；在包含氮的氛圍下藉由使用第二氧化物半導體靶材的濺射法在包含氧化矽的氧化物半導體層上形成氧氮化物層；形成覆蓋氧氮化物層的絕緣層；在絕緣層上形成閘極電極。

在上述各製造方法中，氧氮化物層是爲了降低與由電阻低的金屬材料構成的源極電極層及汲極電極層的接觸電阻而設置在源極電極層及汲極電極層與上述包含氧化矽的氧化物半導體層之間的源極區及汲極區。

此外，氧化物半導體層在形成該氧化物半導體層後的過程中形成電漿時包含電漿中的離子，明確地說，氫基等的情況下有可能其暴露於電漿的表面受到損傷。另外，氧化物半導體層也有可能在形成該氧化物半導體層後的過程中形成電漿時由於電荷充電而受到損傷。

特別地，在氧化物半導體層和源極電極層（或者汲極電極層）之間意圖性地設置其載子濃度高於氧化物半導體層的緩衝層（源極區及汲極區）的情況下，有如下可能性：緩衝層也由於在形成電漿時發生的電荷充電而受到損傷，因此電阻變大，從而不能發揮作為緩衝層的功能。

此外，還有如下可能性：氧化物半導體層與水分、氫離子、 OH^- 等起反應，而其特性變化，或者其可靠性降低。

於是，在形成平坦性良好的樹脂層作為覆蓋氧化物半導體層的第一保護絕緣膜之後，藉由利用濺射法、電漿CVD法以低功率條件在樹脂層上形成第二保護絕緣膜。如此，藉由層疊不同的保護絕緣膜，可以實現對氧化物半導體層的電漿損傷少且密封性能非常高，並且具有長期可靠性的半導體裝置。

再者，氧化物半導體層的上方由第二閘極電極覆蓋，該第二閘極電極具有阻擋水分、氫離子、 OH^- 等的功能。此外，在使用具有遮光性的導電膜作為第二閘極電極的情況下，有如下效果：該第二閘極電極防止因氧化物半導體的光感度導致的薄膜電晶體的電特性的變動而得到穩定化

此外，較佳的在玻璃基板等絕緣表面上形成基底膜，例如設置氮化矽膜、或者氮氧化矽膜。在此情況下，當進行選擇性的蝕刻以使第一閘極電極具有所希望的俯視形狀時，這些膜能夠用作防止玻璃基板受到蝕刻的蝕刻停止層。此外，基底膜具有阻擋水分、氫離子、 OH^- 等的功能。如此，藉由以圍繞氧化物半導體層的上下及周圍的方式設置具有阻擋水分、氫離子、 OH^- 等的功能的膜，可以實現密封性能非常高，並且具有長期可靠性的半導體裝置。

在本說明書中，上、下、側等表示方向的用語是指以將裝置配置在基板表面上的情況為標準的方向。

本發明實現具備使用包含氧化矽的氧化物半導體層並且具有優良的電特性的薄膜電晶體的半導體裝置。

【實施方式】

下面，參照附圖詳細說明本發明的實施例模式。但是，所屬發明所屬之技術領域的普通技術人員可以很容易地理解一個事實，就是本發明不侷限於以下說明，而其方式及詳細內容可以被變換為各種各樣的形式。此外，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，參照圖 1A 至 1C 而說明使用包含

氧化矽的氧化物半導體層的薄膜電晶體的一例。

圖 1A 所示的薄膜電晶體 160 是底閘型的一種，並是稱為通道蝕刻型的結構的截面圖的一例。此外，圖 1B 是薄膜電晶體的俯視圖的一例，並且以圖中的虛線 B1-B2 切斷的截面圖相當於圖 1A。

在圖 1A 所示的薄膜電晶體 160 中，在基板 100 上設置有閘極電極層 101，在閘極電極層 101 上設置有閘極絕緣層 102，在閘極絕緣層 102 上設置有重疊於閘極電極層 101 的包含氧化矽的氧化物半導體層 103。此外，還設置與包含氧化矽的氧化物半導體層 103 的一部分重疊的源極電極層及汲極電極層 105a、源極電極層及汲極電極層 105b，並且在包含氧化矽的氧化物半導體層 103 的一部分與源極電極層及汲極電極層 105a、105b 之間具有源極區及汲極區 104a、104b。注意，如圖 1C 所示，也可以在基板 100 上設置用作基底絕緣膜的絕緣膜 107。絕緣膜 107 也可以由氮化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜等的單層或疊層形成。

閘極電極層 101 可以藉由使用：鋁、銅、鉬、鈦、鉻、鉭、鎢、釷、鈳等金屬材料；以這些金屬材料為成分的合金材料；或者以這些金屬材料為成分的氮化物的單層或疊層來形成。雖然較佳的使用鋁或銅等低電阻導電材料形成，但是該低電阻導電材料有耐熱性低或容易腐蝕的問題，因此較佳的與耐熱導電材料組合而使用。作為耐熱導電材料，使用鉬、鈦、鉻、鉭、鎢、釷、鈳等。

例如，作為閘極電極層 101 的疊層結構，較佳的採用在鋁層上層疊有鉬層的雙層結構、在銅層上層疊有鉬層的雙層結構、在銅層上層疊有氮化鈦層或氮化鉬層的雙層結構、層疊有氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，較佳的採用層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的疊層結構。

閘極絕緣層 102 藉由利用電漿 CVD 法或濺射法來形成。閘極絕緣層 102 可以藉由利用 CVD 法或濺射法等並且使用氧化矽層、氮化矽層、氧氮化矽層或者氮氧化矽層的單層或疊層來形成。另外，作為閘極絕緣層 102，也可以藉由使用有機矽烷氣體的 CVD 法形成氧化矽層。閘極絕緣層 102 可以為單層或者層疊兩層以上而成的疊層。例如，藉由使用氮化矽膜、或者氮氧化矽膜形成接觸於基板 100 的閘極絕緣層，提高基板 100 和閘極絕緣層的緊密力，並且，在作為基板 100 而使用玻璃基板的情況下，可以防止來自基板的雜質擴散到半導體層中，並且還可以防止閘極電極層的氧化。就是說，在可以防止薄膜剝離的同時，可以提高後面形成的電晶體的電特性。

作為包含氧化矽的氧化物半導體層 103，可以使用 Zn-O 類非單晶膜、In-Ga-Zn-O 類非單晶膜、In-Sn-Zn-O 類、Ga-Sn-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、In-Sn-O 類、Ga-Zn-O 類氧化物半導體。

包含氧化矽的氧化物半導體層 103 藉由使用包含 2.5wt% 以上且 20wt% 以下、較佳的為 7.5wt% 以上且

12.5wt%以下的氧化矽的氧化物半導體靶材來形成。在本實施例模式中，包含氧化矽的氧化物半導體層 103 藉由使用包含 10wt%的氧化矽的氧化物半導體靶材（ZnO）的濺射法來形成。

此外，作為源極區及汲極區 104a、源極區及汲極區 104b，較佳的使用退化的氧化物半導體。退化的氧化物半導體較佳的具有透光性。另外，使用不包含氧化矽的氧化物半導體層，例如，Zn-O 類氧化物半導體、In-Ga-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、In-Sn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、或者 Ga-Zn-O 類氧化物半導體。此外，源極區及汲極區 104a、源極區及汲極區 104b 也可以使用：包含氮的 Zn-O 類非單晶膜，即 Zn-O-N 類非單晶膜（也稱為 ZnON 膜）；包含氮的 In-Ga-Zn-O 類非單晶膜，即 In-Ga-Zn-O-N 類非單晶膜（也稱為 IGZON 膜）。此外，源極區及汲極區 104a、源極區及汲極區 104b 也可以使用 Ga-Zn-O 類非單晶膜、或者包含氮的 Ga-Zn-O 類非單晶膜，即 Ga-Zn-O-N 類非單晶膜。此外，源極區及汲極區 104a、源極區及汲極區 104b 也可以使用 Al-Zn-O 類非單晶膜、或者包含氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜。注意，Al-Zn-O 類氧化物半導體或者 Al-Zn-O-N 類氧化物半導體所包含的鋁較佳的為 1wt%以上且 10wt%以下，並且 Ga-Zn-O 類氧化物半導體或者 Ga-Zn-O-N 類氧化物半導體所包含的鎵較佳的為 1wt%以上且 10wt%以下。此

外，也可以使用包含氮的 Zn-O-N 類非單晶膜、包含氮的 Sn-Zn-O-N 類非單晶膜。

在本實施例模式中，作為源極區及汲極區 104a、源極區及汲極區 104b，使用如下材料：在包含氮氣體的氛圍下藉由使用包含 Zn （鋅）的氧化物半導體靶材（ ZnO ）的濺射法來形成包含鋅的氧氮化物膜後進行加熱處理而得到的氧氮化物材料。

源極區及汲極區 104a、源極區及汲極區 104b 不包含 Si ，此處與包含氧化矽的氧化物半導體層 103 大不相同。此外，至於源極區及汲極區 104a、源極區及汲極區 104b 具有如下情況：在當形成源極區及汲極區 104a、源極區及汲極區 104b 之後進行加熱處理時包含晶粒；剛在形成源極區及汲極區 104a、源極區及汲極區 104b 之後包含晶粒。另一方面，至於包含氧化矽的氧化物半導體層 103，藉由使該氧化物半導體層 103 包含氧化矽來提高膜的晶化溫度，所以例如即使在使源極區及汲極區 104a、源極區及汲極區 104b 的一部分晶化的溫度下進行加熱處理，也可以使包含氧化矽的氧化物半導體層 103 維持非晶狀態。注意，源極區及汲極區 104a、源極區及汲極區 104b 也被寫為 n^+ 區、緩衝層。

此外，為了形成歐姆接觸，而在氧化物半導體層和源極電極層（或汲極電極層）之間意圖性地設置其載子濃度高於氧化物半導體層的源極區及汲極區（緩衝層）。注意，源極區及汲極區具有 n 型導電型，而也可以被稱為 n^+ 區。

。此外，在將源極區及汲極區稱為 n^+ 區（ N^+ 型區）的情況下，相對於該 n^+ 區而可以將用作通道形成區的氧化物半導體層稱為 i 型區（ I 型區）。藉由設置源極區及汲極區，形成 NI 接面，可以實現具備如下薄膜電晶體的半導體裝置：具有 $5\mu m$ 以下的短通道長度以及高電場效應遷移率。

源極電極層及汲極電極層 105a、105b 使用選自 Al 、 Cr 、 Ta 、 Ti 、 Mo 、 W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，也可以使用氧化銦錫（ ITO ：Indium Tin Oxide）、包含氧化矽的氧化銦錫、包含鋁的氧化鋅（ AZO ：Aluminium doped Zinc Oxide）或者包含鎵的氧化鋅（ GZO ：Gallium doped Zinc Oxide）。藉由對氧化鋅添加少量（例如為幾 $wt\%$ ）的 Al_2O_3 、 Ga_2O_3 等成為三價離子的元素，可以謀求實現低電阻化。

藉由設置源極區及汲極區 104a、源極區及汲極區 104b，降低與由電阻低的金屬材料構成的源極電極層及汲極電極層 105a、105b 的接觸電阻。從而，藉由設置源極區及汲極區 104a、源極區及汲極區 104b，可以實現電特性優良的薄膜電晶體 160。

此外，也可以形成接觸於包含氧化矽的氧化物半導體層 103 以及源極電極層及汲極電極層 105a、105b 並且覆蓋它們的保護絕緣層。另外，保護絕緣層可以使用利用濺射法等而得到的氮化矽膜、氧化矽膜或氧氮化矽膜等的單層或這些的疊層。

雖然在本實施例模式中說明使用包含氧化矽的氧化物

半導體層的薄膜電晶體的一例，但是也可以使用包含氧氮化矽的氧化物半導體層。

實施例模式 2

在本實施例模式中，參照圖 2A 和 2B 而說明閘極電極的寬度與實施例模式 1 不同的薄膜電晶體的一例。

圖 2A 所示的薄膜電晶體 170 是底閘型的一種，並是稱為通道蝕刻型的結構的截面圖的一例。此外，圖 2B 是薄膜電晶體的俯視圖的一例，並且以圖中的虛線 C1-C2 切斷的截面圖相當於圖 2A。

在圖 2A 所示的薄膜電晶體 170 中，在基板 100 上設置有閘極電極層 101，在閘極電極層 101 上設置有閘極絕緣層 102，在閘極絕緣層 102 上設置有氧化物半導體層 103，在氧化物半導體層 103 上設置主動電極層及汲極電極層 105a、105b。另外，在包含氧化矽的氧化物半導體層 103 的一部分與源極電極層及汲極電極層 105a、源極電極層及汲極電極層 105b 之間具有源極區及汲極區 104a、源極區及汲極區 104b。另外，也可以形成覆蓋氧化物半導體層 103、源極電極層及汲極電極層 105a、源極電極層及汲極電極層 105b 的保護絕緣層。

在本實施例模式中，在閘極絕緣層 102 上層疊包含氧化矽的氧化物半導體層 103（也稱為第一氧化物半導體層），並且在其上層疊第二氧化物半導體層（或氧氮化物層）。注意，在包含氧化矽的氧化物半導體層 103 中的用作

通道的區域上不形成第二氧化物半導體層，因為藉由蝕刻去除該區域上的第二氧化物半導體層。注意，第二氧化物半導體層（或氧氮化物層）用作緩衝層、 n^+ 區、源極區及汲極區。在圖 2A 中，將第二氧化物半導體層圖示為源極區及汲極區 104a、104b。

另外，在本實施例模式中，使用以 2.5wt% 以上且 20wt% 以下的比率，較佳以 7.5wt% 以上且 12.5wt% 以下的比率包含氧化矽（ SiO_2 ）的包含 Zn（鋅）的氧化物半導體靶材來形成包含氧化矽的氧化物半導體層 103。藉由使氧化物半導體包含氧化矽，容易使所形成的氧化物半導體非晶化。另外，在對氧化物半導體膜進行熱處理的情況下，可以抑制該氧化物半導體膜的晶化。

利用經典分子動力學模擬檢查當使包含 Zn（鋅）的氧化物半導體，所謂 ZnO 包含 SiO_2 時產生怎樣的結構變化。在經典分子動力學法中，藉由對成為原子間相互作用的特徵的經驗勢進行定義，來對作用於各原子的力量進行評價。藉由對各原子應用古典力學法則，並且以數值的方式解答牛頓運動方程，可以決定論性地追蹤各原子的運動（時間演化 (time evolution)）。

以下說明計算模型和計算條件。另外，在本計算中使用 Born-Mayer-Huggins 勢。

計算模型是 896 個原子的 ZnO 單晶結構（參照圖 7）。在該結構中，將 Zn 取代為 Si 及 O。考慮到各原子的電荷（Zn：+2，O：-2, Si：+4），而由兩個 Si 和一個 O 取

代三個 Zn。取代量由下面的算式定義，並且製造以取代量為 2.5wt%、4.9wt%、7.6wt%、10.0wt%、12.5wt%、15.0wt%、20.0wt%的結構。將由 Si 及 O 取代 Zn 的結構稱為 ZnO 取代結構。

[算式 1]

由 Zn 取代的 Si 或 O 的品質

$$X_{wt\%} = \frac{\text{Zn 已被取代的 Si 或 O 的質量 (g)}}{\text{在以 Si 或 O 取代 Zn 後的結構質量 (g)}} \times 100$$

由 Si 或 O 取代 Zn 後的結構的品質

藉由在 350°C 的溫度下，以一定的壓力 (1 atm)，進行 400psec 間（時步長度為 0.2fsec×200 萬步 (step)）的古典分子動力學模擬，來進行結構緩和。並且，求出這些八個結構的徑向分佈函數 $g(r)$ 。注意，徑向分佈函數 $g(r)$ 是指表示在離一個原子距離 r 的位置上存在其他原子的概率密度的函數。隨著原子之間的相關性減弱， $g(r)$ 逐漸接近 1。

圖 8A 至 8E 及圖 9A 至 9D 分別表示藉由對上述八個計算模型進行 400psec 間的古典分子動力學模擬而得到的各計算模型的徑向分佈函數 $g(r)$ 。

當在圖 8A 至 8E 及圖 9A 至 9D 中比較各計算模型的徑向分佈函數 $g(r)$ 時，可以知道如下事實：在單晶模型（參照圖 8A）中，並且在取代量為 2.5wt%至 7.6wt%（參

照圖 8B 至 8D) 中，也在長距離中具有峰值，並且具有長程式列。還可以知道如下事實：當取代量為 10wt% 以上（參照圖 8E 及圖 9A 至 9D）時，在 0.6nm 以上時沒有峰值，而沒有長程式列。據此，可以認為當取代量為 10wt% 以上時成為非晶化。

接著，圖 10A 至 10E 及圖 11A 至 11D 示出對藉由對八個計算模型進行 400psec 間的古典分子動力學模擬而得到的各計算模型的最終結構進行 XRD 分析模擬而得到的結果。注意，用於計算的 X 射線的波長為 0.154138nm (Cu K α)。圖 10A 示出 ZnO 單晶結構的結果。

當在圖 10A 至 10E 及圖 11A 至 11D 中比較各計算模型的 XRD 分析模擬的結果時，可以認為：與 ZnO 單晶結構相比，取代量從 2.5wt%（參照圖 10B）越增加，峰值的強度越減弱。據此，可以認為：在取代量為 2.5wt% 時，開始單晶結構的整體上的崩潰，並且開始非晶化。此外，可以認為：在取代量為 7.6wt% 以下（參照圖 10C、圖 10D）時有峰值，並且在取代量為 10wt% 以上（參照圖 10E 及圖 11A 至 11D）時峰值很寬。據此，可以認為：在取代量為 10wt% 以上時大體上完全非晶化。

上述計算結果表示：藉由使 ZnO 包含 SiO₂，容易產生 ZnO 的非晶化。實際上，藉由濺射法而得到的包含 SiO₂ 的 ZnO 薄膜在剛成膜之後是非晶半導體膜。根據這些計算結果，可以知道如下事實：藉由包含 SiO₂，即使進行熱處理也阻礙 ZnO 的晶化，而可以維持非晶結構。

此外，作為包含氧化矽的氧化物半導體層 103，除了 Zn-O 類非單晶膜以外，還可以使用 In-Ga-Zn-O 類非單晶膜、In-Sn-Zn-O 類、Ga-Sn-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、In-Sn-O 類、Ga-Zn-O 類氧化物半導體。

此外，作為源極區及汲極區 104a、104b，較佳使用退化的氧化物半導體。退化的氧化物半導體較佳的具有透光性。另外，作為源極區及汲極區 104a、104b，也可以使用不包含氧化矽的氧化物半導體層，例如，Zn-O 類氧化物半導體、In-Ga-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、In-Sn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、或者 Ga-Zn-O 類氧化物半導體。此外，源極區及汲極區 104a、104b 也可以使用包含氮的 In-Ga-Zn-O 類非單晶膜，即 In-Ga-Zn-O-N 類非單晶膜（也稱為 IGZON 膜）。此外，作為源極區及汲極區 104a、104b，也可以使用 Ga-Zn-O 類非單晶膜、或者包含氮的 Ga-Zn-O 類非單晶膜，即 Ga-Zn-O-N 類非單晶膜。此外，作為源極區及汲極區 104a、104b，也可以使用 Al-Zn-O 類非單晶膜、或者包含氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜。注意，Al-Zn-O 類氧化物半導體或者 Al-Zn-O-N 類氧化物半導體所包含的鋁較佳為 1wt%以上且 10wt%以下，並且 Ga-Zn-O 類氧化物半導體或者 Ga-Zn-O-N 類氧化物半導體所包含的鎵較佳的為 1wt%以上且 10wt%以下。此外，也可以使用包含氮的 Zn-O-N 類非單晶膜、包含氮的 Sn-Zn-O-N 類非單晶膜。

在本實施例模式中，作為源極區及汲極區 104a、104b，使用如下材料：在包含氮氣體的氛圍下藉由使用包含 Zn（鋅）的氧化物半導體靶材（ZnO）的濺射法來形成 Zn-O-N 類非單晶膜後進行加熱處理而得到的氧氮化物材料。

此外，源極電極層及汲極電極層 105a、105b 使用選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，也可以使用氧化銦錫（ITO：Indium Tin Oxide）、包含氧化矽（SiO_x）的氧化銦錫、包含鋁的氧化鋅（AZO：Aluminium doped Zinc Oxide）或者包含鎵的氧化鋅（GZO：Gallium doped Zinc Oxide）。

另外，參照圖 3 而以下說明將上述薄膜電晶體 170 用作像素部的切換元件來製造顯示裝置的例子。

首先，在具有絕緣表面的基板 100 上設置閘極電極層 101。作為具有絕緣表面的基板 100，使用玻璃基板。作為閘極電極層 101 的材料，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、鈦等金屬材料或以這些金屬材料為主要成分的合金材料，並且以單層或疊層形成閘極電極層 101。注意，當形成閘極電極層 101 時，也形成像素部的電容佈線 108 及端子部的第一端子 121。注意，也可以在基板 100 上設置用作基底絕緣膜的絕緣膜。絕緣膜也可以藉由使用氮化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜等的單層或疊層來形成。

例如，作為閘極電極層 101 的雙層的疊層結構，較佳的採用：在鋁層上層疊有鉬層的雙層疊層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉬層的雙層結構；或者層疊有氮化鈦層和鉬層的雙層結構。另外，也有在包含 Ca 的銅層上層疊有成爲阻擋層的包含 Ca 的氧化銅層的疊層；在包含 Mg 的銅層上層疊有成爲阻擋層的包含 Mg 的氧化銅層的疊層。另外，作為三層的疊層結構，較佳的採用層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的結構。

接著，形成覆蓋閘極電極層 101 上的閘極絕緣層 102。使用濺射法、PCVD 法等以 50nm 至 400nm 的膜厚度形成閘極絕緣層 102。

例如，作為閘極絕緣層 102，藉由濺射法形成 100nm 厚的氧化矽膜。當然，閘極絕緣層 102 不侷限於氧化矽膜，也可以使用氧氮化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氧化鉬膜等其他絕緣膜的單層或疊層形成閘極絕緣層 102。在採用疊層的情況下，例如藉由 PCVD 法形成氮化矽膜，並且在其上藉由濺射法形成氧化矽膜，即可。另外，在作為閘極絕緣層 102 使用氧氮化矽膜或氮化矽膜等的情況下，可以防止來自玻璃基板的雜質，例如鈉等擴散並侵入到之後形成在其上方的氧化物半導體。

接著，在閘極絕緣層 102 上形成包含氧化矽的氧化物半導體膜。在此，使用以 10wt% 的比率包含氧化矽 (SiO_2)

）的包含 Zn（鋅）的氧化物半導體靶材來進行成膜。藉由使氧化物半導體包含氧化矽，容易使所形成的氧化物半導體非晶化。另外，藉由使氧化物半導體膜包含氧化矽，在形成氧化物半導體膜之後的過程中進行熱處理的情況下，可以防止氧化物半導體膜的晶化。

接著，在包含氧化矽的氧化物半導體膜上藉由濺射法形成不包含氧化矽的氮化物膜。在此，在包含氮氣體的氛圍下藉由使用包含 Zn（鋅）的氧化物半導體靶材（ZnO）的濺射法來形成 Zn-O-N 類非單晶膜。

作為濺射法，有作為濺射電源而使用高頻電源的 RF 濺射法、DC 濺射法、以及以脈衝方式施加偏壓的脈衝 DC 濺射法。

此外，還有可以設置多個其材料彼此不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一反應室中層疊形成不同材料的膜，又可以在同一反應室中使多種材料同時放電而進行成膜。

此外，有如下濺射裝置：在反應室內具備磁鐵機構並且用於磁控管濺射法；不使用輝光放電而使用利用微波來產生的電漿並且用於 ECR 濺射法。

此外，作為使用濺射法的成膜方法，還有：當進行成膜時使靶材物質與濺射氣體成分起化學反應而形成其化合物薄膜的反應濺射法；當進行成膜時對基板也施加電壓的偏壓濺射法。

接著，進行光微影製程，形成抗蝕劑掩模，對 Zn-O-

N 類非單晶膜（氧氮化物膜）選擇性地進行蝕刻，並且使用同一掩模對包含氧化矽的 Zn-O 類非單晶膜（氧化物半導體膜）選擇性地進行蝕刻。在蝕刻之後去除抗蝕劑掩模。

接著，藉由進行光微影製程，重新形成抗蝕劑掩模，藉由蝕刻去除不需要的部分（閘極絕緣層的一部分）來形成到達與閘極電極層相同材料的佈線、電極層的接觸孔。設置該接觸孔，以直接連接到在之後形成的導電膜。例如，當在驅動電路部中形成其閘極電極層直接接觸於源極電極層或汲極電極層的薄膜電晶體、電連接到端子部的閘極佈線的端子時，形成接觸孔。另外，雖然在此示出藉由進行光微影製程來形成用於直接連接到在之後形成的導電膜的接觸孔的例子，但是不特別侷限於此，也可以之後在與用來連接到像素電極的接觸孔同一製程中形成到達閘極電極層的接觸孔，並且使用與像素電極同一材料進行電連接。在使用與像素電極同一材料進行電連接的情況下，可以縮減一個掩模。

接著，利用濺射法或真空蒸鍍法在 Zn-O-N 類非單晶膜（氧氮化物層）上形成由金屬材料構成的導電膜。

作為導電膜的材料，可以舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。另外，在之後的製程中進行 200℃ 至 600℃ 的熱處理的情況下，較佳的使導電膜具有承受該熱處理的耐熱性。因為當使用 Al 單質時有耐熱性低且容易

腐蝕等問題，所以組合 Al 與耐熱導電材料而使用。作為與 Al 組合的耐熱導電材料，使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素、以上述元素為成分的合金、組合上述元素的合金膜或者以上述元素為成分的氮化物。此外，還可以使用氧化銦錫 (ITO: Indium Tin Oxide)、包含氧化矽 (SiO_x) 的氧化銦錫、包含鋁的氧化鋅 (AZO) 或者包含鎵的氧化鋅 (GZO)。藉由對氧化鋅添加少量 (例如為幾 wt%) 的 Al_2O_3 、 Ga_2O_3 等成為三價離子的元素，可以謀求實現低電阻化。

在本實施例模式中，作為導電膜，採用鈦膜的單層結構。此外，作為導電膜，也可以採用雙層結構，而可以在鋁膜上層疊鈦膜。另外，作為導電膜，也可以採用三層結構，其中包括 Ti 膜、在該 Ti 膜上層疊的包含 Nd 的鋁 (Al-Nd) 膜、在其上形成的 Ti 膜。作為導電膜，還可以用包含矽的鋁膜的單層結構。

接著，進行光微影製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分來在像素部中形成源極電極層及汲極電極層 105a、105b 以及源極區及汲極區 104a、104b，並且在驅動電路部中分別形成源極電極層及汲極電極層、源極區及汲極區。作為此時的蝕刻方法，採用濕蝕刻或乾蝕刻。例如，在作為導電膜而使用鋁膜或鋁合金膜的情況下，可以進行使用混合磷酸、醋酸及硝酸的溶液的濕蝕刻。在此，藉由進行濕蝕刻，對 Ti 膜的導電膜進行蝕刻來形成

源極電極層及汲極電極層，並且對 Zn-O-N 類非單晶膜進行蝕刻來形成第一緩衝層（源極區及汲極區 104a）、第二緩衝層（源極區及汲極區 104b）。在該蝕刻製程中，包含氧化矽的氧化物半導體膜的露出區的一部分也被蝕刻，而成為包含氧化矽的氧化物半導體層 103。

另外，在該光微影製程中，使與源極電極層及汲極電極層 105a、105b 相同材料的第二端子 122 殘留在端子部。注意，第二端子 122 與源極電極佈線（包括源極電極層及汲極電極層 105a、105b 的源極電極佈線）電連接。

藉由上述製程，可以在像素部中製造將包含氧化矽的氧化物半導體層 103 用作通道形成區的薄膜電晶體 170。

此外，在端子部中，連接電極 120 藉由形成在閘極絕緣膜中的接觸孔與端子部的第一端子 121 直接連接。此外，雖然在本實施例模式中未圖示，但是經過與上述製程相同的製程來使驅動電路的薄膜電晶體的源極電極佈線或汲極電極佈線與閘極電極直接連接。

接著，以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理（還包括光退火）。在此，放置在爐中，在氮氣氛圍下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行包含氧化矽的 Zn-O 類非單晶膜的原子級的重新排列。另外，因為包含氧化矽的氧化物半導體層 103 包含氧化矽，所以可以防止該熱處理中的晶化並保持非晶結構。注意，進行熱處理的時序只要是形成 Zn-O-N 類非單晶膜後，就沒有特別的限制，而例如也可以在形成像素電極之後

進行。

接著，去除抗蝕劑掩模，形成覆蓋薄膜電晶體 170 的保護絕緣層 106。

然後，進行光微影製程，形成抗蝕劑掩模，並且藉由對保護絕緣層 106 進行蝕刻來形成到達源極電極層及汲極電極層 105b 的接觸孔。另外，藉由此時的蝕刻來形成到達第二端子 122 的接觸孔、到達連接電極 120 的接觸孔。

接著，在去除抗蝕劑掩模之後，形成透明導電膜。藉由作為材料而使用氧化銦 (In_2O_3)、氧化銦錫 ($\text{In}_2\text{O}_3\text{-SnO}_2$ 、縮寫為 ITO) 等並利用濺射法或真空蒸鍍法等來形成透明導電膜。使用鹽酸類的溶液進行對這種材料的蝕刻處理。然而，由於特別在對 ITO 的蝕刻中容易產生殘渣，因此也可以使用氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)，以便改善蝕刻加工性。也可以使用 AZO、GZO。

接著，進行光微影製程，形成抗蝕劑掩模，並且藉由蝕刻去除不需要的部分，以形成像素電極層 110。另外，在該光微影製程中，以在電容部中的閘極絕緣層 102 及保護絕緣層 106 為電介質，並由電容佈線 108 和像素電極層 110 形成儲存電容器。另外，在該光微影製程中，使用抗蝕劑掩模覆蓋第一端子及第二端子來使形成在端子部的透明導電膜 128、129 殘留。透明導電膜 128、129 成為用於與 FPC 的連接的電極或佈線。形成在與第一端子 121 直接連接的連接電極 120 上的透明導電膜 128 成為用作閘極佈線的輸入端子的用於連接的端子電極。形成在第二端子

122 上的透明導電膜 129 是用作源極電極佈線的輸入端子的用於連接的端子電極。

注意，雖然在本實施例模式中示出以閘極絕緣層 102 和保護絕緣層 106 為電介質，並由電容佈線 108 和像素電極層 110 形成儲存電容器的例子，但是，沒有特別的限制，也可以採用如下結構：在電容佈線的上方設置包括與源極電極或汲極電極相同的材料的電極，使用該電極、電容佈線、它們之間的用作電介質的閘極絕緣層 102 來形成儲存電容器，並且使該電極和像素電極電連接。

接著，去除抗蝕劑掩模。圖 3 示出該步驟的截面圖。注意，該步驟的像素部中的薄膜電晶體 170 的俯視圖相當於圖 4。

另外，圖 4 中的沿線 A1-A2 的截面圖及圖 4 中的沿線 B1-B2 的截面圖相當於圖 3。圖 3 示出像素部中的薄膜電晶體 170 的截面結構、像素部中的電容器部的截面結構、端子部的截面結構。

此外，圖 5A1 和圖 5A2 分別圖示出這步驟的閘極佈線端子部的截面圖及俯視圖。圖 5A1 相當於沿著圖 5A2 中的線 C1-C2 的截面圖。在圖 5A1 中，形成在保護絕緣膜 106 上的透明導電膜 155 是用作輸入端子的用於連接的端子電極。另外，在圖 5A1 中，在端子部中，使用與閘極佈線相同的材料形成的第一端子 151 隔著閘極絕緣層 152 重疊於使用與源極電極佈線相同的材料形成的連接電極 153，並且利用透明導電膜 155 實現導通。

另外，圖 5B1 及圖 5B2 分別示出源極電極佈線端子部的截面圖及俯視圖。此外，圖 5B1 相當於沿圖 5B2 中的 D1-D2 線的截面圖。在圖 5B1 中，形成在保護絕緣層 106 上的透明導電膜 155 是用作輸入端子的用於連接的端子電極。另外，在圖 5B1 中，在端子部中，使用與閘極佈線相同的材料形成的電極 156 隔著閘極絕緣層 152 重疊於電連接到源極電極佈線的第二端子 150 的下方。電極 156 不與第二端子 150 電連接，並且藉由將電極 156 設定為與第二端子 150 不同的電位，例如浮動狀態、GND、0V 等，可以形成用於對雜波的措施的電容器或用於對靜電的措施的電容器。此外，第二端子 150 隔著保護絕緣層 106 與透明導電膜 155 電連接。

根據像素密度而設置多個閘極佈線、源極電極佈線及電容佈線。此外，在端子部中，排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極電極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的數量，而實施者適當地決定，即可。

藉由上述製程，可以完成包括具有包含氧化矽的氧化物半導體層的薄膜電晶體 170、儲存電容器的像素部、以及端子部。另外，也可以在同一基板上形成驅動電路。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，以固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置電

連接到設置在對置基板上的對置電極的共同電極，並且在端子部設置電連接到共同電極的端子。該端子是用於將共同電極設定為固定電位，例如 GND、0V 等的端子。

此外，本實施例模式不侷限於圖 4 的像素結構。圖 6 示出與圖 4 不同的俯視圖的例子。圖 6 示出一例，其中不設置電容佈線，並且在像素電極和相鄰的像素的閘極佈線之間夾持保護絕緣膜及閘極絕緣層來形成儲存電容器。在此情況下，可以省略電容佈線及與電容佈線連接的第三端子。另外，在圖 6 中，使用相同的附圖標記說明與圖 4 相同的部分。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在畫面上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行對配置在像素電極和對置電極之間的液晶層的光學調變，並且該光學調變作為顯示圖案而被觀察者確認。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身回應較慢，所以有發生餘像或動態圖像模糊的問題。為了改善液晶顯示裝置的動態圖像特性，有被稱為所謂的插黑的驅動技術，該插黑是指每隔一個幀地進行整個畫面的黑色顯示的技術。

另外，還有被稱為所謂的倍速驅動的驅動技術，該倍速驅動是指藉由將通常的垂直同步頻率設定為 1.5 倍以上，較佳的設定為 2 倍以上來改善動態圖像特性的技術。

另外，爲了改善液晶顯示裝置的動態圖像的特性，還有如下驅動技術：作爲背光燈，使用多個 LED（發光二極體）光源或多個 EL 光源等來構成面光源，並且將構成面光源的各光源獨立地在一個幀期間內進行間歇發光驅動。作爲面光源，可以使用三種以上的 LED 或白色發光 LED。由於可以獨立地控制多個 LED，所以可以使 LED 的發光時序根據液晶層的光學調變的切換時序同步實現。由於該驅動技術可以將 LED 部分地關閉，所以尤其是當是顯示於一個畫面上的黑色顯示區域的比率高的映射時，可以謀求實現耗電量的降低。

藉由組合上述驅動技術，可以比現有液晶顯示裝置進一步改善液晶顯示裝置的動態圖像特性等的顯示特性。

另外，根據本實施例模式，可以以低成本提供電特性高且可靠性高的顯示裝置。

另外，本實施例模式可以與實施例模式 1 自由組合。

實施例模式 3

在本實施例模式中，示出進行使用多色調掩模的曝光以減少掩模數的例子。

此外，示出作爲氧化物半導體層的組成不使用生產量有限制的稀少金屬的銦的例子。另外，還示出作爲氧化物半導體層的組成元素不使用一種稀少金屬的鎵的例子。

注意，多色調掩模是指能夠進行三級曝光水準，即曝光部分、中間曝光部分以及未曝光部分的掩模，並且是透

過的光具有多種強度的曝光掩模。藉由進行一次的曝光及顯影製程，可以形成具有多種（典型為兩種）膜厚度的區域的抗蝕劑掩模。因此，藉由使用多色調掩模，可以減少曝光掩模數。

作為多色調掩模的代表例子，有灰色調掩模、半色調掩模。

灰色調掩模包括透光基板、形成在其上的遮光部及繞射光柵。在遮光部中，光透過率為 0%。另一方面，繞射光柵可以藉由將狹縫、點、網眼等的光的透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透過率。另外，週期性狹縫、點、網眼或非週期性狹縫、點、網眼都可以用於繞射光柵。

半色調掩模包括透光基板、形成在其上的半透過部以及遮光部。作為半透過部，可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部可以使用鉻或氧化鉻等吸收光的遮光材料形成。在對半色調掩模照射曝光光線的情況下，在遮光部中光透過率為 0%，並且在不設置遮光部及半透過部的區域中光透過率為 100%。另外，在半透過部中，可以在 10%至 70%的範圍內調整光透過率。半透過部中的光透過率可以根據半透過部的材料而調整。

圖 12A 至圖 12E 相當於示出薄膜電晶體 360 的製造製程的截面圖。

在圖 12A 中，在設置有絕緣膜 357 的基板 350 上設置閘極電極層 351。在本實施例模式中，使用氧化矽膜（膜

厚度為 100nm) 作為絕緣膜 357。在閘極電極層 351 上按順序層疊閘極絕緣層 352、包含氧化矽的氧化物半導體膜 380、氧氮化物膜 381 以及導電膜 383。在本實施例模式中，作為包含氧化矽的氧化物半導體膜 380，使用不包含銦及鎵的氧化物半導體，典型地使用 Zn-O 類、Sn-Zn-O 類的氧化物半導體。在本實施例模式中，作為包含氧化矽的氧化物半導體膜 380，使用利用濺射法而得到的 Zn-O 類的氧化物半導體。此外，作為氧氮化物膜 381，使用不包含氧化矽的 Zn-O-N 類的氧氮化物材料。

接著，在閘極絕緣層 352、包含氧化矽的氧化物半導體膜 380、氧氮化物膜 381 以及導電膜 383 上形成掩模 384。

在本實施例模式中，示出使用多級（高級）灰度掩模進行曝光以形成掩模 384 的例子。

藉由在使用使透過的光具有多種強度的多色調掩模進行曝光之後進行顯影，可以形成如圖 12B 所示那樣的具有膜厚度不同的區域的掩模 384。藉由使用多色調掩模，可以減少曝光掩模數。

接著，使用掩模 384 進行第一蝕刻製程，對包含氧化矽的氧化物半導體膜 380、氧氮化物膜 381 以及導電膜 383 進行蝕刻而加工成島狀。其結果，可以形成受到構圖的包含氧化矽的氧化物半導體層 390、氧氮化物層 385 以及導電層 387（參照圖 12B）。

接著，對掩模 384 進行灰化。其結果，掩模的面積縮

小，並且膜厚度變薄。此時，膜厚度薄的區域的掩模的抗蝕劑（與閘極電極層 351 的一部分重疊的區域）被去除，可以形成被分離的掩模 388（參照圖 12C）。

使用掩模 388 藉由進行第二蝕刻製程對氧氮化物層 385、導電層 387 進行蝕刻，而形成包含氧化矽的氧化物半導體層 353、源極區及汲極區 354a、354b 以及源極電極層及汲極電極層 355a、355b（參照圖 12D）。另外，包含氧化矽的氧化物半導體層 353 僅有一部分被蝕刻，而成爲具有槽部（凹部）以及其一部分被蝕刻而露出的端部的氧化物半導體層。

藉由利用第一蝕刻製程對氧氮化物膜 381、導電膜 383 進行乾蝕刻，氧氮化物膜 381、導電膜 383 受到各異向性蝕刻，從而掩模 384 的端部與氧氮化物層 385、導電層 387 的端部一致，而成爲連續的形狀。

同樣地，藉由利用第二蝕刻製程對氧氮化物層 385、導電層 387 進行乾蝕刻，氧氮化物層 385 以及導電層 387 受到各異向性蝕刻，從而掩模 388 的端部與包含氧化矽的氧化物半導體層 353 的凹部以及端部、源極區及汲極區 354a、354b 的端部、源極電極層及汲極電極層 355a、355b 的端部一致，而成爲連續的形狀。

此外，雖然在本實施例模式中示出包含氧化矽的氧化物半導體層 353、源極電極層及汲極電極層 355a、355b 的端部以相同的錐形角連續地層疊的形狀，但是根據蝕刻條件、氧化物半導體層及導電層的材料而蝕刻速度不同，所

以也有分別具有不同錐形角或不連續的端部形狀的情況。

然後，去除掩模 388。

接著，在包含氧的氛圍下進行 200℃ 至 600℃ 的加熱（參照圖 12E）。包含氧化矽的氧化物半導體層 353 包含阻礙晶化的氧化矽，即使進行 200℃ 至 600℃ 的加熱也可以保持非晶狀態。

藉由上述製程，可以製造具有包含氧化矽的氧化物半導體層 353 的通道蝕刻型薄膜電晶體 360。

如本實施例模式所示，藉由採用使用多色調掩模形成的具有多種（典型的是兩種）膜厚度的區域的抗蝕劑掩模，可以減少抗蝕劑掩模數，從而可以謀求實現製程的簡化以及低成本化。

再者，如本實施例模式所示，由於藉由不將銮及鎳用於包含氧化矽的氧化物半導體層或者氧氮化物層，可以降低氧化物半導體靶材的價格，因此可以謀求實現低成本化。

由此，可以以低成本且高生產率製造半導體裝置。

實施例模式 4

在本實施例模式中，參照圖 13A 及圖 13B 而說明通道停止型薄膜電晶體 430 的一例。此外，圖 13B 是薄膜電晶體的俯視圖的一例，並且沿圖中的虛線 Z1-Z2 切斷的截面圖相當於圖 13A。另外，示出將不包含銮的氧化物半導體材料用於薄膜電晶體 430 的氧化物半導體層的例子。

在圖 13A 中，在基板 400 上設置閘極電極 401。接著，在覆蓋閘極電極 401 的閘極絕緣層 402 上設置包含氧化矽的氧化物半導體層 403。

在本實施例模式中，作為包含氧化矽的氧化物半導體層 403，使用利用濺射法而得到的 Zn-O 類的氧化物半導體。在本實施例模式中，作為包含氧化矽的氧化物半導體層 403，使用不包含銦的氧化物半導體，典型地使用 Zn-O 類、Ga-Sn-Zn-O 類、Ga-Zn-O 類、Sn-Zn-O 類、Ga-Sn-O 類的氧化物半導體。

接著，在包含氧化矽的氧化物半導體層 403 上接觸地設置通道保護層 418。藉由設置通道保護層 418，可以防止在製程中包含氧化矽的氧化物半導體層 403 的通道形成區所受到的損傷（蝕刻中的電漿或蝕刻劑所導致的膜減少、氧化等）。由此，可以提高薄膜電晶體 430 的可靠性。

作為通道保護層 418，可以使用無機材料（氧化矽、氮化矽、氧氮化矽、氮氧化矽等）。作為製造方法，可以使用電漿 CVD 法或熱 CVD 法等氣相生長法或者濺射法。在成膜後藉由進行蝕刻來加工其形狀而形成通道保護層 418。在此，藉由濺射法形成氧化矽膜，並且使用藉由光微影形成的掩模進行蝕刻加工，來形成通道保護層 418。

接著，在通道保護層 418 及包含氧化矽的氧化物半導體層 403 上形成源極區及汲極區 406a、406b。在本實施例模式中，源極區及汲極區 406a、406b 使用 Ga-Zn-O-N 類非單晶膜。此外，源極區及汲極區 406a、406b 也可以使

用包含氮的 Zn-O 類非單晶膜，即 Zn-O-N 類非單晶膜。

接著，在源極區及汲極區 406a、406b 上分別形成第一佈線 409、第二佈線 410。作為第一佈線 409 及第二佈線 410，使用選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金或組合上述元素的合金膜等。此外，也可以使用氧化銦錫（ITO：Indium Tin Oxide）、包含鋁的氧化鋅（AZO：Aluminium doped Zinc Oxide）或者包含鎵的氧化鋅（GZO：Gallium doped Zinc Oxide）。藉由對氧化鋅添加少量（例如為幾 wt%）的 Al_2O_3 、 Ga_2O_3 等成為三價離子的元素，可以謀求實現低電阻化。

藉由設置源極區及汲極區 406a、406b，金屬層的第一佈線 409、第二佈線 410 與包含氧化矽的氧化物半導體層 403 具有良好的接合，以實現與肖特基結相比在熱方面穩定的工作。另外，為了供給通道的載子（源極電極一側）、穩定地吸收通道的載子（汲極電極一側）或者不在與佈線之間的介面產生電阻成分，積極地設置源極區及汲極區 406a、406b 是有效的。

接著，較佳的以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，在大氣氛圍下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行包含氧化矽的氧化物半導體層 403 的原子級的重新排列。藉由該熱處理而解除阻礙載子遷移的應變，所以在於此的熱處理（還包括光退火）是重要的。另外，由於藉由在於此的熱處理而包含在包含氧化矽的氧化物半導體層 403 中的氧化矽阻擋

包含氧化矽的氧化物半導體層 403 的晶化，因此可以使包含氧化矽的氧化物半導體層 403 的大部分維持非晶狀態。此外，只要是形成包含氧化矽的氧化物半導體層 403 後，就對進行熱處理的時序沒有特別的限制，而例如也可以在形成像素電極之後進行。

再者，如本實施例模式那樣，藉由不將銦用於氧化物半導體層，作為材料不需要使用有可能枯竭的銦。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 5

在本實施例模式中，參照圖 14A 和 14B 而說明使用兩個 n 通道型薄膜電晶體 760、761 構成反相器電路的例子。此外，示出將不包含銻的氧化物半導體材料用於薄膜電晶體 760、761 的氧化物半導體層的例子。

使用反相器電路、電容器、電阻等構成用來驅動像素部的驅動電路。在組合兩個 n 通道型 TFT 形成反相器電路的情況下，有組合增強型電晶體和空乏型電晶體形成反相器電路的情況（以下稱為 EDMOS 電路）和組合兩個增強型 TFT 形成反相器電路的情況（以下稱為 EEMOS 電路）。注意，在 n 通道型 TFT 的臨界值電壓是正的情況下，將該 TFT 定義為增強型電晶體，而在 n 通道型 TFT 的臨界值電壓是負的情況下，將該 TFT 定義為空乏型電晶體。在本說明書中按照該定義進行描述。

將像素部和驅動電路形成在同一基板上，並且在像素部中，使用配置為矩陣狀的增強型電晶體切換對像素電極施加電壓的導通截止。

圖 14A 示出驅動電路的反相器電路的截面結構。在圖 14A 中，在基板 740 上設置第一閘極電極 741 及第二閘極電極 742。第一閘極電極 741 及第二閘極電極 742 可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、釷等的金屬材料或以這些材料為主要成分的合金材料的單層或疊層形成。

此外，在覆蓋第一閘極電極 741 及第二閘極電極 742 的閘極絕緣層 743 上設置第一佈線 749、第二佈線 750 以及第三佈線 751，並且第二佈線 750 藉由形成在閘極絕緣膜 743 中的接觸孔 744 與第二閘極電極 742 直接連接。

此外，在第一佈線 749、第二佈線 750 以及第三佈線 751 上形成源極區及汲極區 755a、755b、756a、756b。在本實施例模式中，源極區及汲極區 755a、755b、756a、756b 是不包含氧化矽的 Zn-O-N 類非單晶膜。另外，源極區及汲極區 755a、755b、756a、756b 也可以使用包含氮的 In-Zn-O-N 類非單晶膜。

此外，在重疊於第一閘極電極 741 的位置並在第一佈線 749 及第二佈線 750 上隔著源極區及汲極區 755a、755b 設置包含氧化矽的第一氧化物半導體層 745，並且在重疊於第二閘極電極 742 的位置並在第二佈線 750 及第三佈線 751 上隔著源極區及汲極區 756a、756b 設置包含氧化矽的第二氧化物半導體層 747。

在本實施例模式中，作為包含氧化矽的第一氧化物半導體層 745 及包含氧化矽的第二氧化物半導體層 747，使用利用濺射法而得到的 Zn-O 類的氧化物半導體。作為包含氧化矽的第一氧化物半導體層 745 及包含氧化矽的第二氧化物半導體層 747，使用不包含銻的氧化物半導體，典型地使用 In-Sn-Zn-O 類、In-Zn-O 類、In-Sn-O 類、Sn-Zn-O 類、Zn-O 類的氧化物半導體。

第一薄膜電晶體 760 具有第一閘極電極 741 和隔著閘極絕緣層 743 與第一閘極電極 741 重疊的包含氧化矽的第一氧化物半導體層 745，並且第一佈線 749 是接地電位的電源線（接地電源線）。該接地電位的電源線也可以是被施加負電壓 VDL 的電源線（負電源線）。

此外，第二薄膜電晶體 761 具有第二閘極電極 742 和隔著閘極絕緣層 743 與第二閘極電極 742 重疊的包含氧化矽的第二氧化物半導體層 747，並且第三佈線 751 是被施加正電壓 VDD 的電源線（正電源線）。

如圖 14A 所示，電連接到包含氧化矽的第一氧化物半導體層 745 和包含氧化矽的第二氧化物半導體層 747 的兩者的第二佈線 750 藉由形成在閘極絕緣層 743 中的接觸孔 744 與第二薄膜電晶體 761 的第二閘極電極 742 直接連接。藉由使第二佈線 750 和第二閘極電極 742 直接連接，可以得到良好的接觸並降低接觸電阻。與藉由其他導電膜，例如透明導電膜連接第二閘極電極 742 和第二佈線 750 的情況相比，可以謀求實現接觸孔數的減少、藉由接觸孔數

的減少的佔有面積的縮小。

此外，圖 14B 示出驅動電路的反相器電路的俯視圖。
在圖 14B 中，沿虛線 Y1-Y2 切斷的截面相當於圖 14A。

如本實施例模式所示，鎂不被使用於氧化物半導體層，所以不使用作為製造成本高的材料的鎂。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

0

實施例模式 6

在本實施例模式中，參照圖 15A 及圖 15B 而說明頂閘型薄膜電晶體 330 的一例。此外，圖 15B 是薄膜電晶體的俯視圖的一例，並且沿圖中的虛線 P1-P2 切斷的截面圖相當於圖 15A。

在圖 15A 中，藉由在基板 300 上層疊導電膜和氧氮化膜並進行蝕刻，形成第一佈線 309 和第二佈線 310，在其上形成氧氮化物層 304a、304b。注意，第一佈線 309 和第二佈線 310 用作源極電極或汲極電極。另外，作為用作源極區及汲極區的氧氮化物層 304a、304b 使用 In-Ga-Zn-O-N 類的非單晶膜。

0

接著，覆蓋基板 300 的暴露的區域及氧氮化物層 304a、304b 地形成包含氧化矽 (SiO_x) 的氧化物半導體層 305。在本實施例模式中，作為包含氧化矽的氧化物半導體層 305，使用包含氧化矽的 Zn-O 類的氧化物半導體。

接著，形成覆蓋第二氧化物半導體層 305、第一佈線

309 以及第二佈線 310 的閘極絕緣層 303。

接著，較佳的以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，並且在大氣氛圍下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行包含氧化矽的氧化物半導體層 305 的原子級的重新排列。由於藉由該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。

接著，在閘極絕緣層 303 上的與包含氧化矽的氧化物半導體層 305 接觸於基板 300 的區域重疊的位置設置閘極電極 301。

藉由上述製程，可以製造頂閘結構的薄膜電晶體 330。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 7

在本實施例模式中，參照圖 16A 及圖 16B 而說明頂閘型薄膜電晶體 630 的一例。此外，圖 16B 是薄膜電晶體的俯視圖的一例，而沿圖中的虛線 R1-R2 切斷的截面圖相當於圖 16A。

在圖 16A 中，在基板 600 上形成包含氧化矽的氧化物半導體層 605。在本實施例模式中，作為氧化物半導體層 605，使用包含氧化矽的 Zn-O 類的氧化物半導體。

接著，在氧化物半導體層 605 上形成源極區及汲極區

606a、606b。在本實施例模式中，源極區及汲極區 606a、606b 是 Ga-Zn-O 類非單晶膜。此外，源極區及汲極區 606a、606b 也可以使用包含氮的 Ga-Zn-O 類非單晶膜，即 Ga-Zn-O-N 類非單晶膜（也稱為 GZON 膜）。

接著，在源極區及汲極區 606a、606b 上形成第一佈線 609 和第二佈線 610。此外，第一佈線 609 和第二佈線 610 用作源極電極或汲極電極。

接著，在第一佈線 609 和第二佈線 610 上形成閘極絕緣層 603。

接著，在與氧化物半導體層 605 接觸於閘極絕緣層 603 的區域重疊的位置並在閘極絕緣層 603 上設置閘極電極 601。

接著，較佳的以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理。在此，放置在爐中，並且在大氣氛圍下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行氧化物半導體層 605 的原子級的重新排列。由於藉由該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。

藉由上述製程，可以製造頂閘結構的薄膜電晶體 630。

實施例模式 8

圖 31A 是使用其上下由兩個閘極電極夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中

，示出在具有絕緣表面的基板上設置用於像素部及驅動電路的薄膜電晶體的製造方法的一例。

首先，在具有絕緣表面的基板 10 上設置第一閘極電極層 11。具有絕緣表面的基板 10 可以使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鉬硼矽酸鹽玻璃等用於電子工業的玻璃基板（也稱為“無鹼玻璃基板”）、具有能夠承受本製造製程的處理溫度的耐熱性的塑膠基板等。在基板 10 為母板玻璃的情況下，基板的尺寸可以採用第一代（ $320\text{mm}\times 400\text{mm}$ ）、第二代（ $400\text{mm}\times 500\text{mm}$ ）、第三代（ $550\text{mm}\times 650\text{mm}$ ）、第四代（ $680\text{mm}\times 880\text{mm}$ 或 $730\text{mm}\times 920\text{mm}$ ）、第五代（ $1000\text{mm}\times 1200\text{mm}$ 或 $1100\text{mm}\times 1250\text{mm}$ ）、第六代（ $1500\text{mm}\times 1800\text{mm}$ ）、第七代（ $1900\text{mm}\times 2200\text{mm}$ ）、第八代（ $2160\text{mm}\times 2460\text{mm}$ ）、第九代（ $2400\text{mm}\times 2800\text{mm}$ 或 $2450\text{mm}\times 3050\text{mm}$ ）、第十代（ $2950\text{mm}\times 3400\text{mm}$ ）等。

此外，作為第一閘極電極層 11，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、鈦等金屬材料或以這些金屬材料為成分的合金材料的單層或疊層形成。在基板 10 的整個表面上形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第一閘極電極層 11 的閘極佈線、電容佈線、以及端子電極等）。在本實施例模式中，使用膜厚度為 100nm 的鎢的單層。

在第一閘極電極層 11 具有疊層結構的情況下，例如

，較佳的採用：在鋁層上層疊有鉬層的雙層疊層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉬層的雙層結構；層疊有氮化鈦層和鉬層的雙層結構。另外，也有在包含 Ca 的銅層上層疊有成爲阻擋層的包含 Ca 的氧化銅層的疊層；在包含 Mg 的銅層上層疊有成爲阻擋層的包含 Mg 的氧化銅層的疊層。另外，作爲三層的疊層結構，較佳採用層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的結構。

接著，在去除抗蝕劑掩模之後，形成覆蓋第一閘極電極層 11 上的閘極絕緣層 13。閘極絕緣層 13 藉由濺射法、PCVD 法等來形成且其膜厚度爲 50nm 至 400nm。閘極絕緣層 13 藉由使用氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鉬等無機絕緣膜的單層或疊層來形成。作爲閘極絕緣層 13，也可以藉由使用有機矽烷氣體的 CVD 法形成氧化矽層。作爲有機矽烷氣體，可以使用正矽酸乙酯（TEOS：化學式爲 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式爲 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三（二甲氨基）矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含矽化合物。

在本實施例模式中，對高密度電漿裝置的反應室引入作爲材料氣體的甲矽烷氣體（ SiH_4 ）、一氧化二氮（ N_2O ），在 10Pa 至 30Pa 的壓力下產生高密度電漿，以在第一閘極電極層 11 上形成膜厚度爲 100nm 的閘極絕緣層 13。

在本實施例模式中，高密度電漿裝置是指能夠實現 $1 \times 10^{11}/\text{cm}^3$ 以上的電漿密度的裝置。例如，施加 3kW 至 6kW 的微波電力產生電漿，而形成絕緣膜。當形成絕緣膜時，將引入到反應室中的甲矽烷氣體 (SiH_4) 和一氧化二氮 (N_2O) 的流量比設定為 1:10 至 1:200 的範圍內。另外，作為引入到反應室中的稀有氣體，可以使用氦、氬、氖、氙等，其中較佳的使用廉價的氬。

另外，因為使用高密度電漿裝置而得到的閘極絕緣層 13 可以具有一定膜厚度，所以優越於臺階覆蓋性。另外，可以細緻地控制由高密度電漿裝置得到的絕緣膜的膜厚度。

使用高密度電漿裝置而得到的絕緣膜與使用現有的平行平板型 PCVD 設備而得到的絕緣膜不同得多，並且，在使用相同的蝕刻劑比較蝕刻速度的情況下，使用高密度電漿裝置而得到的絕緣膜的蝕刻速度比使用現有的平行平板型 PCVD 設備而得到的絕緣膜的蝕刻速度慢 10% 以上或 20% 以上，從而可以說使用高密度電漿裝置而得到的絕緣膜是細緻的膜。

接著，在閘極絕緣層 13 上形成氧化物半導體膜。氧化物半導體膜的膜厚度至少為 30nm 以上，較佳的為 60nm 以上且 150nm 以下。在本實施例模式中，作為氧化物半導體膜，形成第一 Zn-O 類非單晶膜。使用直徑為 8 英寸的包含 Zn (鋅) 的氧化物半導體靶材 (ZnO)，將基板和靶材之間的距離設定為 170mm，將壓力設定為 0.4Pa，將直

流（DC）電源設定為 0.5kW，並且在氬或氧氣氛圍下，進行成膜。注意，當使用脈衝直流（DC）電源時，可以減輕塵土，並且膜厚度的分佈成為均勻，所以是較佳的。

注意，在使用大面積的玻璃基板的情況下，將一個大靶材材料貼在一個大底板是不容易進行的，並且是很貴價，因此將靶材材料分割並接合到一個底板。對靶材來說，將靶材材料貼在底板（用來貼合靶材材料的基板），並且受到真空包裝。當形成第一 Zn-O 類非單晶膜時，為了得到良好的薄膜電晶體的電特性，而較佳儘量不接觸於大氣的水分等地將貼合有靶材材料的底板設置在濺射裝置中。不侷限於設置在濺射裝置中的情況，而當製造靶材時、當將靶材材料接合到底板時、直到進行真空包裝的期間中，較佳的儘量不使靶材材料接觸於大氣的水分等。

在藉由濺射法形成 Zn-O 類氧化物半導體膜的情況下，也可以對包含 Zn 的氧化物半導體靶材添加氧化矽等絕緣雜質。藉由使氧化物半導體包含絕緣雜質，容易使所形成的氧化物半導體非晶化。此外，在氧化物半導體層在後面的過程中受到熱處理的情況下，可以抑制由於該熱處理而晶化。

接著，不暴露於大氣地藉由濺射法來形成成為其電阻低於第一 Zn-O 類非單晶膜的氧化物半導體膜（在本實施例模式中，是第二 Zn-O 類非單晶膜）的膜。在本實施例模式中，在包含氮氣體的氛圍下藉由濺射法使用包含 Zn（鋅）的氧化物半導體靶材（ZnO），來形成包含鋅的氧

氮化物膜。該氧氮化物膜藉由後面進行的熱處理而成爲其電阻低於第一 Zn-O 類非單晶膜的氧化物半導體膜。

接著，進行光微影製程，在第二 Zn-O 類非單晶膜上形成抗蝕劑掩模，蝕刻第一及第二 Zn-O 類非單晶膜。注意，在此的蝕刻不侷限於濕蝕刻，而也可以採用乾蝕刻。

接著，在去除抗蝕劑掩模後，在第一及第二 Zn-O 類非單晶膜上藉由濺射法、真空蒸鍍法形成由金屬材料構成的導電膜。作爲導電膜的材料，可以舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素爲成分的合金、組合上述元素的合金膜等。另外，在進行 200℃ 至 600℃ 的熱處理的情況下，較佳的使導電膜具有承受該熱處理的耐熱性。因爲當使用 Al 單質時有耐熱性低並且容易腐蝕等問題，所以組合 Al 與耐熱導電材料而形成使用。作爲與 Al 組合的耐熱導電材料，使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素、以上述元素爲成分的合金、組合上述元素的合金膜或者以上述元素爲成分的氮化物。

在此，作爲導電膜，採用層疊 Al 膜和 Ti 膜而得到的導電膜。此外，導電膜也可以採用鈦膜的單層結構。另外，作爲導電膜，也可以採用三層結構，其中包括 Ti 膜、在該 Ti 膜上層疊的包含 Nd 的鋁 (Al-Nd) 膜、以及在其上形成的 Ti 膜。作爲導電膜，還可以採用包含矽的鋁膜的單層結構。

接著，進行光微影製程，在導電膜上形成抗蝕劑掩模

，藉由蝕刻去除不需要的部分，以形成源極電極層及汲極電極層 15a、15b。作為此時的蝕刻方法，採用濕蝕刻或者乾蝕刻。在此，藉由使用作為反應氣體的 SiCl_4 、 Cl_2 和 BCl_3 的混合氣體的乾蝕刻，蝕刻層疊有 Al 膜和 Ti 膜的導電膜，以形成源極電極層及汲極電極層 15a、15b。此外，藉由在此的蝕刻，使用相同的抗蝕劑掩模，選擇性地蝕刻第二 Zn-O 類非單晶膜，以形成源極區及汲極區 14a、14b，並且第一 Zn-O 類非單晶膜的一部分露出。

再者，藉由使用相同的抗蝕劑掩模的上述蝕刻製程，露出的第一 Zn-O 類非單晶膜受到選擇性的蝕刻，而成為具有其膜厚度薄於重疊於源極電極層及汲極電極層 15a、15b 的區域的區域的氧化物半導體層 16。因為以相同的製程進行對源極電極層及汲極電極層 15a 和 15b、源極區及汲極區 14a 和 14b、露出的第一 Zn-O 類非單晶膜的蝕刻，所以如圖 1A 所示，源極電極層及汲極電極層 15a 和 15b 以及源極區及汲極區 14a 和 14b 的端部一致，而成為連續結構。注意，不侷限於以相同的製程進行對源極電極層及汲極電極層 15a 和 15b、源極區及汲極區 14a 和 14b、露出的第一 Zn-O 類非單晶膜的蝕刻，而也可以以多個蝕刻製程進行。

接著，在去除抗蝕劑掩模之後，較佳的以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，在包含氧的氮氣氛圍下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行第一 Zn-O 類非單晶膜的原子

級的重新排列。藉由該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。另外，進行第二 Zn-O 類非單晶膜的低電阻化，以形成電阻低的源極區及汲極區 14a、14b。注意，只要是形成第二 Zn-O 類非單晶膜後，就對進行熱處理的時序沒有特別的限制。

接著，以膜厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的範圍形成覆蓋源極電極層及汲極電極層 15a 和 15b、以及具有膜厚度薄的區域的氧化物半導體層 16 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。在此，為了削減製程數，而藉由塗布法形成感光性的聚醯亞胺。藉由曝光、顯影及焙燒，來形成其表面平坦且其膜厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 17。樹脂層 17 在後面進行的第二保護絕緣層的形成時用作保護具有膜厚度薄的區域的氧化物半導體層 16 及源極區及汲極區 14a、14b 避免受到電漿損傷的第一保護絕緣層。此外，樹脂層 17 以接觸的方式覆蓋露出的氧化物半導體層 16 的膜厚度薄的區域，並且用作阻擋對氧化物半導體層 16 的水分、氫等的侵入的第一保護絕緣層。作為樹脂層，可以得到沒有針孔的膜，並且可以得到與表面凹凸無關地形成具有平坦表面的膜，所以優越於臺階覆蓋性。

此外，也可以在形成樹脂層 17 之前對露出的氧化物半導體層 16 的膜厚度薄的區域進行氧自由基處理。藉由

進行氧自由基處理，可以進行氧化物半導體層的露出表面附近的改性，得到氧過剩區域。既可利用包含氧的氣體藉由電漿產生裝置供給氧自由基，又可藉由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，可以對薄膜進行表面改性。此外，不侷限於氧自由基處理，而也可以進行氫和氧的自由基處理。氫和氧的自由基處理是指引入氫氣體和氧氣體而產生電漿以對薄膜進行表面改性的處理。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低功率條件（或者低基板溫度（低於 200°C 、較佳的為室溫至 100°C ））形成其膜厚度為 50nm 至 400nm 的範圍的第二保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。作為使用高密度電漿裝置而得到的第二保護絕緣層 18，可以得到比使用 PCVD 法而得到的膜細緻的膜。作為第二保護絕緣層 18，使用氮化矽膜、氧氮化矽膜、或者氮氧化矽膜，並且阻擋水分、氫離子、 OH^- 等。在本實施例模式中，使用 PCVD 法，將矽烷氣體的流量設定為 35sccm ，將氨（ NH_3 ）的流量設定為 300sccm ，將氫氣體的流量設定為 800sccm ，將壓力設定為 60Pa ，將 RF 電力功率設定為 300W ，將電源頻率設定為 13.56MHz ，進行成膜，以形成其膜厚度為 200nm 的氮化矽膜。這些膜發揮阻擋水分、氫離子、 OH^- 等的效果。在此情況下，當對第二閘極電極進行為了得到所希望的俯視形狀的選擇性的蝕刻時，可以使第二保護絕緣膜用作

蝕刻停止層。此外，在此情況下，第一保護絕緣膜及第二保護絕緣膜也用作第二閘極絕緣層。

此外，在上述結構中，氧化物半導體層的膜厚度薄的區域是重疊於第一閘極電極及第二閘極電極的通道形成區。在氧化物半導體層的膜厚度薄的區域中，第二閘極電極一側的區域被稱為背通道。當使用包括水分、氫離子、 OH^- 等的電漿形成接觸於該背通道的膜時，蓄積電荷，對緩衝層中的氧缺少型的缺陷的部分侵入電漿的負電荷、或者 OH^- ，而有可能不形成想要意圖性地形成的 NI 接面。當在氧化物半導體層中氧缺乏時，在層中增加容易與負電荷結合的 Zn，並且當對其部分侵入電漿的負電荷時，緩衝層（ N^+ 型區）變化為 N 型區域、以及 N^- 區、I 型區，從而消失設置在緩衝層的介面的 NI 接面。由於該原因，而有可能消失空乏層，並且薄膜電晶體的 $V_g\text{-}I_d$ 特性成為不穩定的值。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。當對第二閘極電極層 19 進行為了得到所希望的俯視形狀的選擇性的蝕刻時，可以使第二保護絕緣層 18 用作蝕刻停止層。

作為形成在第二保護絕緣層 18 上的導電層，可以使用金屬材料（選自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、銦（

Sc) 中的元素、以上述元素為成分的合金)。因為這些膜具有遮光性，所以可以遮光對氧化物半導體層的光。

在圖 31A 中，截面的第二閘極電極層 19 的寬度大於第一閘極電極層 11 並且大於氧化物半導體層的寬度。使第二閘極電極層 19 的寬度大於氧化物半導體層的寬度並且將第二閘極電極層 19 的形狀成為覆蓋氧化物半導體層的俯視形狀的形狀，以進行遮光，是很有用的。因為氧化物半導體層 16 的膜厚度薄的區域不由源極電極或汲極電極覆蓋，所以有可能由於光照射而改變薄膜電晶體的電特性。因為藉由濺射法而形成的 Zn-O 類非單晶膜在波長為 450nm 以下具有光感度，所以設置用作遮斷波長為 450nm 以下的光的遮光層的第二閘極電極層 19 是很有用的。

此外，作為形成在第二保護絕緣層 18 上的導電層，也可以使用具有透光性的導電材料諸如包含氧化錫的氧化銦、包含氧化錫的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下，稱為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。在使用具有透光性的導電材料的情況下，藉由使用與像素電極相同的材料，可以以與在形成第二閘極電極時相同的光掩模形成像素電極。藉由使用相同的材料形成第二閘極電極和像素電極，可以削減製程數。此外，在第二閘極電極使用具有透光性的導電材料的情況下，較佳將用來遮光具有其膜厚度薄的區域的氧化物半導體層 16 的遮光層以重疊的方式另行設置在氧化物半導體層 16 的上方的其膜厚度薄的區域的位置

。作為遮光層，使用至少在 400nm 至 450nm 的波長區域中示出大約低於 50% 的透光率、較佳為低於 20% 的透光率的材料。例如，作為遮光層的材料，可以使用鉻、氮化鈦等金屬膜、或者黑色樹脂。在為了遮斷光而使用黑色樹脂的情況下，光越強，黑色樹脂的膜厚度需要越厚，所以在需要薄的黑色樹脂的情況下，較佳的使用遮光性高且可以進行精細的蝕刻加工及薄膜化的金屬膜。

藉由上述製程，可以得到圖 31A 所示的薄膜電晶體 20。

此外，雖然在上述製程中，示出將通常的光掩模用於光微影製程的例子，但是當使用藉由使用多色調掩模的光微影製程而形成的具有多種（典型為兩種）膜厚度的區域的抗蝕劑掩模時，可以減少抗蝕劑掩模數，所以可以謀求實現製程的簡化、低成本化。

此外，當為了使第二閘極電極層 19 的電位成為與第一閘極電極層 11 相同的電位而進行電連接時，在第二保護絕緣層 18 上形成第二閘極電極層 19 之前進行光微影製程，在第二保護絕緣層 18 上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成到達第一閘極電極層 11 的開口。

注意，當使第二閘極電極層 19 的電位成為與第一閘極電極層 11 不同的電位時，不需要形成用來電連接第二閘極電極層 19 和第一閘極電極層 11 的開口。

此外，圖 31B 示出其一部分與圖 31A 不同的結構。在

圖 31B 中，除了與圖 31A 不同的部分以外，使用相同的附圖標記而進行說明。

圖 31B 是以與圖 31A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的一例。

如圖 31B 所示，薄膜電晶體 21 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。圖 31A 的薄膜電晶體 20 的第二閘極絕緣層是由樹脂層 17 和第二保護絕緣層 18 構成的疊層，但是薄膜電晶體 21 的第二閘極絕緣層僅由樹脂層 17 構成。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與樹脂層 17 一起發揮減少對氧化物半導體層 16 的電漿損傷的效果。

此外，圖 31B 示出在第一閘極電極層 11 和基板 10 之間設置基底絕緣層 12 的例子。當作為基底絕緣層 12 而使用其膜厚度為 50nm 至 200nm 的氧氮化矽膜、氮氧化矽膜、或者氮化矽膜等時，可以阻擋來自玻璃基板的雜質例如鈉等擴散並侵入後面形成在上方的氧化物半導體中。此外，在設置基底絕緣層 12 的情況下，可以防止由於在形成第一閘極電極層 11 時的蝕刻製程而基板 10 受到蝕刻。

此外，雖然上述結構示出作為反交錯型結構的一種的通道蝕刻型的例子，但是對薄膜電晶體結構沒有特別的限制。例如，薄膜電晶體結構也可以為底接觸結構。在底接觸結構中，因為在對導電膜進行選擇性的蝕刻來形成源極

電極或汲極電極後形成氧化物半導體層，所以與通道蝕刻型的 TFT 的氧化物半導體層相比，形成氧化物半導體後的製程數少，並且使氧化物半導體層暴露於電漿的次數也少。暴露於電漿的次數越少，可以越降低對氧化物半導體層的電漿損傷。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 9

圖 32A 是使用其上下由兩個閘極電極夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中，示出在具有絕緣表面的基板上設置用於像素部及驅動電路的薄膜電晶體的製造方法的一例。

注意，直到在具有絕緣表面的基板 10 上形成第一閘極電極層 11 並且形成覆蓋第一閘極電極層 11 的閘極絕緣層 13 的製程與實施例模式 8 同一，所以在此省略詳細說明，並且使用同一附圖標記說明與圖 31A 同一的部分。

接著，在閘極絕緣層 13 上藉由濺射法、真空蒸鍍法形成由金屬材料構成的導電膜。在本實施例模式中，藉由濺射法來形成由 Ti 膜、包含 Nd 的鋁膜、Ti 膜構成的三層結構。作為導電膜的材料，可以舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，導電膜也可以採用雙層結構，即也可以在鋁膜上層疊鈦膜。此外，導電膜也可以採用包

含矽的鋁膜的單層結構、鈦膜的單層結構。

接著，藉由濺射法不暴露於大氣地形成電阻低的氧化物半導體膜（緩衝層）。只要是其電阻低於後面形成的氧化物半導體膜 26 的材料膜，就對緩衝層沒有特別的限制。作為緩衝層，在包含氮氣體的氛圍下藉由使用包含 Zn（鋅）的氧化物半導體靶材（ZnO）的濺射法在導電膜上形成包含鋅的氧氮化物膜。在本實施例模式中，使用氧化物半導體靶材（ZnO），將 Ar 流量設定為 72sccm，將氧流量設定為 3sccm，將電力功率設定為 3.2kw，將壓力設定為 0.16Pa，以形成其膜厚度為 10nm 的膜。注意，為了減少對緩衝層的電漿損傷，也可以將電力功率降低為 1kw，以進行成膜。

濺射法具有如下方法：作為濺射用電源使用高頻電源的 RF 濺射法、DC 濺射法以及以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於形成絕緣膜，並且 DC 濺射法主要用於形成金屬膜。

此外，還有可以設置多個其材料彼此不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一反應室中層疊形成不同材料的膜，又可以在同一反應室中使多種材料同時放電而進行成膜。

此外，有如下濺射裝置：在反應室內具備磁鐵機構並且用於磁控管濺射法；不使用輝光放電而使用利用微波來產生的電漿並且用於 ECR 濺射法

此外，作為使用濺射法的成膜方法，還有在成膜中使

靶材物質和濺射氣體成分起化學反應，以形成它們的化合物薄膜的反應濺射法、在成膜中也對基板施加電壓的偏壓濺射法。

靶材藉由將靶材材料貼在底板（用來貼合靶材材料的基板）來製造，但是當將靶材材料貼在底板時，也可以將靶材材料分割並接合到一個底板。將四個靶材材料貼在一個底板的情況被稱為四分割。此外，將九個靶材材料貼在一個底板的情況被稱為九分割。對靶材材料的分割數沒有特別的限制。當將靶材材料分割時，可以緩和當貼在底板時的靶材材料的彎曲。這種分割的靶材材料特別較佳用於當在大面積基板上形成上述薄膜時伴隨此而大型化的靶材材料。當然，也可以將一個靶材材料貼在一個底板。

接著，進行光微影製程，在緩衝層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成源極電極層及汲極電極層 25a、25b。在源極電極層及汲極電極層 25a、25b 上留下具有相同的俯視形狀的緩衝層。然後，去除抗蝕劑掩模。

接著，形成其膜厚度為 5nm 至 200nm 的氧化物半導體膜。在本實施例模式中，利用使用包含氧化矽（ SiO_x ）的包含 Zn（鋅）的氧化物半導體靶材（ ZnO ）的濺射法，將 Ar 流量設定為 50sccm，將氧流量設定為 20sccm，將電力功率設定為 1kw，將壓力設定為 0.22Pa，以形成其膜厚度為 50nm 的膜。

此外，較佳在形成氧化物半導體膜之前，進行用來去

除附著在源極電極層及汲極電極層 25a、25b 以及閘極絕緣層的表面上的塵土等的電漿處理。作為電漿處理，例如進行引入氬氣體並利用 RF 電源來產生電漿的反濺射，對露出的源極電極層及汲極電極層 25a、25b 以及閘極絕緣層進行電漿處理。

接著，進行光微影製程，在氧化物半導體膜上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成氧化物半導體層 26。此外，藉由使用相同的抗蝕劑掩模對緩衝層進行選擇性的蝕刻，來形成源極區及汲極區 24a、24b。

接著，去除抗蝕劑掩模，然後較佳的以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在包含氧的氮氣氛圍下以 350℃ 進行一個小時的熱處理。藉由該熱處理，進行 Zn-O 類非單晶膜的原子級的重新排列。藉由該熱處理而解除阻礙載子遷移的應變，所以在此的熱處理（還包括光退火）是重要的。

接著，以膜厚度為 0.5μm 至 3μm 的範圍形成覆蓋源極電極層及汲極電極層 25a 和 25b、以及氧化物半導體層 26 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。

注意，形成樹脂層 17 後的製程與實施例模式 8 同一，所以在此示出簡短的描述。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低

功率條件（或者低基板溫度（低於 200°C 、較佳的為室溫至 100°C ））形成其膜厚度為 50nm 至 400nm 的範圍的第二保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。

藉由上述製程，可以得到圖 32A 所示的薄膜電晶體 22。

此外，圖 32B 示出其一部分與圖 32A 不同的結構。在圖 32B 中，除了與圖 32A 不同的部分以外，使用同一附圖標記而進行說明。

圖 32B 是以與圖 32A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 32B 所示，薄膜電晶體 23 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

此外，圖 32C 示出其一部分與圖 32A 不同的結構。在圖 32C 中，除了與圖 32A 不同的部分以外，使用同一附圖標記而進行說明。

圖 32C 是源極區及汲極區 27a、27b 和源極電極層及

汲極電極層 28a、28b 的上下位置關係與圖 32A 不同的例子。在源極電極層及汲極電極層 28a、28b 的下方設置源極區及汲極區 27a、27b，並且源極電極層及汲極電極層 28a、28b 發揮減少對源極區及汲極區 27a、27b 的電漿損傷的效果。

就是說，作為用來減少對源極區及汲極區 27a、27b 的電漿損傷的阻擋層，在源極區及汲極區 27a、27b 上形成三層（源極電極層及汲極電極層 28a、28b、樹脂層 17、第二閘極電極層 19），從而進一步減少對源極區及汲極區 27a、27b 的電漿損傷。

在圖 32C 所示的薄膜電晶體 29 中，接觸於閘極絕緣層 13 上地形成電阻低的氧化物半導體膜，在其上形成導電膜，然後使用當對導電膜進行選擇性的蝕刻時使用的抗蝕劑掩模相同的掩模，對電阻低的氧化物半導體膜進行蝕刻。從而，藉由對電阻低的氧化物半導體膜進行蝕刻而形成的源極區及汲極區 27a、27b 的俯視形狀與形成在該源極區及汲極區 27a、27b 上的源極電極層及汲極電極層 28a、28b 的俯視形狀大致相同。此外，源極電極層及汲極電極層 28a、28b 的頂面及側面接觸於氧化物半導體層 26 地形成。

此外，圖 32D 示出其一部分與圖 32C 不同的結構。在圖 32D 中，除了與圖 32C 不同的部分以外，使用同一附圖標記而進行說明。

圖 32D 是以與圖 32C 的第二閘極電極層 19 和第二保

護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 32D 所示，薄膜電晶體 30 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 10

圖 33A 是使用其上下由兩個閘極電極夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中，示出在具有絕緣表面的基板上設置用於像素部及驅動電路的薄膜電晶體的製造方法的一例。

注意，直到在具有絕緣表面的基板 10 上形成第一閘極電極層 11 並形成覆蓋第一閘極電極層 11 的閘極絕緣層 13 並且形成氧化物半導體膜的製程與實施例模式 8 同一，所以在此省略詳細說明，並且使用同一附圖標記說明與圖 31A 同一部分。

在本實施例模式中，形成在閘極絕緣層 13 上的氧化物半導體膜藉由使用包含 5wt%以上且 50wt%以下、較佳的為 10wt%以上且 30wt%以下的氧化矽的 Zn-O 類氧化物半導體靶材來形成，並且使 Zn-O 類氧化物半導體膜包含

阻擋晶化的氧化矽 (SiO_x ($x > 0$))。

接著，藉由濺射法不暴露於大氣地在 Zn-O 類氧化物半導體膜上形成通道保護膜。作為通道保護膜的材料，可以使用無機材料（氧化矽膜、氮化矽膜、氧氮化矽膜、或者氮氧化矽膜等）。

注意，氧氮化矽膜是指當藉由盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forward Scattering）測量時在其組成上氧含量多於氮含量的膜。此外，氮氧化矽膜是指當藉由 RBS 及 HFS 測量時在其組成上氮含量多於氧含量的膜。

接著，進行光微影製程，在通道保護膜上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成通道保護層 43。注意，第一閘極電極層 11 的寬度大於通道保護層 43 的寬度（通道長度方向上的寬度）。

此外，通道保護層 43 的材料不侷限於無機絕緣材料，而也可以使用藉由濺射法而得到的非晶半導體膜或其化合物、典型為非晶矽膜。此外，用於通道保護層的非晶矽膜的化合物是指藉由濺射法而形成的包含硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射法而形成的包含磷等 n 型雜質元素的 n 型非晶矽膜。尤其是，在作為通道保護層 43 而使用 p 型非晶矽膜的情況下，有如下效果：降低在截止時的漏電流，並且消除在接觸於 p 型非晶矽膜地設置的氧化物半導體層的背通道中產生的載子（電子）。此外，

在作為通道保護層 43 而使用非晶矽膜的情況下，非晶矽膜具有阻擋水分、氫離子、 OH^- 等的功能。此外，非晶矽膜也用作遮斷對氧化物半導體的光的入射的遮光層。

在本實施例模式中，作為通道保護層 43，使用藉由使用包含硼的靶材的濺射法而得到的包含硼的非晶矽膜。此外，包含硼的非晶矽膜以低功率條件或者基板溫度為低於 200°C 的條件形成。因為通道保護層 43 接觸於 Zn-O 類非單晶膜地形成，所以較佳的儘量減少在形成通道保護層 43 時及在蝕刻時的對 Zn-O 類非單晶膜的損傷。

接著，藉由濺射法在 Zn-O 類非單晶膜及通道保護層 43 上形成其電阻低於 Zn-O 類非單晶膜的氧化物半導體膜（在本實施例模式中，是 In-Ga-Zn-O-N 類非單晶膜）。在本實施例模式中，在包含氮氣體的氛圍下，藉由使用包含 In（銦）、Ga（鎵）及 Zn（鋅）的氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）的濺射法，來形成包含銦、鎵及鋅的氧氮化物膜。藉由後面對該氧氮化物膜進行熱處理，該氧氮化物膜成為電阻低的氧化物半導體膜。

接著，進行光微影製程，在 In-Ga-Zn-O-N 類非單晶膜上形成抗蝕劑掩模，對 Zn-O 類非單晶膜及 In-Ga-Zn-O-N 類非單晶膜進行蝕刻。在蝕刻後，由 Zn-O 類非單晶膜構成的氧化物半導體層 44 的側面露出。注意，在此的蝕刻不侷限於濕蝕刻，而也可以使用乾蝕刻。

接著，在去除抗蝕劑掩模後，藉由濺射法或真空蒸鍍法在 In-Ga-Zn-O-N 類非單晶膜上形成由金屬材料構成的

導電膜。作為導電膜的材料，可以舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。另外，在進行 200℃ 至 600℃ 的熱處理的情況下，較佳的使導電膜具有承受該熱處理的耐熱性。

接著，進行光微影製程，在導電膜上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成源極電極層及汲極電極層 36a、36b。在該蝕刻中，通道保護層 43 用作氧化物半導體層 44 的蝕刻停止層，所以氧化物半導體層 44 不受到蝕刻。此外，藉由在此的蝕刻，使用相同的抗蝕劑掩模，對 In-Ga-Zn-O-N 類非單晶膜進行選擇性的蝕刻，以形成源極區及汲極區 35a、35b。

接著，接觸於氧化物半導體層 44 的通道形成區上地設置通道保護層 43，所以可以防止在製程中氧化物半導體層 44 的通道形成區所受到的損傷（蝕刻中的電漿或蝕刻材料所導致的膜減少、氧化等）。由此，可以提高薄膜電晶體 31 的可靠性。

接著，在去除抗蝕劑掩模之後，較佳的以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 進行熱處理。在此放置在爐中，在氮氣氛圍或包含氧的氮氣氛圍下以 350℃ 進行一個小時的熱處理。

接著，以膜厚度為 0.5 μ m 至 3 μ m 的範圍形成覆蓋源極電極層及汲極電極層 36a 和 36b、以及通道保護層 43 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的

有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。

注意，形成樹脂層 17 後的製程與實施例模式 8 同樣，所以在此示出簡短的描述。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低功率條件（或者低基板溫度（低於 200℃、較佳的為室溫至 100℃））形成其膜厚度為 50nm 至 400nm 的範圍的第二保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。

藉由上述製程，可以得到圖 33A 所示的薄膜電晶體 31。注意，在薄膜電晶體 31 中，由通道保護層 43、樹脂層 17 和第二保護絕緣層 18 構成的疊層用作第二閘極絕緣層。

此外，藉由使第二閘極電極層 19 的寬度大於第一閘極電極層 11 的寬度，可以從第二閘極電極層 19 將閘極電壓施加到氧化物半導體層 44 的整體。再者，如果寄生電容不成問題的話，第二閘極電極層可以在驅動電路中覆蓋多個薄膜電晶體，並且該第二閘極電極層的面積與驅動電路的面積大致相同或其以上。

此外，如果寄生電容成問題的話，就較佳的在圖 33A 的結構中使第一閘極電極層 11 的寬度小於第二閘極電極

層 19 的寬度，縮小該第一閘極電極層 11 的重疊於源極電極層及汲極電極層的面積，以降低寄生電容。再者，也可以藉由使第一閘極電極層 11 的寬度大於通道保護層 43 的寬度並且使第二閘極電極層 19 的寬度小於通道保護層 43 的寬度，不使該第二閘極電極層 19 重疊於源極電極層及汲極電極層，以進一步降低寄生電容。

此外，圖 33B 示出其一部分與圖 33A 不同的結構。在圖 33B 中，除了與圖 33A 不同的部分以外，使用同一附圖標記而進行說明。

圖 33B 是以與圖 33A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 33B 所示，薄膜電晶體 32 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與樹脂層 17 一起發揮減少對氧化物半導體層 44 的電漿損傷的效果。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 11

圖 34A 是使用其上下由兩個閘極電極層夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中，示出在具有絕緣表面的基板上設置用於像素部及驅動

電路的薄膜電晶體的一例。

注意，除了接觸於氧化物半導體層 16 地設置有非晶矽膜的點以外，與實施例模式 8 同一，所以在此省略詳細說明，而使用同一附圖標記說明與圖 31A 同一部分。直到以源極電極層及汲極電極層 15a、15b 為掩模進行一部分的蝕刻來在氧化物半導體層 16 中形成其膜厚度薄的部分的製程與實施例模式 8 同一。

根據實施例模式 8，形成具有其膜厚度薄於重疊於源極電極層及汲極電極層 15a、15b 的區域的區域的氧化物半導體層 16。

接著，在去除抗蝕劑掩模後，藉由濺射法來形成非晶半導體膜或其化合物、典型為非晶矽膜。注意，非晶矽膜的化合物是指藉由濺射法而形成的包含硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射法而形成的包含磷等 n 型雜質元素的 n 型非晶矽膜。

但是，為了儘量降低對氧化物半導體層 16 的損傷，而將成膜條件設定為低功率條件或者基板溫度為低於 200℃ 的條件。在本實施例模式中，將基板溫度設定為室溫，並且將電力功率設定為 1kW，以形成非晶矽膜。

此外，也可以在形成非晶矽膜之前對露出的氧化物半導體層 16 的膜厚度薄的區域進行氧自由基處理。藉由進行氧自由基處理，可以進行氧化物半導體層的露出表面附近的改性，得到氧過剩區域。當在藉由進行氧自由基處理而成爲氧過剩區域的區域中形成非晶矽膜時，在介面形成

SiO_x ($x > 0$) 的薄膜，從而可以謀求實現截止電流的降低。

既可利用包含氧的氣體藉由電漿產生裝置供給氧自由基，又可藉由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，可以對薄膜進行表面改性。此外，不侷限於氧自由基處理，而也可以進行氬和氧的自由基處理。氬和氧的自由基處理是指引入氬氣體和氧氣體而產生電漿以對薄膜進行表面改性的處理。

接著，進行光微影製程，在非晶矽膜上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成通道保護層 41。注意，雖然在本實施例模式中示出對非晶矽膜進行選擇性的蝕刻的例子，但是沒有特別的限制，為了減少光掩模數及製程數，而不需要進行在此的光微影製程。通道保護層 41 可以用作阻擋水分、氫離子、 OH^- 等的層間膜。此外，由非晶矽膜構成的通道保護層 41 也用作遮斷對氧化物半導體層的光的入射的遮光層。

接著，以膜厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的範圍形成覆蓋源極電極層及汲極電極層 15a 和 15b、以及通道保護層 41 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。

注意，形成樹脂層 17 後的製程與實施例模式 8 同一，所以在此示出簡短的描述。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低

功率條件（或者低基板溫度（低於 200°C 、較佳為室溫至 100°C ））形成其膜厚度為 50nm 至 400nm 的範圍的第二保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。

藉由上述製程，可以得到圖 34A 所示的薄膜電晶體 31。

此外，由非晶矽膜構成的通道保護層 41 也用作遮斷對氧化物半導體層的光的入射的遮光層。雖然在本實施例模式中示出作為通道保護層 41 而使用非晶矽膜的例子，但是在作為通道保護層 41 而使用 p 型非晶矽膜的情況下，有如下效果：降低在截止時的漏電流，並且消除在接觸於 p 型非晶矽膜地設置的氧化物半導體層的背通道中產生的載子（電子）。

此外，圖 34B 示出其一部分與圖 34A 不同的結構。在圖 34B 中，除了與圖 34A 不同的部分以外，使用同一附圖標記而進行說明。

圖 34B 是以與圖 34A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 34B 所示，薄膜電晶體 32 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將

第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與通道保護層 41 及樹脂層 17 一起發揮減少對氧化物半導體層 16 的電漿損傷的效果。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 12

圖 35A 是使用其上下由兩個閘極電極層夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中，示出在具有絕緣表面的基板上設置用於像素部及驅動電路的薄膜電晶體的一例。

注意，除了接觸於氧化物半導體層 26 地設置有非晶矽膜的點以外，與實施例模式 9 同一，所以在此省略詳細說明，而使用同一附圖標記說明與圖 32A 同一部分。直到在閘極絕緣層 13 上以一部分接觸的方式形成氧化物半導體膜的製程與實施例模式 9 同一。

根據實施例模式 9，形成氧化物半導體膜，然後藉由濺射法不暴露於大氣地形成非晶半導體膜或其化合物、典型為非晶矽膜。注意，非晶矽膜的化合物是指藉由濺射法而形成的包含硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射法而形成的包含磷等 n 型雜質元素的 n 型非晶矽膜。

但是，為了儘量降低對氧化物半導體層 26 的損傷，

而將成膜條件設定為低功率條件或者基板溫度為低於 200℃ 的條件。在本實施例模式中，將基板溫度設定為室溫，並且將電力功率設定為 1kW，以形成包含硼的非晶矽膜。

此外，也可以在形成包含硼的非晶矽膜之前對露出的氧化物半導體膜進行氧自由基處理。藉由進行氧自由基處理，可以進行氧化物半導體膜的表面附近的改性，得到氧過剩區域。當在藉由進行氧自由基處理而成為氧過剩區域的區域中形成非晶矽膜時，在介面形成 SiO_x ($x > 0$) 的薄膜，從而可以謀求實現截止電流的降低。

既可利用包含氧的氣體藉由電漿產生裝置供給氧自由基，又可藉由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，可以對薄膜進行表面改性。此外，不侷限於氧自由基處理，而也可以進行氫和氧的自由基處理。氫和氧的自由基處理是指引入氫氣體和氧氣體而產生電漿以對薄膜進行表面改性的處理。

接著，進行光微影製程，在包含硼的非晶矽膜上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成通道保護層 42。通道保護層 42 可以用作阻擋水分、氫離子、OH-等的層間膜。此外，由非晶矽膜構成的通道保護層 42 也用作遮斷對氧化物半導體層的光的入射的遮光層。此外，使用相同的抗蝕劑掩模，去除氧化物半導體膜的不需要的部分，以形成氧化物半導體層 26。再者，使用相同的掩模，對緩衝層進行選擇性的蝕刻，以形成源極區及汲極區 24a、24b。

接著，在去除抗蝕劑掩模之後，較佳的以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此放置在爐中，在包含氧的氮氣氛圍下以 350°C 進行一個小時的熱處理。

接著，以膜厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的範圍形成覆蓋源極電極層及汲極電極層 25a 和 25b、以及氧化物半導體層 26 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。

注意，形成樹脂層 17 後的製程與實施例模式 9 同一，所以在此示出簡短的描述。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低功率條件（或者低基板溫度（低於 200°C 、較佳的為室溫至 100°C ））形成其膜厚度為 50nm 至 400nm 的範圍的第二保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。

藉由上述製程，可以得到圖 35A 所示的薄膜電晶體 33。

此外，圖 35B 示出其一部分與圖 35A 不同的結構。在圖 35B 中，除了與圖 35A 不同的部分以外，使用同一附圖

標記而進行說明。

圖 35B 是以與圖 35A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 35B 所示，薄膜電晶體 34 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與通道保護層 42 及樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

此外，圖 35C 示出其一部分與圖 35A 不同的結構。在圖 35C 中，除了與圖 35A 不同的部分以外，使用同一附圖標記而進行說明。

圖 35C 是源極區及汲極區 27a、27b 和源極電極層及汲極電極層 28a、28b 的上下位置關係與圖 35A 不同的例子。在源極電極層及汲極電極層 28a、28b 的下方設置源極區及汲極區 27a、27b，並且源極電極層及汲極電極層 28a、28b 發揮減少對源極區及汲極區 27a、27b 的電漿損傷的效果。

就是說，作為用來減少對源極區及汲極區 27a、27b 的電漿損傷的阻擋層，在源極區及汲極區 27a、27b 上形成四層（源極電極層及汲極電極層 28a、28b、通道保護層 42、樹脂層 17、第二閘極電極層 19），從而進一步減少對源極區及汲極區 27a、27b 的電漿損傷。

在圖 35C 所示的薄膜電晶體 35 中，接觸於閘極絕緣層 13 上地形成電阻低的氧化物半導體膜，在其上形成導電膜，然後使用當對導電膜進行選擇性的蝕刻時使用的抗蝕劑掩模相同的掩模，對電阻低的氧化物半導體膜進行蝕刻。從而，藉由對電阻低的氧化物半導體膜進行蝕刻而形成的源極區及汲極區 27a、27b 的俯視形狀與形成在該源極區及汲極區 27a、27b 上的源極電極層及汲極電極層 28a、28b 的俯視形狀大致相同。此外，源極電極層及汲極電極層 28a、28b 的頂面及側面接觸於氧化物半導體層 26 地形成。

此外，圖 35D 示出其一部分與圖 35C 不同的結構。在圖 35D 中，除了與圖 35C 不同的部分以外，使用同一附圖標記而進行說明。

圖 35D 是以與圖 35C 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 35D 所示，薄膜電晶體 36 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與通道保護層 42 及樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 13

圖 36A 是使用其上下由兩個閘極電極層夾住的氧化物半導體層的薄膜電晶體的截面圖的一例。在本實施例模式中，示出在具有絕緣表面的基板上設置用於像素部及驅動電路的薄膜電晶體的一例。

注意，除了接觸於氧化物半導體層 26 地設置有非晶矽膜的點以外，與實施例模式 9 同一，所以在此省略詳細說明，而使用同一附圖標記說明與圖 32A 同一部分。直到形成氧化物半導體層 26 的製程與實施例模式 9 同一。

根據實施例模式 9，形成氧化物半導體層 26，然後藉由濺射法形成非晶半導體膜或其化合物、典型為非晶矽膜作為接觸於氧化物半導體層 26 上的通道保護層 43。注意，非晶矽膜的化合物是指藉由濺射法而形成的包含硼等 p 型雜質元素的 p 型非晶矽膜、或者藉由濺射法而形成的包含磷等 n 型雜質元素的 n 型非晶矽膜。

但是，為了儘量降低對氧化物半導體層 26 的損傷，而將成膜條件設定為低功率條件或者基板溫度為低於 200℃ 的條件。在本實施例模式中，將基板溫度設定為室溫，並且將電力功率設定為 1kW，以形成包含硼的非晶矽膜。

此外，也可以在形成包含硼的非晶矽膜之前對露出的氧化物半導體層進行氧自由基處理。藉由進行氧自由基處理，可以進行氧化物半導體層的表面附近的改性，得到氧過剩區域。當在藉由進行氧自由基處理而成為氧過剩區域

的區域中形成非晶矽膜時，在介面形成 SiO_x ($x>0$) 的薄膜，從而可以謀求實現截止電流的降低。

既可利用包含氧的氣體藉由電漿產生裝置供給氧自由基，又可藉由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，可以對薄膜進行表面改性。此外，不侷限於氧自由基處理，而也可以進行氫和氧的自由基處理。氫和氧的自由基處理是指引入氫氣體和氧氣體而產生電漿以對薄膜進行表面改性的處理。

通道保護層 43 可以用作阻擋水分、氫離子、 OH^- 等的層間膜。此外，由非晶矽膜構成的通道保護層 43 也用作遮斷對氧化物半導體層的光的入射的遮光層。

接著，較佳以 200°C 至 600°C ，典型地以 300°C 至 500°C 進行熱處理。在此，放置在爐中，在包含氧的氮氣氛圍下以 350°C 進行一個小時的熱處理。

接著，以膜厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的範圍形成覆蓋通道保護層 43 的樹脂層 17。作為用於樹脂層 17 的感光性或者非感光性的有機材料，使用聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺-醯胺、抗蝕劑、苯並環丁烯、或者這些的疊層等。

注意，形成樹脂層 17 後的製程與實施例模式 9 同一，所以在此示出簡短的描述。

接著，在樹脂層 17 上藉由 PCVD 法或者濺射法以低功率條件（或者低基板溫度（低於 200°C 、較佳為室溫至 100°C ））形成其膜厚度為 50nm 至 400nm 的範圍的第二

保護絕緣層 18。此外，也可以以低功率條件利用高密度電漿裝置來形成第二保護絕緣層 18。

接著，在形成導電層後，進行光微影製程，在導電層上形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成佈線及電極（包括第二閘極電極層 19 的佈線等）。

藉由上述製程，可以得到圖 36A 所示的薄膜電晶體 37。

此外，圖 36B 示出其一部分與圖 36A 不同的結構。在圖 36B 中，除了與圖 36A 不同的部分以外，使用同一附圖標記而進行說明。

圖 36B 是以與圖 36A 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 36B 所示，薄膜電晶體 38 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與通道保護層 43 及樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

此外，圖 36C 示出其一部分與圖 36A 不同的結構。在圖 36C 中，除了與圖 36A 不同的部分以外，使用同一附圖標記而進行說明。

圖 36C 是源極區及汲極區 27a、27b 和源極電極層及汲極電極層 28a、28b 的上下位置關係與圖 36A 不同的例

子。在源極電極層及汲極電極層 28a、28b 的下方設置源極區及汲極區 27a、27b，並且源極電極層及汲極電極層 28a、28b 發揮減少對源極區及汲極區 27a、27b 的電漿損傷的效果。

就是說，作為用來減少對源極區及汲極區 27a、27b 的電漿損傷的阻擋層，在源極區及汲極區 27a、27b 上形成四層（源極電極層及汲極電極層 28a、28b、通道保護層 43、樹脂層 17、第二閘極電極層 19），從而進一步減少對源極區及汲極區 27a、27b 的電漿損傷。

在圖 36C 所示的薄膜電晶體 39 中，接觸於閘極絕緣層 13 上地形成電阻低的氧化物半導體膜，在其上形成導電膜，然後使用當對導電膜進行選擇性的蝕刻時使用的抗蝕劑掩模相同的掩模，對電阻低的氧化物半導體膜進行蝕刻。從而，藉由對電阻低的氧化物半導體膜進行蝕刻而形成的源極區及汲極區 27a、27b 的俯視形狀與形成在該源極區及汲極區 27a、27b 上的源極電極層及汲極電極層 28a、28b 的俯視形狀大致相同。此外，源極電極層及汲極電極層 28a、28b 的頂面及側面接觸於氧化物半導體層 26 地形成。

此外，圖 36D 示出其一部分與圖 36C 不同的結構。在圖 36D 中，除了與圖 36C 不同的部分以外，使用同一附圖標記而進行說明。

圖 36D 是以與圖 36C 的第二閘極電極層 19 和第二保護絕緣層 18 的形成順序不同的順序形成這些層的例子。

如圖 36D 所示，薄膜電晶體 40 的第二閘極電極層 19 以接觸於作為第一保護絕緣膜的樹脂層 17 上的方式形成，並且設置在樹脂層 17 和第二保護絕緣層 18 之間。在將第二閘極電極層 19 設置在樹脂層 17 和第二保護絕緣層 18 之間的情況下，該第二閘極電極層 19 與通道保護層 43 及樹脂層 17 一起發揮減少對氧化物半導體層 26 的電漿損傷的效果。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 14

以下說明在半導體裝置的一例的顯示裝置中，在同一基板上至少製造驅動電路的一部分及配置在像素部中的薄膜電晶體的例子。

根據實施例模式 2 而形成配置在像素部中的薄膜電晶體，其中，將包含 SiO_x 的氧化物半導體層用於通道形成區，並且，作為源極區及汲極區而使用添加有氮的氧化物半導體。此外，因為薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

圖 17A 示出半導體裝置的一例的主動矩陣型液晶顯示裝置的方塊圖的一例。圖 17A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；以及控制對被

選擇了的像素的視頻信號輸入的信號線驅動電路 5303。

此外，實施例模式 2 所示的薄膜電晶體是 n 通道型 TFT，參照圖 18 而說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 18 所示的信號線驅動電路包括：驅動器 IC5601；開關群 5602_1 至 5602_M；第一佈線 5611；第二佈線 5612；第三佈線 5613；以及佈線 5621_1 至 5621_M。開關群 5602_1 至 5602_M 分別包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M。而且，開關群 5602_1 至 5602_M 分別連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別對應於開關群 5602_1 至 5602_M 的佈線 5621_1 至 5621_M。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到三個信號線。例如，第 J 列的佈線 5621_J（佈線 5621_1 至佈線 5621_M 中的任一個）藉由開關群 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 Sj-1、信號線 Sj、信號線 Sj+1。

另外，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

另外，驅動器 IC5601 較佳的形成在單晶基板上。再者，開關群 5602_1 至 5602_M 較佳形成在與像素部同一基

板上。因此，較佳的藉由 FPC 等連接驅動器 IC5601 和開關群 5602_1 至 5602_M。

接著，參照圖 19 的時序圖而說明圖 18 所示的信號線驅動電路的工作。注意，圖 19 的時序圖示出在選擇第 i 列行掃描線 G_i 時的時序圖。再者，第 i 列行掃描線 G_i 的選擇期間被分割為第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 。而且，圖 18 的信號線驅動電路在其他列的掃描線被選擇的情況下也進行與圖 19 相同的工作。

注意，圖 19 的時序圖示出第 J 行佈線 5621_J 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 的情況。

注意，圖 19 的時序圖示出第 i 列掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5703a、第二薄膜電晶體 5603b 的導通·截止的時序 5703b、第三薄膜電晶體 5603c 的導通·截止的時序 5703c 及輸入到第 J 行佈線 5621_J 的信號 5721_J。

注意，在第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 中，對佈線 5621_1 至佈線 5621_M 分別輸入不同的視頻信號。例如，在第一子選擇期間 $T1$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第二子選擇期間 $T2$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j ，在第三子選擇期間 $T3$ 中輸入到佈線 5621_J 的

視頻信號輸入到信號線 S_{j+1} 。再者，在第一個子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號分別為 $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

如圖 19 所示，在第一個子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，並且第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，並且第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，並且第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，圖 18 的信號線驅動電路藉由將一個閘極選擇期間分割為三個而可以在一個閘極選擇期間中將視頻信號從一個佈線 5621 輸入到三個信號線。因此，圖 18 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的大約 $1/3$ 。藉由將連接數設定為大約 $1/3$ ，圖 18 的信號線驅動電路可以提高可靠性、良率等。

另外，只要能夠如圖 18 所示，將一個閘極選擇期間

分割為多個子選擇期間，並在多個子選擇期間的每一個中從某一個佈線將視頻信號分別輸入到多個信號線，就不限制薄膜電晶體的配置、數量及驅動方法等。

例如，當在三個以上的子選擇期間的每一個中從一個佈線將視頻信號分別輸入到三個以上的信號線時，追加薄膜電晶體及用於控制薄膜電晶體的佈線，即可。但是，當將一個閘極選擇期間分割為四個以上的子選擇期間時，一個子選擇期間變短。從而，較佳的將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一例，也可以如圖 20 的時序圖所示，將一個選擇期間分割為預充電期間 T_p 、第一子選擇期間 T_1 、第二子選擇期間 T_2 、第三子選擇期間 T_3 。再者，圖 20 的時序圖示出選擇第 i 列掃描線 G_i 的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5803a、第二薄膜電晶體 5603b 的導通·截止的時序 5803b、第三薄膜電晶體 5603c 的導通·截止的時序 5803c 以及輸入到第 J 行佈線 5621_J 的信號 5821_J。如圖 20 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621_J 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 。在第一子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，並且第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉

由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，並且第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，並且第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，因為應用圖 20 的時序圖的圖 18 的信號線驅動電路藉由在子選擇期間之前提供預充電選擇期間，可以對信號線進行預充電，所以可以高速地進行對像素的視頻信號的寫入。另外，在圖 20 中，使用相同的附圖標記來表示與圖 19 相同的部分，而省略對於同一部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器、緩衝器。此外，根據情況，還可以包括位準轉移器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號 (CLK) 及起始脈衝信號 (SP)，生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線連接有一條線的像素的電晶體的閘極電極。而且，由於需要將一條線的像素的電晶體一齊導通，因此使用能夠產生大電流的緩衝器。

參照圖 21 及圖 22 而說明用於掃描線驅動電路的一部分的移位暫存器的一種模式。

圖 21 示出移位暫存器的電路結構。圖 21 所示的移位暫存器由多個正反器（正反器 5701_1 至 5701_n）構成。此外，輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重設信號來進行工作。

說明圖 21 的移位暫存器的連接關係。在圖 21 的移位暫存器的第 i 級正反器 5701_i（正反器 5701_1 至 5701_n 中的任一個）中，圖 22 所示的第一佈線 5501 連接到第七佈線 5717_{i-1}，圖 22 所示的第二佈線 5502 連接到第七佈線 5717_{i+1}，圖 22 所示的第三佈線 5503 連接到第七佈線 5717_i，並且圖 22 所示的第六佈線 5506 連接到第五佈線 5715。

此外，在奇數級的正反器中圖 22 所示的第四佈線 5504 連接到第二佈線 5712，在偶數級的正反器中它連接到第三佈線 5713，並且圖 22 所示的第五佈線 5505 連接到第四佈線 5714。

但是，第一級正反器 5701_1 的圖 22 所示的第一佈線 5501 連接到第一佈線 5711，並且第 n 級正反器 5701_n 的圖 22 所示的第二佈線 5502 連接到第六佈線 5716。

注意，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，圖 22 示出圖 21 所示的正反器的詳細結構。圖

22 所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。注意，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，並且當閘極-源極電極間電壓 (V_{gs}) 超過臨界值電壓 (V_{th}) 時它們成為導通狀態。

在圖 22 中，第三薄膜電晶體 5573 的閘極電極與電源線電連接。此外，可以說，連接第三薄膜電晶體 5573 和第四薄膜電晶體 5574 的電路（在圖 22 中由虛線圍繞的電路）相當於圖 14A 所示的結構。在此示出所有薄膜電晶體是增強型 n 通道型電晶體的例子，但是沒有特別的限制，例如即使作為第三薄膜電晶體 5573 使用空乏型 n 通道型電晶體也可以驅動驅動電路。

接著，下面示出圖 21 所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極及汲極電極中的一方）連接到第四佈線 5504，並且第一薄膜電晶體 5571 的第二電極（源極電極及汲極電極中的另一方）連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接到第六佈線 5506，並且第二薄膜電晶體 5572 的第二電極連接到第三

佈線 5503。

第三薄膜電晶體 5573 的第一電極連接到第五佈線 5505，第三薄膜電晶體 5573 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第三薄膜電晶體 5573 的閘極電極連接到第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接到第六佈線 5506，第四薄膜電晶體 5574 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第四薄膜電晶體 5574 的閘極電極連接到第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接到第五佈線 5505，第五薄膜電晶體 5575 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第五薄膜電晶體 5575 的閘極電極連接到第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接到第六佈線 5506，第六薄膜電晶體 5576 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第六薄膜電晶體 5576 的閘極電極連接到第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接到第六佈線 5506，第七薄膜電晶體 5577 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第七薄膜電晶體 5577 的閘極電極連接到第二佈線 5502。第八薄膜電晶體 5578 的第一電極連接到第六佈線 5506，第八薄膜電晶體 5578 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第八薄膜電晶體 5578 的閘極電極連接到第一佈線 5501。

注意，以第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接部分為節點 5543。再者，以第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極及第八薄膜電晶體 5578 的第二電極的連接部分為節點 5544。

注意，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 5505、第六佈線 5506 也可以分別稱為第一電源線、第二電源線。

此外，藉由增大掃描線驅動電路的電晶體的通道寬度，或配置多個掃描線驅動電路等，可以實現更高的幀頻率。在配置多個掃描線驅動電路的情況下，藉由將用於驅動偶數行的掃描線的掃描線驅動電路配置在一側，並將用於驅動奇數行的掃描線的掃描線驅動電路配置在其相反一側，可以實現幀頻率的提高。另外，當利用多個掃描線驅動電路向同一掃描線輸出信號時，有利於顯示裝置的大型化。

此外，在製造半導體裝置的一例的主動矩陣型發光顯示裝置的情況下，因為至少在一個像素中配置多個薄膜電晶體，因此較佳配置多個掃描線驅動電路。圖 17B 示出主

動矩陣型發光顯示裝置的方塊圖的一例。

圖 17B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；以及控制對被選擇了的像素的視頻信號的輸入的信號線驅動電路 5403。

在輸入到圖 17B 所示的發光顯示裝置的像素的視頻信號為數位方式的情況下，藉由切換電晶體的導通和截止，使像素成為發光或非發光狀態。因此，可以採用區域灰度法或時間灰度法進行灰度顯示。面積灰度法是一種驅動法，其中藉由將一個像素分割為多個子像素並根據視頻信號而分別驅動各子像素，來進行灰度顯示。此外，時間灰度法是一種驅動法，其中藉由控制像素發光的期間，來進行灰度顯示。

因為發光元件的回應速度比液晶元件等快，所以與液晶元件相比適合於時間灰度法。具體地，在採用時間灰度法進行顯示的情況下，將一個幀期間分割為多個子幀期間。然後，根據視頻信號，在各子幀期間中使像素的發光元件成為發光或非發光狀態。藉由將一個幀期間分割為多個子幀期間，可以利用視頻信號控制在一個幀期間中像素實際上發光的期間的總長度，並可以顯示灰度。

注意，在圖 17B 所示的發光顯示裝置中示出一種例子，其中當在一個像素中配置兩個開關 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到一個開關 TFT 的閘極佈線

的第一掃描線的信號，並使用第二掃描線驅動電路 5404 生成輸入到另一個開關 TFT 的閘極佈線的第二掃描線的信號。但是，也可以使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如根據一個像素所具有的開關 TFT 的數量，可能會在各像素中設置多個用來控制切換元件的工作的掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個掃描線的所有信號，又可以使用多個掃描線驅動電路分別生成輸入到多個掃描線的所有信號。

此外，在發光顯示裝置中也可以將驅動電路中的能夠由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

此外，上述驅動電路除了液晶顯示裝置、發光顯示裝置以外還可以用於利用與切換元件電連接的元件來驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性；耗電量比其他的顯示裝置低；可形成為薄且輕的形狀。

作為電泳顯示器可考慮各種方式。電泳顯示器是如下裝置，即在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場使微囊中的粒子互相向相反方向移動，以僅顯示集合在一方的粒子的顏色。注意，第一粒子或第二粒子包含染料，並且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電电泳效應的顯示器。在該介電电泳效應中，介電常數高的物質移動到高電場區。电泳顯示器不需要液晶顯示裝置所需的偏光板和對置基板，從而可以將其膜厚度和重量減少一半。

將在溶劑中分散有上述微囊的溶液稱為電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使這些微囊夾在兩個電極之間，來完成主動矩陣型顯示裝置，並且藉由對微囊施加電場，可以進行顯示。例如，可以使用包括實施例模式 2 的薄膜電晶體（將包含 SiO_x 的氧化物半導體層用於通道形成區，並且作為源極區及汲極區使用添加有氮的氧化物半導體）的主動矩陣基板。

此外，作為微囊中的第一粒子及第二粒子，採用選自導體材料、絕緣體材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、电泳材料中的一種或這些材料的複合材料即可。

藉由上述製程，可以製造作為半導體裝置的可靠性高的顯示裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

在本實施例模式中，示出作為半導體裝置的發光顯示裝置的一例。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。對利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物進行區別，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞從一對電極分別植入到包含發光有機化合物的層，以產生電流。然後，藉由使這些載子（電子及電洞）重新結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，得到發光。根據這種機理，而這種發光元件被稱為電流激發型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施體能級和受體能級的施體-受體重新結合型發光。薄膜型無機 EL 元件具有由電介質層夾住發光層並還利用電極夾住該夾住發光層的電介質層的結構，並且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此使用有機 EL 元件作為發光元件而進行說明。

圖 23 示出作為半導體裝置的例子的可以應用數位時間灰度驅動的像素結構的一例。

對可以應用數位時間灰度驅動的像素的結構以及像素的工作進行說明。這裏示出在一個像素中使用兩個 n 通道

型電晶體的例子，該 n 通道型電晶體將包含 SiO_x 的氧化物半導體層（典型的是 Zn-O 類非單晶膜）用於通道形成區，並且作為源極區及汲極區而使用添加有氮的 Zn-O 類氧化物半導體。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 以及電容元件 6403。在開關電晶體 6401 中，閘極與掃描線 6406 連接，第一電極（源極電極及汲極電極中的一方）與信號線 6405 連接，第二電極（源極電極及汲極電極中的另一方）與驅動電晶體 6402 的閘極連接。在驅動電晶體 6402 中，閘極藉由電容元件 6403 與電源線 6407 連接，第一電極與電源線 6407 連接，第二電極與發光元件 6404 的第一電極（像素電極）連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接，並且將該連接部分用作共同連接部，即可。

另外，將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。另外，低電源電位是指以設定於電源線 6407 的高電源電位為基準滿足低電源電位 < 高電源電位的電位，並且作為低電源電位例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404，使發光元件 6404 產生電流以使發光元件 6404 發光，而以高電源電位與低電源電位的電位差為發光元件 6404 的正向臨界值電壓以上的方式分別設定高電源電位和低電源電位。

另外，還可以使用驅動電晶體 6402 的閘極電容代替電容元件 6403 而省略電容元件 6403。也可以在通道區與閘極電極之間形成驅動電晶體 6402 的閘極電容。

這裏，在採用電壓輸入電壓驅動方式的情況下，對驅動電晶體 6402 的閘極輸入使驅動電晶體 6402 充分導通或截止的視頻信號。就是說，使驅動電晶體 6402 在線性區中工作。由於使驅動電晶體 6402 在線性區中工作，因此將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極。注意，對信號線 6405 施加（電源線電壓+驅動電晶體 6402 的 V_{th} ）以上的電壓。

此外，當進行模擬灰度驅動而代替數位時間灰度驅動時，藉由使信號的輸入不同，可以使用與圖 23 相同的像素結構。

當進行模擬灰度驅動時，對驅動電晶體 6402 的閘極施加（發光元件 6404 的正向電壓+驅動電晶體 6402 的 V_{th} ）以上的電壓。發光元件 6404 的正向電壓是指在得到所希望的亮度時的電壓，至少包括正向臨界值電壓。注意，藉由輸入使驅動電晶體 6402 在飽和區中工作的視頻信號，可以在發光元件 6404 中產生電流。為了使驅動電晶體 6402 在飽和區中工作，而將電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為模擬方式，可以在發光元件 6404 中產生根據視頻信號的電流，而進行模擬灰度驅動。

另外，圖 23 所示的像素結構不侷限於此。例如，還

可以對圖 23 所示的像素追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 24A 至 24C 而說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。可以與實施例模式 2 所示的薄膜電晶體 170 同樣地製造用於圖 24A 至 24C 的半導體裝置的驅動 TFT 的 TFT7001、7011、7021，這些 TFT 是將包含 SiO_x 的氧化物半導體層用於通道形成區，並且作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體。

為了取出發光，發光元件的陽極或陰極的至少一方是透明的即可。而且，在基板上形成薄膜電晶體及發光元件，並且有如下結構的發光元件，即從與基板相反的面取出發光的頂部發射、從基板一側的面取出發光的底部發射以及從基板一側及與基板相反的面取出發光的雙面發射。像素結構可以應用於任何發射結構的發光元件。

參照圖 24A 而說明頂部發射結構的發光元件。

圖 24A 示出在驅動 TFT 的 TFT7001 是 n 型，並且從發光元件 7002 發射的光穿過到陽極 7005 一側的情況下的像素的截面圖。在 TFT7001 中，作為半導體層使用添加有氧化矽的 Zn-O 類氧化物半導體，並且作為源極區及汲極區使用添加有氮的 Zn-O 類氧化物半導體。在圖 24A 中，發光元件 7002 的陰極 7003 和驅動 TFT 的 TFT7001 電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。至於陰極 7003，只要是功函數低並且反射光的導電

膜，就可以使用各種材料。例如，較佳使用 Ca、Al、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多層的疊層構成。在由多層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置所有這些層。使用透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

由陰極 7003 及陽極 7005 夾住發光層 7004 的區域相當於發光元件 7002。在圖 24A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 24B 而說明底部發射結構的發光元件。圖 24B 示出在驅動 TFT7011 是 n 型，並且從發光元件 7012 發射的光發射到陰極 7013 一側的情況下的像素的截面圖。在 TFT7011 中，作為半導體層使用添加有氧化矽的 In-Zn-O 類氧化物半導體，並且作為源極區及汲極區使用添加有氮的 In-Zn-O 類氧化物半導體。在圖 24B 中，發光元件 7012 的陰極 7013 與驅動 TFT 的 TFT7011 電連接，並且在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用來反射光或遮光的遮罩膜 7016。與圖 24A 的情況同樣，至於陰極 7013，只要是功函數低的導電

材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度（較佳為 5nm 至 30nm 左右）。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 24A 同樣，發光層 7014 可以由單層或多層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 24A 同樣地使用具有透光性的導電材料來形成。並且，雖然遮罩膜 7016 例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾住發光層 7014 的區域相當於發光元件 7012。在圖 24B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 24C 而說明雙面發射結構的發光元件。在圖 24C 中，在與驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，並且在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。在 TFT7021 中，作為半導體層使用添加有氧化矽的 Zn-O 類氧化物半導體，並且作為源極區及汲極區使用添加有氮的 Zn-O 類氧化物半導體。與圖 24A 的情況同樣，至於陰極 7023，只要是功函數低的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 24A 同樣，發光層 7024 可以由單層或多層的疊層構成。陽極 7025 可以與圖 24A 同樣地使用透過光的具有透光性的導電材料來形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 24C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側的兩者。

另外，雖然在此描述了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

另外，雖然在本實施例模式中示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

接著，參照圖 25A 和 25B 而說明相當於半導體裝置的一種模式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 25A 是一種面板的俯視圖，其中利用密封材料將形成在第一基板上的薄膜電晶體及發光元件密封在與第二基板之間。圖 25B 相當於沿著圖 25A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，為了不暴露於大氣，而較佳由氣密性高且漏氣少的保護薄膜（貼合薄膜、紫外線

固化樹脂薄膜等)或覆蓋材料封裝(密封)。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 25B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

薄膜電晶體 4509、4510 使用添加有氧化矽的 Zn-O 類氧化物半導體，並且作為源極區及汲極區使用添加有氮的 Zn-O 類氧化物半導體。在本實施例模式中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，並且發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層及汲極電極層電連接。注意，雖然發光元件 4511 的結構為由第一電極層 4517、電致發光層 4512 和第二電極層 4513 構成的疊層結構，但是不侷限於本實施例模式所示的結構。可以根據從發光元件 4511 取出的光的方向等而適當地改變發光元件 4511 的結構。

分隔壁 4520 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而形成。特別較佳的是，以如下條件形成分隔壁 4520：使用感光性的材料，並在第一電極層 4517 上形成開口部，並且使該開口部的側壁成為具有連續曲率的傾斜面。

電致發光層 4512 既可以由單層構成，又可以由多層的疊層構成。

爲了不使氧、氫、水分、二氧化碳等侵入到發光元件 4511，而可以在第二電極層 4513 以及分隔壁 4520 上形成保護膜。可以形成氮化矽膜、氮氧化矽膜、DLC 膜等作爲保護膜。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例模式中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於取出來自發光元件 4511 的光的方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作爲填料 4507，除了氮、氫等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、EVA（乙烯-醋酸乙烯酯）。在本實施例模式中，作爲填料，使用氮。

另外，若有需要，則也可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、濾色片等的光學薄膜。另外，

也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理可以利用表面的凹凸來擴散反射光並降低眩光。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。本實施例模式不侷限於圖 25A 和 25B 的結構。

藉由上述製程，可以製造作為半導體裝置的可靠性高的發光顯示裝置（顯示面板）。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 16

製造將包含氧化矽（ SiO_x ）的氧化物半導體層用於通道形成區並且作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體，然後將該薄膜電晶體用於驅動電路、以及像素部，可以製造具有顯示功能的液晶顯示裝置。此外，將使用薄膜電晶體的驅動電路的一部分或全部一起形成在與像素部同一基板上，來形成系統型面板（system-on-panel）。

液晶顯示裝置作為顯示元件包括液晶元件（也稱為液晶顯示元件）。

此外，液晶顯示裝置包括密封有顯示元件的面板和在該面板安裝有包括控制器的 IC 等的模組。再者，關於在製造該液晶顯示裝置的過程中相當於顯示元件完成之前的一種方式的元件基板，並且該元件基板在多個像素中分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，或其他任何方式。

注意，本說明書中的液晶顯示裝置是指圖像顯示裝置、顯示裝置、或光源（包括照明裝置）。另外，液晶顯示裝置包括：安裝有連接器諸如 FPC（Flexible Printed Circuit；撓性印刷電路）、TAB（Tape Automated Bonding；載帶自動接合）膠帶或 TCP（Tape Carrier Package；載帶封裝）的模組；將印刷線路板設置於 TAB 膠帶或 TCP 端部的模組；藉由 COG（Chip On Glass；玻璃上晶片）方式將 IC（積體電路）直接安裝到顯示元件上的模組。

參照圖 26A1 至 26B 而說明相當於液晶顯示裝置的一種模式的液晶顯示面板的外觀及截面。圖 26A1 和 26A2 是一種面板的俯視圖，其中利用密封材料 4005 將液晶元件 4013 密封在第一基板 4001 與第二基板 4006 之間。圖 26B 相當於沿著圖 26A1 和 26A2 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在

像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。在本實施例模式中，對液晶層 4008 沒有特別的限制，但是使用顯示藍相的液晶材料。在從未施加電壓狀態到施加電壓狀態中，顯示藍相的液晶材料的回應速度短，即為 1msec 以下，可以實現高速回應。作為顯示藍相的液晶材料包括液晶及手性試劑。手性試劑用於使液晶取向為螺旋結構並顯示出藍相。例如，將混合有 5wt% 以上的手性試劑的液晶材料用於液晶層，即可。液晶使用熱致液晶、低分子液晶、高分子液晶、鐵電性液晶、反鐵電性液晶等。

此外，在圖 26A1 中，在與第一基板 4001 上的由密封材料 4005 圍繞的區域不同的區域安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。注意，圖 26A2 是將信號線驅動電路的一部分形成在第一基板 4001 上的例子，其中，在第一基板 4001 上形成信號線驅動電路 4003b，並且在另行準備的基板上安裝有由單晶半導體膜或多晶半導體膜形成的信號線驅動電路 4003a。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 26A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，並且圖 26A2 是藉由 TAB 方法安裝信號線驅動電

路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 26B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有絕緣層 4020、4021。作為薄膜電晶體 4010、4011，可以應用將包含氧化矽（ SiO_x ）的氧化物半導體層用於通道形成區並作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體。在本實施例模式中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，在第一基板 4001 上設置像素電極層 4030 及共同電極層 4031，並且像素電極層 4030 與薄膜電晶體 4010 電連接。液晶元件 4013 包括像素電極層 4030、共同電極層 4031 以及液晶層 4008。在本實施例模式中，使用藉由產生大致平行於基板（即，水平方向）的電場來在平行於基板的面內移動液晶分子以控制灰度的方式。作為這種方式，可以應用在 IPS（In Plane Switching；平面內切換）模式中使用的電極結構、在 FFS（Fringe Field Switching；邊緣場切換）模式中使用的電極結構。注意，在第一基板 4001、第二基板 4006 的外側分別設置有偏光板 4032、4033。

注意，作為第一基板 4001、第二基板 4006，可以使用具有透光性的玻璃、塑膠等。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維強化塑膠）板

、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。
此外，還可以使用具有將鋁箔夾在 PVF 薄膜或聚酯薄膜之間的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制液晶層 4008 的膜厚度（單元間隙）而設置的。另外，還可以使用球狀間隔物。

另外，雖然在圖 26A1 至 26B 的液晶顯示裝置中示出在基板的外側（可見一側）設置偏光板的例子，但是也可以在基板的內側設置偏光板。根據偏光板的材料及製造製程條件適當地設定設置偏光板的位置即可。另外，還可以設置用作黑矩陣的遮光層。

層間膜的絕緣層 4021 是透光性樹脂層。此外，將層間膜的絕緣層 4021 的一部分用作遮光層。遮光層較佳的覆蓋薄膜電晶體 4010、4011 地設置。在圖 26A1 至 26B 中，以覆蓋薄膜電晶體 4010、4011 的上方的方式在第二基板 4006 一側設置有遮光層 4034。藉由設置遮光層 4012 及遮光層 4034，可以進一步提高對比度的提高、薄膜電晶體的穩定化的效果。

藉由設置遮光層 4034，可以降低入射到薄膜電晶體的半導體層的光的強度，並且可以得到防止因氧化物半導體的光敏度而導致的薄膜電晶體的電特性變動來實現穩定化的效果。

可以採用利用用作薄膜電晶體的保護膜的絕緣層 4020

進行覆蓋的結構，但是沒有特別的限制。

另外，因為保護膜是用來防止懸浮在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入的，所以較佳的採用緻密的膜。使用濺射法並利用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層來形成保護膜，即可。

此外，當作爲平坦化絕緣膜還形成透光絕緣層時，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺或環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。注意，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層。

對層疊的絕緣層的形成方法沒有特別的限制，而可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗機、幕塗機、刮刀塗佈機等。在使用材料液形成絕緣層的情況下，也可以在進行焙燒的製程中同時進行半導體層的退火（200℃至400℃）。藉由同時進行絕緣層的焙燒製程和半導體層的退火，可以有效地製造液晶顯示裝置。

作爲像素電極層 4030、共同電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面表示爲 ITO）、氧化銦鋅、添加

有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物來形成像素電極層 4030、共同電極層 4031。

此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

此外，因為薄膜電晶體容易由於靜電等而發生損壞，所以較佳對於閘極線或源極電極線，而在同一基板上設置驅動電路保護用的保護電路。保護電路較佳由使用氧化物半導體的非線性元件構成。

在圖 26A1 至 26B 中，連接端子電極 4015 由與像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 26A1 至 26B 中示出另行形成信號線驅動電路 4003 並將它安裝到第一基板 4001 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 27 是液晶顯示裝置的截面結構的一例，利用密封材料 2602 固定元件基板 2600 和對置基板 2601，並在其間

設置包括 TFT 等的元件層 2603、液晶層 2604。

當進行彩色顯示時，在背光燈部配置發射多種發光顏色的發光二極體。當採用 RGB 方式時，將紅色的發光二極體 2910R、綠色的發光二極體 2910G、藍色的發光二極體 2910B 分別配置在將液晶顯示裝置的顯示區分割為多個區的分割區。

在對置基板 2601 的外側設置有偏光板 2606，並且在元件基板 2600 的外側設置有偏光板 2607、光學片 2613。光源由紅色的發光二極體 2910R、綠色的發光二極體 2910G、藍色的發光二極體 2910B 以及反射板 2611 構成，並且設置在電路基板 2612 上的 LED 控制電路 2912 藉由撓性線路板 2609 與元件基板 2600 的佈線電路部 2608 連接，並且還組裝有控制電路、電源電路等的外部電路。

在本實施例模式中示出利用該 LED 控制電路 2912 個別使 LED 發光的場序制方式的液晶顯示裝置的例子，但是沒有特別的限制，也可以作為背光燈的光源使用冷陰極管或白色 LED，並設置濾色片。

此外，雖然在本實施例模式中示出在 IPS 模式中使用的電極結構的例子，但是沒有特別的限制，可以使用 TN（扭曲向列；Twisted Nematic）模式、MVA（多象限垂直配向；Multi-domain Vertical Alignment）模式、PVA（垂直取向構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric aligned Micro-cell）模式、OCB（光學補償彎曲；Optical Compensated

Birefringence) 模式、FLC (鐵電性液晶; Ferroelectric Liquid Crystal) 模式、AFLC (反鐵電性液晶; Anti Ferroelectric Liquid Crystal) 模式等。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 17

在本實施例模式中，作為半導體裝置示出電子紙的一例。

圖 28A 示出主動矩陣型電子紙的截面圖。可以與實施例模式 2 所示的將包含氧化矽 (SiO_x) 的氧化物半導體層用於通道形成區並作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體同樣地製造用於配置在半導體裝置的顯示部中的薄膜電晶體 581。

圖 28A 的電子紙是採用扭轉球顯示方式的顯示裝置的例子。扭轉球顯示方式是指一種方法，其中將一個半球表面為白色而另一半球表面為黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

密封在基板 580 和基板 596 之間的薄膜電晶體 581 是底柵結構的薄膜電晶體，並利用源極電極層及汲極電極層與第一電極層 587 在形成於絕緣層 585 中的開口中接觸並電連接。在第一電極層 587 和第二電極層 588 之間設置有

球形粒子 589，該球形粒子 589 具有黑色區 590a 及白色區 590b，其周圍包括充滿液體的空洞 594，並且球形粒子 589 的周圍填充有樹脂等的填料 595（參照圖 28A）。在本實施例模式中，第一電極層 587 相當於像素電極，第二電極層 588 相當於共同電極。第二電極層 588 與設置在與薄膜電晶體 581 同一基板上的共同電位線電連接。在共同連接部中，可以藉由配置在一對基板間的導電粒子，使第二電極層 588 與共同電位線電連接。

此外，還可以使用電泳元件而代替扭轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒以及帶負電的黑色微粒。對設置在第一電極層和第二電極層之間的微囊來說，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒移動到相反方向，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，被稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，其耗電量低，並且在昏暗的地方也可以辨別顯示部。此外，即使不給顯示部供應電源，也能夠保持顯示過一次的圖像，因此，當使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或具備顯示裝置的半導體裝置）遠離電波發射源時，也可以儲存顯示過的圖像。

藉由實施例模式 2 所示的製程來製造將包含氧化矽的氧化物半導體層用於通道形成區並作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體，可以製造減少

製造成本的電子紙作為半導體裝置。電子紙可以用於用來顯示資訊的各種領域的電子設備。例如，可以將電子紙應用於電子書讀取器（電子書）、海報、電車等的交通工具的車內廣告、信用卡等的各種卡片的顯示等。圖 28B 示出電子設備的一例。

圖 28B 示出電子書籍 2700 的一例。例如，電子書籍 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，並且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連續畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 28B 中的顯示部 2705）上顯示文章，並且在左邊的顯示部（圖 28B 中的顯示部 2707）上顯示圖像。

此外，在圖 28B 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書籍 2700 也可以具有作為電子詞

典的功能。

此外，電子書籍 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 18

包括將包含氧化矽（ SiO_x ）的氧化物半導體層用於通道形成區並作為源極區及汲極區使用添加有氮的氧化物半導體的薄膜電晶體的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機或數位攝像機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

圖 29A 示出電視裝置 9600 的一例。在電視裝置 9600 中，框體組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出固定在牆上以支撐框體的背面的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道

、音量的操作，並可以對顯示在顯示部 9603 上的映射進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

注意，電視裝置 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 29B 示出一種可攜式遊戲機，它由框體 9881 和框體 9891 的兩個框體構成，並且藉由聯結部 9893 聯結為能夠開閉。框體 9881 組裝有顯示部 9882，並且框體 9891 組裝有顯示部 9883。另外，圖 29B 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，而只要採用至少具備半導體裝置的結構就可以，而可以採用適當地設置有其他附屬設備的結構。圖 29B 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上；藉由與其他可攜

式遊戲機進行無線通信而實現資訊共用。另外，圖 29B 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 30A 示出行動電話機 1000 的一例。行動電話機 1000 除了組裝在框體 1001 的顯示部 1002 之外還具備操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 30A 所示的行動電話機 1000 可以用手指等觸摸顯示部 1002 來輸入資訊。此外，可以用手指等觸摸顯示部 1002 來打電話或製作電子郵件等。

顯示部 1002 的畫面主要有三種模式。第一是以圖像的顯示爲主的顯示模式，第二是以文字等的資訊的輸入爲主的輸入模式，第三是顯示模式和輸入模式的兩種模式混合的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 1002 設定爲以文字輸入爲主的文字輸入模式，並進行顯示在畫面上的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的畫面的大部分上顯示鍵盤或號碼按鈕。

此外，藉由在行動電話機 1000 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷行動電話機 1000 的方向（豎向還是橫向），從而可以對顯示部 1002 的畫面顯示進行自動切換。

藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003

進行操作，切換畫面模式。此外，還可以根據顯示在顯示部 1002 上的圖像種類而切換畫面模式。例如，當顯示在顯示部上的視頻信號為動態圖像的資料時，將畫面模式切換成顯示模式，並且當顯示在顯示部上的視頻信號為文字資料時，將畫面模式切換成輸入模式。

此外，當在輸入模式中藉由檢測出顯示部 1002 的光感測器所檢測的信號得知在一定期間中沒有顯示部 1002 的觸摸操作輸入時，也可以以將畫面模式從輸入模式切換成顯示模式的方式來進行控制。

還可以將顯示部 1002 用作圖像感測器。例如，藉由用手掌或手指觸摸顯示部 1002，來拍攝掌紋、指紋等，而可以進行身份識別。此外，藉由在顯示部中使用發射近紅外光的背光燈或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

圖 30B 也是行動電話機的一例。圖 30B 的行動電話機包括：在框體 9411 中具有顯示部 9412 以及操作按鈕 9413 的顯示裝置 9410；以及在框體 9401 中具有操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 以及在接電話時發光的發光部 9406 的通信裝置 9400，並且具有顯示功能的顯示裝置 9410 與具有電話功能的通信裝置 9400 可以在箭頭所指的兩個方向上裝卸。因此，可以將顯示裝置 9410 和通信裝置 9400 的短軸互相連接，或將顯示裝置 9410 和通信裝置 9400 的長軸互相連接。另外，當僅需要顯示功能時，可以將通信裝置 9400 和顯示裝置 9410

分開而單獨使用顯示裝置 9410。通信裝置 9400 和顯示裝置 9410 可以藉由無線通信或有線通信來進行圖像或輸入資訊的收發，並分別具有可進行充電的電池。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是示出本發明的一種實施例的截面圖及俯視圖；

圖 2A 和 2B 是示出本發明的一種實施例的截面圖及俯視圖；

圖 3 是示出本發明的一種實施例的截面圖；

圖 4 是示出本發明的一種實施例的俯視圖；

圖 5A1 至 5B2 是示出本發明的一種實施例的截面圖及俯視圖；

圖 6 是示出本發明的一種實施例的俯視圖；

圖 7 是示出 ZnO 的單晶結構的模型圖；

圖 8A 至 8E 是示出各模型的徑向分佈函數 $g(r)$ 的圖表；

圖 9A 至 9D 是示出各模型的徑向分佈函數 $g(r)$ 的圖表；

圖 10A 至 10E 是示出各模型的 XRD 分析模擬結果的圖表；

圖 11A 至 11D 是示出各模型的 XRD 分析模擬結果的圖表；

圖 12A 至 12E 是示出本發明的一種實施例的製程截面圖；

圖 13A 和 13B 是示出本發明的一種實施例的截面圖及俯視圖；

圖 14A 和 14B 是示出本發明的一種實施例的截面圖及俯視圖；

圖 15A 和 15B 是示出本發明的一種實施例的截面圖及俯視圖；

圖 16A 和 16B 是示出本發明的一種實施例的截面圖及俯視圖；

圖 17A 和 17B 是示出本發明的一種實施例的半導體裝置的方塊圖；

圖 18 是說明本發明的一種實施例的信號線驅動電路的結構的圖；

圖 19 是說明本發明的一種實施例的信號線驅動電路的工作的時序圖；

圖 20 是說明本發明的一種實施例的信號線驅動電路的工作的時序圖；

圖 21 是說明本發明的一種實施例的移位暫存器的結構的一例的圖；

圖 22 是說明圖 21 所示的正反器的連接結構的圖；

圖 23 是說明本發明的一種實施例的半導體裝置的像

素等效電路的圖；

圖 24A 至 24C 是說明本發明的一種實施例的半導體裝置的截面圖；

圖 25A 和 25B 是說明本發明的一種實施例的半導體裝置的俯視圖及截面圖；

圖 26A1 至 26B 是說明本發明的一種實施例的半導體裝置的俯視圖及截面圖；

圖 27 是說明本發明的一種實施例的半導體裝置的截面圖；

圖 28A 和 28B 是說明本發明的一種實施例的半導體裝置的截面圖及電子設備的外觀圖；

圖 29A 和 29B 是示出本發明的一種實施例的電子設備的圖；

圖 30A 和 30B 是示出本發明的一種實施例的電子設備的圖；

圖 31A 和 31B 是示出本發明的一種實施例的截面圖；

圖 32A 至 32D 是示出本發明的一種實施例的截面圖

；

圖 33A 和 33B 是示出本發明的一種實施例的截面圖；

圖 34A 和 34B 是示出本發明的一種實施例的截面圖；

圖 35A 至 35D 是示出本發明的一種實施例的截面圖；以及

圖 36A 至 36D 是示出本發明的一種實施例的截面圖

。

【 主 要 元 件 符 號 說 明 】

10：基板

11：閘極電極層

12：基底絕緣層

13：閘極絕緣層

14a：源極區及汲極區

14b：源極區及汲極區

15a：源極電極層及汲極電極層

15b：源極電極層及汲極電極層

16：氧化物半導體層

17：樹脂層

18：保護絕緣層

19：閘極電極層

20：薄膜電晶體

21：薄膜電晶體

22：薄膜電晶體

23：薄膜電晶體

24a：源極區及汲極區

24b：源極區及汲極區

25a：源極電極層及汲極電極層

25b：源極電極層及汲極電極層

26：氧化物半導體層

27a：源極區及汲極區

27b：源極區及汲極區

28a：源極電極層及汲極電極層

28b：源極電極層及汲極電極層

29：薄膜電晶體

30：薄膜電晶體

31：薄膜電晶體

32：薄膜電晶體

33：薄膜電晶體

34：薄膜電晶體

35：薄膜電晶體

36：薄膜電晶體

37：薄膜電晶體

38：薄膜電晶體

39：薄膜電晶體

40：薄膜電晶體

41：通道保護層

42：通道保護層

43：通道保護層

44：氧化物半導體層

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極區及汲極區

- 104b：源極區及汲極區
- 105a：源極電極層及汲極電極層
- 105b：源極電極層及汲極電極層
- 106：保護絕緣層
- 107：絕緣膜
- 108：電容佈線
- 110：像素電極層
- 120：連接電極
- 121：端子
- 122：端子
- 128：透明導電膜
- 129：透明導電膜
- 150：端子
- 154：保護絕緣膜
- 155：透明導電膜
- 156：電極
- 160：薄膜電晶體
- 170：薄膜電晶體
- 300：基板
- 301：閘極電極
- 303：閘極絕緣層
- 305：氧化物半導體層
- 304a：氧氮化物層
- 304b：氧氮化物層

309：佈線

310：佈線

330：薄膜電晶體

350：基板

351：閘極電極層

352：閘極絕緣層

353：氧化物半導體層

354a：源極區及汲極區

354b：源極區及汲極區

355a：源極電極層及汲極電極層

355b：源極電極層及汲極電極層

357：絕緣膜

35a：源極區及汲極區

35b：源極區及汲極區

360：薄膜電晶體

36a：源極電極層及汲極電極層

36b：源極電極層及汲極電極層

380：氧化物半導體膜

381：氧氮化物膜

383：導電膜

384：掩模

385：氧氮化物層

387：導電層

388：掩模

390：氧化物半導體層

400：基板

401：閘極電極

402：閘極絕緣層

403：氧化物半導體層

406a：源極區及汲極區

406b：源極區及汲極區

409：佈線

410：佈線

418：通道保護層

430：薄膜電晶體

581：薄膜電晶體

585：絕緣層

587：電極層

588：電極層

589：球形粒子

590a：黑色區

590b：白色區

594：空洞

595：填料

600：基板

603：閘極絕緣層

605：氧化物半導體層

606a：源極區及汲極區

606b：源極區及汲極區

609：佈線

610：佈線

630：薄膜電晶體

740：基板

741：閘極電極

742：閘極電極

743：閘極絕緣層

744：接觸孔

745：氧化物半導體層

747：氧化物半導體層

749：佈線

750：佈線

751：佈線

755a：源極區及汲極區

755b：源極區及汲極區

756a：源極區及汲極區

756b：源極區及汲極區

760：薄膜電晶體

761：薄膜電晶體

1000：行動電話機

1001：框體

1002：顯示部

1003：操作按鈕

1004：外部連接埠

1005：揚聲器

1006：麥克風

2600：元件基板

2601：對置基板

2602：密封材料

2603：元件層

2604：液晶層

2606：偏光板

2607：偏光板

2608：佈線電路部

2609：撓性線路板

2611：反射板

2612：電路基板

2613：光學片

2700：電子書籍

2701：框體

2703：框體

2705：顯示部

2707：顯示部

2711：軸部

2721：電源

2723：操作鍵

2725：揚聲器

2912：LED 控制 電 路

4001：基 板

4002：像 素 部

4003：信 號 線 驅 動 電 路

4003a：信 號 線 驅 動 電 路

4003b：信 號 線 驅 動 電 路

4004：掃 描 線 驅 動 電 路

4005：密 封 材 料

4006：基 板

4008：液 晶 層

4010：薄 膜 電 晶 體

4011：薄 膜 電 晶 體

4012：遮 光 層

4013：液 晶 元 件

4015：連 接 端 子 電 極

4016：端 子 電 極

4018：FPC

4019：各 向 異 性 導 電 膜

4020：絕 緣 層

4021：層 間 膜（絕 緣 層）

4030：像 素 電 極 層

4031：共 同 電 極 層

4032：偏 光 板

4033：偏 光 板

- 4034：遮光層
- 4501：基板
- 4502：像素部
- 4503a：信號線驅動電路
- 4503b：信號線驅動電路
- 4504a：掃描線驅動電路
- 4504b：掃描線驅動電路
- 4505：密封材料
- 4506：基板
- 4507：填料
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層
- 4518a：FPC
- 4518b：FPC
- 4519：各向異性導電膜
- 4520：分隔壁
- 5300：基板
- 5301：像素部

5302：掃描線驅動電路

5303：信號線驅動電路

5400：基板

5401：像素部

5402：掃描線驅動電路

5403：信號線驅動電路

5404：掃描線驅動電路

5501：佈線

5502：佈線

5503：佈線

5504：佈線

5505：佈線

5506：佈線

5543：節點

5544：節點

5571：薄膜電晶體

5572：薄膜電晶體

5573：薄膜電晶體

5574：薄膜電晶體

5575：薄膜電晶體

5576：薄膜電晶體

5577：薄膜電晶體

5578：薄膜電晶體

5601：驅動器 IC

5602 : 開關群

5603a : 薄膜電晶體

5603b : 薄膜電晶體

5603c : 薄膜電晶體

5611 : 佈線

5612 : 佈線

5613 : 佈線

5621 : 佈線

5701 : 正反器

5703a : 時序

5703b : 時序

5703c : 時序

5711 : 佈線

5712 : 佈線

5713 : 佈線

5714 : 佈線

5715 : 佈線

5716 : 佈線

5717 : 佈線

5721 : 信號

5803a : 時序

5803b : 時序

5803c : 時序

5821 : 信號

6400：像素
6401：開關電晶體
6402：驅動電晶體
6403：電容元件
6404：發光元件
6405：信號線
6406：掃描線
6407：電源線
6408：共同電極

7001：TFT
7002：發光元件
7003：陰極
7004：發光層
7005：陽極

7011：驅動 TFT
7012：發光元件
7013：陰極
7014：發光層
7015：陽極
7016：遮罩膜
7017：導電膜
7021：驅動 TFT
7022：發光元件
7023：陰極

7024：發光層

7025：陽極

7027：導電膜

9400：通信裝置

9401：框體

9402：操作按鈕

9403：外部輸入端子

9404：麥克風

9405：揚聲器

9406：發光部

9410：顯示裝置

9411：框體

9412：顯示部

9413：操作按鈕

9600：電視裝置

9601：框體

9603：顯示部

9607：顯示部

9609：操作鍵

9610：遙控操作機

9881：框體

9882：顯示部

9883：顯示部

9884：揚聲器部

9885：操作鍵

9886：記錄媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED 燈

9891：框體

9893：聯結部

2910B：發光二極體

2910G：發光二極體

2910R：發光二極體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99108506

※申請日：99年03月23日

※IPC分類：

H01L 29/18 (2006.01)

H01L 21/336 (2006.01)

C23C 14/08 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

本發明的一種實施例的目的之一在於提供具備使用氧化物半導體層並具有優良的電特性的薄膜電晶體的半導體裝置。半導體裝置，包括：絕緣表面上的閘極電極；包含氧化矽的氧化物半導體層；閘極電極和氧化物半導體層之間的絕緣層；包含氧化矽的氧化物半導體層與源極電極層及汲極電極層之間的源極區及汲極區，其中，源極區及汲極區使用退化的氧化物半導體材料或氧氮化物材料。

三、英文發明摘要：

An object of an embodiment of the present invention is to provide a semiconductor device provided with a thin film transistor which includes an oxide semiconductor layer and has high electric characteristics. The semiconductor device includes a gate electrode over an insulating surface, an oxide semiconductor layer including silicon oxide, an insulating layer between the gate electrode and the oxide semiconductor layer, and source and drain regions between the oxide semiconductor layer including silicon oxide and source and drain electrode layers. The source and drain regions are formed using a degenerate oxide semiconductor material or a degenerate oxynitride material.

七、申請專利範圍：

1. 一種半導體裝置，包含：

絕緣表面上的閘極電極；

包括氧化矽的氧化物半導體層；

該閘極電極和該包括氧化矽的氧化物半導體層之間的絕緣層；以及

該包括氧化矽的氧化物半導體層與源極電極層及汲極電極層之間的源極區及汲極區，

其中，該源極區及汲極區含有退化的氧化物半導體材料或退化的氧氮化物材料。

2. 如申請專利範圍第 1 項的半導體裝置，其中，該退化的氧化物半導體材料使光透過。

3. 如申請專利範圍第 1 項的半導體裝置，其中，該包括氧化矽的氧化物半導體層包括鋅。

4. 如申請專利範圍第 1 項的半導體裝置，其中，該包括氧化矽的氧化物半導體層藉由使用大於或等於 2.5wt% 且小於或等於 20wt% 的氧化矽的氧化物半導體靶材的濺射法來形成。

5. 如申請專利範圍第 1 項的半導體裝置，其中，該半導體裝置是選自由電子書、電視裝置、遊戲機以及電話機構成的組中的一種。

6. 一種半導體裝置的製造方法，包含：

在絕緣表面上形成閘極電極；

在該閘極電極上形成絕緣層；

藉由使用包括大於或等於 2.5wt% 且小於或等於 20wt% 的氧化矽的第一氧化物半導體靶材的濺射法在該絕緣層上形成包括氧化矽的氧化物半導體層；以及

在包括氮的氛圍下使用第二氧化物半導體靶材在該包括氧化矽的氧化物半導體層上形成氧氮化物層。

7. 如申請專利範圍第 6 項的半導體裝置的製造方法，還包含：在形成該氧氮化物層後，去除重疊於該閘極電極的該氧氮化物層的一部分，以使該包括氧化矽的氧化物半導體層的一部分露出。

8. 如申請專利範圍第 6 項的半導體裝置的製造方法，其中，該半導體裝置是選自由電子書、電視裝置、遊戲機以及電話機構成的組中的一種。

9. 一種半導體裝置的製造方法，包含：

藉由使用包括大於或等於 2.5wt% 且小於或等於 20wt% 的氧化矽的第一氧化物半導體靶材的濺射法在絕緣表面上形成氧化物半導體層；

在包括氮的氛圍下藉由使用第二氧化物半導體靶材的濺射法在該包括氧化矽的氧化物半導體層上形成氧氮化物層；

形成覆蓋該氧氮化物層的絕緣層；以及

在該絕緣層上形成閘極電極。

10. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中，該半導體裝置是選自由電子書、電視裝置、遊戲機以及電話機構成的組中的一種。

圖 1A

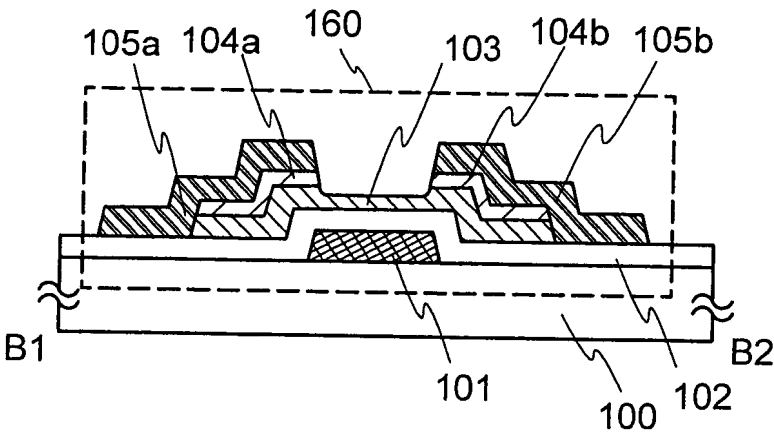


圖 1B

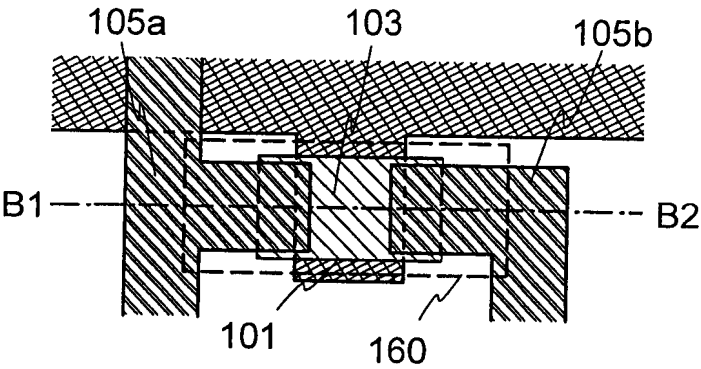


圖 1C

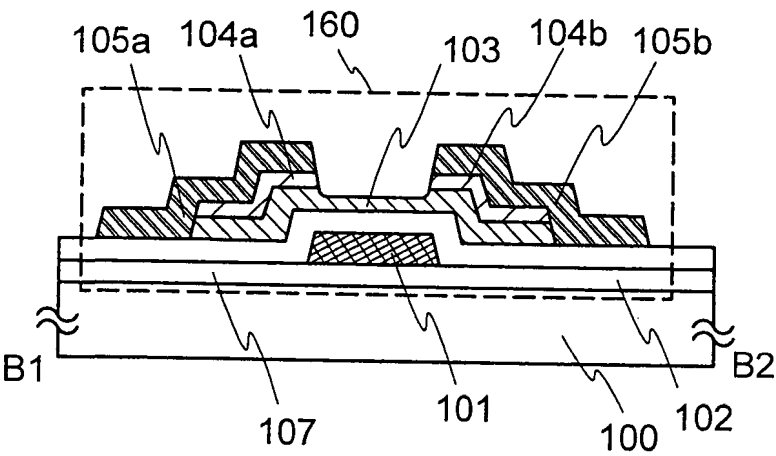


圖 2A

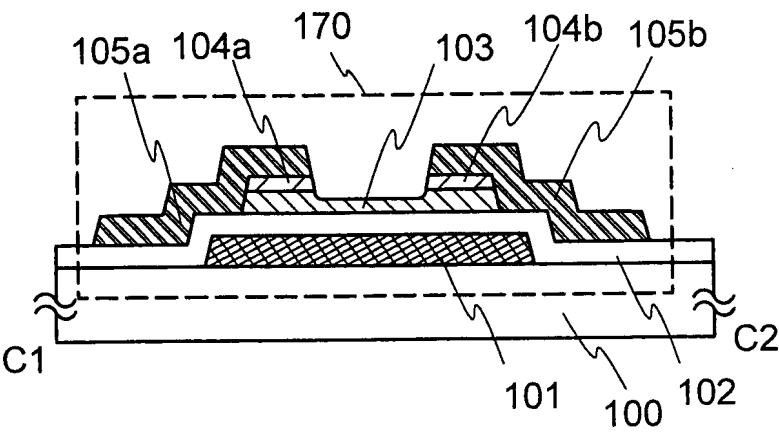


圖 2B

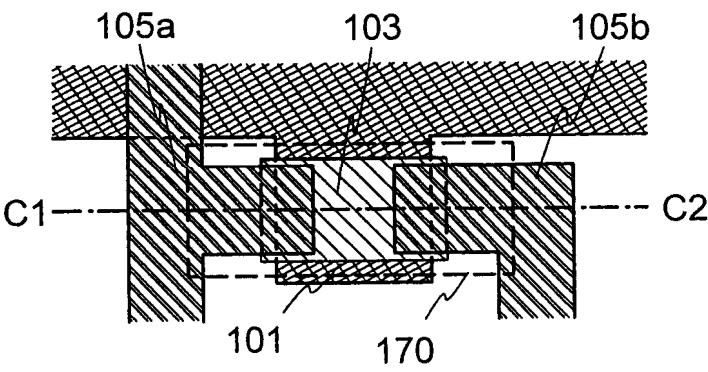


圖3

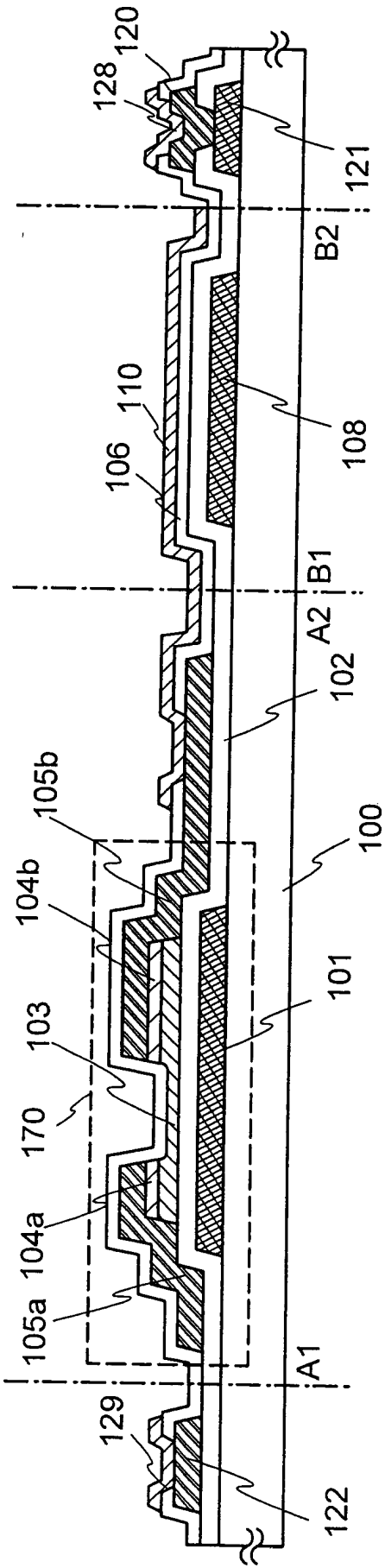


圖 4

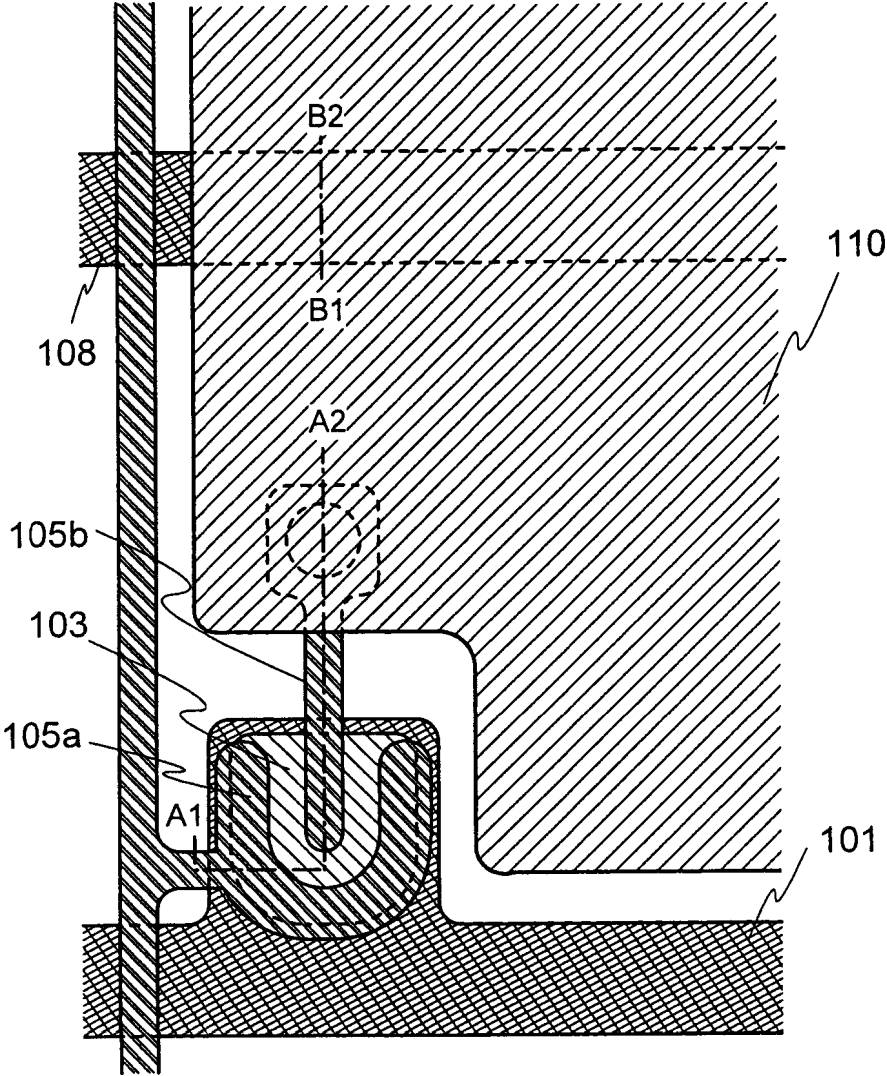


圖 5A-1

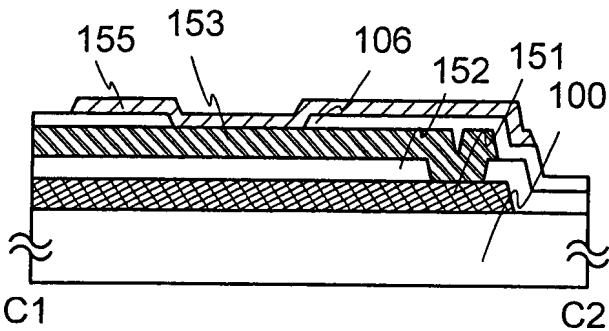


圖 5A-2

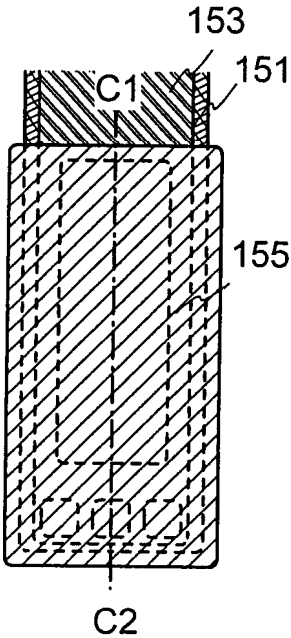


圖 5B-1

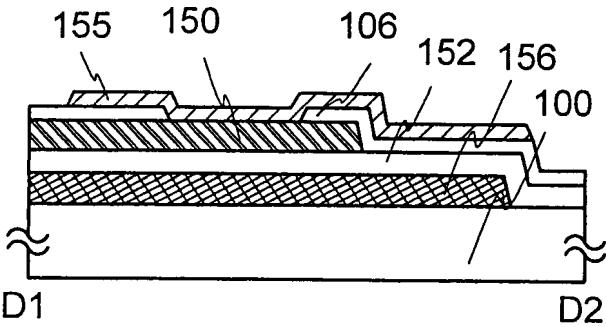


圖 5B-2

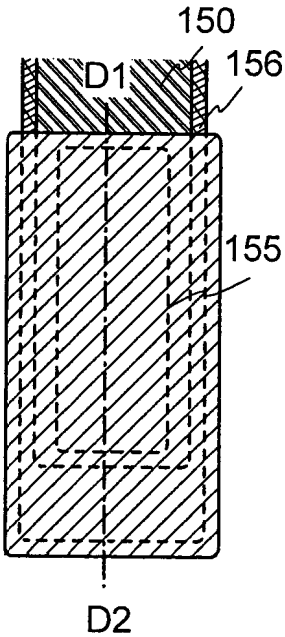


圖6

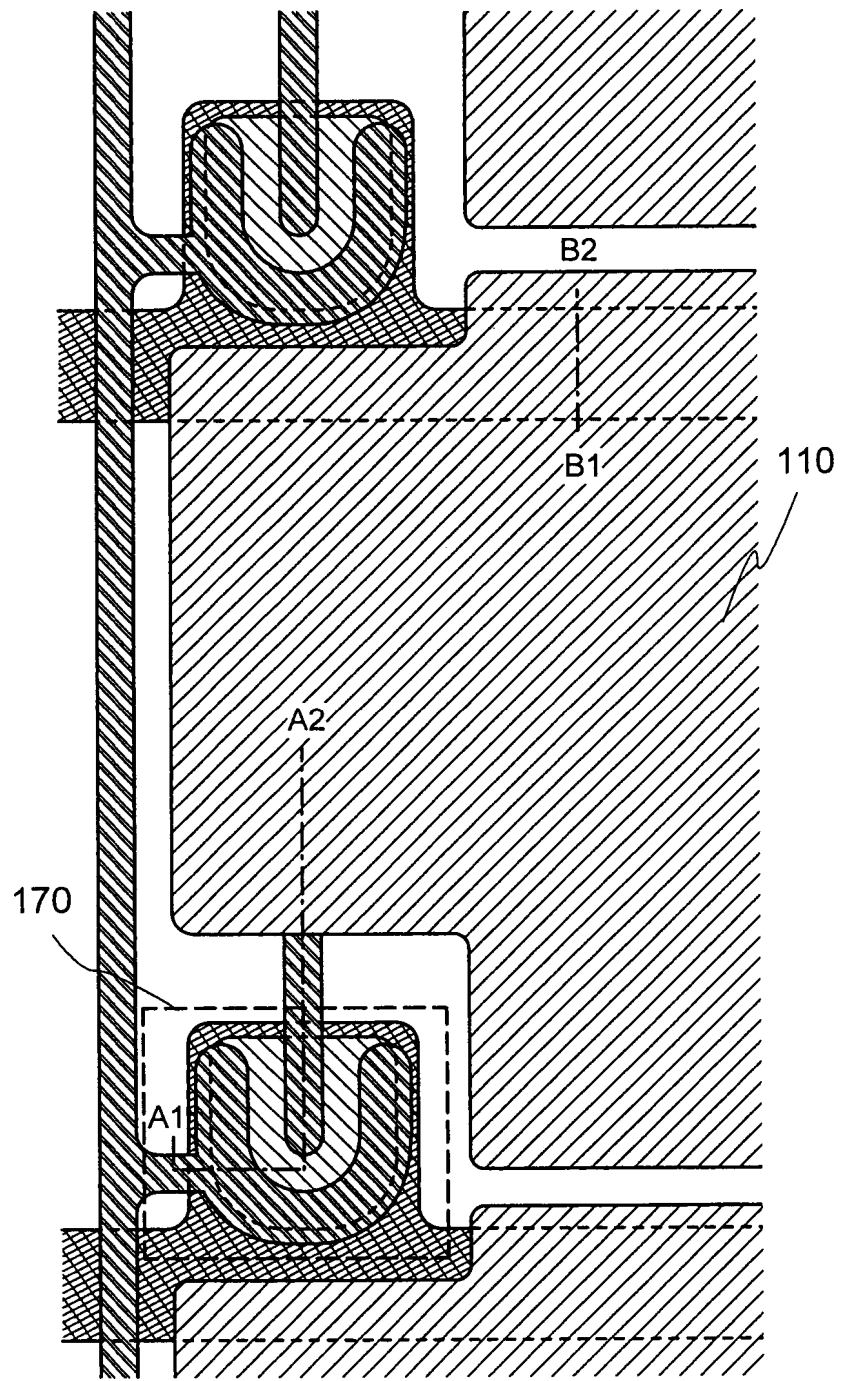
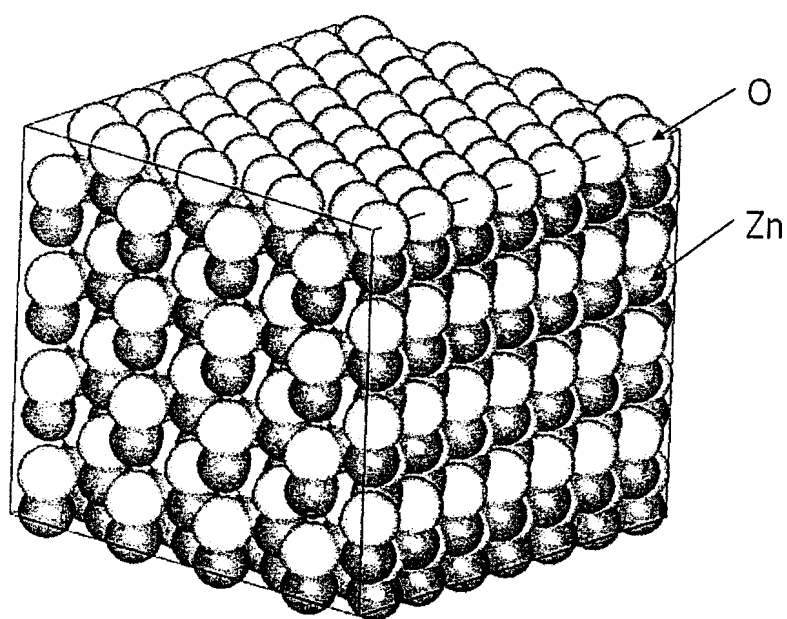


圖 7



原子數量：896

密度：5.68 g/cm³

a~2.27 nm

b~2.25 nm

c~2.08 nm

$\alpha = \beta = \gamma = 90^\circ$

圖 8A

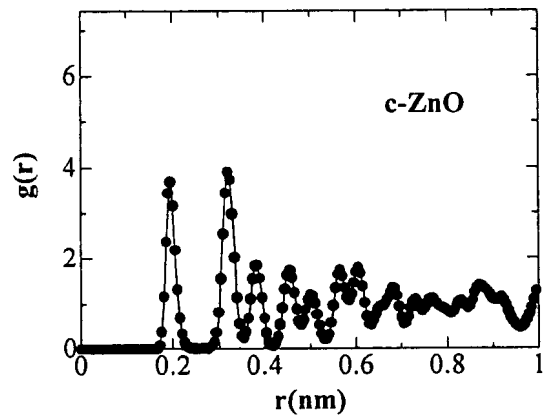


圖 8B

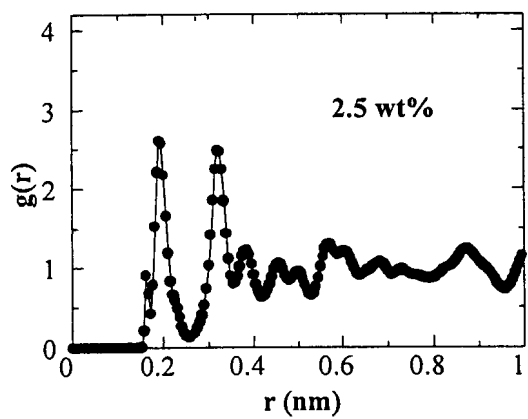


圖 8C

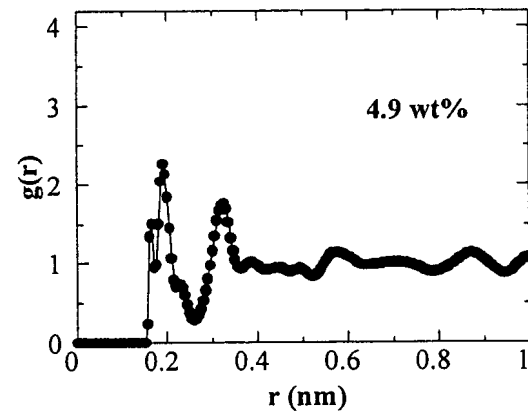


圖 8D

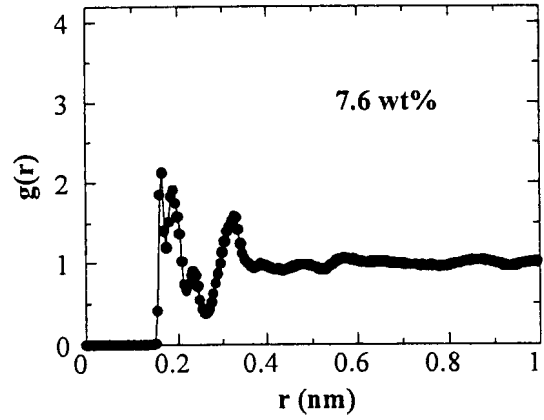


圖 8E

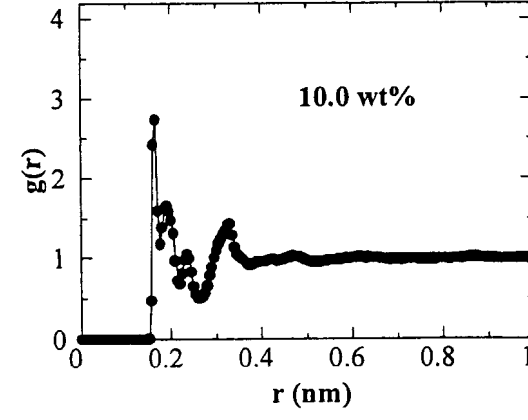


圖 9A

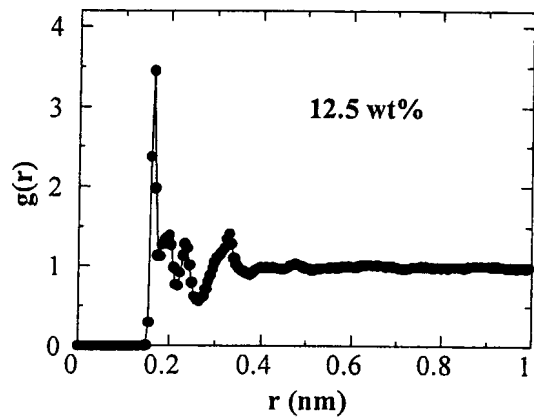


圖 9B

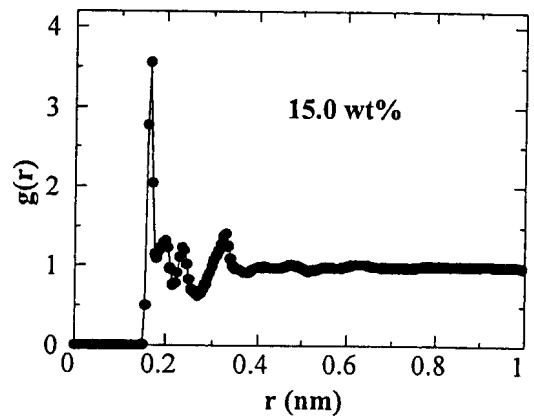


圖 9C

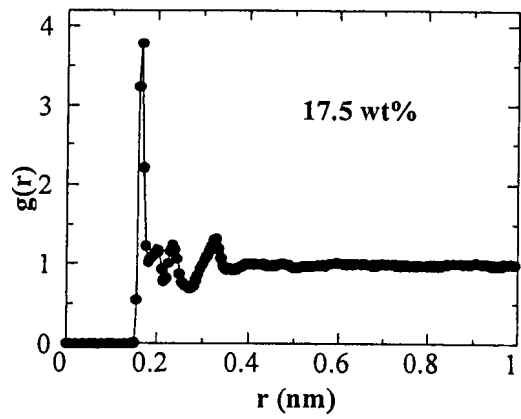


圖 9D

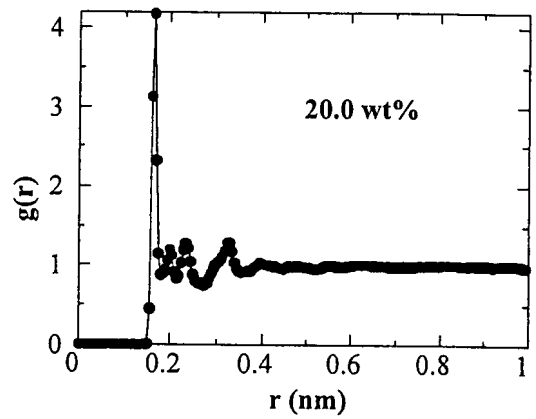


圖 10A

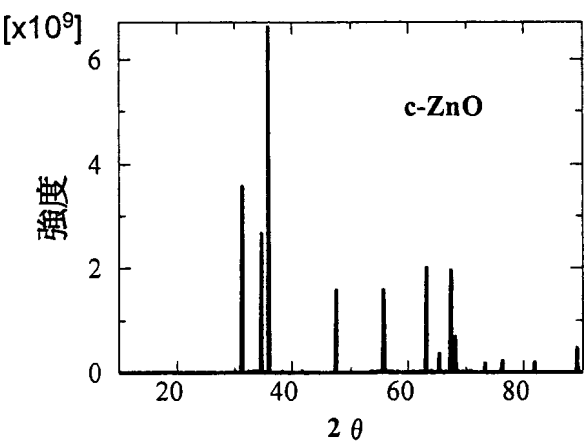


圖 10B

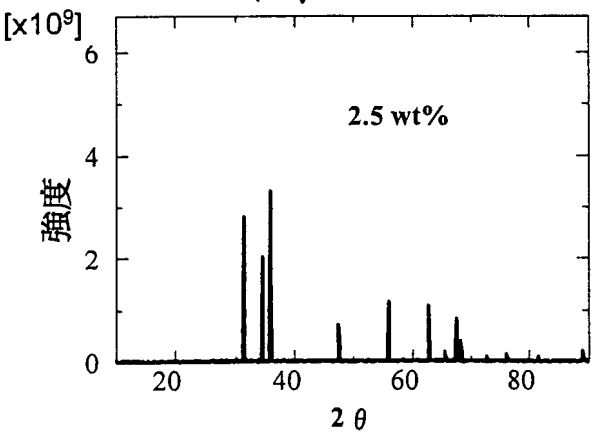


圖 10C

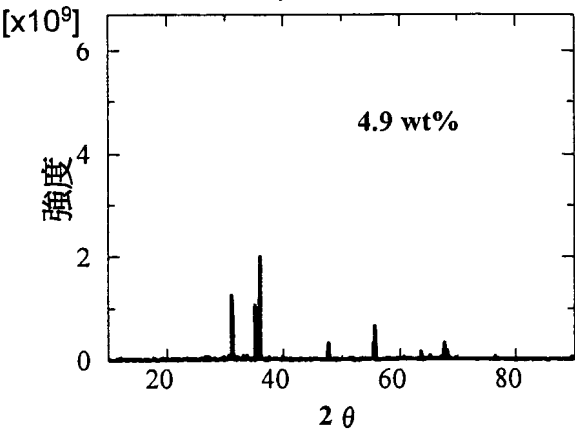


圖 10D

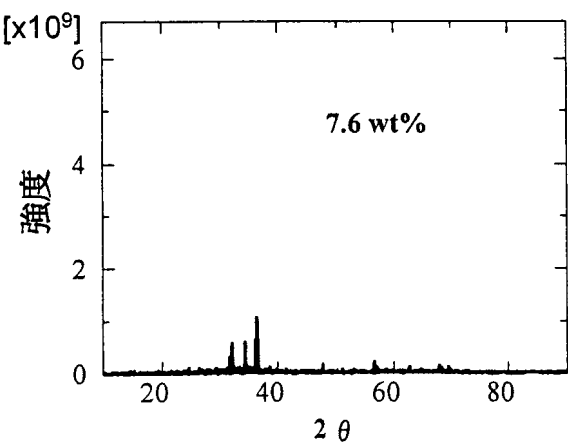


圖 10E

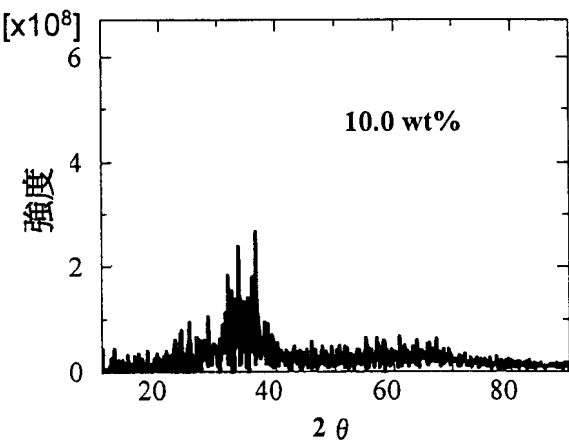


圖 11A

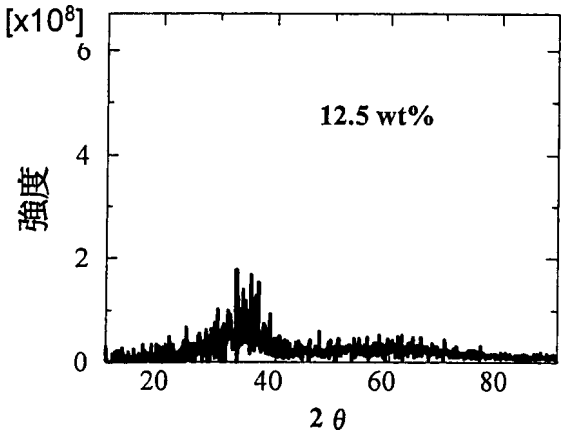


圖 11B

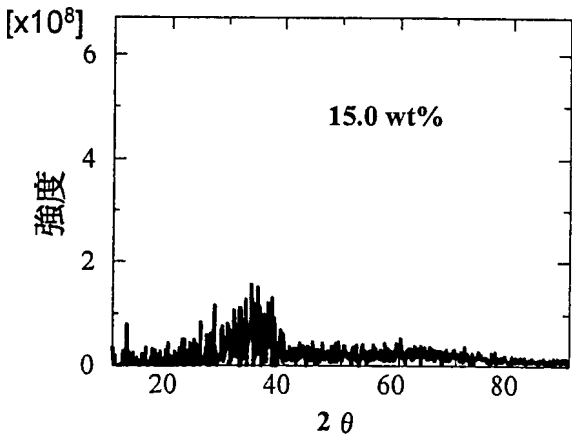


圖 11C

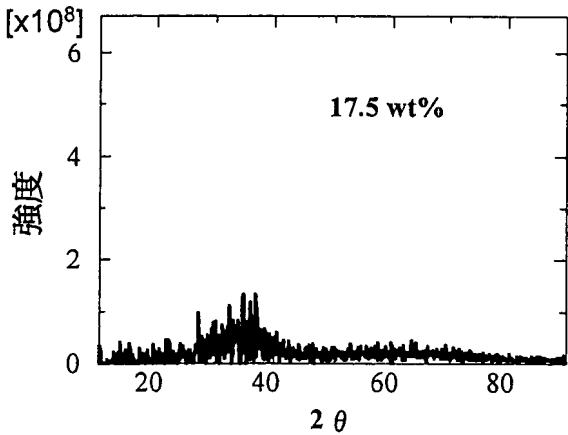


圖 11D

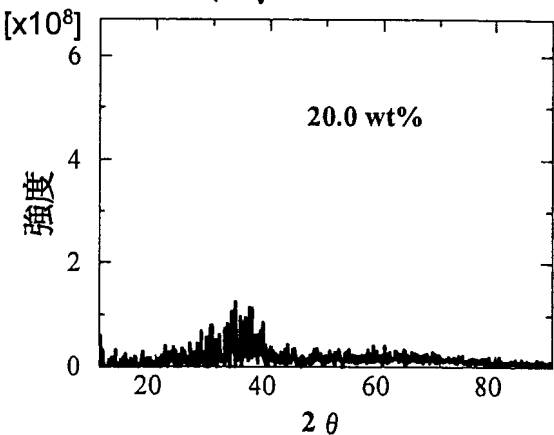


圖 12A

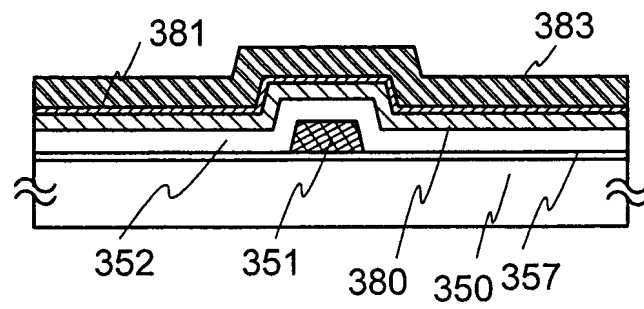


圖 12B

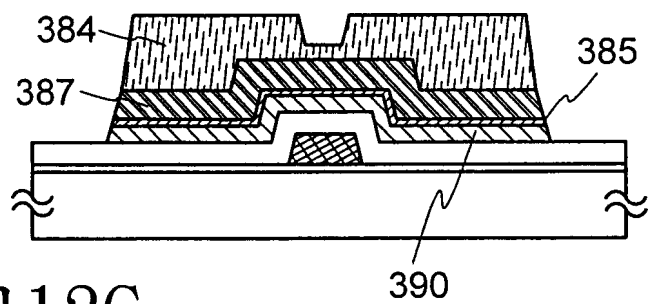


圖 12C

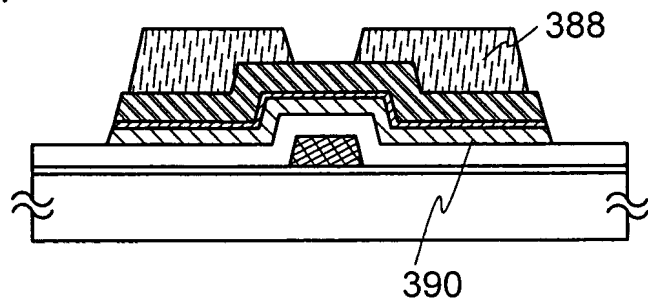


圖 12D

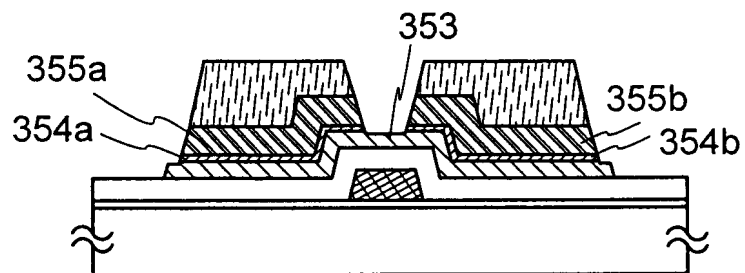


圖 12E

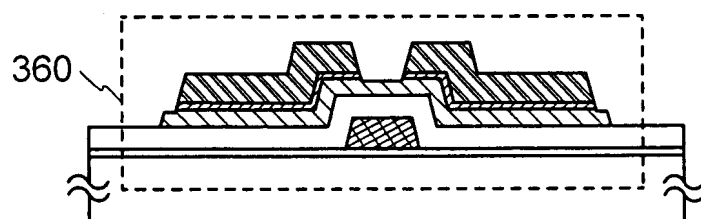


圖 13A

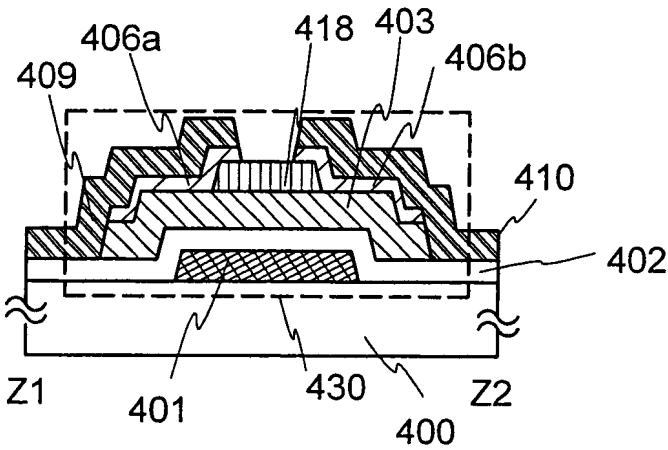


圖 13B

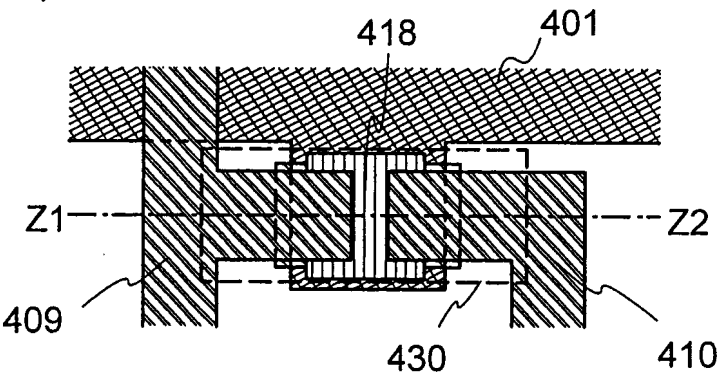


圖 14A

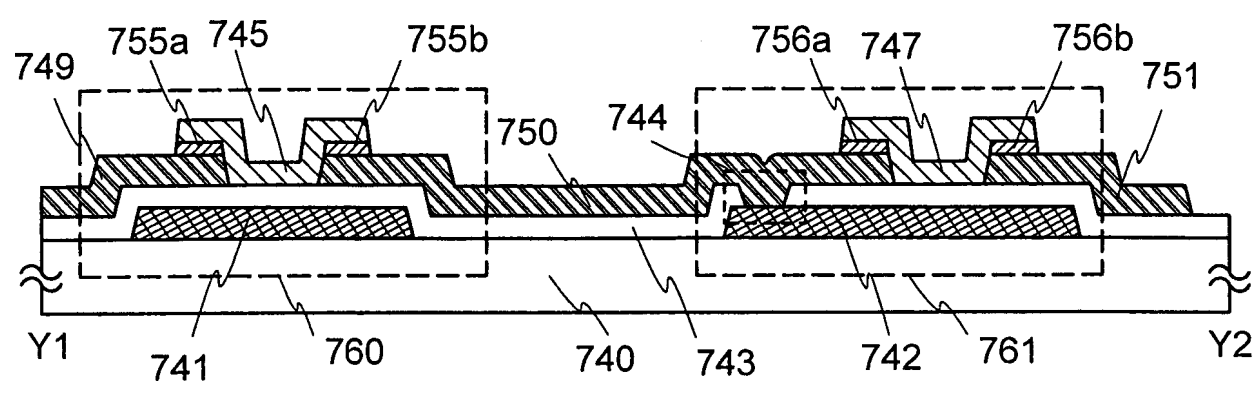


圖 14B

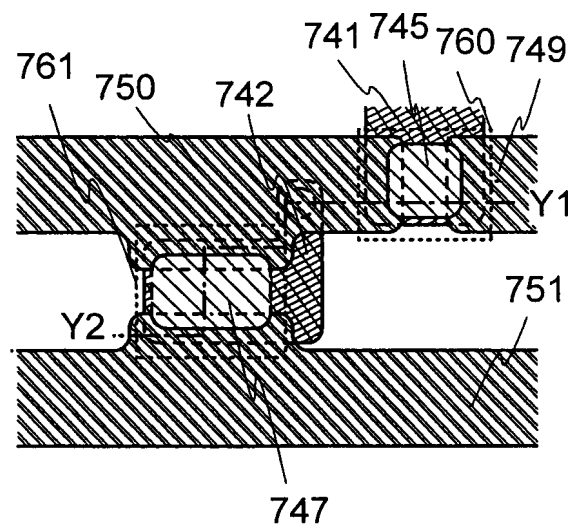


圖 15A

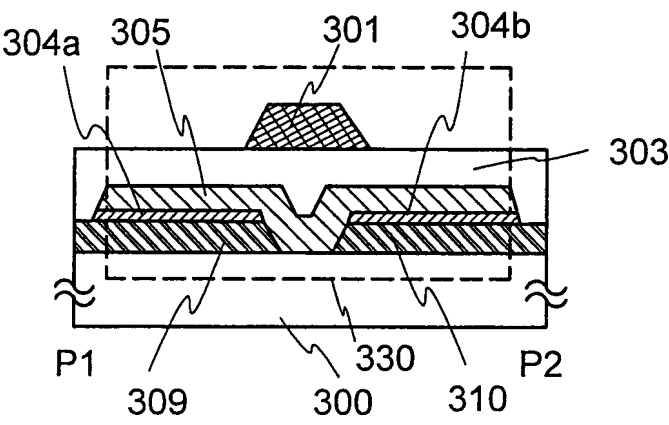


圖 15B

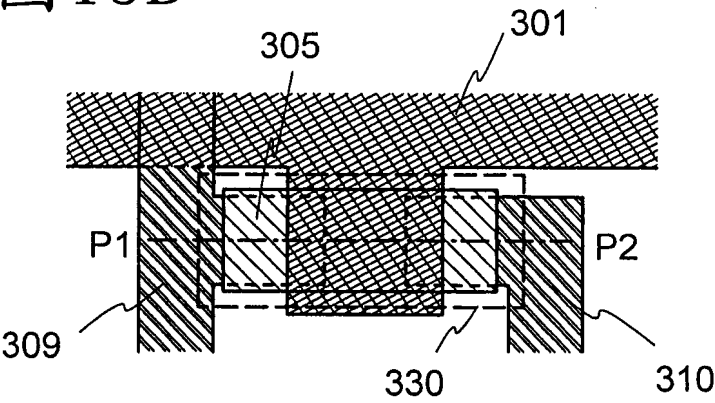


圖 16A

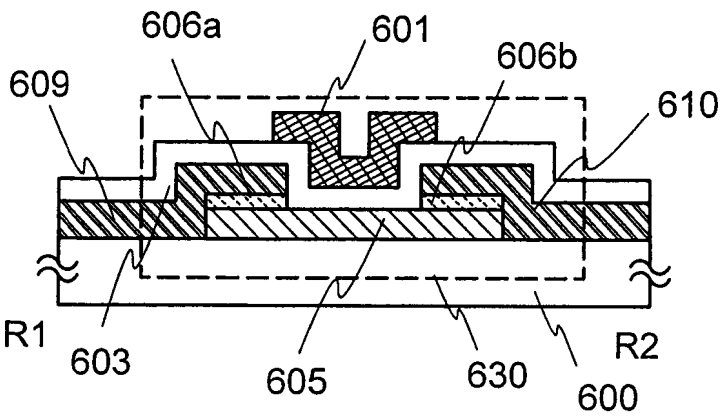


圖 16B

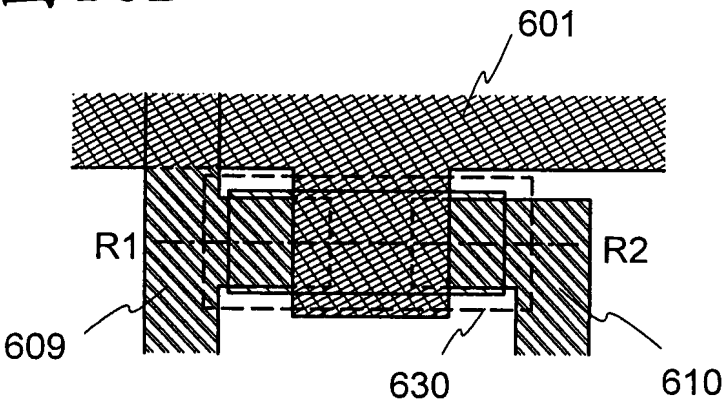


圖17A

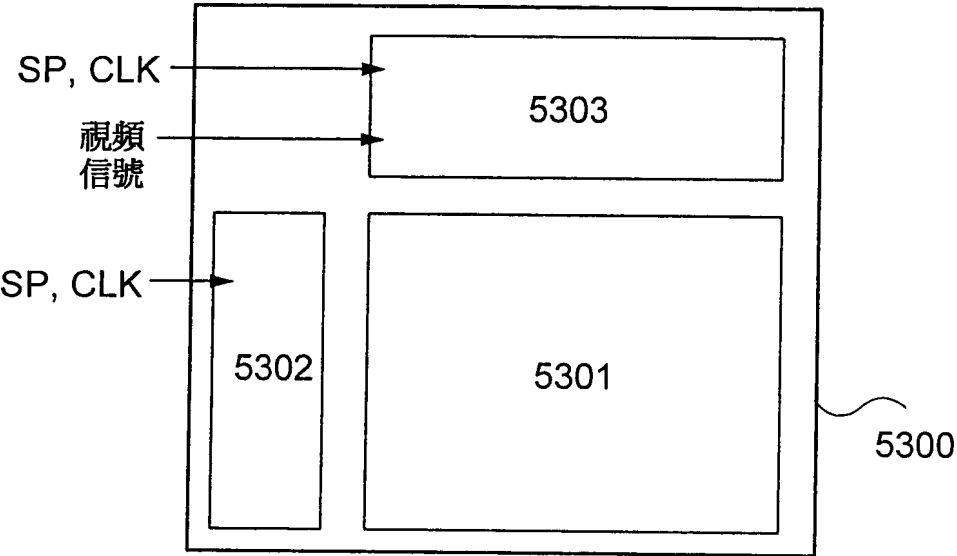


圖17B

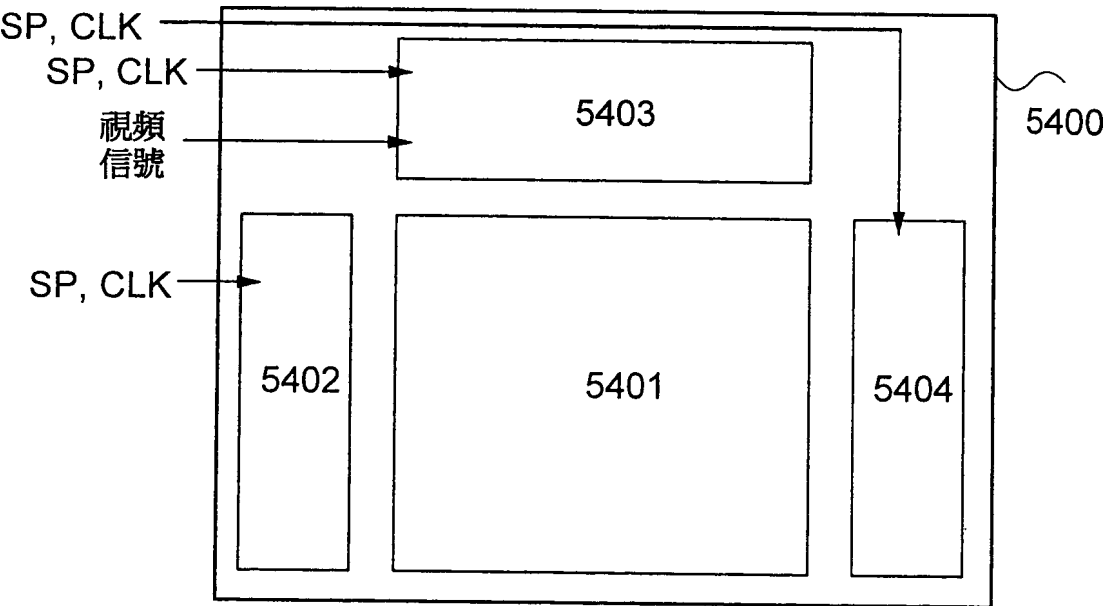


圖18

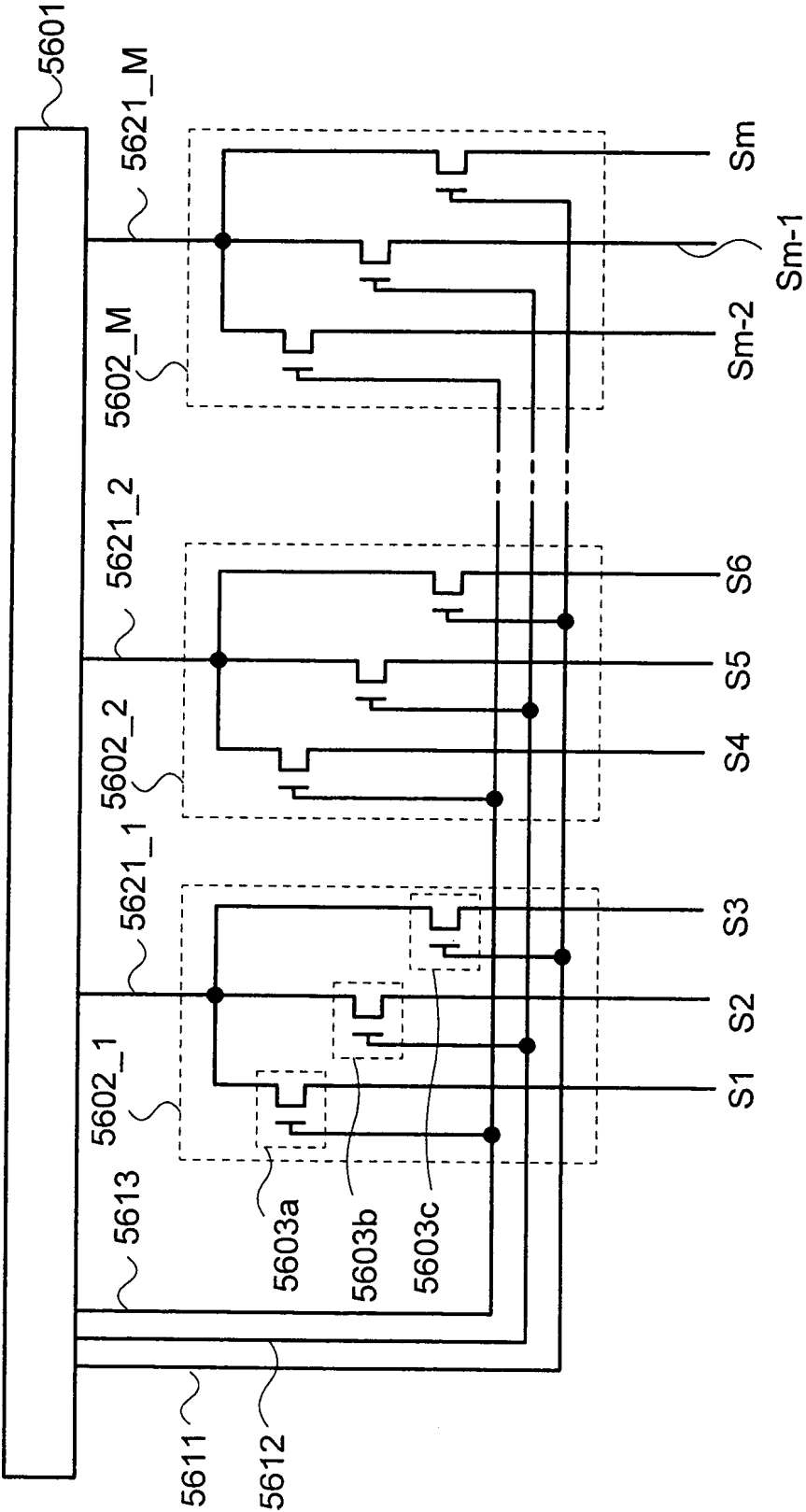


圖19

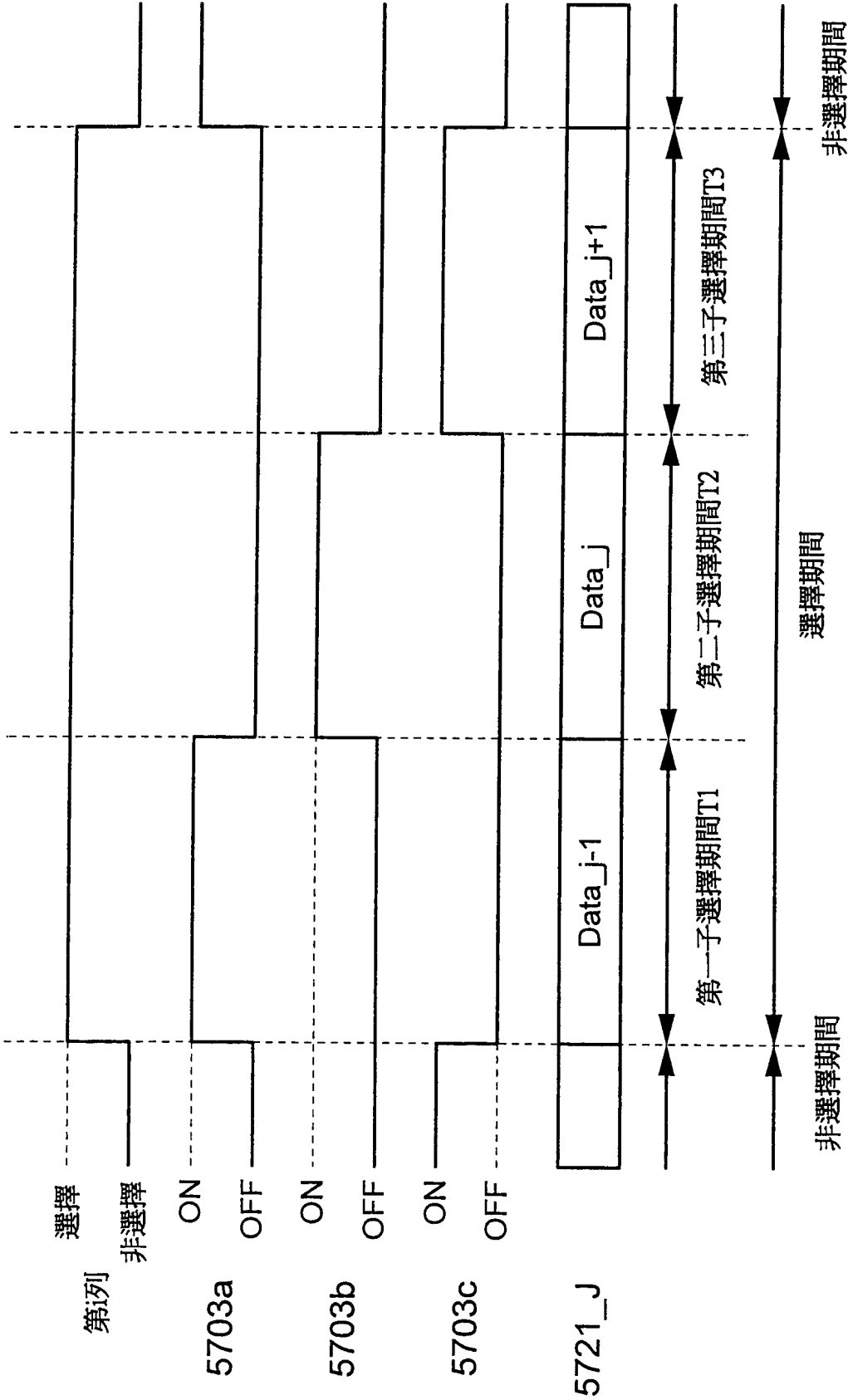


圖 20

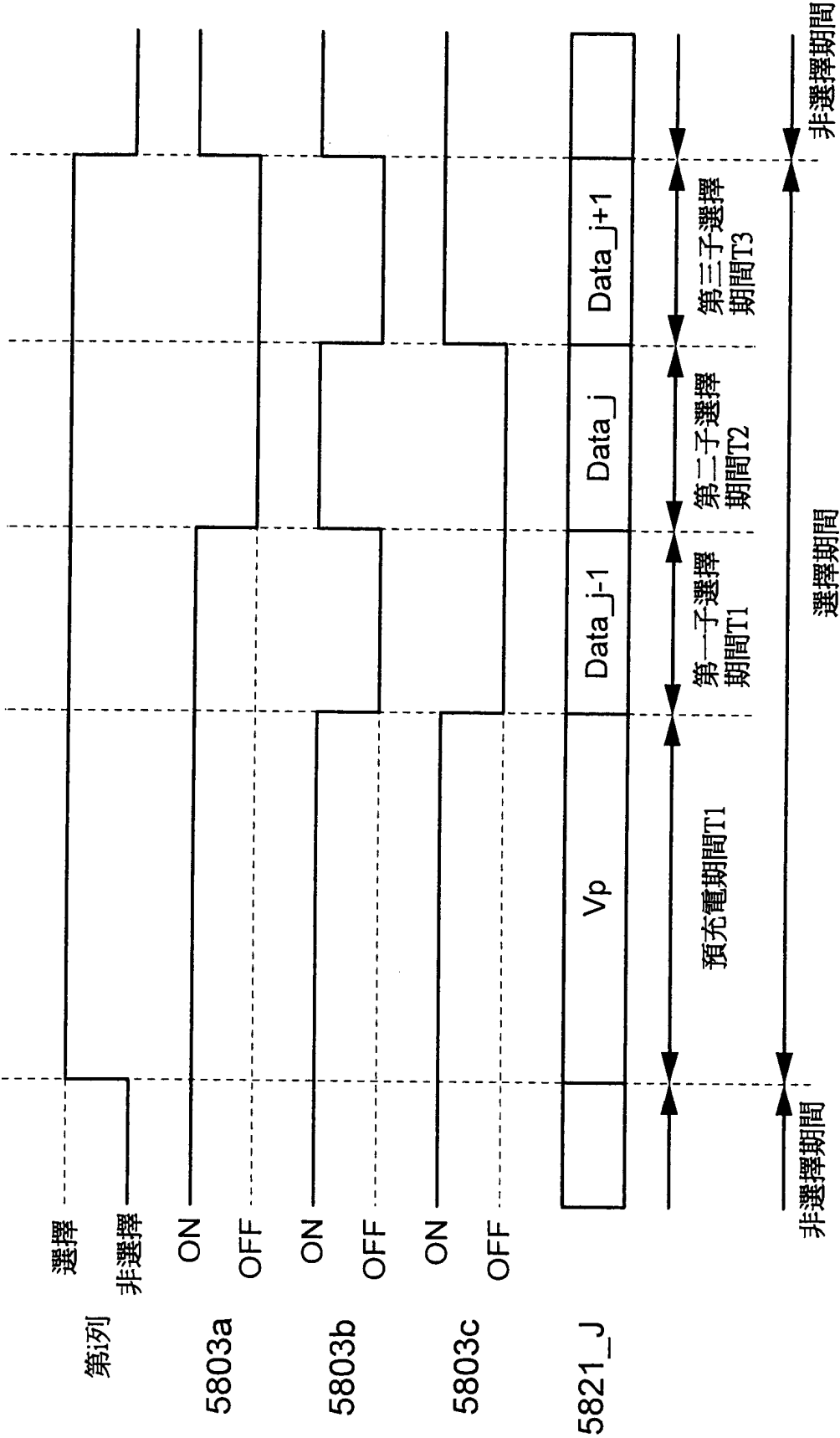


圖21

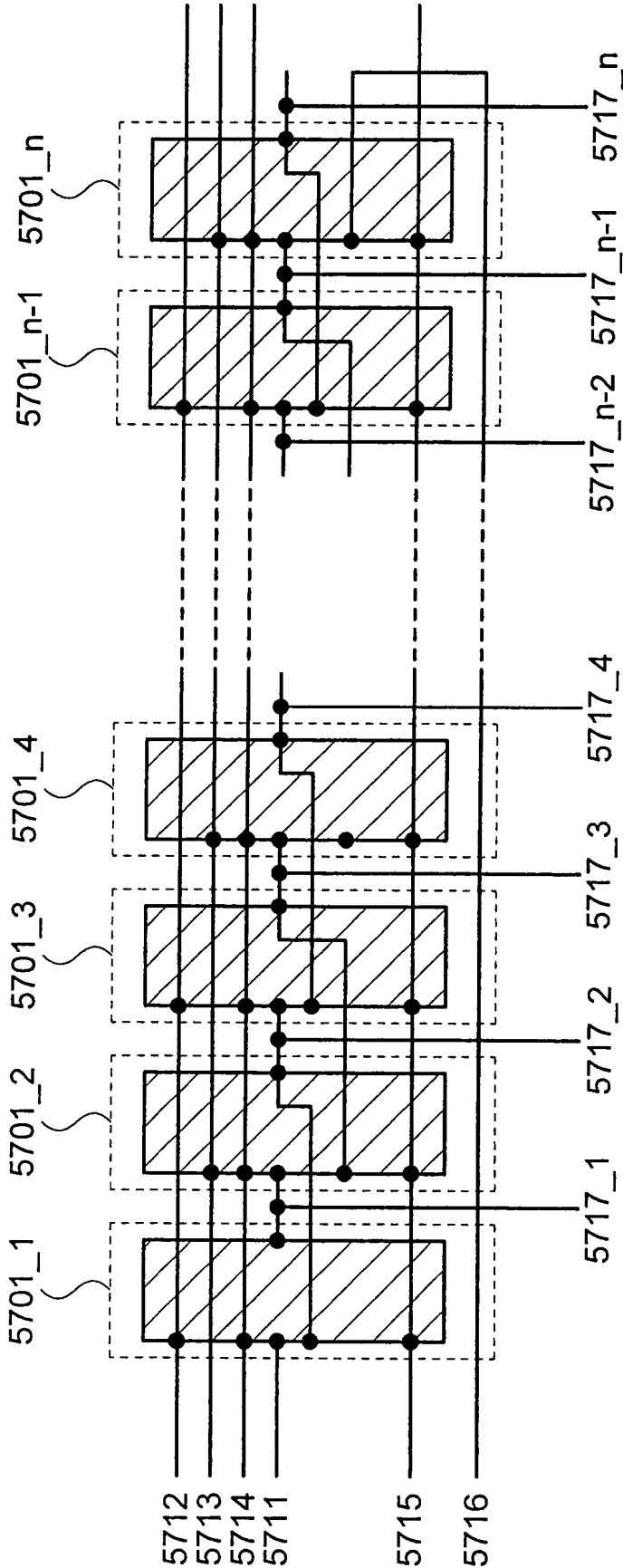


圖 22

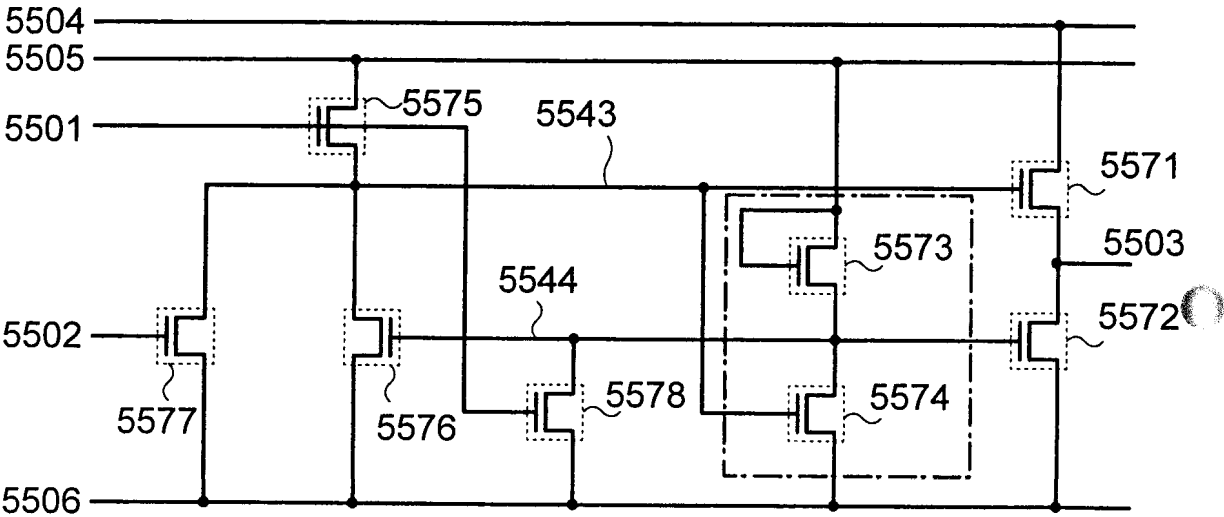


圖 24A

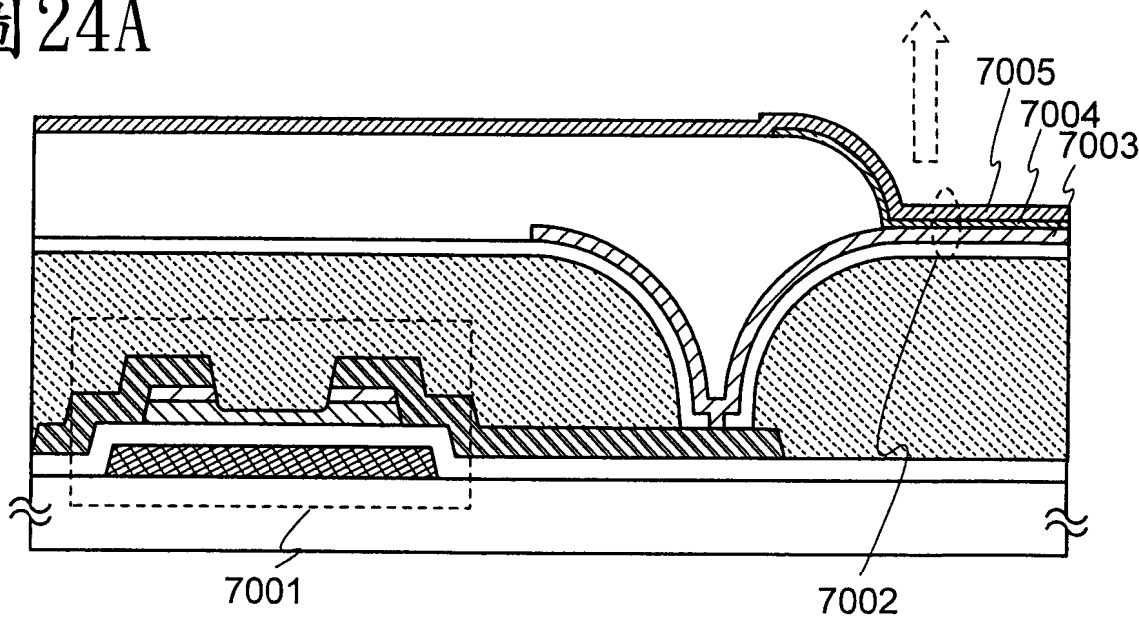


圖 24B

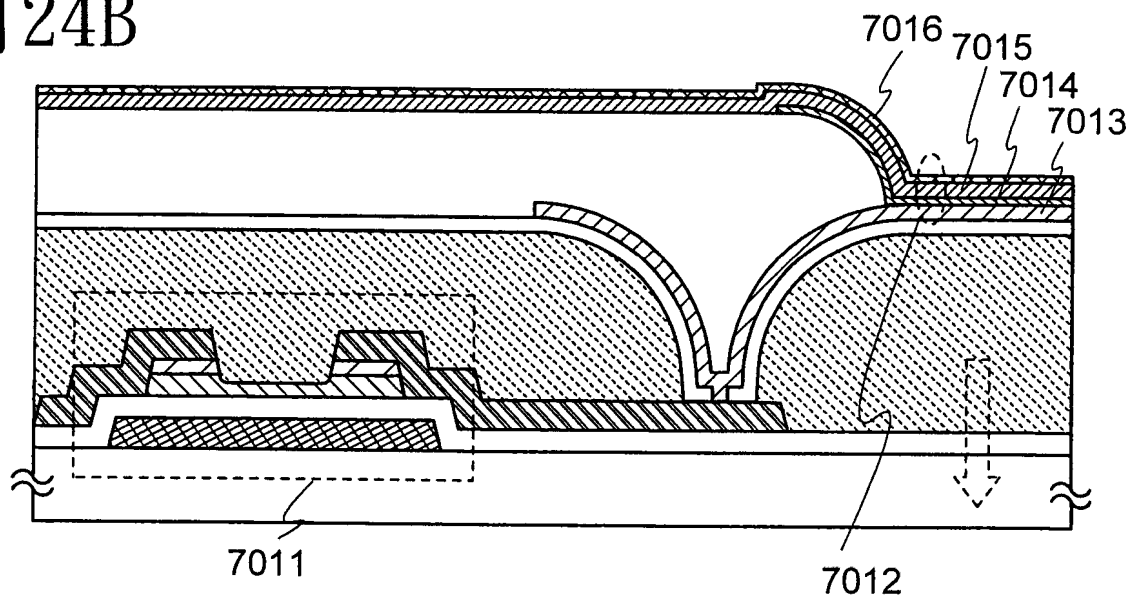


圖 24C

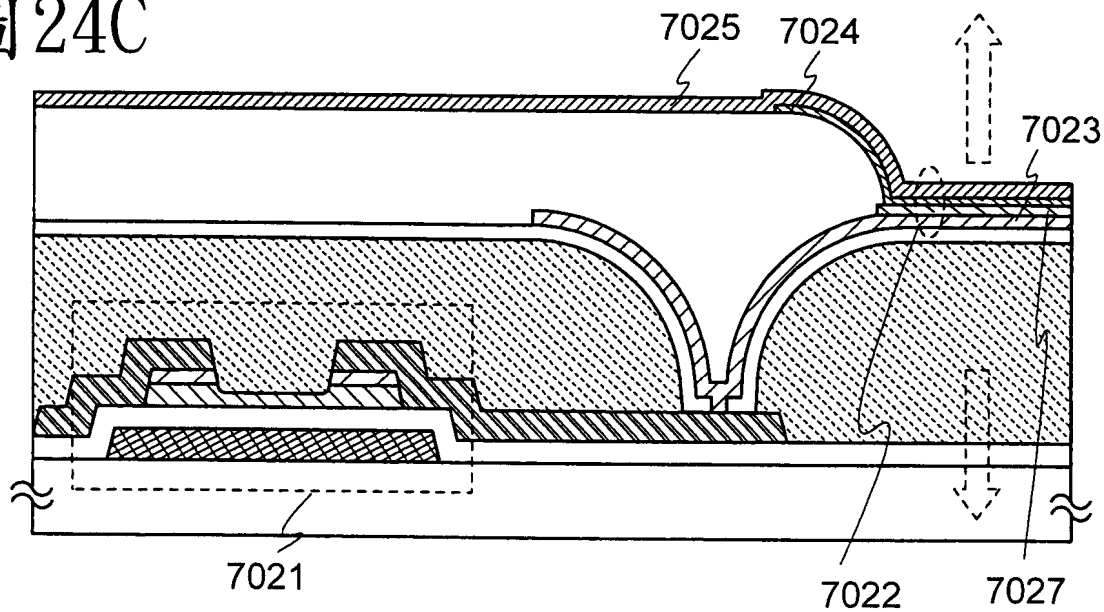


圖 25A

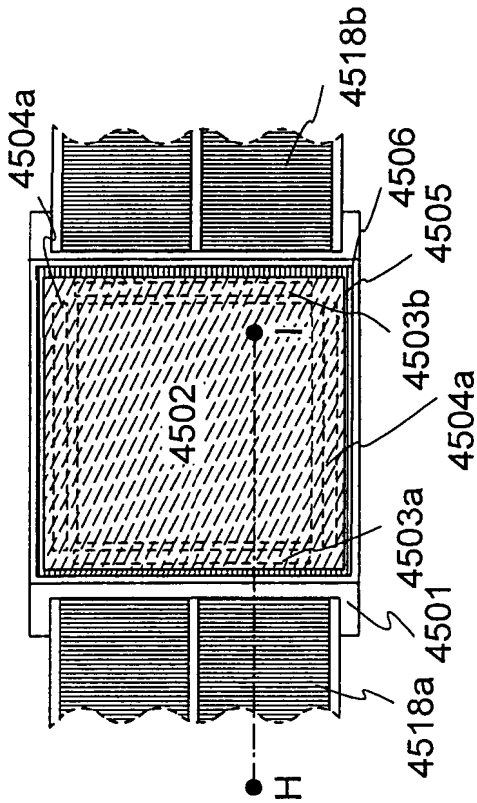


圖 25B

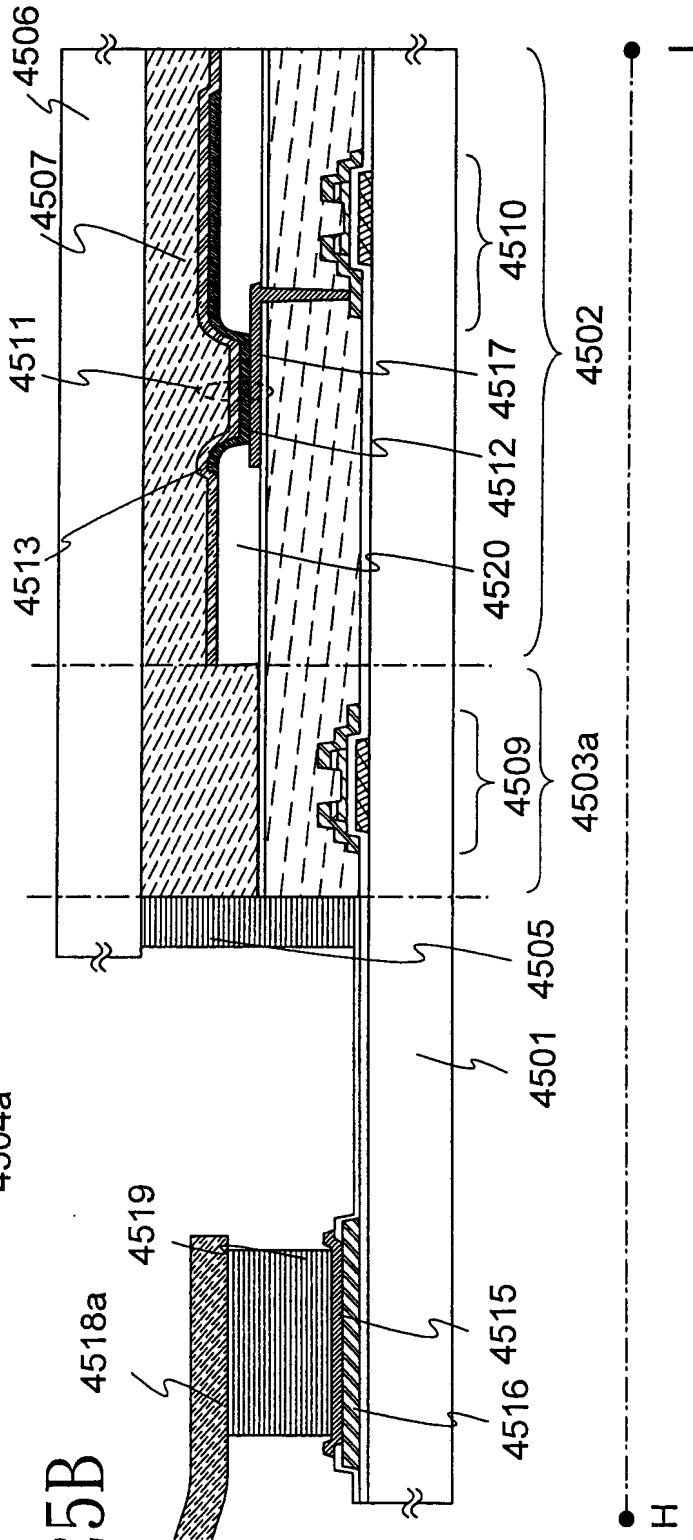


圖 26A-1

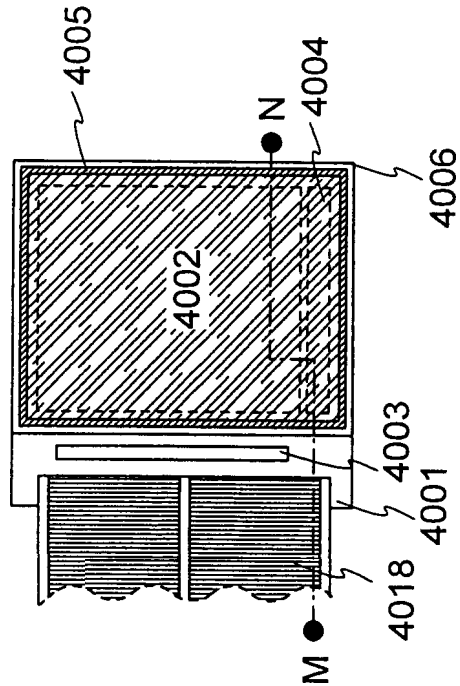


圖 26A-2

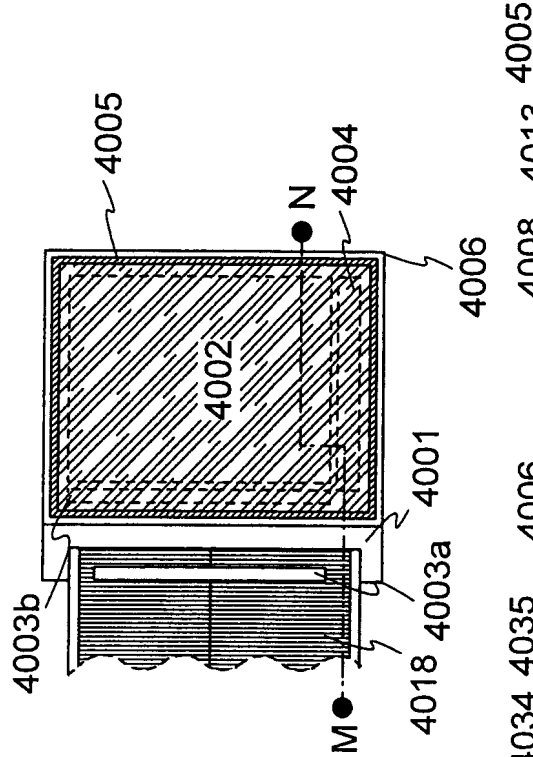


圖 26B

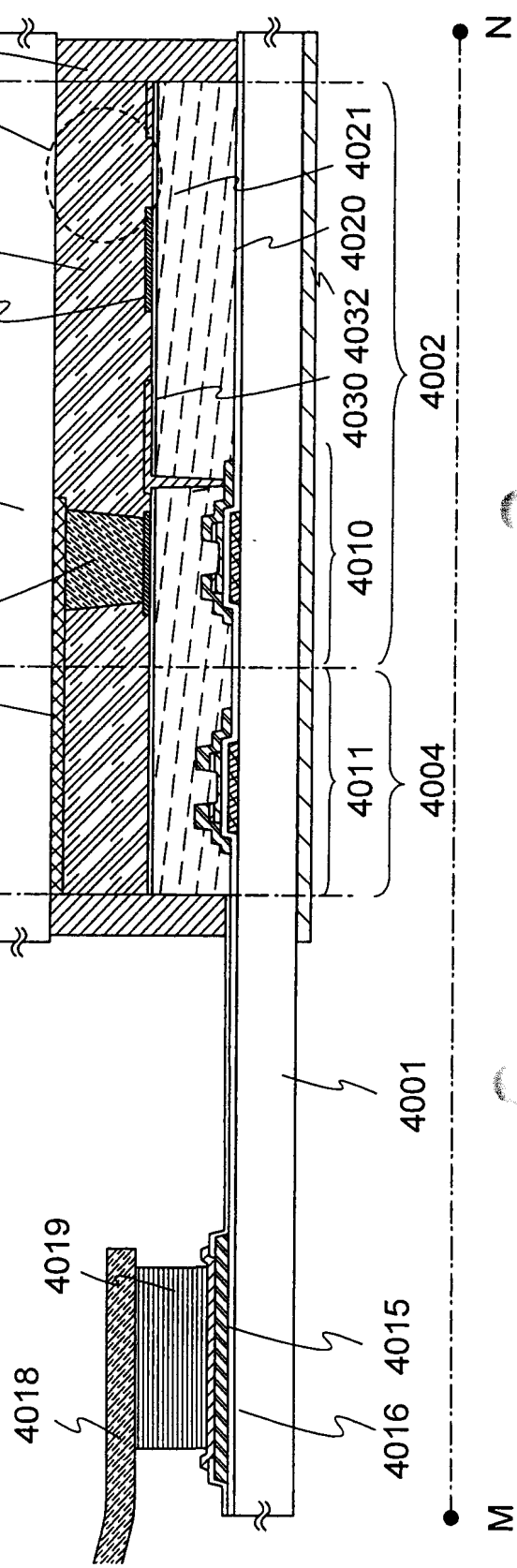


圖 28A

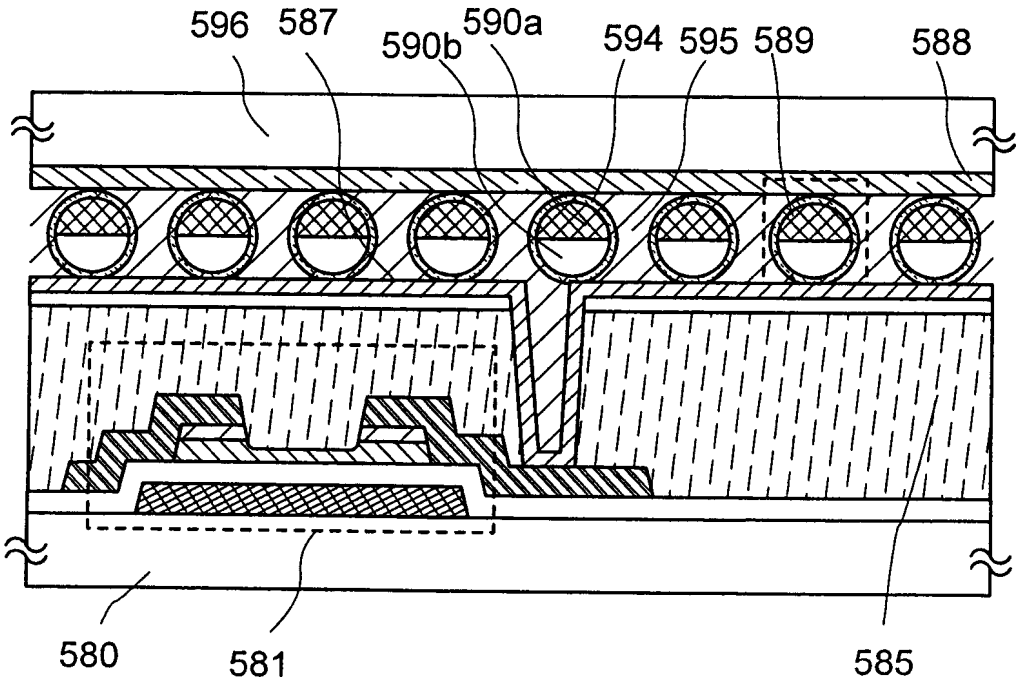


圖 28B

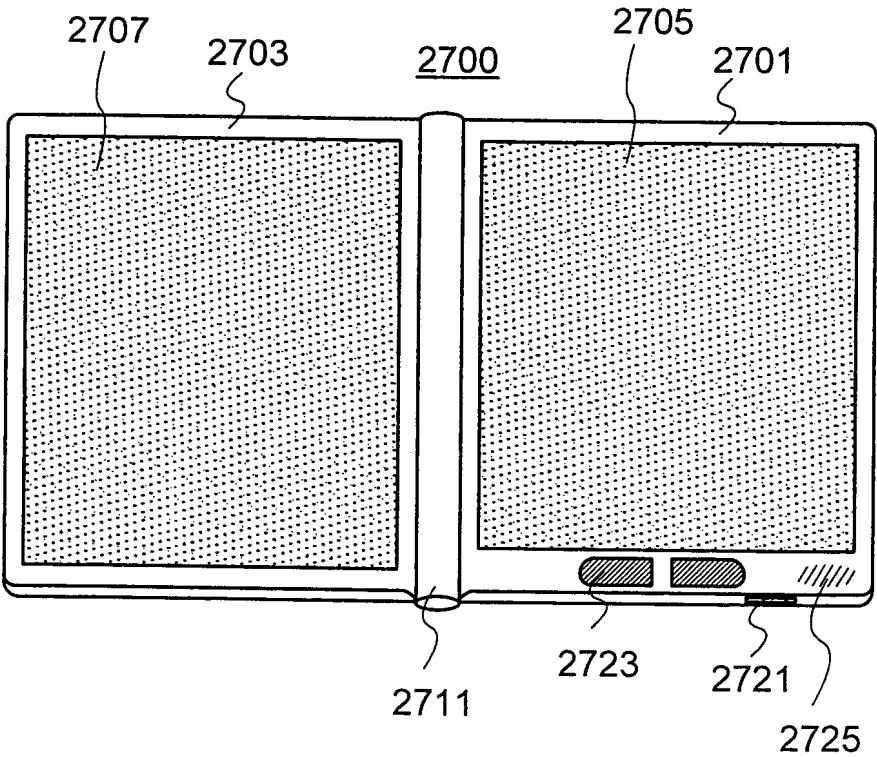


圖 29A

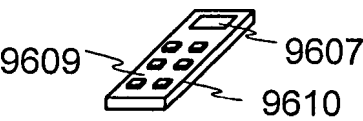
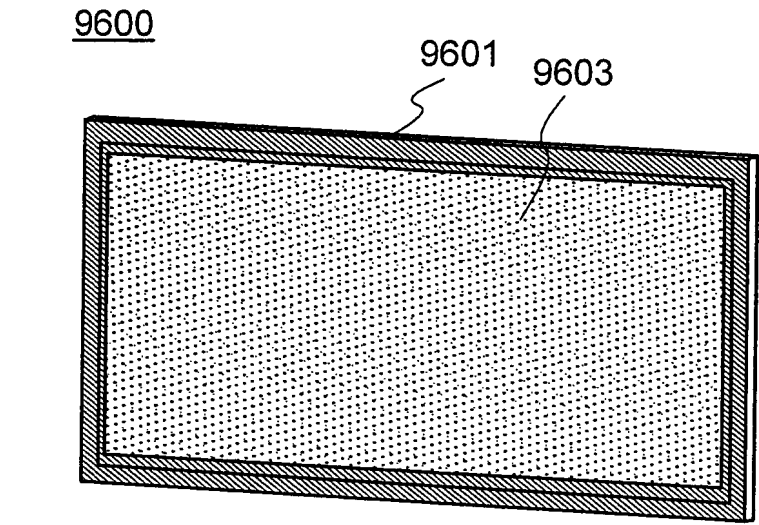


圖 29B

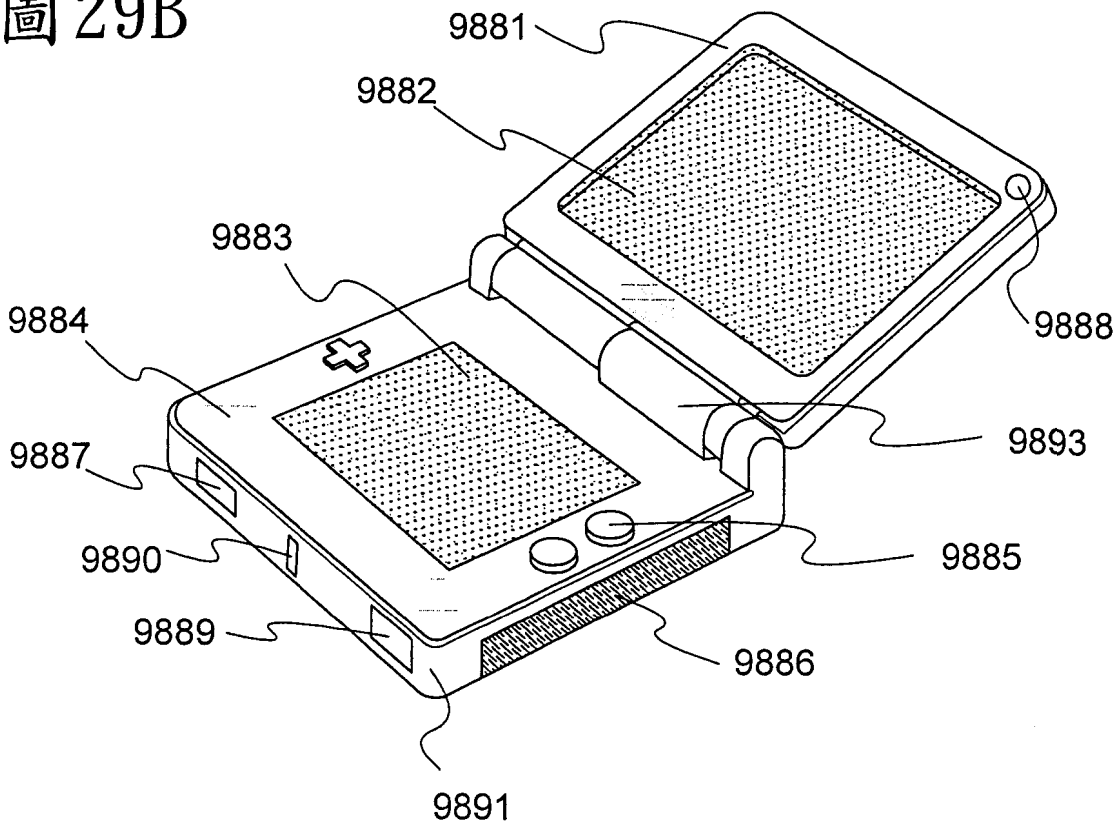


圖 30A

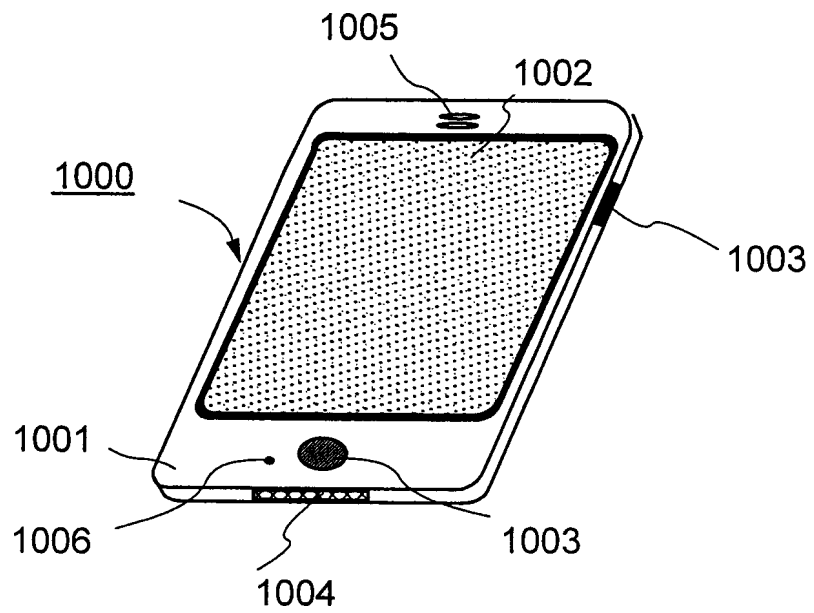


圖 30B

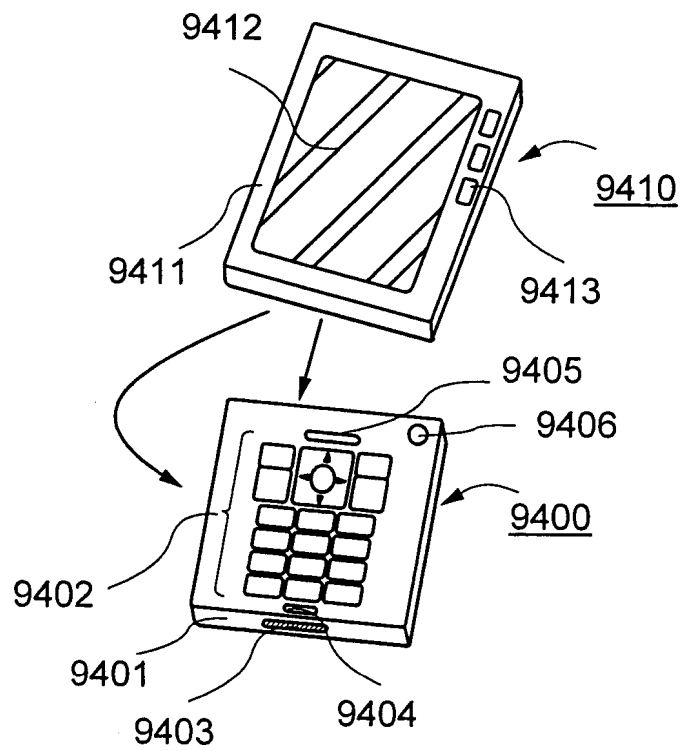


圖 31A

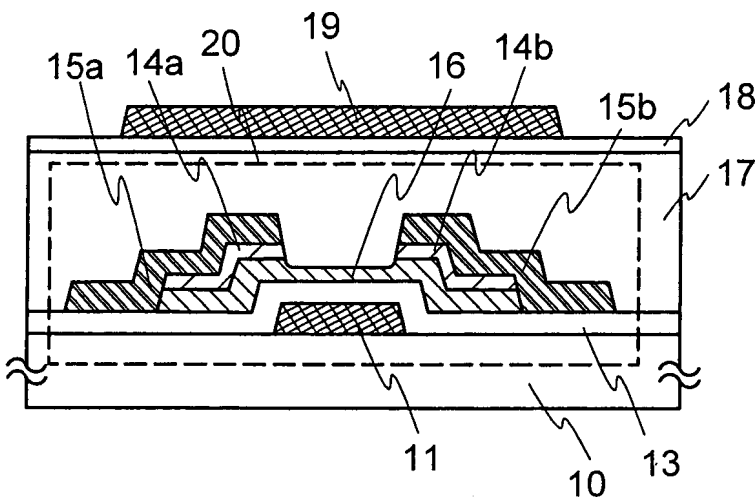
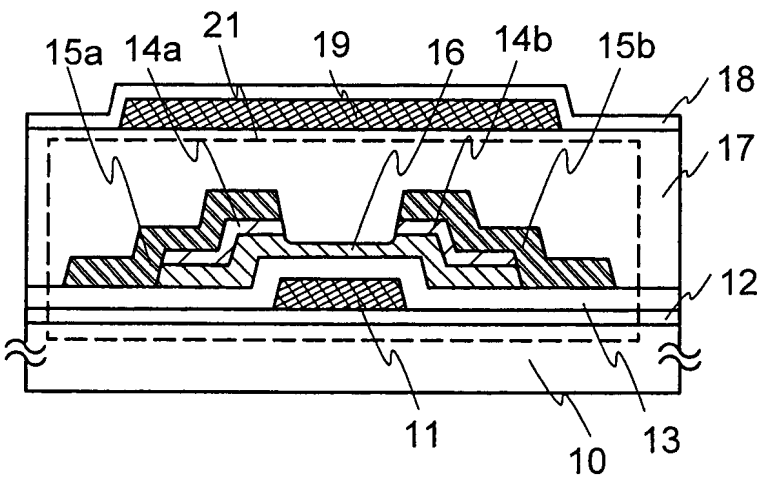


圖 31B



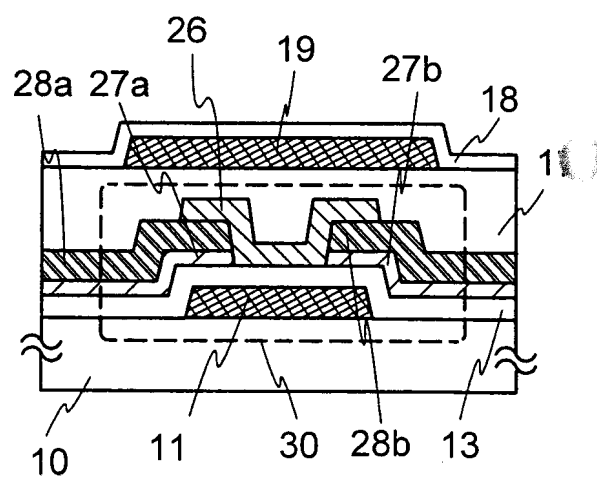
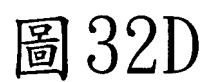
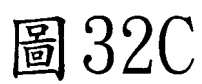
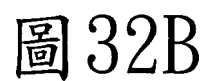


圖 33A

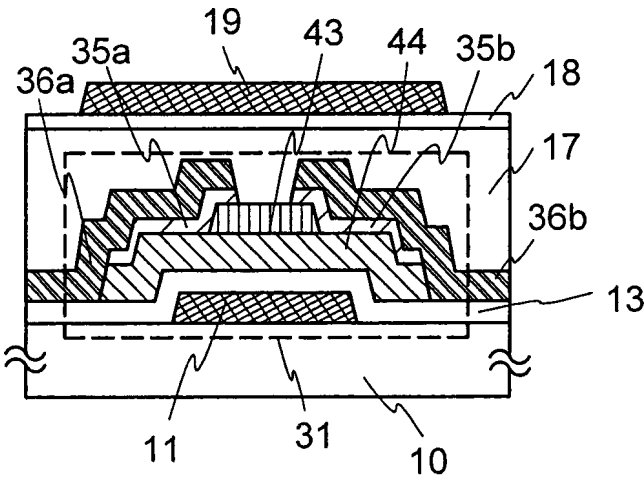


圖 33B

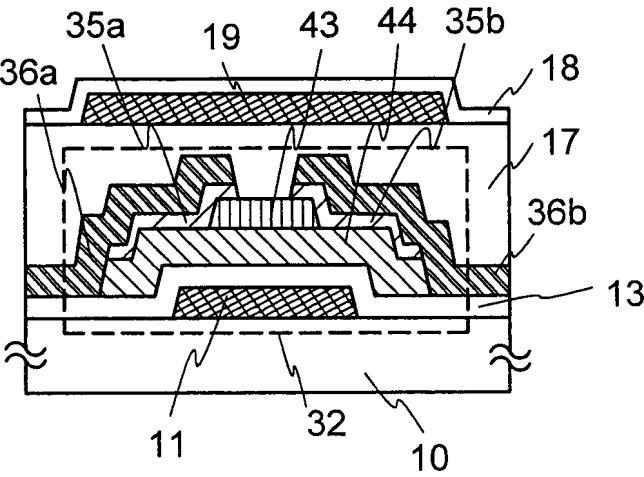


圖 34A

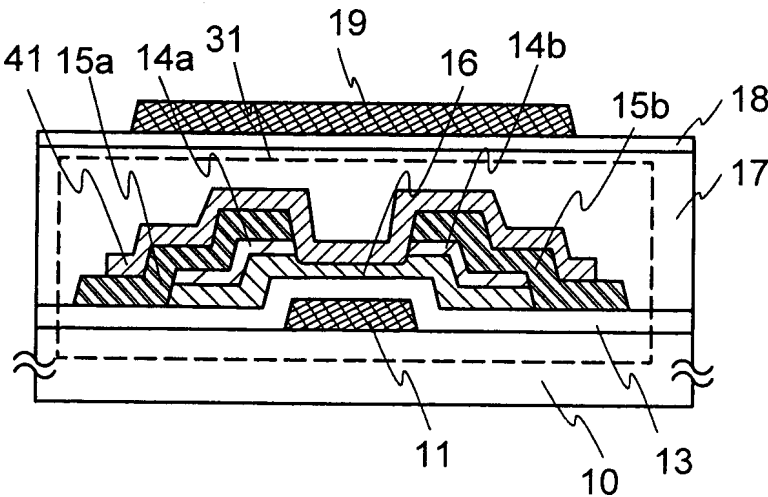


圖 34B

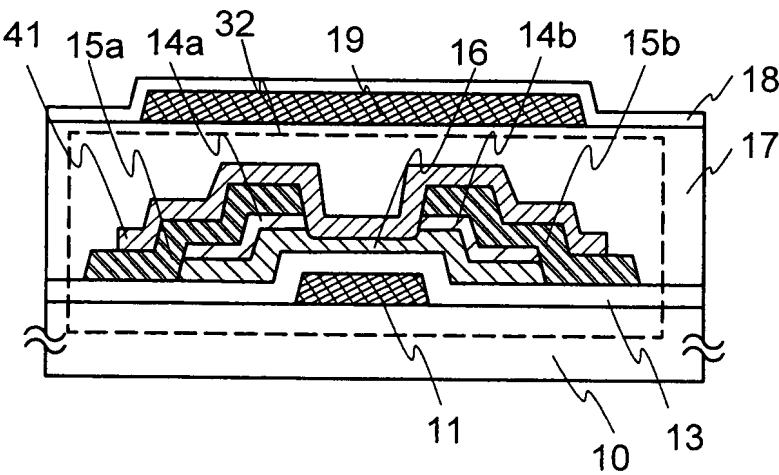


圖 35A

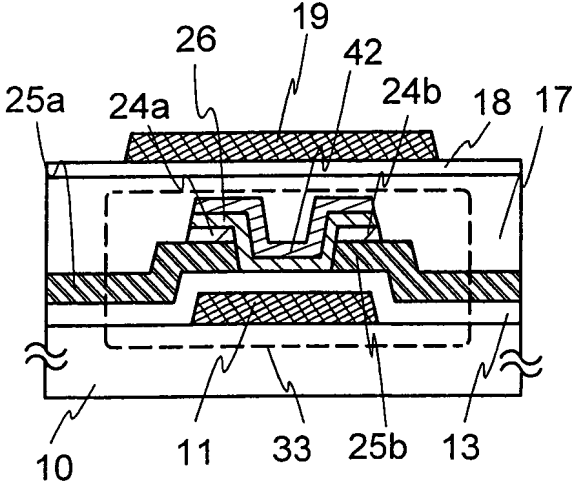


圖 35B

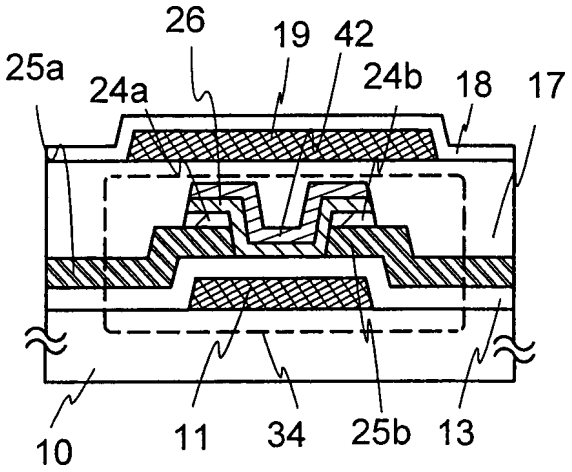


圖 35C

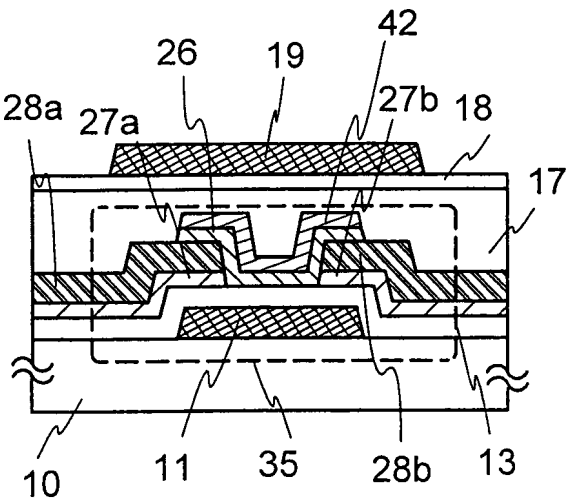


圖 35D

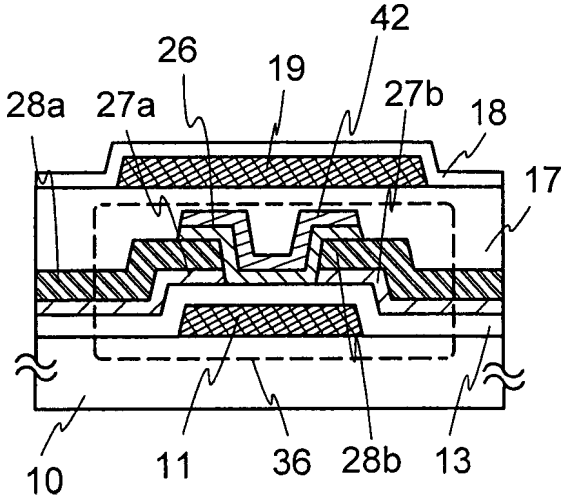


圖 36A

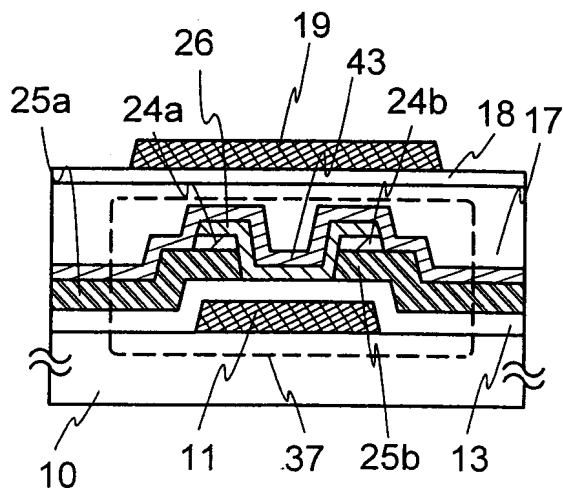


圖 36B

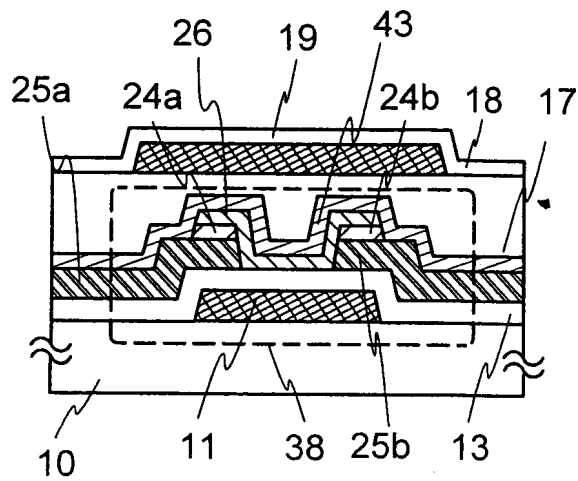


圖 36C

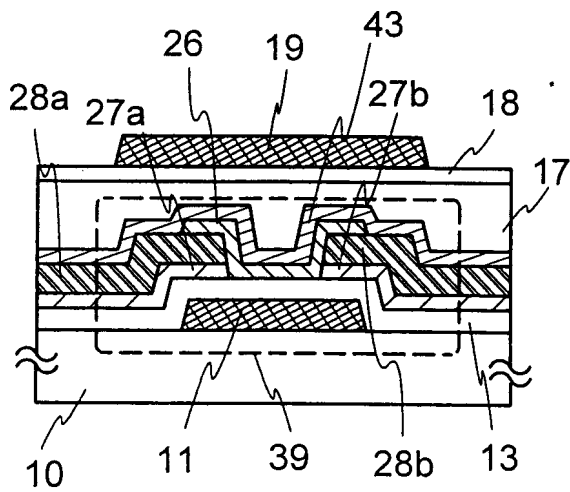
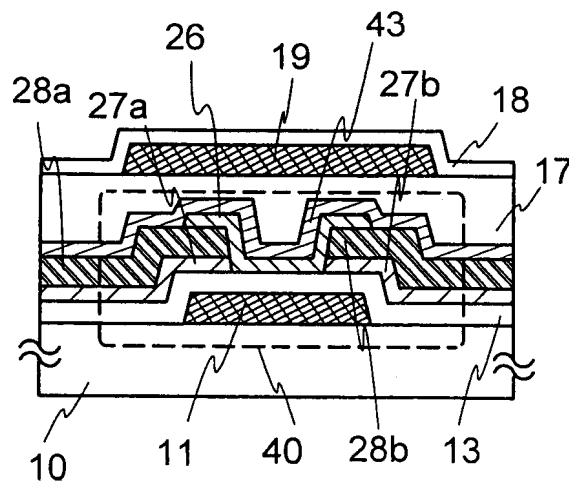


圖 36D



四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極區及汲極區

104b：源極區及汲極區

105a：源極電極層及汲極電極層

105b：源極電極層及汲極電極層

160：薄膜電晶體

B1、B2：虛線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無