(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/04

(45) 공고일자 2005년09월15일
(11) 등록번호 10-0499829
(24) 등록일자 2005년06월28일

(21) 출원번호 10-1997-0024073
(22) 출원일자 1997년06월11일

(65) 공개번호 10-1998-0006236
(43) 공개일자 1998년03월30일

(30) 우선권주장 8-171884 1996년06월11일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 다나카 노부히로
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따 이 에 네루기 켄큐쇼 내

후쿠나가 다케시
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따 이 에 네루기 켄큐쇼 내

(74) 대리인 황의만

심사관 : 안준형

(54) 반도체장치제작방법

요약

유리 기판 상에 반도체장치를 제작하는데 있어서, 제작공정의 초기 단계에서 유리 기판의 하면에 도전성 박막(예를 들어, 도전성이 부여된 규소막)이 형성된다. 그 도전성 박막이 정전 차폐물로서 기능하기 때문에, 유리 기판이 직접 대전되는 것이 방지된다. 그리하여, 유리 기판의 대전에 의해 야기되는 디바이스 소자의 정전 파괴가 피해질 수 있다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1A~도 1C는 본 발명의 실시예 1에 따른 박막트랜지스터의 제작공정을 나타내는 도면.

도 2A~도 2C는 정전 차폐물의 효과를 설명하는 도면.

도 3A～도 3D는 도체와 부도체의 대전 상태를 설명하는 도면.

* 도면의 주요 부분에 대한 부호의 설명

101: 기판 102: 섬형상 반도체층

103: 규소막 104: 레지스트 마스크

105: 도전성이 부여된 규소막 106: 게이트 절연막

107: 게이트 전극 108: 소스 영역

109: 드레인 영역 110: 채널 형성 영역

111: 층간절연막 112: 소스 전극

113: 드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 정전기에 대한 대책을 가지는 반도체장치 및 그의 제작방법에 관한 것으로, 특히, 유리 기판 상에 형성된 박막 트랜지스터와 같은 박막 반도체를 이용하는 반도체장치의 제작방법에 관한 것이다.

정전기의 대전(帶電)(접촉 대전, 마찰 대전, 박리(stripping) 대전 등)에 기인하여, 예를 들어, 절연재료에 때로는 수 십 킬로볼트에 이르는 매우 높은 전압이 주어지고, 그 주위에는 강한 전자계(電磁界)가 형성된다는 것이 알려져 있다. 금속재료 등의 도체가 그러한 환경에 배치되면, 그의 표면에 전하가 유기(誘起)되거나 또는 그 도체 내에서의 극성 분리가 일어날 수 있어, 정전기 방전(ESD)이 발생된다.

그러나, 현 상태에서는, 반도체 산업이 급속히 발전하고 있음에도 반도체 공장에서의 정전기에 대한 대책은 불충분한 것으로 지적되고 있다. 정전기에 대한 대책은 ESD에 의한 디바이스 소자의 정전 파괴 등을 방지하기 위한 대책을 의미한다.

그 이유는 정전기에 대한 대책에 관하여 아직 불명료한 문제가 많이 남아 있다는 것과, 그러한 대책을 시행하기 위해서는 상당히 대규모의 환경이 필요하고, 그것을 위한 설비투자가 경영자에게 큰 경제적 부담이 되고 있다는 것이다.

이상의 이유로, 정전기에 대한 대책은 간단한 것에 그치고, 또한, 많은 경우 제조설비 관리자의 지식부족으로 효과적인 대책이 시행되지 않고 있다. 일반적으로 행해지는 정전기에 대한 대책의 예로서는, 크게 나누면, 대전체를 접지시켜 전하를 신속하게 누설시키는 방법과, 방사(放射) 이온으로 대전체의 전하를 중화시키는 방법이 있다.

예를 들어, 접지에 의한 방법은 전하 제거 대상물이 정전기적으로 도체(일반적으로, 1.0×10^{6} Ωm 이하의 저항률을 가지는)인 경우에 효과적이며, 플러스 또는 마이너스 이온을 사용한 중화 방법은 대상물이 이동하고 있거나 또는 부도체(일반적으로, 1.0×10^{10} Ωm 이상의 저항률을 가지는)인 경우에 효과적이다.

그 이유를 도 3A～도 3D를 참조하여 설명한다. 도 3A는 금속과 같은 도체가 대전된 상태를 나타낸다. 이 상태에서, 외부 전계의 영향이 없을 때 전하의 밀도와 극성이 균일하게 된다. 대조적으로, 유리와 같은 부도체가 대전될 때는, 전하의 밀도와 극성은 도 3B에 도시된 바와 같이 균일하지 않게 된다. 이들 현상은 도체에서는 전하 이동성이 높고 부도체에서는 전하 이동성이 없기 때문이다.

또한, 도 3C에 도시된 바와 같이, 대전된 도체가 접지되면, 그 도체가 순간적으로 전하를 상실한다. 즉, 전하가 도체로부터 제거된다. 대조적으로, 도 3D에 도시된 바와 같이, 부도체는 접지되어도, 전하의 이동이 매우 느리기 때문에, 전하 제거에 장시간이 걸리거나 또는 경우에 따라서는 전하 제거가 실질적으로 이루어지지 않는다.

즉, 부도체가 대전된 경우, 접지에 의한 전하 제거는 효율이 나쁘기 때문에, 플러스로 대전된 영역을 마이너스 이온으로 중화시키고, 마이너스로 대전된 영역을 플러스 이온으로 중화시키는 것이 필요하게 된다.

이온을 이용한 중화 방법으로서는, 코로나 방전을 이용하여 공기 중, 예를 들어, 질소성분의 분자의 전기량을 변화시켜 그 분자를 플러스 또는 마이너스 이온으로 변화시키고, 양(兩) 극성의 이온을 공기 중에 균일하게 산포시키는 방법이 일반적이다. 이 목적을 위한 장치가 이온화 장치(ionizer)라 불리고, 현재 널리 이용되고 있다.

최근의 반도체 산업에서는, 비정질 규소 박막을 이용한 박막트랜지스터(TFT)로부터 저온 폴리실리콘 박막을 이용한 TFT로 개발의 흐름이 이동하고 있다. 따라서, 저렴한 유리 기판 상에 반도체 회로를 형성하는 기술의 요구가 더욱 증가하고 있다. 말할 필요도 없이, 유리 기판은 절연성이고 부도체이다.

반도체장치의 제작과정에서, 유리 기판이 다양한 방식으로, 즉, 접촉 대전, 마찰 대전, 박리(또는 분리) 대전 등에 의해 대전된다. 유리 기판에 축적된 전하가 전자계(電磁界)를 형성하고, 그 전자계는 유리 기판 상에 형성된 배선과 같은 도체 내에 전하를 유기(誘起)시킨다. ESD를 야기하기에 충분한 양의 전하가 유기되면, 방전에 의해 디바이스 소자가 손상될 수 있다.

따라서, 유리 기판으로부터 전하를 제거하는 것이 필수 불가결하다. 그러나, 그 기판이 부도체이기 때문에, 이온화 장치에 의해 전하를 중화시키는 방법 외에는 효과적인 전하 제거 방법이 없다. 실제로, 반도체장치 제조회사에서는, 정전기에 대한 대책으로서 전체 클린 룸 안의 적절한 장소에 이온화 장치를 배치하거나, 또는 기판마다에 전하 제거 블로잉(blowing)을 행하여 기판으로부터 전하를 제거하고 있다.

그러나, 상기 방법들에서는, 양(兩) 극성의 이온의 발생량 사이의 균형을 제어하는 것이 어렵다. 그 균형이 깨지면, 전하 제거 대상물이 과잉의 플러스 또는 마이너스 이온으로 의도하지 않게 대전될 수 있다.

또한, 코로나 방전을 일으키는 이온화 장치의 전극 침의 성능이 오염이나 전식(電蝕)변형에 의해 저하하기 때문에, 그 전극 침의 유지관리가 요구된다. 이러한 이유로, 현재, 이온화 장치의 사용은 정전기에 대한 항구적인 대책으로서 저비용의 수단이 아니다. 또한, 정전기에 의해 전극 침에 모인 먼지가 클린 룸의 먼지 발생원이 될 수 있다는 보고가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 정전기에 대한 간단한 대책이 시행된 환경에서 반도체장치를 제작할 수 있게 하여 생산수율을 증가시키는 기술을 제공하는데 있다.

발명의 구성 및 작용

본 발명의 일 실시형태에 따르면, 절연성을 가지는 기판 상에 반도체장치를 제작하는 방법으로서, 상기 기판의 하면에 도전성 박막을 형성하는 공정과, 그 도전성 박막이 정전(靜電) 차폐물(shield)로서 기능하게 하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.

상기 도전성 박막의 예로서는, 금속 또는 금속 화합물을 주성분으로 하는 박막과, 도전성을 부여하는 불순물 이온을 함유하는 반도체 박막이 있다. 특히, 반도체 박막이 규소막인 경우, 기판의 상면측에 형성되는 규소막(박막트랜지스터의 활성층을 구성하는)과 하면측에 형성되는 규소막(정전 차폐물로서 사용되는)이 동시에 성막될 수 있다. 따라서, 도전성 박막의 추가가 성막 공정의 수를 증가시키지는 않는다.

본 발명의 다른 실시형태에 따르면, 절연성을 가지는 기판 상에 반도체장치를 제작하는 방법으로서, 기판의 하면과 상면 각각에 도전성 박막을 형성하는 공정, 규소막에 도전성을 부여하는 불순물 이온을 상기 기판의 하면에 형성된 규소막에 주입하는 공정, 상기 하면에 형성된 규소막이 정전 차폐물로서 기능하게 하는 공정, 및 반도체장치의 완성 후에 상기 기판의 하면으로부터 상기 규소막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.

상기 규소막은 플라즈마 CVD법이나 또는 감압 열 CVD법에 의해 형성될 수 있다. 감압 열 CVD법이 이용되는 경우에는, 기판을 부유 상태(상승된 상태)로 지지하는 구성으로 하면 현재의 성막장치로도 감압 열 CVD의 성막 기술에 의해 기판의 상면과 하면 각각에 치밀하고 밀착성이 우수한 규소막을 형성할 수 있다. 이 점에서 감압 열 CVD법의 이용이 유리하다.

본 발명의 또 다른 실시형태에 따르면, 절연성을 가지는 기판 상에 형성된 반도체장치로서, 상기 기판의 하면에 형성되고 정전 차폐물로서 기능하는 도전성 박막을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.

이 경우, 정전 차폐물로서 기능하는 박막은 반도체장치의 완성 후에라도 제거될 필요가 없는 투광성의 도전성 막(투명 도전막)인 것이 바람직하다. 투광성의 도전성 막의 전형적인 예로서는, ITO 막으로 대표되는, 인듐 또는 주석의 산화물을 주성분으로 하는 금속 화합물 막이 있다.

도 1A～도 1C는 유리 기판 상에 박막트랜지스터를 형성하는 경우인 본 발명의 실시예를 나타낸다.

절연 표면을 가진 유리 기판(101)상에 박막트랜지스터의 활성층을 구성하는 규소막을 형성하는데 있어서, 그 유리 기판(101)의 상면측과 하면측 모두에 규소막이 형성된다.

그 다음, 본 발명에 따라, 하면측에 형성된 규소막(103)에 불순물 이온을 주입하여, 도전성이 부여된 규소막(105)으로 전환시켜, 그 규소막을 후의 공정들에서 정전 차폐물로서 사용한다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[실시예 1]

본 실시예는 도전성이 부여된 규소막을 정전 차폐물로 이용하여 유리 기판 상에 박막트랜지스터가 형성되는 제작공정에 관한 것으로, 이 실시예를 도 1A～도 1C에 의거하여 설명한다.

도 1A에서, 부호 101은 절연성을 가지는 기판을 나타내며, 본 실시예에서는 유리 기판이다. 유리 기판(101)상에 산화규소막(도시되지 않음)이 형성되고, 이 산화규소막은 유리 기판(101)과 디바이스 소자 사이의 버퍼(buffer)층으로 기능한다.

그 다음, 후에 박막트랜지스터의 활성층을 구성하는 규소막(도시되지 않음)을 형성한다. 이 규소막은 비정질 규소막이거나 또는 결정성 규소막일 수 있다. 본 실시예에서는, 두께 1000 Å의 비정질 규소막을 감압 열 CVD법에 의해 성막하였다.

성막 중에, 기판(101)의 하면이 네 모서리에서 압력 핀에 의해 지지되기 때문에, 상면의 것과 동일한 막질을 가지는 비정질 규소막을 측면과 하면 각각에 형성하는 것이 가능하다.

그 다음, 비정질 규소막(도시되지 않음)을 결정성 규소막으로 전환시킨다. 이 결정화 공정으로서는, 공지의 가열 공정 또는 레이저 어닐 공정이 사용될 수 있다. 얻어진 결정성 규소막의 상면측을 건식 에칭법에 의해 패터닝하여, 활성층이 되는 섬 형상 반도체층(102)을 형성한다.

건식 에칭 공정 중에, 유리 기판(101)의 측면에 존재한 규소막도 플라즈마에 노출되어, 에칭에 의해 제거됨으로써, 섬 형상 반도체층(102) 이외에는 플라즈마에 노출되지 않는 유리 기판(101)의 하면에만 규소막(103)이 잔존한다. 그리하여, 도 1A의 상태가 얻어진다.

이어서, 도 1B에 도시된 바와 같이, 한가지 도전형을 부여하기 위한 불순물 이온(예를 들어, 인 또는 붕소 이온)을 유리 기판(101)의 하면에 잔존하는 규소막(103)에 주입한다. 불순물 이온의 주입 중에, 유리 기판(101)의 상면측이 레지스트 마스크(104)에 의해 보호된다.

그리하여, 하면측의 규소막(103)에 도전성이 부여된 상태가 얻어진다. 도전성이 부여된 규소막(105)은 후의 공정들에서 정전 차폐물로서 기능한다.

도 1B의 상태가 얻어진 후, 레지스트 마스크(104)를 제거한 다음, 유리 기판(101)의 상면측에 공지의 공정에 의해 게이트 절연막(106), 게이트 전극(107), 소스 영역(108), 드레인 영역(109), 채널 형성 영역(110), 층간절연막(111), 소스 전극(112) 및 드레인 전극(113)을 형성한다.

최종적으로, 정전 차폐물로 기능하는, 도전성이 부여된 규소막(105)을 제거하여, 도 1C에 도시된 구조를 가지는 의도하는 박막트랜지스터를 완성한다.

공지의 기술에서 정전 차폐물로 기능하는 규소막(105)을 제거하는 공정을 포함하지 않도록 주의를 하여야 한다. 본 실시예에서는, 섬 형상 반도체층(102)을 형성하는 공정을 제외하고는, 규소막을 에칭하는 공정을 포함하지 않는 공정을 채용하였다.

상기 실시예는 가장 간단한 구조의 플레이너형 박막트랜지스터를 형성하는 경우에 관한 것이지만, 어떠한 구조의 박막트랜지스터에도 본 발명이 적용될 수 있음은 물론이다. 따라서, 본 발명은, 특정 목적을 위한 박막트랜지스터. 예를 들어, 화소 박막트랜지스터, 드라이버 박막트랜지스터 또는 역스태거형 박막트랜지스터를 형성하는 경우에도 실시될 수 있다.

이하, 상기한 박막트랜지스터의 제작공정에서, 도전성이 부여된 규소막(105)이 어떻게 정전 차폐물로 기능하는지에 대하여 설명한다. 아래 설명에서는, 정전기의 실제 거동(behavior)이 복잡하고 많은 점에서 아직 알려져 있지 않기 때문에 정전 차폐물의 기능을 개략적으로 설명하는 것이다.

앞의 종래 예에서 설명된 바와 같이, 두 물체의 접촉, 두 물체 사이의 마찰, 물체로부터 일부분의 박리(분리) 등의 어떠한 경우에도, 전하가 이동하여 정전기를 일으킨다. 어떤 물체가 어떤 극성(플러스 또는 마이너스)으로 대전되는가는, 대전 현상이 복잡한 파라미터에 의존하기 때문에 무조건적으로는 결정되는 않는다. 아래 표 1에 나타내는 것은 반도체 제작공정에서 상이한 물체들 사이에서 통상적으로 일어나는 대전 경향을 나타내는 마찰 대전 계열이다.

[표 1]

정(+): 공기

사람 손

유리

나일론

알루미늄

폴리에스터

강(鋼)

경질 고무

니켈, 구리

은

황동, 스테인리스 강

아크릴

폴리에틸렌

폴리프로필렌

PVC, 비닐 클로라이드

실리콘(silicone)

부(-) : 테플론

박막트랜지스터의 제작공정에서 유리 기판은 여러 다른 물체와 접촉한다. "다른 물체"로서는, CVD 장치의 알루미늄 합금제 스테이지와 유리 기판을 운반하는 테플론제 캐리어를 들 수 있다.

예를 들어, 알루미늄 합금제 스테이지와 유리 기판의 조합에서는, 마찰 대전 계열에 의하면, 유리 기판이 플러스로 대전되고, 알루미늄 합금제 스테이지는 마이너스로 대전되는 것이 예상되지만, 엄밀하게는, 여러 인자를 포함하는 대전 현상의 복잡성 때문에, 그들이 반대로 대전될 수 있다.

대전 메카니즘을 도 2A～도 2C에 의거하여 설명한다. 도 2A～도 2C는 2개의 물체가 서로 접촉한 후에 다시 분리되어 분리 대전을 야기하는 경우를 나타낸다. 이 경우, 접지된 도체는 즉시 전하가 상실하는 것으로 고려될 수 있다.

도 2A에 도시된 바와 같이, 유리 기판(201)과 알루미늄 합금제 스테이지(202)가 서로 분리될 때, 그들이 분리 대전에 의해 플러스 또는 마이너스로 대전된다. 알루미늄 합금제 스테이지(202)가 도 2A에 도시된 바와 같이 접지되어 있기 때문에, 그 스테이지에 유기(誘起)된 전하가 즉시 상실된다. 그러나, 유리 기판(201)에 유기된 전하는 그대로 잔류한다.

엄밀하게는, 유리 기판(201)은 부도체이기 때문에, 도 3B와 관련하여 이미 설명된 바와 같이 유리 기판(201)에서의 전하의 밀도와 극성은 복잡하게 분포된다. 대전된 물체 내측의 전하는 서로 상쇄되지 않기 때문에, 통상 대전된 물체의 표면 만이 대전되는 것으로 고려된다. 그러나, 도면을 단순화하기 위해, 대전된 물체를 전체적으로 색칠하여 구분하였다.

유리 기판(201)이 대전하면, 유리 기판 상에 형성된 배선도 정전 유도 작용에 의해 대전한다. 배선(203)에 대전하는 전하량은 유리 기판(201)내의 전하량에 의해 크게 영향을 받는다.

상기한 바와 같은 유리 기판의 대전은 박막트랜지스터 제작공정의 많은 단계에서 일어난다. 형성되는 전자계의 강도는 유리 기판에 대전한 전하량에 좌우된다. 그 전자계에 의해 야기되는 정전 유도 작용에 의해 배선 내에 유기된 전하량이 한계를 초과한 때, 방전에 의해 배선(디바이스 소자)이 파괴될 수 있다.

도 2B는 본 발명을 실시한 경우를 나타낸다. 이 경우, 도전성이 부여된 규소막(204)이 알루미늄 합금제 스테이지(202)와 직접 접촉한다. 이 규소막(204)과 알루미늄 합금제 스테이지(202) 사이에 분리 대전이 일어난다.

이 경우, 도전성이 부여된 규소막(204)은 대전되지만, 유리 기판(201)에는 대전이 거의 일어나지 않는 것으로 고려된다. 이것은, 유리 기판(201)(정확하게는, 규소막(204))과 알루미늄 합금제 스테이지(202)가 서로 분리될 때, 그 규소막(204)이 통상 압력 핀 또는 이송 아암과 같은 기판 운반기구의 일부와 접촉하여 있고, 그들의 운반기구가 접지되어 있으면 전하의 축적이 일어나지 않기 때문이다.

도 2C에 도시된 바와 같이, 접지되지 않은 스테이지, 또는, 예를 들어, 중합체가 도포된 전극과 같은 비도전성의 전극(205)은 이온 블로잉 등에 의하여 중화되지 않는 한 항상 대전 상태로 유지된다.

이 경우에 본 발명이 이용되면, 유리 기판(201)의 하면에 형성된 도전성 규소막(204)이 정전 차폐물로서 기능하여, 유리 기판(201)의 대전을 방지할 수 있다. 이 정전 차폐 현상이란, 대전체와 물체 사이에 도체가 개재된 때 대전체로부터 물체에 정전 작용이 미치지 않는 것을 의미한다. 이 현상 자체는 잘 알려져 있고, 참고문헌 등에 보고되어 있다.

상기한 바와 같이, 본 실시예에 따르면, 유리 기판(201)의 하면에 제공된 도전성 규소막(204)에 의해 유리 기판(201)이 직접 대전되는 것을 방지할 수 있다. 즉, 정전기가 발생되는 공정 중에 규소막(204)을 접지시킴으로써, 유리 기판(201)의 대전이 방지될 수 있다. 또한, 유리 기판(201)이 대전체 상에 배치되는 것이 필요한 경우에도, 규소막(204)이 정전 차폐물로 기능하기 때문에 유리 기판(201)의 대전이 방지될 수 있다.

종래와 같이 전하 제거 블로잉에 의해 정전기를 중화시키는 전하 제거에는 기판당 수 초의 시간이 걸린다. 대조적으로, 본 발명에서는, 전하 제거가 통상의 제작공정의 실시 중에 이루어지므로, 본 발명은 관련 공정의 택트(tact) 시간의 단축에 기여한다.

[실시예 2]

실시예 1에서는, 활성층을 구성하는 규소막의 성막과 동시에 유리 기판의 하면에도 규소막이 형성되고, 그 규소막에 도전성이 부여되어 정전 차폐물로 사용되었다. 그러나, 금속 또는 금속 화합물을 주성분으로 하는 박막과 같은 다른 타입의 도전성 박막도 정전 차폐물로 기능할 수 있다(실시예 2).

이 경우, 박막트랜지스터의 제작공정에서 정전 차폐물로서 기능하는 도전성 박막이 에칭되지 않는 것이 바람직하다. 통상의 경우에서보다 두꺼운 도전성 막을 형성함으로써 동일한 결과가 얻어지지만, 이러한 조처는 효과적이지 않다.

본 실시예에서와 같이, 금속 또는 금속 화합물을 주성분으로 하는 재료를 정전 차폐물로서 사용하는 것은, 큰 도전성 때문에 접지 시 전하 제거가 매우 신속하게 달성되는 이점을 제공한다.

[실시예 3]

본 실시예는 ITO(인듐 주석 산화물) 막과 SnO_2 막으로 대표되는 투광성의 도전성 막(투명 도전막)이 박막트랜지스터의 제작공정에서 정전 차폐물로 사용되는 경우에 관한 것이다. 투명 도전막을 에칭하는 원소(특히 염소 등)를 조성으로 함유하는 에천트가 각 공정에서 사용되지 않는 것이 중요하다.

본 실시예를 유리 기판 상에 형성된 박막트랜지스터에 의해 구동되는 액정 표시장치의 제작에 적용하는 경우, 투명 도전막은 투광성을 가지기 때문에 액정 표시장치의 제작 완료 후에 제거될 필요가 없다는 이점이 있다.

발명의 효과

상기한 바와 같이, 본 발명을 실시하는 것으로, 유리 기판과 다른 물체가 직접 접촉하는 일이 없게 된다. 그리고, 정전 차폐물로서 기능하는 도전성 규소막을 제공함으로써, 유리 기판의 대전이 방지될 수 있어, 유리 기판의 대전에 의해 야기되는 디바이스 소자의 대전과, 그것에 기인하는 정전 방전(ESD)에 의한 디바이스 소자의 정전 파괴가 피해질 수 있다.

(57) 청구의 범위

청구항 1.

절연성을 가지는 기판 위에 반도체장치를 제작하는 방법에 있어서,

상기 기판의 하면에 반도체 재료로 된 하면 막을 얻고 또한 후에 상기 기판의 상면에 상기 반도체 재료와 동일한 반도체 재료로 된 활성층을 얻기 위해, 상기 기판의 하면과 상면에 동시에 동일한 상기 반도체 재료를 형성하는 공정과;

상기 반도체 재료로 된 상기 하면 막에 도전성을 부여하는 불순물 이온을 상기 하면 막에 주입하는 공정을 포함하고;

상기 하면 막이 상기 기판의 대전을 방지하도록 접지되고, 정전 차폐물로서 기능하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 2.

절연성을 가지는 기판 위에 반도체장치를 제작하는 방법에 있어서,

상기 기판의 하면에 반도체 재료로 된 하면 막을 얻고 또한 후에 상기 기판의 상면에 상기 반도체 재료와 동일한 반도체 재료로 된 활성층을 얻기 위해, 상기 기판의 하면과 상면에 동시에 동일한 상기 반도체 재료를 형성하는 공정;

상기 하면 막에 도전성을 부여하는 불순물 이온을 상기 하면 막에 주입하는 공정; 및

반도체장치의 완성 후에, 상기 기판의 하면으로부터 상기 하면 막을 제거하는 공정을 포함하고;

상기 하면 막이 상기 기판의 대전을 방지하도록 접지되고, 정전 차폐물로서 기능하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 3.

제 2 항에 있어서, 상기 하면 막 및 상기 활성층이 감압 열 CVD법에 의해 형성되는 것을 특징으로 하는 반도체장치 제작방법.

청구항 4.

제 1 항에 있어서, 상기 하면 막이 규소를 포함하는 것을 특징으로 하는 반도체장치 제작방법.

청구항 5.

제 1 항에 있어서, 상기 하면 막이 1.0×10^{6} Ωm 이하의 저항률을 가지는 것을 특징으로 하는 반도체장치 제작방법.

청구항 6.

제 2 항에 있어서, 상기 하면 막이 1.0×10^{6} Ωm 이하의 저항률을 가지는 것을 특징으로 하는 반도체장치 제작방법.

청구항 7.

절연성을 가지는 기판 위에 반도체장치를 제작하는 방법에 있어서,

상기 기판의 하면에 반도체 재료로 된 하면 막을 얻고 또한 후에 상기 기판의 상면에 상기 반도체 재료와 동일한 반도체 재료로 된 섬 형상 반도체층을 얻기 위해, 상기 기판의 하면과 상면에 동시에 동일한 상기 반도체 재료를 형성하는 공정;

상기 하면 막에 도전성을 부여하는 불순물 이온을 상기 하면 막에 주입하는 공정;

상기 섬 형상 반도체층 위에 게이트 절연막 및 게이트 전극을 형성하는 공정;

상기 섬 형상 반도체층에 소스 영역, 드레인 영역, 및 채널 영역을 형성하는 공정;

상기 섬 형상 반도체층, 상기 게이트 절연막 및 상기 게이트 전극 위에 층간 절연막을 형성하는 공정;

상기 층간절연막 위에 상기 소스 영역에 접속되는 소스 전극을 형성하는 공정;

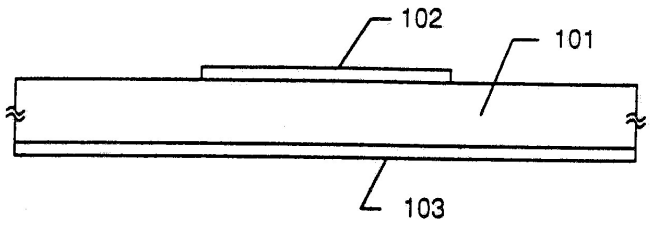
상기 층간절연막 위에 상기 드레인 영역에 접속되는 드레인 전극을 형성하는 공정; 및

상기 소스 영역, 상기 드레인 영역, 상기 채널 영역, 상기 게이트 절연막, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극의 형성 후에, 상기 기판의 상기 하면으로부터 상기 하면 막을 제거하는 공정을 포함하고;

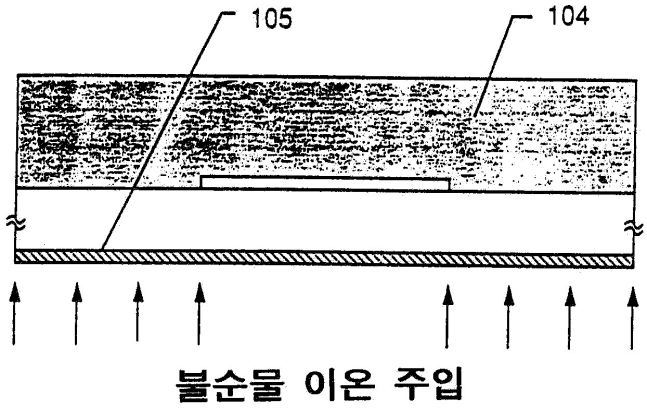
상기 하면 막이 상기 기판의 대전을 방지하도록 잡지되고, 정전 차폐물로서 기능하는 것을 특징으로 하는 반도체장치 제작방법.

도면

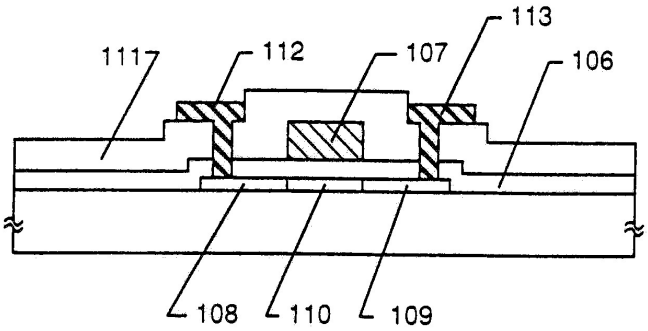
도면1a



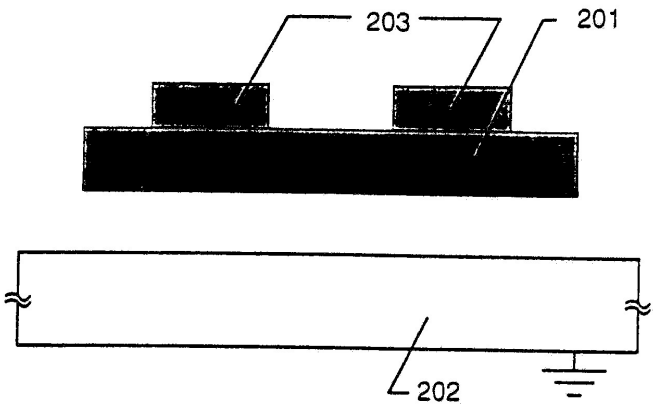
도면1b



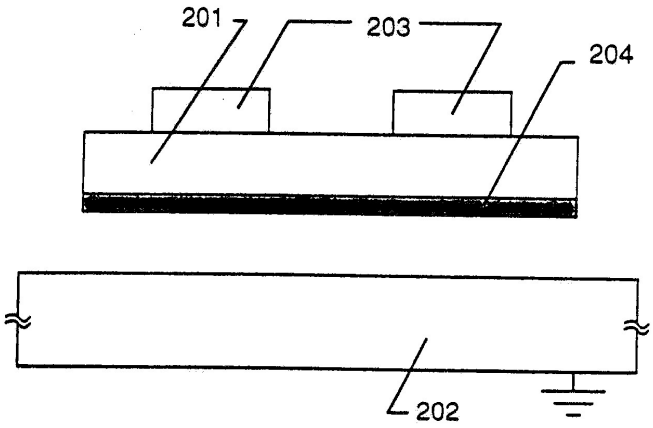
도면1c



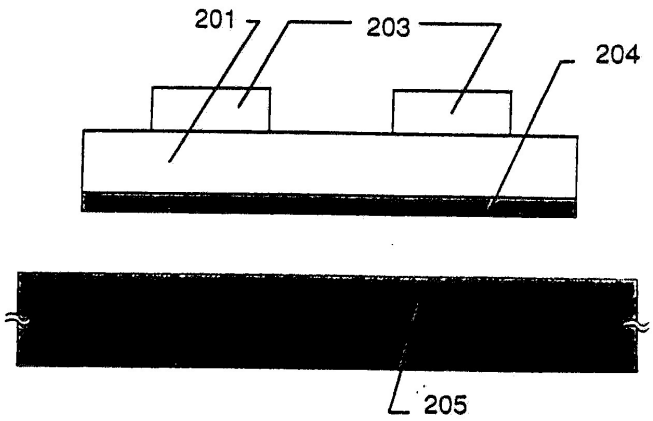
도면2a



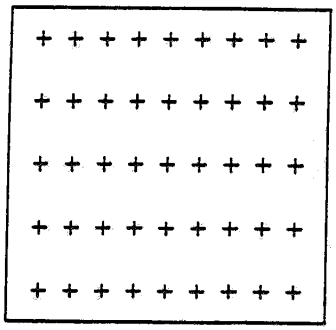
도면2b



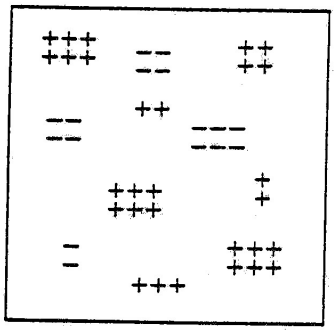
도면2c



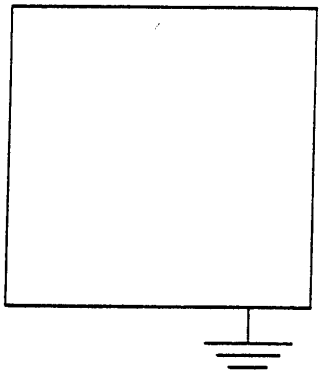
도면3a



도면3b



도면3c



도면3d

