



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I607318 B

(45)公告日：中華民國 106 (2017) 年 12 月 01 日

(21)申請案號：103120371

(22)申請日：中華民國 103 (2014) 年 06 月 12 日

(51)Int. Cl. : G06F13/40 (2006.01) G06F13/42 (2006.01)

(30)優先權：	2013/06/12	美國	61/834,151
	2013/06/19	美國	61/836,777
	2013/10/02	美國	61/886,002
	2014/06/11	美國	14/302,362
	2014/06/11	美國	14/302,365

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)
美國(72)發明人：仙石祥一郎 SENGOKU, SHOICHIRO (JP)；威利 喬治 艾倫 WILEY, GEORGE
ALAN (US)；章恩 喬瑟夫 CHEUNG, JOSEPH (US)

(74)代理人：陳長文

(56)參考文獻：

TW	I307859	TW	201217982A
CN	1278124A	US	20090055564A1
US	20100074262A1		

網路文獻著作名稱：THE I2C-BUS SPECIFICATION，網址："http://
esd.cs.ucr.edu/webres/i2c20.pdf"。 DECEMBER 1998。

審查人員：吳家豪

申請專利範圍項數：30 項 圖式數：26 共 102 頁

(54)名稱

相機控制介面延伸匯流排

CAMERA CONTROL INTERFACE EXTENSION BUS

(57)摘要

本發明描述一種提供一用於積體電路間(I2C)及/或相機控制介面(CCI)操作之串列匯流排之改良之效能的系統、方法及裝置。描述了 CCI 延伸(CCIe)器件。CCIe 器件可經組態為匯流排主控器或受控器。在一種方法中，CCIe 傳輸器可：自一組位元產生一轉變數；將該轉變數轉換成一符號序列；及在一二線式串列匯流排之發信狀態中傳輸該符號序列。定時資訊可被編碼於該符號序列中之連續符號對之符號之間的轉變中。舉例而言，每一轉變可引起該二線式串列匯流排之至少一條線之該發信狀態的一改變。一 CCIe 接收器可自該等轉變來得出一接收時脈以便接收及解碼該符號序列。

System, methods and apparatus are described that offer improved performance of a serial bus used for Inter-Integrated Circuit (I2C) and/or camera control interface (CCI) operations. CCI extension (CCIe) devices are described. CCIe devices may be configured as a bus master or as a slave. In one method, a CCIe transmitter may generate a transition number from a set of bits, convert the transition number into a sequence of symbols, and transmit the sequence of symbols in the signaling state of a two-wire serial bus. Timing information may be encoded in the transitions between symbols of consecutive pairs of symbols in the

sequence of symbols. For example, each transition may cause a change in the signaling state of at least one wire of the two-wire serial bus. A CCIE receiver may derive a receive clock from the transitions in order to receive and decode the sequence of symbols.

指定代表圖：

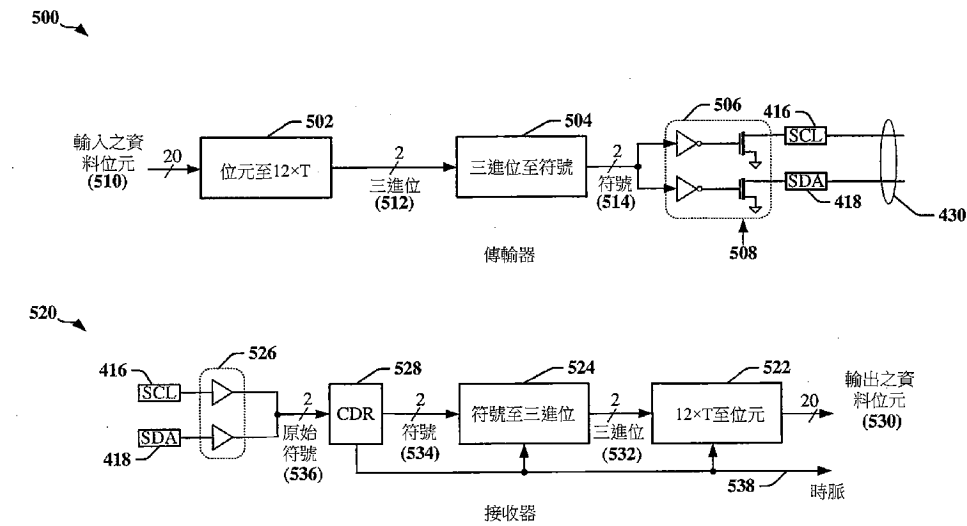
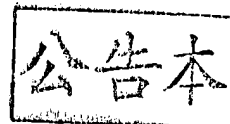


圖5

符號簡單說明：

- 416 . . . SCL 線
- 418 . . . SDA 線
- 430 . . . CCIE 匯流排
- 500 . . . 傳輸器
- 502 . . . 轉碼器
- 504 . . . 編碼器
- 506 . . . 線驅動器
- 508 . . . 開漏輸出電晶體
- 510 . . . 輸入二進位資料
- 512 . . . 三進位轉變數
- 514 . . . 符號
- 520 . . . 接收器件
- 522 . . . 電路
- 524 . . . 電路
- 526 . . . 線介面電路
- 528 . . . CDR 電路
- 530 . . . 輸出資料位元
- 532 . . . 轉變數
- 534 . . . 符號
- 536 . . . 符號
- 538 . . . 接收時脈



發明摘要

※ 申請案號： 103/20371

※ 申請日： 103.6.12

※IPC 分類：G06F 13/40

(2006.01)

13/42 (2006.01)

【發明名稱】

相機控制介面延伸匯流排

CAMERA CONTROL INTERFACE EXTENSION BUS

【中文】

● 本發明描述一種提供一用於積體電路間(I2C)及/或相機控制介面(CCI)操作之串列匯流排之改良之效能的系統、方法及裝置。描述了CCI延伸(CCIe)器件。CCIe器件可經組態為匯流排主控器或受控器。在一種方法中，CCIe傳輸器可：自一組位元產生一轉變數；將該轉變數轉換成一符號序列；及在一二線式串列匯流排之發信狀態中傳輸該符號序列。定時資訊可被編碼於該符號序列中之連續符號對之符號之間的轉變中。舉例而言，每一轉變可引起該二線式串列匯流排之至少一條線之該發信狀態的一改變。一CCIe接收器可自該等轉變來得出一接收時脈以便接收及解碼該符號序列。

●

【英文】

System, methods and apparatus are described that offer improved performance of a serial bus used for Inter-Integrated Circuit (I2C) and/or camera control interface (CCI) operations. CCI extension (CCIE) devices are described. CCIE devices may be configured as a bus master or as a slave. In one method, a CCIE transmitter may generate a transition number from a set of bits, convert the transition number into a sequence of symbols, and transmit the sequence of symbols in the signaling state of a two-wire serial bus. Timing information may be encoded in the transitions between symbols of consecutive pairs of symbols in the sequence of symbols. For example, each transition may cause a change in the signaling state of at least one wire of the two-wire serial bus. A CCIE receiver may derive a receive clock from the transitions in order to receive and decode the sequence of symbols.

【代表圖】

【本案指定代表圖】：第（5）圖。

【本代表圖之符號簡單說明】：

416	SCL線
418	SDA線
430	CCle匯流排
500	傳輸器
502	轉碼器
504	編碼器
506	線驅動器
508	開漏輸出電晶體
510	輸入二進位資料
512	三進位轉變數
514	符號
520	接收器件
522	電路
524	電路
526	線介面電路
528	CDR電路
530	輸出資料位元
532	轉變數
534	符號
536	符號
538	接收時脈

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

相機控制介面延伸匯流排

CAMERA CONTROL INTERFACE EXTENSION BUS

相關申請案之交叉參考

本專利申請案主張以下各者之優先權：2013年6月12日申請之題為「Increasing Data Transfer Rate Over I2C Bus」的臨時申請案第61/834,151號；2013年6月19日申請之題為「Camera Control Interface Extension Bus」的臨時申請案第61/836,777號；及2013年10月2日申請之題為「Simplifying Symbol Transcoding And Transmission Over CCIE Bus」的臨時申請案第61/886,002號，該等申請案皆讓與給其受讓人且特此以引用之方式明確地併入本文中。

【技術領域】

本發明大體而言係關於主機處理器與周邊器件(諸如，相機)之間的介面，且更特定言之係關於多模式操作(其中時脈信號被嵌入於在多線共用匯流排上轉移之符號中)。

【先前技術】

積體電路間串列匯流排(其亦可稱為I2C匯流排或I²C匯流排)為意欲用於將低速周邊設備連接至處理器的串列單端電腦匯流排。I2C匯流排為多主控匯流排，其中每一器件可針對在I2C匯流排上傳輸之不同訊息而充當主控器及受控器。I2C匯流排可僅使用兩個雙向開漏連接器(包括串列資料線(SDA)及串列時脈線(SCL))來傳輸資料。該等連接器通常包括由上拉電阻器終止之信號線。

控管I2C匯流排操作之協定定義基本訊息類型，該等訊息類型中

之每一者以START開始且以STOP結束。I2C匯流排使用7位元定址且定義兩種節點類型：主控及受控。主控節點係產生時脈且起始與受控節點之通信的節點。受控節點係接收時脈且當由主控器定址時作出回應的節點。I2C匯流排係多主控匯流排，其意謂可存在任何數目之主控節點。另外，主控角色及受控角色可在訊息之間(亦即，在發送STOP之後)加以改變。

I2C匯流排之原始實施支援在標準模式操作中每秒高達100千位元(100 kbps)的資料發信速率，其中較新標準支援在快速模式操作中400 kbps及在快速模式+操作中每秒1百萬位元(Mbps)的速度。然而，在一些系統及裝置中，需要甚至更高之頻寬來支援在某些類型之器件之間的通信。舉例而言，行動通信器件(諸如，蜂巢式電話)可使用多個器件(諸如，相機、顯示器及消耗顯著頻寬的各種通信介面)。當使用習知I2C協定來保持與舊版器件之相容性時，可能難以獲得較高頻寬。

存在對在串列介面(被組態為連接行動器件內之主控組件及受控組件的匯流排)上提供最佳化通信的進行之需求。

【發明內容】

以下內容呈現本發明之一或多個態樣之簡化概要，以便提供對此等態樣之基本理解。此概要非為本發明之所有預期特徵的詳盡概述，且既不意欲識別本發明之所有態樣的關鍵或重要要素亦不描繪本發明之任何或所有態樣的範疇。其唯一目的係以簡化形式呈現本發明之一或多個態樣之一些概念以作為稍後所呈現之較詳細描述的序言。

本文中所揭示之實施例提供可使用串列匯流排來改良通信介面之效能的系統、方法及裝置，該串列匯流排支援習知I2C匯流排操作與使用共同I2C匯流排之增強型通信介面兩者。可使用二線式、雙向、半雙工、串列介面(被組態為連接一主控器及一或多個受控器之

匯流排)來部署相機控制介面(CCI)，其中CCI操作與I2C匯流排操作相容。在本文中所揭示之一個實例中，可使用I2C匯流排來部署CCI延伸(CCIe)器件以提供二線式、雙向、半雙工、串列介面。CCIe器件可經組態為匯流排主控器或受控器。CCIe器件可與I2C匯流排上之I2C器件相容或共存，使得即使當I2C器件監視I2C匯流排時CCIe器件仍可使用CCIe協定及發信規範來與一或多個其他CCIe器件通信。本文中所揭示之一個實例在CCIe器件與I2C器件兩者被部署於同一匯流排上時向單一主控器提供一可處置匯流排上之多個受控器的介面。在後者實例中，兩個或兩個以上之CCIe器件可使用CCIe協定來通信，且與I2C器件之任何通信異動係使用I2C匯流排協定來實施。

在本發明之一個態樣中，本發明提供一種可在傳輸器件上操作之資料通信方法。該方法包括：自一組位元產生一轉變數；將該轉變數轉換成一符號序列；當在第一操作模式中操作二線式串列匯流排時，在該二線式串列匯流排上傳輸該符號序列。定時資訊可被編碼於該符號序列中之符號之間的轉變中。每一轉變可引起二線式串列匯流排之發信狀態的改變。當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。該符號序列可包括12符號。

在另一態樣中，轉變數包括多位數三進位數。舉例而言，該三進位數可具有十二位數。可藉由將三進位數提供至轉碼器來將轉變數轉換成符號序列。在一個實例中，優先將三進位數之最高有效位數提供至轉碼器，最後將三進位數之最低有效位數提供至轉碼器，且按減小之有效性的次序將在最高有效位數與最低有效位數之間的中間位數提供至轉碼器。在另一實例中，最後將三進位數之最高有效位數提供至轉碼器。可針對二線式串列匯流排來定義四個發信狀態。三進位數之每一位數可自三個可用符號中之一者選擇待傳輸於二線式串列匯流

排上之下一符號。此等三個可用符號中之每一者係不同於正傳輸於二線式串列匯流排上之當前符號。被編碼於符號序列中之定時資訊使得接收器能夠自該符號序列產生一接收時脈。

在另一態樣中，二線式串列匯流排可為多用途匯流排，當在第一操作模式中操作二線式串列匯流排時其支援使用CCIE協定進行之通信。二線式串列匯流排可在第二操作模式中支援使用I2C協定進行之通信。可藉由在第一操作模式中在傳輸於二線式串列匯流排上之符號序列之間提供I2C開始條件而在二線式串列匯流排上傳輸該符號序列。開始條件可引起在一經組態用於使用I2C協定進行之通信之器件中的接收邏輯之重設。在二線式串列匯流排上傳輸第一I2C開始條件之後，可在二線式串列匯流排上傳輸符號序列。在該符號序列之後，可在二線式串列匯流排上傳輸第二I2C開始條件。監視二線式串列匯流排之I2C接收器可在第一I2C開始條件之後及在第二I2C開始條件之前察覺二線式串列匯流排之SCL上最多6個時脈週期。

在本發明之一個態樣中，一裝置包括：一匯流排介面，其經調適以將裝置耦接至一可操作以與複數個其他裝置及器件共用之二線式串列匯流排；及一處理電路，其耦接至匯流排介面。該處理電路可經組態以：自一組位元產生一轉變數；將該轉變數轉換成一符號序列；及當在第一操作模式中操作二線式串列匯流排時，在該二線式串列匯流排上傳輸該符號序列。定時資訊可被編碼於該符號序列中之符號之間的轉變中。每一轉變引起二線式串列匯流排之發信狀態的改變。當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。

在本發明之一個態樣中，一種可操作於資料通信接收器件上之方法包括：當在第一操作模式中操作二線式串列匯流排時，自二線式串列匯流排之發信狀態的轉變來得出一接收時脈；使用該接收時脈來

接收一根據第一操作模式而在二線式串列匯流排上傳輸之符號序列；自該符號序列產生一轉變數；及解碼來自該轉變數之資料。二線式串列匯流排之發信狀態的轉變可對應於符號序列中之符號之間的轉變。當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。該符號序列可包括12符號。

在另一態樣中，轉變數可具有多個位數，其中每一位數表示符號序列中之一對連續符號之間的轉變。轉變數可包括十二位數三進位數。可針對二線式串列匯流排來定義四種發信狀態。三進位數之每一位數可表示二線式串列匯流排上之一對連續發信狀態之間的關係。符號序列中之每一符號可為由二線式串列匯流排之發信狀態定義的四個符號中之一者。三進位數之每一位數可定義符號序列中之一對連續符號之間的關係。

在另一態樣中，二線式串列匯流排可為多用途匯流排，當在第一操作模式中操作二線式串列匯流排時其支援CCIE通信。二線式串列匯流排可在第二操作模式中支援I2C通信。可藉由以下步驟自二線式串列匯流排接收符號序列：判定在二線式串列匯流排上I2C開始條件之發生；及根據由接收時脈定義之定時自二線式串列匯流排接收12符號。

在本發明之一個態樣中，一裝置包括：一匯流排介面，其經調適以將裝置耦接至一可操作以與複數個其他裝置及器件共用之二線式串列匯流排；一時脈恢復電路，其經組態以自二線式串列匯流排之發信狀態的轉變來得出一接收時脈；及一處理電路，其耦接至匯流排介面。該處理電路可經組態以：當在第一操作模式中操作二線式串列匯流排時，自二線式串列匯流排之發信狀態的轉變來得出一接收時脈；使用該接收時脈來接收一根據第一操作模式而在二線式串列匯流排上

傳輸之符號序列；自該符號序列產生一轉變數；及解碼來自該轉變數之資料。二線式串列匯流排之發信狀態的轉變可對應於符號序列中之符號之間的轉變。轉變數可具有多個位數，其中每一位數表示符號序列中之一對連續符號之間的轉變。當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。

在本發明之一個態樣中，一系統或器件具有：一包括第一線及第二線之匯流排；耦接至匯流排之第一組器件；及耦接至匯流排之第二組器件。一種經由該匯流排操作之方法可包括：組態第一組器件以在第一操作模式中將第一線用於資料傳輸及將第二線用於第一時脈信號；及組態第二組器件以在第二操作模式中將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於該等資料傳輸之符號轉變內。第一組器件及第二組器件可在第一操作模式與第二操作模式兩者中同時監視匯流排之至少一條線。

在另一態樣中，在第一操作模式中，第一組器件中之主控器件經由匯流排之第一線將資料傳輸至第一組器件中之受控器件。在第二操作模式中，第二組器件中之主控器件經由匯流排將資料傳輸至第二組器件中之受控器件。

在另一態樣中，第一操作模式實施第一協定以用於經由匯流排進行之資料傳輸且第二模式實施第二協定以用於經由匯流排進行之資料傳輸。

在另一態樣中，在第二操作模式中，第一組器件中之器件經由第一線及第二線來接收一禁止偵測有效受控節點位址的重設指示器。在第二操作模式中，可藉由將重設指示器插入於第一線及第二線中來週期性地中斷資料傳輸，此使第一組器件在偵測到有效位元序列之前重設其匯流排邏輯。

在另一態樣中，在第一操作模式期間，第二組器件中之主控節點經由第一線來發送第一位元序列，該第一位元序列向第二組器件指示至第二操作模式之切換。在第二操作模式期間，主控節點可經由匯流排來發送退出符號序列，該退出符號序列向第二組器件指示至第一操作模式之切換。

在另一態樣中，匯流排為I2C相容匯流排。第一操作模式可具有經由匯流排之每秒1百萬位元的最大位元速率且第二操作模式可具有每秒6.4百萬位元的最大位元速率。第一操作模式可具有經由匯流排之每秒1百萬位元的最大位元速率且第二操作模式可具有每秒16.7百萬位元的最大位元速率。

在另一態樣中，第二組器件中之器件能夠在第一操作模式與第二操作模式兩者中操作。

在另一態樣中，該方法包括當耦接至匯流排之所有有效器件能夠在第三操作模式中操作時使匯流排在該第三操作模式中加以操作。在該第三操作模式中，一或多個器件可經組態以將第一線與第二線兩者用於資料傳輸同時將時脈信號嵌入於該等資料傳輸之符號轉變內。第一操作模式可實施第一協定以用於經由匯流排進行之資料傳輸，而第二操作模式實施第二協定以用於經由匯流排進行之資料傳輸，且第三操作模式實施第三協定以用於經由匯流排進行之資料傳輸。第三操作模式可具有經由匯流排之每秒27.1百萬位元的最大位元速率。

在另一態樣中，匯流排耦接至第二組器件中之包括基頻處理器的第一器件及第二組器件中之包括影像感測器的第二器件。匯流排可在基頻處理器與影像感測器之間攜載控制資料信號。

在另一態樣中，第二組器件中之每一器件經調適以：將一資料位元序列轉換成複數個 M 轉變數；將每一轉變數轉換成一來自一組序號之序號；及經由匯流排來傳輸該序號。可基於自一緊接之先前序號

的轉變而自轉變數選擇該序號以保證沒有兩個序號係相同的。可藉由將複數個轉變數轉換成一序號而將每一轉變數轉換成一來自一組序號之序號。

在本發明之一個態樣中，處理器可讀儲存媒體包括、儲存或保持在器件上操作之一或多個指令，該一或多個指令在由一或多個處理電路執行時使該一或多個處理電路：組態耦接至具有第一線及第二線之匯流排的第一組器件以在第一操作模式中將第一線用於資料傳輸及將第二線用於第一時脈信號；及組態耦接至匯流排之第二組器件以在第二操作模式中將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於該等資料傳輸之符號轉變內。

在本發明之一個態樣中，一系統或器件具有：一包括第一線及第二線之匯流排；第一組器件，其耦接至匯流排且經組態以在第一操作模式中將第一線用於資料傳輸且將第二線用於第一時脈信號；及第二組器件，其耦接至匯流排且經組態以在第二操作模式中將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於資料傳輸之符號轉變內。

【圖式簡單說明】

圖1描繪一使用IC器件之間的資料鏈路的裝置，其根據複數個可用標準中之一者來選擇性地操作。

圖2說明一器件，其具有基頻處理器及影像感測器且實施影像資料匯流排及多模式控制資料匯流排。

圖3說明一多用途或共同串列匯流排，其支援共存之I2C模式器件及CCIE模式器件。

圖4說明一裝置之系統架構，該裝置使用IC器件之間的資料鏈路。

圖5說明根據本文中所揭示之某些態樣之傳輸器及接收器的某些

態樣。

圖6說明邏輯，該邏輯經組態以在優先傳輸符號串流中之最低有效符號時將二進位位元轉換成三進位數。

圖7說明邏輯，該邏輯經組態以在優先傳輸符號串流中之最高有效符號時將二進位位元轉換成三進位數。

圖8說明電路之實例，該電路可用於將十二位數三進位數轉換成複數個位元。

圖9說明根據本文中所揭示之某些態樣之用於轉碼資料的編碼方案。

圖10說明舊版I2C協定之典型I2C位元轉移週期。

圖11說明習知I2C匯流排上之SDA信號線與SCL信號線之間的關係。

圖12說明當連接至共用匯流排之器件包括I2C器件時在該匯流排上之處於CCle模式中之資料傳輸的實例。

圖13說明當匯流排430上之器件不包括有效I2C器件時在CCle匯流排上之資料傳輸。

圖14說明供在經組態用於CCle操作模式之串列匯流排上傳輸之符號的產生。

圖15說明I2C一位元組寫入資料操作。

圖16說明START條件對舊版I2C受控節點之影響的一個實例。

圖17說明一系統，該系統包括可在同一串列匯流排上在多個模式中通信之複數個器件。

圖18說明與CCle協定之實例相關聯之某些定時及發信態樣，該CCle協定可在一亦支援舊版I2C定時及發信之共用串列匯流排上操作。

圖19說明當由用於I2C Fm+模式之同一實體驅動器來驅動CCle信

號時在具備Fm+能力之I2C匯流排上的CCIE符號定時之一個實例。

圖20說明開漏驅動器之實例，該等開漏驅動器可由耦接至I2C相容匯流排之CCIE器件加以使用。

圖21為根據本文中所揭示之某些態樣的方塊圖，其說明使用可加以調適之處理系統之裝置之實例。

圖22為根據本文中所揭示之一或多個態樣之用於在CCIE匯流排上傳輸資訊之方法的流程圖。

圖23為根據本文中所揭示之一或多個態樣之圖式，其說明在CCIE匯流排上傳達資訊之傳輸裝置之硬體實施之實例。

圖24為根據本文中所揭示之一或多個態樣之用於自CCIE匯流排接收資訊之方法的流程圖。

圖25為根據本文中所揭示之一或多個態樣之圖式，其說明解碼在CCIE匯流排上傳輸之資訊之接收裝置之硬體實施之實例。

圖26為根據本文中所揭示之一或多個態樣之操作一使用匯流排之系統或器件之方法的流程圖。

【實施方式】

現參看諸圖來描述各種態樣。在以下描述中，出於解釋之目的，闡述眾多特定細節以便提供對一或多個態樣之透徹理解。然而，可顯而易見的是，可在無此等特定細節之情況下實踐此(等)態樣。

如本申請案中所使用，術語「組件」、「模組」、「系統」及其類似者意欲包括電腦相關實體，諸如(但不限於)硬體、軟體、硬體與軟體之組合、軟體或執行中之軟體。舉例而言，組件可為(但不限於)在處理器上執行之程序、處理器、物件、可執行碼、執行線緒、程式及/或電腦。藉由說明，在計算器件上執行之應用程式與計算器件兩者可為組件。一或多個組件可駐留於程序及/或執行線緒內，且組件可位於一電腦上及/或分佈於兩個或兩個以上電腦之間。另外，可自上

面儲存有各種資料結構之各種電腦可讀媒體執行此等組件。該等組件可諸如根據具有一或多個資料封包的信號藉由本端程序及/或遠端程序進行通信，該等資料封包諸如來自與本端系統、分散式系統中的另一組件及/或藉由信號而跨越網路(諸如網際網路)與其他系統互動的組件之資料。

此外，術語「或」意欲意謂包括性「或」而非獨占式「或」。亦即，除非另有指定或自上下文清楚可見，否則片語「X使用A或B」意欲意謂自然包括性排列中之任一者。亦即，片語「X使用A或B」由以下例子中之任一者來滿足：X使用A；X使用B；或X使用A及B兩者。另外，如在本申請案及所附申請專利範圍中使用之量詞「一」應大體解釋為意謂「一或多個」，除非另有指定或自上下文清楚看出係針對單數形式。

本發明之某些態樣可適用於被部署於電子器件之間的通信鏈路，該等電子器件可包括裝置(諸如，電話、行動計算器件、器具、汽車電子設備、航空電子設備系統等)之子組件。圖1描繪可使用IC器件之間的通信鏈路的裝置。在一個實例中，裝置100可包括無線通信器件，該無線通信器件經由RF收發器來與無線電存取網路(RAN)、核心存取網路、網際網路及/或另一網路通信。裝置100可包括一可操作地耦接至處理電路102之通信收發器106。處理電路102可具有一或多個IC器件(諸如，特殊應用IC (ASIC) 108)。ASIC 108可包括一或多個處理器件、邏輯電路等等。處理電路102可包括及/或耦接至處理器可讀儲存器(諸如，可保持可由處理電路102執行之指令及資料的記憶體112)。處理電路102可由作業系統及應用程式設計介面(API) 110層中之一或多者來控制，其支援且賦能駐留於儲存媒體(諸如，無線器件之記憶體器件112)中之軟體模組的執行。記憶體器件112可包括唯讀記憶體(ROM)或隨機存取記憶體(RAM)、電可抹除可程式化ROM

(EEPROM)、快閃記憶卡或可用於處理系統及計算平台中之任何記憶體器件。處理電路102可包括或存取區域資料庫114，該區域資料庫可保持操作參數及用以組態及操作裝置100之其他資訊。可使用以下各者中之一或多者來實施區域資料庫114：資料庫模組、快閃記憶體、磁性媒體、EEPROM、光學媒體、磁帶、軟磁碟或硬磁碟，或其類似者。處理電路亦可以可操作地耦接至外部器件(諸如，天線122、顯示器124、諸如按鈕128及小鍵盤126之操作者控制件，以及其他組件)。

支援I2C與CCIE操作兩者之匯流排架構之實例

圖2為說明器件202之簡化實例之方塊圖200，該器件具有基頻處理器204及影像感測器206。影像資料匯流排216及多模式控制資料匯流排208可實施於器件202中。圖式200僅藉由實例說明相機器件202，且各種其他器件及/或不同功能性可使用控制資料匯流排208進行實施、操作及/或通信。在所描繪之實例中，可經由影像資料匯流排216(諸如，「DPHY」(由MIPI定義之高速差動鏈路))將影像資料自影像感測器206發送至基頻處理器204。在一個實例中，控制資料匯流排208可具有可組態用於I2C匯流排模式中之操作的兩條線。因此，控制資料匯流排208可包括SCL及SDA線。SCL可攜載一時脈信號，該時脈信號可用以同步化根據I2C協定經由控制資料匯流排208達成之資料轉移。資料線SDA及時脈線SCL可在I2C匯流排(控制資料匯流排208)上耦接至CCIE(I2C)主控器212、CCIE(I2C)受控器214及I2C/CCIE受控器218。在該實例中，可經由控制資料匯流排208而在基頻處理器204與影像感測器206以及例如為I2C/CCIE受控器218之其他周邊器件之間交換控制資料。根據I2C協定，SCL線上之時脈速度對於正常I2C操作而言可高達100 KHz、對於I2C快速模式而言高達400 KHz且對於I2C快速模式+ (Fm+)而言高達1 MHz。經由I2C匯流排之此等操作模式可在用於相機應用時被稱為相機控制介面(CCI)模式。

根據一個態樣，可經由多模式控制資料匯流排208來實施改良之

操作模式以支援相機操作。改良之操作模式可使得能夠以大於1 MHz之速率轉移資料，且改良之模式可被稱為CCI延伸(CCIe)模式。

在一個實例中，CCIe匯流排可用來為與CCIe匯流排操作相容之器件提供較高資料速率。此等器件可被稱為CCIe器件，且CCIe器件可在彼此通信時藉由將資料編碼為使用習知CCI匯流排之SCL線與SDA線兩者傳輸的符號來達到較高資料速率。CCIe可用於相機應用。CCIe器件及I2C器件可共存於同一CCIe匯流排上，使得在第一時間間隔中可使用CCIe編碼來傳輸資料且在一不同時間間隔中可根據I2C發信慣例及協定來傳輸其他資料。

當器件202被組態用於CCIe模式時，基頻處理器204包括CCIe(I2C)主控器212且影像感測器206包括CCIe(I2C)受控器214，其中CCIe(I2C)主控器212與CCIe(I2C)受控器214兩者經由控制資料匯流排208根據CCIe模式協定來操作而不影響耦接至控制資料匯流排208之任何舊版I2C器件的恰當操作。控制資料匯流排208可支援CCIe模式操作而無CCIe器件與舊版I2C受控器件之間的橋接器件。

在一個實例中，在控制資料匯流排208上進行之第一交換期間，舊版I2C器件可在具有第一時脈、第一匯流排速度及/或第一信號協定的第一模式中操作，而在控制資料匯流排208上進行之第二交換期間，具備CCIe能力之器件可在具有第二時脈、第二匯流排速度及/或第二協定的第二模式中操作。第一時脈、第一匯流排速度及/或第一信號協定可不同於第二時脈、第二匯流排速度及/或第二協定。舉例而言，第二時脈及/或第二匯流排速度可分別快於第一時脈及/或第一匯流排速度或具有大於第一時脈及/或第一匯流排速度的速度。

在另一實例中，所有I2C/CCIe受控器218可為具備CCIe能力之器件使得無需在第一操作模式與第二操作模式之間切換。亦即，可使用第二時脈及/或第二匯流排速度及使用第二協定根據第二模式來執

行所有發信及/或通信。當所有I2C/CCle受控器218為具備CCle能力之器件時無需在第一模式與第二模式之間切換或在第一模式與第二模式之間切換無優勢，因為第二模式可提供大於第一模式之位元速率。在一些例子中，當無需適應第一模式時，可實施第三操作模式，該第三操作模式提供甚至大於第二模式但不與I2C器件相容之位元速率。

圖3為說明一匯流排302之方塊圖，該共同匯流排支援共存之I2C模式器件304₁至304_m及CCle模式器件312與314₁至314_n。為達成I2C模式異動308，具備CCle能力之主控器件312可使用I2C Fm+或CCI協定在匯流排302上與I2C受控器件304₁至304_m通信以獲得1 Mbps之最大資料速率。雖然具備CCle能力之主控器件312可支援完整CCI或I2C Fm+能力，但可能不需要具備CCle能力之受控器件314₁至314_n以支援完整I2C能力。

具備CCle能力之主控器件312亦可與具備CCle能力之受控器件314₁至314_n建立CCle模式通信306。CCle模式准許單一主控器操作且不支援多個主控器。在CCle模式中，CCle主控器件312在匯流排302上僅與具備CCle能力之受控器件314₁至314_n通信。具備CCle能力之器件312與314₁至314_n可在CCle模式中以顯著高於在I2C模式中之資料速率的資料速率來通信。舉例而言，具備CCle能力之器件312與314₁至314_n可以6.4 Mbps或16.7 Mbps之資料速率來通信。

可針對匯流排302來組態或定義一預設啟動模式。在一個實例中，匯流排302可經組態以在通電、重設及/或其他類型之啟動條件之後在CCle操作模式中操作。在另一實例中，匯流排302可經組態以最初在舊版I2C模式中操作。具備CCle能力之主控器件312可經由在(例如)需要存取具備CCle能力之受控器件314₁至314_n時所傳輸之I2C一般呼叫而使匯流排302之操作模式自I2C模式切換至CCle模式。具備CCle能力之主控器件312可藉由CCle「退出」協定及I2C一般呼叫之

組合而自CCIE模式切換至I2C模式以便在匯流排302上存取I2C受控器件304_l至304_m。

說明經調適用於CCIE操作之器件之某些態樣的實例

圖4為說明裝置400之某些態樣的方塊示意圖，該裝置可使用通信匯流排(諸如，CCIE匯流排430)。可將裝置400體現於以下各者中之一或多者中：無線行動器件、行動電話、行動計算系統、無線電話、筆記型電腦、平板計算器件、媒體播放器、遊戲器件或其類似者。裝置400可包括多個器件，例如成像器件402、主控器420及/或受控器422a至422n，該等器件使用CCIE匯流排430來通信。CCIE匯流排430可針對經組態用於由該CCIE匯流排430支援之增強特徵的器件來延伸習知CCI匯流排之能力。舉例而言，CCIE匯流排430可支援高於CCI匯流排之位元速率。根據本文中所揭示之某些態樣，CCIE匯流排430之一些型式可經組態或調適以支援16.7 Mbps或更大之位元速率，且CCIE匯流排之一些型式可經組態或調適以支援每秒至少23百萬位元之資料速率。

在圖4中所說明之實例中，成像器件402經組態以在CCIE匯流排430上操作為受控器件。舉例而言，成像器件402可經調適以提供一管理影像感測器之感測器控制功能404。另外，成像器件402可包括組態暫存器406及/或其他儲存器件424、處理電路及/或控制邏輯412、收發器410及線驅動器/接收器414a及414b。處理電路及/或控制邏輯412可包括處理器，諸如狀態機、序列器、信號處理器或通用處理器。收發器410可包括接收器410a、傳輸器410c及某些共同電路410b (包括定時、邏輯及儲存電路及/或器件)。在一些例子中，收發器410可包括編碼器及解碼器、時脈及資料恢復電路及其類似者。

可將傳輸時脈(TXCLK)信號428提供至傳輸器410c，其中TXCLK信號428可用以判定CCIE通信模式之資料傳輸速率。當SDA線418與SCL線416兩者被用以編碼所傳輸之資料時，可將TXCLK信號428嵌入

於在CCIE匯流排430上傳輸之符號序列內。在一個實例中，可使用轉變時脈轉碼來嵌入TXCLK信號428，藉以待經由實體鏈路430傳輸之資料得以轉碼使得至少一條線416及/或418之狀態改變發生於在CCIE匯流排430上傳輸之每一對連續符號之間。

圖5為說明根據本文中所揭示之某些態樣而組態之傳輸器500及接收器520之實例的方塊圖。為達成CCIE操作，傳輸器500可將資料510轉碼成三進位(底數3)轉變數，該等三進位轉變數被編碼為在SCL 416及SDA 418信號線上傳輸之符號。在所描繪之實例中，輸入資料510之每一資料元素(亦稱為資料字)可具有19或20位元。轉換器及/或轉碼器502可接收輸入資料510且針對每一資料元素而產生三進位轉變數。每一三進位轉變數可被提供作為12三進位位數512之序列，每一三進位位數由兩個位元表示。編碼器504接收12三進位位數512之序列且產生經由線驅動器506傳輸的2位元符號514之串流。在所描繪之實例中，線驅動器506包括開漏輸出電晶體508。然而，在其他實例中，線驅動器506可使用推拉驅動器來驅動SCL 416及SDA 418信號線。由編碼器504產生的2位元符號514之輸出串流藉由確保沒有一對連續符號包括兩個相同符號而具有SCL 416及SDA 418信號線中之至少一者之狀態轉變。至少一條線416及/或418中之狀態轉變的可用性准許接收電路520自符號536的串流之接收型式提取時脈資訊及自資料符號536之串流得出一接收時脈538。

在CCIE系統中，接收器520可包括時脈及資料恢復(CDR)電路528或與時脈及資料恢復(CDR)電路528合作。接收器520可包括線介面電路526，該線介面電路將原始2位元符號536之串流提供至CDR電路528。CDR電路528自原始符號536提取一接收時脈538且將2位元符號534之串流及接收時脈538提供至接收器520之其他電路524及522。在一些實例中，CDR電路528可產生多個時脈538。在一個實例中，CDR

電路528包括邏輯，該邏輯偵測SCL信號線416及/或SDA信號線418上之轉變且在此偵測後即雙態觸發接收時脈538之狀態。CDR電路528可包括時間敏感電路(諸如，單觸發、延遲電路或其他此等元件)以便當SCL信號線416及SDA信號線418上之轉變在同一符號邊界處相對於彼此而被延遲時排除接收時脈538之狀態的多次雙態觸發。解碼器524可使用接收時脈538以將符號534之串流解碼成12三進位位數之序列532，每一序列532表示一轉變數。12位數轉變數532中之每一位數可被表示為二位元三進位位數。轉碼器及/或轉換器522可接著將12三進位位數532之每一序列轉換成19位元或20位元輸出資料元素530。

根據某些態樣，藉由轉換器502及522來執行輸入二進位資料510與三進位位數512之序列(表示一轉變數)之間及/或轉變數532與輸出資料位元530之間的轉換。在一個實例中，在傳輸器500處自資料位元510至轉變數且接著在接收器520處自轉變數至資料位元530的轉變涉及針對2線式介面430之12個轉變符號。組或序列 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 中之每一轉變數 T 的合成 r 個可能符號轉變狀態為12個轉變數提供總共 r^{12} 不同狀態。對於2線式匯流排而言，轉變狀態之數目可獲自每一發信狀態 $r = 2^2 - 1$ 。因此，轉變序列 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 可編碼具有 $(2^2 - 1)^{12} = 3^{12} = 531441$ 不同狀態之資料。在此後者實例中，12位數三進位數 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 中之每一轉變 T_i 係選自 $\{0, 1, 2\}$ 。

舉例而言，對於 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\} = \{2, 1, 0, 0, 1, 1, 0, 1, 0, 1, 2, 1\}$ 而言，表示12轉變序列之三進位數為：

$$\begin{aligned}
 &2100_1101_0121_3 \text{ (三進位數)} \\
 &= 2 \times 3^{11} + 1 \times 3^{10} + 0 \times 3^9 + 0 \times 3^8 \\
 &\quad + 1 \times 3^7 + 1 \times 3^6 + 0 \times 3^5 + 1 \times 3^4 \\
 &\quad + 0 \times 3^3 + 1 \times 3^2 + 2 \times 3^1 + 1 \times 3^0 \\
 &= 416356 \text{ (0x65A64)}。
 \end{aligned}$$

以此方式，可將轉變數之12三進位位數轉換成20位元資料輸出530。

在圖5中所說明之2線式系統之實例中，可將12個符號轉變數一般化為 n 線式系統及 m 個符號轉變數。當針對組或序列 $\{T_{m-1}, \dots, T_1, T_0\}$ 中之每一轉變數 T 而存在 r 個可能符號轉變狀態時， m 轉變序列可編碼 r^m 個不同狀態，其中 $r = 2^n - 1$ 。因此，序列 $\{T_{m-1}, \dots, T_1, T_0\}$ 可編碼具有高達 $(2^n - 1)^m$ 不同狀態之資料。

在一個實例中，可如下將表示2線式、12符號介面中之符號轉變數532的三進位數轉換至二進位數輸出資料位元530：

$$\begin{aligned} \text{位元} = & T_{11} \times 3^{11} + T_{10} \times 3^{10} + T_9 \times 3^9 + T_8 \times 3^8 + T_7 \times 3^7 + T_6 \times 3^6 \\ & + T_5 \times 3^5 + T_4 \times 3^4 + T_3 \times 3^3 + T_2 \times 3^2 + T_1 \times 3 + T_0. \end{aligned}$$

在傳輸器500處，一演算法用於將資料位元510轉換至三進位數512，該三進位數可被編碼為供在2線式、12符號介面中之SCL線416及SDA線418上傳輸之符號514。該演算法可迭代地計算降序之轉變數(T_i)值(具有其對應之餘數(M_i))。亦即，可如下藉由在放棄小數點數之情況下用3的位數數次冪除較高位數計算中所使用之模運算之餘數，來計算每一位數：

$$T_{11} = \text{Bits} / 3^{11}, \quad M_{11} = \text{Bits} \% 3^{11};$$

$$T_{10} = M_{11} / 3^{10}, \quad M_{10} = M_{11} \% 3^{10};$$

$$T_9 = M_{10} / 3^9, \quad M_9 = M_{10} \% 3^9;$$

$$T_8 = M_9 / 3^8, \quad M_8 = M_9 \% 3^8;$$

$$T_7 = M_8 / 3^7, \quad M_7 = M_8 \% 3^7;$$

$$T_6 = M_7 / 3^6, \quad M_6 = M_7 \% 3^6;$$

$$T_5 = M_6 / 3^5, \quad M_5 = M_6 \% 3^5;$$

$$T_4 = M_5 / 3^4, \quad M_4 = M_5 \% 3^4;$$

$$T_3 = M_4 / 3^3, \quad M_3 = M_4 \% 3^3;$$

$$T_2 = M_3 / 3^2, \quad M_2 = M_3 \% 3^2;$$

$$T_1 = M_2 / 3, \quad M_1 = M_2 \% 3;$$

$$T_0 = M_1。$$

可自以下合成此後者演算法：

$$T_{11} = (\text{位元} \geq 3^{11} \times 2) ? 2 : (\text{位元} \geq 3^{11}) ? 1 : 0, \quad M_{11} = \text{位元} - T_{11} \times 3^{11};$$

$$T_{10} = (M_{11} \geq 3^{10} \times 2) ? 2 : (M_{11} \geq 3^{10}) ? 1 : 0, \quad M_{10} = M_{11} - T_{10} \times 3^{10};$$

$$T_9 = (M_{10} \geq 3^9 \times 2) ? 2 : (M_{10} \geq 3^9) ? 1 : 0, \quad M_9 = M_{10} - T_9 \times 3^9;$$

$$T_8 = (M_9 \geq 3^8 \times 2) ? 2 : (M_9 \geq 3^8) ? 1 : 0, \quad M_8 = M_9 - T_8 \times 3^8;$$

$$T_7 = (M_8 \geq 3^7 \times 2) ? 2 : (M_8 \geq 3^7) ? 1 : 0, \quad M_7 = M_8 - T_7 \times 3^7;$$

$$T_6 = (M_7 \geq 3^6 \times 2) ? 2 : (M_7 \geq 3^6) ? 1 : 0, \quad M_6 = M_7 - T_6 \times 3^6;$$

$$T_5 = (M_6 \geq 3^5 \times 2) ? 2 : (M_6 \geq 3^5) ? 1 : 0, \quad M_5 = M_6 - T_5 \times 3^5;$$

$$T_4 = (M_5 \geq 3^4 \times 2) ? 2 : (M_5 \geq 3^4) ? 1 : 0, \quad M_4 = M_5 - T_4 \times 3^4;$$

$$T_3 = (M_4 \geq 3^3 \times 2) ? 2 : (M_4 \geq 3^3) ? 1 : 0, \quad M_3 = M_4 - T_3 \times 3^3;$$

$$T_2 = (M_3 \geq 3^2 \times 2) ? 2 : (M_3 \geq 3^2) ? 1 : 0, \quad M_2 = M_3 - T_2 \times 3^2;$$

$$T_1 = (M_2 \geq 3 \times 2) ? 2 : (M_2 \geq 3) ? 1 : 0, \quad M_1 = M_2 - T_1 \times 3;$$

$$T_0 = M_1。$$

圖6說明實例邏輯620及640，該等邏輯用於在優先傳輸符號串流中之最低有效符號時將二進位輸入資料位元510轉換成三進位轉變數512。可將邏輯620、640實施於轉換器502中。如簡化方塊圖600中所示，可自輸入資料位元510中之諸多位元來得出由轉換器502產生之每一三進位轉變數512，且每一三進位轉變數512可包括12個位數($T_0, T_1 \dots T_{11}$) 602。該等三進位數512隨後經轉碼為被傳輸至接收器件520之符號514。對於12位數三進位轉變數而言，在 $T_0, T_1 \dots T_{11}$ 表示數的情況下， T_0 表示 3^0 位數且為最低有效位數，而 T_{11} 表示 3^{11} 位數且為最高有效位數。如關於圖5所論述，此等三進位轉變數512嵌入有時脈且經編碼至被傳輸至接收器件520之後續符號514中。邏輯圖式620及邏

輯電路640將輸入資料位元510轉換成「最低有效符號優先」三進位轉變數512之串流。

圖7說明邏輯720，該邏輯用於在優先傳輸符號串流中之最高有效符號時將二進位輸入資料位元510轉換成三進位轉變數712。可將邏輯720實施於轉換器704中(查閱圖5之轉換器502)。如簡化方塊圖700中所示，可自輸入資料位元510中之諸多位元來得出由轉換器704產生之每一三進位轉變數712，且每一三進位轉變數712可包括12位數($T_0, T_1 \dots T_{11}$) 702，藉以 T_0 表示 3^0 位數且為最低有效位數，而 T_{11} 表示 3^{11} 位數且為最高有效位數。該等三進位轉變數712隨後經轉碼為被傳輸至接收器件之符號。

在此實例中，轉換從 T_{11} 開始。圖6說明按 $T_0, T_1, T_2, \dots, T_{11}$ 之次序發送之12位數三進位數602，而圖7係關於其中按 $T_{11}, T_{10}, T_9, \dots, T_0$ 之次序來發送12位數三進位數702的實例。某些差異在圖6之實例邏輯620及640與圖7中之電路720之間係可識別的。圖6之電路640包括24個正反器且與圖7之電路720 (其包括一多工器、20個正反器、及邏輯器件)相比相當複雜。因此，當優先發送最高有效位元時，由於邏輯閘之減少，所涉及之邏輯及電路的複雜性得到簡化且較不昂貴。

如所註釋，圖6之邏輯620、640說明最低有效符號優先(LSS優先)邏輯及電路，因為最低有效符號被優先傳輸至接收器件，而圖7之邏輯720則說明最高有效符號被優先傳輸至接收器件(MSS優先)的實例。如本文中所使用，「最低有效符號」指代對應於三進位數之最低有效位數的轉碼符號。舉例而言，當 T_0 被轉碼為依序符號時，彼符號為最低有效符號，因為其源自最低有效三進位位數。並且當符號至轉變數轉換器(例如，圖5之解碼器524)接著將轉碼(依序)符號轉換至轉變數532 (亦即，一個三進位位數數)時，其將為最低有效位數。類似地，如本文中所使用，「最高有效符號」指代對應於三進位數之最高

有效位數的轉碼符號。

圖8說明電路800之實例，該電路可用於將十二位數三進位數轉換成輸出位元824。如本文中所描述，舉例而言，可逆序將(例如)十九(19)或二十(20)位元之原始資料510轉換成三進位轉變數，藉以最高有效位元被優先供應至轉換器(見圖7及描述)。可再次逆序將轉變數轉換(亦即，轉碼)至依序符號，且在匯流排上逆序傳輸此等轉碼符號。接收器件(例如，受控器件)接收逆序傳輸且執行時脈恢復及符號取樣以將該等轉碼符號轉換回至三進位數，該三進位數接著被逆序供應至一電路，該電路將該三進位數轉換回至20位元二進位原始資料。電路800可使用多工器802，該多工器具有耦接至單一輸出(至邏輯器件)之十二輸入。

可藉由計數器850進行計數所在的方向來控制在最高有效符號優先與最低有效符號優先操作模式之間的選擇。舉例而言，當計數器850經組態或控制成操作為自十六進位「0xB」(亦即，十進位「11」)遞減的降值計數器時，可優先處置最高有效符號。若計數器850經組態或控制成操作為自十六進位「0x0」(亦即，十進位「0」)遞增的升值計數器時，可優先處置最低有效符號。替代地或另外，至多工器802之輸入的次序可經組態使得多工器802對計數器850之輸出(DELCNT) 814作出回應以產生輸出三進位轉變數之所要次序。

計數器850可使用暫存器或鎖存器860來提供DELCNT 814輸出，該暫存器或鎖存器被同步化至一可自系統時脈及/或CDR電路528之輸出得出的時脈。暫存器860自第一多工器邏輯858接收四位元輸入，該第一多工器邏輯基於一初始化計數器850之控制信號(START信號) 864而在下一值與開始值之間選擇。當轉換器在最高有效符號優先模式中操作時，開始值可被設定至0xB，且當轉換器在最低有效符號優先模式中操作時，開始值可被設定至0x0。第一多工器邏輯858自第二多工

器邏輯856接收下一值，該第二多工器邏輯基於由端偵測邏輯854對端條件之偵測而在DELCNT 814輸出之修改型式與DELCNT 814輸出之間選擇。第二多工器856之修改輸入可為功能852之結果，該功能可由用於遞減計數運算之減法邏輯或自用於遞增計數運算之加法邏輯提供。如所描繪，在DELCNT 814輸出自0x0遞減至0xF (指示當前轉換結束)之後，第二多工器邏輯856重複DELCNT 814輸出。對於遞減計數運算模式而言，端偵測邏輯854a可經組態以偵測DELCNT 814上之0xF值，且端偵測邏輯854a切換第二多工器邏輯856輸出以使DELCNT 814保持處於0xF直至START信號864使開始值被載入為止。對於遞增計數運算而言，端偵測邏輯854b可經組態以偵測DELCNT 814上之0xC (十進位「12」或二進位「1100」)值。

CCIe編碼之實例

圖9為說明編碼方案900之圖式，該編碼方案可由編碼器504使用以自三進位轉變數512產生符號序列514，其中該符號序列514具有嵌入之時脈資訊且係供在CCIe匯流排430上傳輸。編碼方案900亦可由解碼器524使用以自被傳輸於CCIe匯流排930上之符號534提取三進位轉變數532。在CCIe編碼方案900中，CCIe匯流排430之兩條線准許定義4個基本符號S：{0, 1, 2, 3}。符號序列514、534中之任何兩個連續符號具有不同狀態，且符號序列0,0、1,1、2,2及3,3為連續符號之無效組合。因此，僅3次有效符號轉變在每一符號邊界處可用，其中符號邊界係由傳輸時脈判定且表示第一符號(先前符號Ps) 922終止及第二符號(當前符號Cs) 924開始所在的點。

根據本文中所揭示之某些態樣，對於每一Ps符號922而言，三次可用轉變指派有轉變數(T) 926。T 926之值可由三進位數來表示。在一個實例中，藉由將符號排序圓圈902指派用於編碼方案來判定轉變數926之值。符號排序圓圈902針對四個可能符號來配置圓圈902上之

位置904a至904d及在該等位置904a至904d之間的旋轉方向906。在所描繪之實例中，旋轉方向906為順時針方向。轉變數926可表示有效當前符號924與緊接在前符號922之間的分離度。可將分離度定義為沿符號排序圓圈902上之旋轉方向906的所需之用以自先前符號922到達當前符號Cs 924的步數。可將步數表達為單一位數底數3之數。

將瞭解，可將符號之間的三步差表示為 $0_{\text{base-3}}$ 。圖9中之表920概述使用此做法之編碼方案。在此實例中，可根據以下內容來指派轉變數T：

$$T_{\text{tmp}}[1:0] = 4 + C_s - P_s$$

$$T = T_{\text{tmp}}[1:0] == 3 ? 0 : T_{\text{tmp}}[1:0]$$

相反地，可根據以下內容來指派當前依序符號(Cs)：

$$T_{\text{tmp}} = T == 0 ? 3 : T$$

$$C_s = P_s + T_{\text{tmp}}$$

可藉由針對任何n (例如，n=4, 5, 6, ...)建構依序符號至轉變數表之映射而將類似做法用於n線式系統，此保證原始符號將改變。舉例而言，在n線式系統之狀況下，可根據以下內容來指派轉變數T：

$$T = (P_s \leq C_s) ? C_s - P_s : 2^n + C_s - P_s。$$

相反地，在n線式系統之狀況下，可根據以下內容來指派當前依序符號(Cs)：

$$C_{s_{\text{tmp}}} = P_s + T$$

$$C_s = (C_{s_{\text{tmp}}} < 2^n) ? C_{s_{\text{tmp}}} : C_{s_{\text{tmp}}} - 2^n。$$

在傳輸器500處，表920可用以查找待傳輸之當前符號924 (給定知道先前產生之符號922及一被用作轉變數926之輸入三進位數)。在接收器520處，表920可用作查找表以判定一表示先前接收符號922與當前接收符號924之間的轉變的轉變數926。可將轉變數926輸出為三進位數。

圖10及圖11說明舊版I2C介面之某些態樣。圖10為說明舊版I2C協定之典型I2C位元轉移週期的時序圖1000。SCL線416可專門用於將時脈信號自主控節點發送至受控節點。SDA線418可起轉移7位元序列(末端處具有由接收器提供之ACK 1008)的作用。I2C協定為傳輸8位元資料(位元組)及7位元位址(具有一用以指示命令—讀取還是寫入操作的位元)作準備。由驅動SDA信號線418歷時一個時脈週期的接收器來應答資料傳輸，使得低發信狀態表示一指示成功接收之應答(ACK)且高發信狀態表示一指示接收失敗或接收錯誤的否定應答(NACK)。在SCL線416上針對每一時脈週期來傳輸一個資料位元1004、1006或ACK (1008)。在一個實例中，當SCL線416之時脈狀態處於高邏輯狀態1002時，可自SDA線418讀取資料位元狀態1004。

圖11為說明在習知I2C匯流排上之SDA信號線與SCL信號線之間的關係的時序圖，且該圖式包括說明在習知I2C匯流排上之SDA信號線418與SCL信號線416之間的關係的時序圖1100及1120。第一時序圖1100說明當在習知地組態之I2C匯流排上轉移資料時SDA信號線418與SCL信號線416之間的時序關係。SCL信號416提供可用以取樣SDA信號線418中之資料的一系列計時脈衝1112。當SCL信號線416在資料傳輸期間處於邏輯高狀態時，需要SDA信號線418上之資料係穩定及有效的，使得當SCL信號線416處於高狀態時SDA信號線418之狀態不被准許改變。

習知I2C協定實施之規範定義SCL信號線416上之每一脈衝1112之高週期(t_{HIGH}) 1110的最小持續時間，其中脈衝1112對應於SCL信號線416處於高邏輯狀態的時間。I2C規範亦定義建立時間($t_{SU;DAT}$) 1106及保持時間($t_{HD;DAT}$) 1108之最小持續時間，在該建立時間及該保持時間期間，SDA信號線418之發信狀態在脈衝1112 (在該脈衝期間，SDA信號線418處於高邏輯狀態)之前及之後必須為穩定的。建立時間1106定

義在進行SDA信號線418上之發信狀態之間的轉變1116之後直至到達SCL信號線416上之脈衝1112之上升邊緣為止的最大時間週期。保持時間1108定義在SCL信號線416上之脈衝1112之下降邊緣之後直至SDA信號線418上之發信狀態之間的下一轉變1118為止的最小時間週期。當SDA信號線416之發信狀態可改變時，I2C規範亦定義SCL信號線416之低週期(t_{LOW}) 1114的最小持續時間。當SCL信號線416在脈衝1112之前邊緣之後處於高邏輯狀態時，SDA信號線418上之資料通常被俘獲歷時時間週期(t_{HIGH}) 1110。

圖11之第二時序圖1120說明在習知I2C匯流排上之資料傳輸之間SDA信號線418及SCL信號線416上的發信狀態。I2C協定定義開始條件或序列1122，其中SDA信號線418自高轉變至低，而SCL信號線416則被保持處於高狀態。I2C協定定義停止條件或序列1124，其中SDA線自低轉變至高發信狀態，而SCL線416則為高。如本文中所註釋，當傳輸資料時，期待SDA信號線418之發信狀態在傳輸於SCL信號線416上之脈衝1112之高週期期間保持穩定。因此，SDA信號線418之轉變可在SCL信號線416處於邏輯高狀態時由受控器件解譯為開始條件1122或停止條件1124。

開始條件1122被定義成准許當前匯流排主控器發信將傳輸資料。I2C相容受控節點在接收到開始條件1122後即必須重設其匯流排邏輯。當SDA信號線418自高轉變至低同時SCL信號線416為高時，發生開始條件1122。I2C匯流排主控器最初傳輸開始條件1122，接著為其希望與之交換資料的I2C受控器件之7位元位址。在該位址之後為一指示將發生讀取還是寫入操作的單一位元。被定址之I2C受控器件(若可用)以ACK位元作出回應。主控I2C器件及受控I2C器件接著在數幀中交換資訊位元組，其中該等位元組被串行化使得優先傳輸最高有效位元(MSB) 1004且最後傳輸最低有效位元1006。當由I2C主控器件傳輸

停止條件1124時，完成位元組之傳輸。當SDA信號線418自低轉變至高同時SCL信號線416為高時，發生停止條件1124。I2C協定要求當SCL信號線416為低時發生SDA信號線418之所有轉變，且可將例外情況視作開始條件1122或停止條件1124。

當使用舊版I2C協定時，藉由共用串列匯流排430之2個線416、418來每週期僅發送1位元資訊。亦即，每線每週期僅傳輸0.5位元資訊。根據本文中所揭示之態樣，可藉由在SDA線418與SCL線416兩者上傳輸資料同時將時脈嵌入於所傳輸符號內來獲得改良之資料速率(亦即，每線每週期大於0.5位元資訊)。可在接收器處提取時脈資訊而不使用鎖相迴路(PLL)。

圖12為時序圖1200，其說明當連接至共用匯流排430之成像器件402、主控器420、受控器422a-n包括I2C器件時在該匯流排430上之處於CCIE模式中之資料傳輸的實例。在該實例中，CCIE器件使用推拉驅動器來驅動信號線418、416而非由I2C器件使用之開漏驅動器。資料被編碼於在信號線418、416上傳輸的符號1206、1208之序列中。當符號速率為20 MHz時，可針對CCIE傳輸來達成近似每秒14百萬位元(Mbps)之有效資料速率。如本文中所使用，可將19資料位元轉換至12符號序列1206、1208，該等符號序列控制SDA信號418及SCL信號416之狀態歷時符號序列1206或1208中之每一符號週期(t_{sym}) 1212。如所描繪，每一符號週期1212之持續時間可為50 ns。在一個實例中，19位元包括16個資料位元及3個附加項位元。

連續符號序列1206與1208之間的定時可由所需之用以滿足控管I2C器件操作之協定的時間週期來支配。在一個實例中，開始條件先於每一傳輸1206、1208且具有至少260 ns之持續時間(t_{HD})。可由符號值「1」來定義開始條件1210使得SDA信號418保持為低而SCL信號416則保持為高。當兩個信號418與416處於高狀態(如由符號值

「3」定義)時，開始條件可遵循最小建立週期(t_{SU}) 1216。該最小建立週期(t_{SU}) 1216可在傳輸1206或1208終止之後開始，且可使該最小建立週期(t_{SU}) 1216保持歷時至少260 ns。因此，可將在第一傳輸1206之開始與第二傳輸1208之開始之間的最小消逝時間1214計算為：

$$t_{word} = t_{HD} + t_{SU} + 12 \times t_{sym} = (260 + 260 + 12 \times (50)) ns = 1120 ns。$$

可針對在建立時間與開始時間之間的信號下降時間(t_f)而包括一額外、標稱20 ns。可將信號下降時間計算為：

$$t_f = \left(20 \times \frac{VDD}{5.5} \right) ns(min)，t_f = 120 ns(max)。$$

因此，可在最少1140 ns (具有近似16.7 Mbps之對應之原始位元速率及近似14.04 Mbps之有用位元速率)中傳輸19資料位元，因為在12符號中傳輸16位元。

傳輸1206與1208之間的最小所需時間在使I2C器件適應於匯流排430上時顯著大於當通信中僅涉及CCIE器件時的情況。圖12包括時序圖1220，其說明增添I2C建立週期及開始週期的增加之時間1224以便為I2C器件提供反向相容性。

圖13為時序圖1300，其說明當CCIE匯流排430上之成像器件402、主控器420、受控器422a-n不包括一有效I2C器件時在該匯流排430上之資料傳輸。可減少開始條件之持續時間。在此實例中，使用推拉驅動器來驅動信號線418、416。可在20 MHz符號速率的情況下達成22.86 Mbps之鏈接速率。12符號序列1306、1308編碼16個資料位元及3個附加項位元。12符號序列1306、1308中之每一符號針對每一符號週期(t_{sym}) 1310來定義SDA信號418及SCL信號416之狀態。對於20 MHz符號時脈而言，每一符號週期1310之持續時間可為50 ns。在連續之符號序列1306與1308之間的週期1314中傳輸二符號序列{3,1}。可將在第一傳輸1306之開始與第二傳輸1308之開始之間的最小消逝時間1312計算為：

$$t_{word} = 14 \times t_{sym} = 700 \text{ ns}$$

當使用具有推拉驅動器之CCIE器件時，可在700 ns中傳輸19個資料位元，從而提供近似27.1 Mbps之原始位元速率及近似22.86 Mbps之有用位元速率，因為在每一12符號字1306、1308中傳輸16個資料位元。

圖14說明與經組態為CCIE介面之串列匯流排430相關聯的某些態樣。時序圖1400對應於與圖5中所描繪之CCIE傳輸器500及接收器520相關聯的發信。時序圖1400說明一實例，其中傳輸時脈(TXCLK) 1422在資料傳輸期間被嵌入於在SDA線418及SCL線416上傳輸之符號序列1408中。在一個實例中，可使用轉變時脈轉碼而將時脈資訊嵌入於符號序列1408中。例如，待經由實體鏈路430傳輸之資料510經轉碼使得在所傳輸符號1408之每一符號週期之後發生狀態改變。因此，例如，TXCLK 1422可被嵌入於在每一符號週期之符號邊界(例如，包括與符號S₇ 1408d相關聯之符號邊界1414及1416)處發生的符號狀態改變中。接收器520可從自所傳輸符號1408之序列中之每一符號邊界1414、1416處進行之狀態改變而恢復的時脈資訊產生一接收時脈(RXCLK) 1412。接收器520可接著反轉所傳輸符號1408之轉碼以獲得原始資料530。此允許將I2C匯流排430之兩條線用於發送資料。另外，符號速率可得到顯著增加，因為不再有必要在時脈與資料信號之間具有建立及保持時間(如圖11中所說明)。

在時序圖1400中所描繪之實例中，資料510可被編碼於在12符號序列或間隔1406中傳輸之符號1408的串流中。每一12符號序列1406包括開始符號1408a及終止或建立符號1408c。建立符號1408c及開始符號1408a之組合在CCIE匯流排上所傳輸之12符號序列1406之間形成符號序列{3, 1}。如本文中所描述，符號序列1406中之任何兩個連續符號在共用匯流排430上產生不同發信狀態，使得接收器可自發生於12

符號序列1406中之符號邊界1414、1416處的符號轉變來得出RXCLK 1412。可自轉變數1410來識別符號之間的轉變，如本文中所描述。CCIE編碼器可產生12符號序列1408、開始符號1408a及建立符號1408b。

根據某些態樣，串列匯流排430可同時支援I2C器件與CCIE器件兩者。如本文中所註釋，將在用於I2C通信模式之SCL信號線416上被傳輸作為時脈信號的時脈資訊可被嵌入於符號轉變內，藉此准許SCL信號線416之用途被用來攜載符號資訊。可槓桿作用I2C協定之某些發信特性以賦能共用匯流排430針對I2C及CCIE模式之可操作性。舉例而言，I2C協定要求所有I2C相容之受控節點在接收到開始條件後即必須重設其匯流排邏輯(此發生於當發生SDA線418上之高至低轉變同時SCL線416為高時)。

在可操作用於CCIE及I2C通信之匯流排上之發信之實例

圖15為說明I2C一位元組寫入資料操作之時序圖1500。I2C主控節點在SDA線418上傳輸7位元受控器ID 1502以指示主控節點想要存取I2C匯流排430上之哪一受控節點，接著為一指示操作係讀取還是寫入操作的讀取/寫入位元1512。讀取/寫入位元1512處於邏輯0以指示寫入操作且處於邏輯1以指示讀取操作。僅ID匹配7位元受控器ID 1502之受控節點才可對寫入(或讀取)操作作出回應。為使I2C受控節點偵測其自己的ID 1502，主控節點在SDA線418上傳輸至少8位元連同在SCL線416上傳輸8個時脈脈衝。可採用此行為而在CCIE操作模式中傳輸資料以便防止舊版I2C受控節點對CCIE操作作出反應。

圖16提供一個實例1600，其說明開始條件1606、1608或1610對舊版I2C受控節點之影響，其中開始條件1606、1608或1612由當SCL線416處於高發信狀態時SDA線418上之高至低發信狀態轉變來指示。在此實例中，可在已傳輸一完整、7位元受控器ID之前偵測某些開始

條件1608或1612。合成不完整之受控器ID 1602、1604未由任何受控器件辨識。在操作中，主控節點在SCL線416上僅發送6個脈衝1612之後發佈開始條件1608、1610的影響包括使所有舊版I2C受控節點在發生辨識SDA線418上之其各別I2C受控器ID之機率之前重設其匯流排邏輯。換言之，在SDA線418上於兩個開始條件1606、1608及/或1610之間發送之6位元序列1602、1604未由受控節點中之任一者解碼為有效受控器ID。因此，不期待舊版I2C受控節點對不完整之受控器ID 1602、1604作出回應。

圖16亦包括實例1620，其說明在CCle模式中將I2C匯流排之SCL線416及SDA線418之組合用於資料傳輸。可在一時間傳輸CCle符號，該時間對應於在用於I2C傳輸之SCL線416上傳輸之時脈信號1614的每一雙態觸發。在兩個開始條件1608、1610之間傳輸之時脈雙態觸發的數目可因此定義可針對每一CCle傳輸所傳輸之符號的數目。因此，可在可用於6-SCL脈衝序列(與不完整之受控器ID 1602、1604傳輸等效)期間之12個發信狀態中提供12符號傳輸1622、1624，而不使任何受控節點將該序列偵測為I2C受控器ID。

與SCL線416上之轉變一致的發生於SDA線418上之轉變對舊版I2C器件無關緊要，此可將此等轉變解譯為開始條件。然而，舊版I2C器件偵測稍後發生之有效開始條件1628、1630，此舉重設I2C受控節點之匯流排邏輯偵測。I2C受控節點亦可將在CCle傳輸1622、1624期間發生之一些SDA轉變解譯為停止條件，但對在CCle傳輸1622、1624內之此停止條件的偵測僅僅引起不完整SID 1602、1604之較早終止。類似地，對在CCle傳輸1622、1624期間之開始條件的偵測引起對藉由受控節點之I2C功能所重設之匯流排邏輯的執行。

因此，應顯而易見，可期待舊版I2C受控節點將與6 SCL脈衝序列相關聯之12符號CCle傳輸1622、1624忽略為不完整之I2C受控器ID

1602、1604。因此，在可用於開始條件1606、1608及1610之間的12 SCL雙態觸發期間，可在SCL線416及/或SDA線418上傳輸十二(12)個符號。

當時脈信號已被嵌入於符號轉變內時，可在CC1e模式中將I2C匯流排之SCL線416及/或SDA線418利用用於資料傳輸。因此，SDA線418及SCL線416可用以在兩個連續之開始條件1626、1628及/或1630之間傳輸任何任意12符號，而不影響舊版I2C受控節點功能性且不使用橋接器件以使舊版I2C受控節點與具備CC1e能力之節點隔離。在I2C模式中，僅由I2C主控器發送開始條件，而在CC1e模式中由傳輸12符號字之無論哪一個節點來發送開始條件。

圖17為說明系統1700之方塊示意圖，該系統包括可使用同一個二線式串列匯流排430來通信之複數個器件1702、1722及1742。在一個實例中，二線式串列匯流排430可在一個模式中用以支援根據CC1e協定在兩個或兩個以上之器件1702、1722之間進行的通信，而在另一模式中二線式串列匯流排430可用以支援根據I2C協定在兩個或兩個以上之器件1702、1722及/或1742之間進行的通信。因此，二線式串列匯流排430上之發信可使用本文中所揭示之某些技術以確保耦接至二線式串列匯流排430之器件1702、1722及1742彼此不干擾(由於在資料傳輸期間之信號定時)而不管傳輸模式。

在所描繪之簡化實例中，I2C受控器件1742可能夠根據I2C協定進行通信，匯流排主控器件1702能夠根據I2C及CC1e協定進行通信，且CC1e受控器件1722能夠根據CC1e協定且可能地根據CC1e與I2C協定兩者進行通信。在一些例子中，CC1e器件1702及/或1722可在CC1e操作模式期間操作為串列匯流排上之受控器抑或主控器。將瞭解，二線式串列匯流排430可耦接其他器件，如圖3中所說明。可將裝置1700體現於以下各者中：無線行動器件、行動電話、行動計算系統、無線電

話、筆記型電腦、平板計算器件、媒體播放器、遊戲器件、器具、可佩戴計算器件或其類似者。

CCIE器件1702、1722可伺服系統1700中之一或多個特定或指定功能。舉例而言，CCIE器件1702、1722可包括周邊模組或電路1704、1724，該等周邊模組或電路控制或包括使用者介面之元件，諸如顯示器、影像感測器、相機、鍵盤、觸控螢幕感測器、滑鼠或其他指示器、視聽編碼解碼器、數據機、全球定位感測器、運動偵測器及使用系統1700之裝置的其他器件或組件。另外，CCIE器件1702、1722可包括儲存器1706、1726、處理電路及/或控制邏輯1710、1730、收發器1714、1734及線驅動器/接收器1716、1718、1736、1738。處理電路及/或控制邏輯1710、1730可包括處理器，諸如狀態機、序列器、信號處理器或通用處理器。收發器1714、1734可包括接收器(Rx)及傳輸器(Tx)電路連同某些電路及模組(包括定時、控制邏輯、一般邏輯、CDR、編碼及解碼電路及/或器件)。收發器1714、1734可包括用以保持狀態組態及提供資料緩衝器之儲存器。

時脈產生電路1712、1732可被提供於收發器1714、1734之內或外部及/或可提供一可用以判定I2C及CCIE通信模式之資料傳輸速率的傳輸時脈(TXCLK)信號。在I2C操作模式中，SCL連接器416可攜載由時脈產生電路1712、1732提供之時脈，而在CCIE操作模式中可將定時資訊嵌入於使用SCL連接器416及SDA連接器418所傳輸之符號序列內。

儲存器1706、1726可包括一處理器或電腦可讀媒體，其可用以儲存資料、組態資訊、狀態及/或軟體程式碼或指令。資料可被儲存於供應傳輸器電路之緩衝器及/或處置來自接收器電路之傳入之資料的緩衝器中。軟體程式碼或指令可組態處理電路及/或控制邏輯1710、1730及/或可由處理電路及/或控制邏輯1710、1730執行使得處

理電路及/或控制邏輯1710、1730管理或操作器件1702、1722之各種組成元件且根據二線式串列匯流排430之當前操作模式來處置通信協定。

主控制器件1702可負責控制二線式串列匯流排430之操作模式及在必要時在操作模式之間切換以准許耦接至二線式串列匯流排430之器件與其他器件通信。因此，主控制器件1702可實施一或多個協定1708，該一或多個協定可識別需要或請求存取二線式串列匯流排430之受控器件1722、1742。主控制器件1702可在I2C受控器1742將被定址時起始I2C模式通信異動且可在CCIE受控器1722將被定址時起始CCIE模式通信異動。在一些情況中，可在同一異動中定址兩個或兩個以上之器件且主控制器件1702可判定用於此異動之通信模式。

圖18說明由經組態用於I2C與CCIE操作模式兩者之匯流排主控制器1702行使的模式控制之某些實例。在該實例中，說明在共用串列匯流排430上之操作的某些一般定時及發信態樣，且將瞭解，命令或呼叫之結構及內容可在應用之間變化而不影響本文中所說明之概念。同樣地，根據本文中所描述之某些態樣而組態的系統之可操作性未必由傳輸(諸如，CDR校準傳輸1810、進入字1812、退出字1814及/或退出序列1816等)之內容或格式來限制，或未必依賴於傳輸(諸如，CDR校準傳輸1810、進入字1812、退出字1814及/或退出序列1816等)之內容或格式。

如第一時序圖1800中所說明，協定可定義使共用匯流排430在CCIE與I2C模式之間切換的程序及發信。

在一個實例中，主控制器件1702可使用共用串列匯流排430來傳輸CCIE模式進入命令1812以建立、保持或轉變至CCIE模式通信。該CCIE模式進入命令可被定址至具備CCIE能力之器件1722，而在I2C模式中被定址之器件可重新組態其之傳輸及接收電路1734以支援CCIE通

信。基於所涉及之通信異動之類型，具備CCIE能力之器件1722可編碼或解碼供在共用串列匯流排430之兩條線上傳輸的資料，其中時脈資訊被嵌入於在共用串列匯流排430上傳輸之符號序列中。耦接至共用串列匯流排430之I2C受控器件1742通常忽略CCIE異動。I2C受控器件可察覺不完整之受控器ID傳輸，但當在共用串列匯流排430上於CCIE傳輸之間傳輸I2C開始條件時將重設其接收電路。在一些情形中，其他未定址之CCIE器件 314_1 至 314_n (見圖3)可監視CCIE通信。

主控制器件1702可在共用串列匯流排430上傳輸CCIE模式退出命令1814以返回至I2C模式通信。在一個實例中，在執行至CCIE模式之進入1812之後，共用匯流排430保持處於CCIE操作模式，直至執行自CCIE模式之退出1814及除非執行自CCIE模式之退出1814。

另一時序圖包括一展示進入序列1802之實例，該進入序列可用以實現進入至CCIE模式中。可將CCIE模式進入1812實現作為當共用匯流排430在I2C模式中操作時所傳輸之一般呼叫的一部分。在進入CCIE模式之後，可傳輸一合適受控識別符(SID) 1818，接著為一識別一或多個具備CCIE能力之受控器1722的位址，接著為數個資料傳輸。位址可為多字位址且每一位址字及每一資料字可藉由I2C開始命令而分離，該I2C開始命令使任何I2C受控器件1742在共用串列匯流排430上保持停用。

類似地，可藉由CCIE模式退出序列1804來實現CCIE模式退出1814，該CCIE模式退出序列被提供作為當共用匯流排430在CCIE模式中操作時所傳輸之一般呼叫的一部分。CCIE退出命令1814可使所有CCIE器件1722及/或 314_1 至 314_n 返回至I2C操作模式。因此，CCIE允用節點1702、1722及/或 314_1 至 314_n 可分別藉由自I2C模式切換至CCIE模式及自CCIE模式切換至I2C模式來對包括進入/退出序列1802、1804之一般呼叫作出回應。

圖18亦提供CCIE寫入資料序列或協定1806及CCIE讀取資料序列或協定1808之實例。可執行CCIE寫入資料協定1806以便將任意數目之位址字及資料字發送至藉由SID識別之受控節點/器件1722及/或314_i至314_n。可執行CCIE讀取資料序列或協定1808以便自藉由SID識別之受控節點/器件1722及/或314_i至314_n讀取一至五個資料字。位址字之數目可為任意定義的。

在一些例子中，可由CCIE主控節點使用CDR校準協定以使所指示之CCIE節點(包括主控節點自身)校準其之CDR邏輯及最大化鏈接速率。出於此目的，CCIE主控節點亦可具有其自己的SID。可在攜載19位元資訊之12符號中發送CCIE字。除CDR校準協定以外，19位元中之16個最低有效位元攜載資料，而19位元中之3個最高有效位元可用於其他資訊(諸如，控制資訊)。

可藉由選擇及/或使用推拉驅動器來改變CCIE介面430之資料速率。再次參看圖12，其說明在具備Fm+能力之I2C匯流排430上的CCIE符號定時之一個實例。由用於I2C Fm+模式之同一實體驅動器來驅動的CCIE信號之定時可藉由驅動器之上升時間來限制，其中上升時間為線電壓自VDD位準之30%改變至70%所花費的時間。圖19為圖式，其說明當由用於I2C Fm+模式之同一實體驅動器來驅動CCIE信號時在具備Fm+能力之I2C匯流排上的CCIE符號定時之一個實例。I2C Fm+之上升時間為120 ns，且用於自0 V至70%之信號電壓位準的時間可經計算為170 ns。雖然在I2C模式(其中，發信常由基於微控制器之操作來處置)中此等上升時間可令人滿意，但在CCIE模式中通常在硬體中實施發信操作。此外，基於微控制器或經軟體操作之I2C器件可能需要許多週期來處理資料(尤其當SCL線416處於邏輯低狀態時)。因此，對於Fm+而言，SCL之最小低週期可為1300 ns或更大，而可藉由I2C協定來指定600 ns之最小高週期。

根據本文中所揭示之某些態樣，CCIe模式器件可不附接，從而意謂每一線416、418上之邏輯1或邏輯0之持續時間或持續時間之差異。CCIe通信僅要求接收器可使用硬體技術來正確地解碼邏輯1及0，且CCIe不需要長之高或低週期以執行若干動作。因此，CCIe系統可使用125 MHz或更大之時脈從而產生8 ns週期。為使接收器正確地偵測非同步輸入值，接收器可取樣同一值至少3次。在一個實例中，可將CCIe信號之最小高週期 t_{HIGH} 設定至30 ns，其確實高於與125 MHz時脈相關聯之最小所要求之24 ns。因此， $170 \text{ ns} + 30 \text{ ns} (= 200 \text{ ns})$ 高時間之0至70%上升時間為最小可能之符號時間，且合成最大符號速率為5 MHz。

可經由I2C相容匯流排達成之最大CCIe鏈接速率可受到由具備CCIe能力之器件所使用之驅動器之類型的影響。在一個實例中，可由耦接至I2C相容匯流排430之CCIe器件來使用開漏驅動器2002、2004、2006 (見圖20)。在此實例中，可在200奈秒(ns)之最小符號時間1212中發送12符號1206、1208中之每一者，使得可在2400 ns中傳輸12符號1206、1208。另外，當舊版I2C受控器件耦接至共用匯流排430時，遵照I2C定時規範之開始條件係有必要的。對於I2C快速模式+ (Fm+)操作而言，最小開始條件建立時間1216及最小開始條件保持時間1210具有260 ns之指定最小持續時間。此外，對於I2C Fm+而言，即使當SDA線418藉由傳輸器500之電晶體508而被下拉時，針對SDA線418操作所准許之最大下降時間為120 ns，其對應於上拉暫存器2008之最大上升時間。對於CCIe器件而言，可假定SDA線418之下降時間具有顯著快於I2C最大下降時間的下降時間。舉例而言，CCIe器件可針對開始條件而為SDA線418提供20 ns之標稱下降時間。CCIe器件可在2940 ns中傳輸CCIe字及開始條件。可將攜載19資訊位元之CCIe字的原始位元速率計算為：

$$19\text{位元} / 2940\text{ ns} \approx 6.4\text{ Mbps}。$$

然而，每一CCIE字可包括16個資料位元及3個附加項位元，從而提供被計算為5.4Mbps ($\approx 16\text{位元} / 2940\text{ ns}$)之淨資料速率。

$$16\text{位元} / 2940\text{ ns} \approx 5.4\text{ Mbps}。$$

在另一實例中，CCIE器件可使用推拉驅動器而非開漏驅動器來傳輸12符號CCIE字。可產生改良之效能且可在20 MHz符號速率下達成至少16.7 Mbps之鏈接速率。CCIE器件可使用CMOS推拉驅動器，該等CMOS推拉驅動器可在I2C操作(包括CCIE模式中之開始條件)期間起始開漏驅動器行為。CCIE器件可藉由選擇性地去能推拉驅動器之PMOS電晶體來起始開漏驅動器行為。替代地或另外，CCIE器件可在CCIE模式中在12符號期間自推拉驅動器之PMOS電晶體積極地驅動高信號狀態。結果，可使用50 ns符號週期1212，從而使得能夠在600 ns中傳輸12符號CCIE字1206、1208。 $t_{SU} + t_{HD} = 540\text{ ns}$ 週期之開始條件持續時間(建立時間1216及保持時間1210)得以保持。在此組態中，有可能針對CCIE模式傳輸而在1140 ns中發送一個字，其與被計算為如下之原始位元速率等效：

$$19\text{位元} / 1140\text{ ns} \approx 16.7\text{ Mbps}。$$

然而，每一CCIE字可包括16個資料位元及3個附加項位元，從而提供被計算為如下之淨資料速率：

$$16\text{位元} / 1140\text{ ns} \approx 14.0\text{ Mbps}。$$

在第三實例中，當僅具備CCIE能力之器件耦接至匯流排430時，具備CCIE能力之器件才可將COMS推拉驅動器用於所有傳輸。結果，符號週期1212可保守地縮短至50 ns且可在600 ns中發送12符號CCIE字1206、1208在600 ns中之傳輸。由於不需要I2C相容開始條件，所以可藉由為與50 ns符號週期1212等效之持續時間提供建立週期1216且為與50 ns符號週期1212等效之持續時間提供保持週期1210來實施開

始條件週期，藉此將開始條件縮短至100 ns之持續時間。在此實例中，可在700 ns中傳輸一個19位元字，此與27.1 Mbps (≈ 19 位元/ 700 ns)之位元速率等效，該位元速率與被計算為如下之原始位元速率等效：

$$19 \text{ 位元} / 700 \text{ ns} \approx 27.1 \text{ Mbps}。$$

然而，每一CCIE字可包括16個資料位元及3個附加項位元，從而提供被計算為如下之淨資料速率：

$$16 \text{ 位元} / 700 \text{ ns} \approx 22.9 \text{ Mbps}。$$

支援多個通信模式之系統之第一實例

再次參看圖3、圖4及圖17，系統或裝置300、1700可使用藉由匯流排302而互連之複數個器件304₁至304_n、312及314₁至314_n。匯流排302可包括一包括第一線416及第二線418之二線式串列匯流排430。第一操作模式實施第一協定以用於經由串列匯流排430進行之資料傳輸且第二模式實施第二協定以用於經由串列匯流排430進行之資料傳輸。串列匯流排430可在I2C及CCIE操作模式中操作。該匯流排可為I2C相容匯流排。在一個實例中，當串列匯流排430操作為I2C匯流排時，第一線416可充當SCL線，且當串列匯流排430操作為I2C匯流排時，第二線418可充當SDA線416。

耦接至匯流排302之第一組器件312及/或304₁至304_n可經組態以在第一操作模式中將第一線用於資料傳輸且將第二線用於第一時脈信號，且在第二操作模式中，耦接至匯流排之第二組器件312及/或314₁至314_n可經組態以將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於該等資料傳輸之符號轉變內。第二時脈信號可具有大於第一時脈信號之頻率。

第一組器件312及/或304₁至304_n及第二組器件312及/或314₁至314_n可在第一操作模式與第二操作模式兩者中同時監視至少第一線。第一

組器件312及/或304₁至304_n及第二組器件312及/或314₁至314_n可在第一操作模式與第二操作模式兩者中同時監視至少第二線。

在第一操作模式中，來自第一組器件312及/或304₁至304_n之主控器件312可經由匯流排之第一線將資料傳輸至來自第一組器件312及/或304₁至304_n之受控器件304₁至304_n。

在第二操作模式中，來自第二組器件312及/或314₁至314_n之主控器件312可經由匯流排之第一線將資料傳輸至來自第二組器件312及/或314₁至314_n之受控器件314₁至314_n。

在第二操作模式中，第一組受控器件304₁至304_n可經由第一線及第二線來接收一禁止偵測有效受控節點位址的重設指示器。舉例而言，該重設指示器可為I2C開始條件。在第二操作模式中，當將重設指示器插入於第一線及第二線中時，可週期性地中斷資料傳輸，藉此使第一組器件304₁至304_n在偵測到有效位元序列之前重設其匯流排邏輯。

在第一操作模式中，主控節點312可經由第一線來發送第一位元序列，該第一位元序列向第二組器件314₁至314_n指示至第二操作模式之切換。主控節點312可經由匯流排430來發送退出符號序列，該退出符號序列向第二組器件314₁至314_n指示至第一操作模式之切換。

第二操作模式可具有經由匯流排430之傳輸的高於第一操作模式的位元速率。舉例而言，第一操作模式可支援經由匯流排430之每秒1百萬位元的最大位元速率且第二操作模式可支援每秒6.4百萬位元的最大位元速率。在另一實例中，第一操作模式可支援經由匯流排430之每秒1百萬位元的最大位元速率且第二操作模式可支援每秒16.7百萬位元的最大位元速率。

第二組器件314₁至314_n可能夠在第一操作模式與第二操作模式兩者中操作。

在一個實例中，匯流排430耦接至基頻處理器(包括來自第二組器件314₁至314_n之第一器件)及影像感測器(包括來自第二組器件314₁至314_n之第二器件)。匯流排430可在基頻處理器與影像感測器之間控制資料信號。

在一些例子中，第二組器件314₁至314_n中之每一器件經調適以：將一資料位元序列轉換成複數個 M 轉變數；將每一轉變數轉換成一來自一組序號之序號；及經由匯流排來傳輸該序號。可將 M 轉變數表達為三進位位數。可基於自一緊接之先前序號的轉變而自轉變數選擇該序號以保證沒有兩個序號係相同的。可藉由將複數個轉變數轉換成一序號而將每一轉變數轉換成一來自一組序號之序號。

支援多個通信模式之系統之第二實例

繼續參看圖3、圖4及圖17，系統或裝置300、1700可使用藉由匯流排302而互連之複數個器件304₁至304_n、312及314₁至314_n。匯流排302可包括一具有第一線418及第二線416之二線式串列匯流排430。該匯流排可為I2C相容匯流排。在第一操作模式中，第一組器件304₁至304_n、312可將第一線418用於資料傳輸且將第二線416用於第一時脈信號，而耦接至匯流排之第二組器件312及314₁至314_n可經組態以在第二操作模式中將第一線與第二線兩者用於資料傳輸，同時將第二時脈信號嵌入於資料傳輸之符號轉變內。

第一組器件304₁至304_n、312及第二組器件312與314₁至314_n可在第一操作模式與第二操作模式兩者中同時監視至少第一線418。第一組器件304₁至304_n、312及第二組器件312、314₁至314_n可在第一操作模式與第二操作模式兩者中同時監視至少第二線416。

在一個實例中，在第一操作模式中，來自第一組器件304₁至304_n、312之主控器件312經由匯流排430之第一線418將資料傳輸至受控器件304₁至304_n。在另一實例中，在第二操作模式中，來自第二組

器件312、314₁至314_n之主控器件312經由匯流排430之第一線將資料傳輸至受控器件314₁至314_n。第二操作模式可具有經由匯流排430之傳輸的高於第一操作模式的位元速率。在一個實例中，第一操作模式可具有經由匯流排430之每秒1百萬位元的最大位元速率且第二操作模式可具有經由匯流排430之每秒6.4百萬位元的最大位元速率。在第二實例中，第一操作模式可具有經由匯流排430之每秒1百萬位元的最大位元速率且第二操作模式可具有經由匯流排430之每秒16.7百萬位元的最大位元速率。第二時脈信號可具有大於第一時脈信號之頻率。

第一操作模式可實施第一協定以用於經由匯流排430進行之資料傳輸且第二模式實施第二協定以用於經由匯流排430進行之資料傳輸。

在第二操作模式中，第一組器件可經由第一線418及第二線416來接收一禁止偵測有效受控節點位址的重設指示器。在第二操作模式中，可藉由將重設指示器插入於第一線418及第二線416中來週期性地中斷資料傳輸，此使第一組器件304₁至304_n在偵測到有效位元序列之前重設其匯流排邏輯。

在第一操作模式期間，主控節點312可經由第一線418來發送第一位元序列，該第一位元序列向第二組器件314₁至314_n指示正作出至第二操作模式之切換。在第二操作模式期間，主控節點312可經由匯流排430來發送退出符號序列，該退出符號序列向第二組器件314₁至314_n指示正作出至第一操作模式之切換。

在一個實例中，第二組器件314₁至314_n可能夠在第一操作模式與第二操作模式兩者中操作。

在一些例子中，匯流排430耦接至基頻處理器(包括來自第二組器件314₁至314_n之第一器件)及影像感測器(包括來自第二組器件314₁至314_n之第二器件)。匯流排可在基頻處理器與影像感測器之間攜載控

制資料信號。第二組器件 314_1 至 314_n 中之每一器件可經調適以：將一資料位元序列轉換成複數個 M 轉變數；將每一轉變數轉換成一來自一組序號之序號；及經由匯流排430來傳輸該序號。可基於自一緊接之先前序號的轉變而自轉變數選擇該序號以保證沒有兩個序號係相同的。可藉由將複數個轉變數轉換成一序號而將每一轉變數轉換成一來自一組序號之序號。

支援多個通信模式之系統之第三實例

繼續參看圖3、圖4及圖17，系統或裝置300、1700可使用藉由匯流排302而互連之複數個器件 304_1 至 304_n 、312及 314_1 至 314_n 。匯流排302可包括一具有第一線418及第二線416之二線式串列匯流排430。該匯流排可為I2C相容匯流排。在第一操作模式中，第一組器件 304_1 至 304_n 、312可將第一線418用於資料傳輸且將第二線416用於第一時脈信號，而耦接至匯流排之第二組器件312及 314_1 至 314_n 可經組態以在第二操作模式中將第一線與第二線兩者用於資料傳輸，同時將第二時脈信號嵌入於資料傳輸之符號轉變內。

在操作中，處理電路可經組態以將資料發送至傳輸器與接收器電路及自傳輸器與接收器電路接收資料，且該傳輸器與接收器電路可經組態以經由一包括第一線418及第二線416之匯流排430來通信。該傳輸器與接收器電路可經組態以：在第一操作模式中將第一線418用於資料傳輸且將第二線416用於第一時脈信號；及在第二操作模式中將第一線418與第二線416兩者用於傳輸資料使得第二時脈信號被嵌入於資料傳輸之符號轉變內。

器件可與耦接至匯流排之一組其他器件共存，但僅在第一模式中操作同時在第一操作模式與第二操作模式兩者期間不斷地監視至少第一線418。器件可與耦接至匯流排430之一組其他器件共存但僅在第一模式中操作同時在第一操作模式與第二操作模式兩者中不斷地監視

至少第二線416。

器件可在第一操作模式中經由匯流排430之第一線418將資料傳輸至受控器件。器件可在第二操作模式中經由匯流排430之第一線418及第二線416將資料傳輸至受控器件。第一操作模式可實施第一協定以用於經由匯流排430進行之資料傳輸且第二模式可實施第二協定以用於經由匯流排430進行之資料傳輸。

傳輸器與接收器電路可經組態以在第二操作模式期間經由第一線418及第二線416來發送一重設指示器以禁止在第一模式中操作之其他器件偵測有效受控節點位址。可藉由將重設指示器插入於第一線418及第二線416中來週期性地中斷在第二操作模式期間之資料傳輸，此使在第一模式中操作之其他器件在偵測到有效位元序列之前重設其匯流排邏輯。

在一些實例中，傳輸器與接收器電路經組態以在第一操作模式中經由第一線418來發送第一位元序列，該第一位元序列向能夠在第一模式與第二模式兩者中操作的其他器件指示至第二操作模式之切換。主控節點312可在第二操作模式中經由匯流排430來發送退出符號序列，該退出符號序列向能夠在第一模式與第二模式兩者中操作的其他器件指示至第一操作模式之切換。

第二操作模式可具有經由匯流排之傳輸的高於第一操作模式的位元速率。在一個實例中，第一操作模式具有經由匯流排430之每秒1百萬位元的最大位元速率且第二操作模式具有每秒6.4百萬位元的最大位元速率。在另一實例中，第二時脈信號可具有大於第一時脈信號之頻率。

支援多個通信模式之系統之第四實例

繼續參看圖3、圖4及圖17，系統或裝置300、1700可使用藉由匯流排302而互連之複數個器件304₁至304_n、312及314₁至314_n。

匯流排302可包括一具有第一線418及第二線416之二線式串列匯流排430。該匯流排可為I2C相容匯流排。在第一操作模式中，第一組器件 304_1 至 304_n 、312可將第一線418用於資料傳輸且將第二線416用於第一時脈信號，而耦接至匯流排之第二組器件312及 314_1 至 314_n 可經組態以在第二操作模式中將第一線與第二線兩者用於資料傳輸，同時將第二時脈信號嵌入於資料傳輸之符號轉變內。

根據本文中所揭示之某些態樣，主控器件312可查明耦接至匯流排之所有器件是否能夠根據第三操作模式來操作，該第三操作模式將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於用於第一時脈信號之資料傳輸線的符號轉變內，且僅在耦接至匯流排之所有器件能夠在第三模式中操作的情況下才使器件 304_1 至 304_n 、312及 314_1 至 314_n 在第三操作模式中加以操作。在一個實例中，第三操作模式可相對於第二模式而提供減少之發信附加項。只要耦接至匯流排之所有器件 304_1 至 304_n 、312及 314_1 至 314_n 能夠在第三模式中操作或只要耦接至匯流排之所有有效器件 304_1 至 304_n 、312及 314_1 至 314_n 能夠在第三模式中操作，該組器件 304_1 至 304_n 、312及 314_1 至 314_n 便經組態以在第三模式中操作。有效器件可為被通電、耦接至匯流排430及/或監視匯流排430之器件。器件 304_1 至 304_n 、312及 314_1 至 314_n 可在第一操作模式與第二操作模式兩者中同時監視至少第一線418。第一組器件 304_1 至 304_n 、312及第二組器件312與 314_1 至 314_n 可在第一操作模式與第二操作模式兩者中同時監視至少第二線416。

在一個態樣中，第一操作模式實施第一協定以用於經由匯流排430進行之資料傳輸，第二模式實施第二協定以用於經由匯流排430進行之資料傳輸，且第三模式實施第三協定以用於經由匯流排430進行之資料傳輸。第二操作模式可准許舊版器件經由第一線418及第二線416來接收一禁止偵測有效受控節點位址之重設指示器。在第二操作

模式中，可藉由將重設指示器插入於第一線418及第二線416中來週期性地中斷資料傳輸，此使耦接至匯流排430之舊版器件在偵測到有效位元序列之前重設其匯流排邏輯。在第三操作模式中，未在第一線418及第二線416中發送重設指示器。

第三操作模式可具有經由匯流排430之傳輸的高於第二操作模式的位元速率。第三操作模式可具有經由匯流排430之每秒27.1百萬位元的最大位元速率。

在一態樣中，主控器312可查明耦接至匯流排之所有器件可根據第三模式來操作，且將一命令發送至耦接至匯流排之所有器件304₁至304_n、312及314₁至314_n以在第三模式中操作。

可組態用於CCIE及I2C操作之處理系統之實例

圖21為概念圖2100，其說明使用處理電路2102之裝置之硬體實施的簡化實例，該處理電路可經組態以執行本文中所揭示之一或多個功能。根據本發明之各種態樣，可使用處理電路2102來實施元件、或元件之任何部分、或元件之組合。處理電路2102可包括藉由硬體及軟體模組之某一組合來控制的一或多個處理器2104。處理器2104之實例包括微處理器、微控制器、數位信號處理器(DSP)、場可程式化閘陣列(FPGA)、可程式化邏輯器件(PLD)、狀態機、序列器、閘控邏輯、離散硬體電路及經組態以執行貫穿本發明所描述之各種功能性的其他合適硬體。一或多個處理器2104可包括專用處理器，該等專用處理器執行特定功能且可由軟體模組2116中之一者加以組態、擴充或控制。一或多個處理器2104可經由在初始化期間載入之軟體模組2116的組合加以組態，且藉由在操作期間載入或卸載一或多個軟體模組2116進一步加以組態。

在所說明之實例中，處理電路2102可實施有匯流排架構(大體由匯流排2110表示)。匯流排2110可取決於處理電路2102之特定應用及

總設計約束而包括任何數目之互連匯流排及橋接器。匯流排2110將各種電路(包括一或多個處理器2104、儲存器2106)鏈接在一起。儲存器2106可包括記憶體器件及大容量儲存器件，且可在本文中被稱為電腦可讀媒體。匯流排2110亦可鏈接各種其他電路，諸如定時源、定時器、周邊設備、電壓調節器及功率管理電路，以上各者在此項技術中係熟知的且因此該等中之一些可未加以任何進一步描述。匯流排介面2108可提供匯流排2110與線介面電路2112之間的介面。線介面電路2112提供用於經由傳輸媒體(諸如，串列匯流排)來與各種其他裝置通信的構件。取決於裝置之性質，亦可提供使用者介面2118 (例如，小鍵盤、顯示器、揚聲器、麥克風、操縱桿)，且該使用者介面2118可直接或經由匯流排介面2108而通信地耦接至匯流排2110。

處理器2104可負責管理匯流排2110及負責一般處理(其可包括執行被儲存於可包括儲存器2106之電腦可讀媒體中的軟體)。在這方面，包括處理器2104之處理電路2102可用以實施本文中所揭示之方法、功能及技術中的任一者。儲存器2106可用於儲存由處理器2104在執行軟體時操縱之資料，且該軟體可經組態以實施本文中所揭示之方法中之任一者。

處理電路2102中之一或多個處理器2104可執行軟體。應將軟體寬廣地解釋為意謂指令、指令集、碼、碼段、程式碼、程式、子程式、軟體模組、應用程式、軟體應用程式、軟體封裝、常式、子常式、物件、可執行件、執行線緒、程序、功能、演算法等，而不管是否被稱為軟體、韌體、中間體、微碼、硬體描述語言或其他者。軟體可以電腦可讀形式而駐留於儲存器2106中或外部電腦可讀媒體中。電腦可讀媒體及/或儲存器2106可為非暫時性電腦可讀媒體。非暫時性電腦可讀媒體包括(藉由實例)磁性儲存器件(例如，硬碟、軟性磁碟、磁帶)、光碟(例如，緊密光碟(CD)或數位影音光碟(DVD))、智慧卡、

快閃記憶體器件(例如,「快閃驅動器」、卡、棒或隨身碟)、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、可程式化ROM (PROM)、可抹除PROM (EPROM)、電可抹除PROM (EEPROM)、暫存器、抽取式碟及用於儲存可由電腦存取及讀取之軟體及/或指令的任何其他合適媒體。電腦可讀媒體及/或儲存器2106亦可包括(藉由實例)載波、傳輸線及用於傳輸可由電腦存取及讀取之軟體及/或指令的任何其他合適媒體。電腦可讀媒體及/或儲存器2106可駐留於處理電路2102中、處理器2104中、在處理電路2102外部、或分佈跨越包括處理電路2102之多個實體。可將電腦可讀媒體及/或儲存器2106體現於電腦程式產品中。藉由實例,電腦程式產品可包括位於封裝材料中之電腦可讀媒體。熟習此項技術者將認識到,如何取決於特定應用及強加於整個系統之總設計約束來最佳地實施貫穿本發明所呈現之所描述功能性。

儲存器2106可保持被保持及/或組織於可載入碼段、模組、應用程式、程式等中之軟體(其可在本文中被稱為軟體模組2116)。軟體模組2116中之每一者可包括指令及資料,該等指令及資料在安裝或載入於處理電路2102上且由一或多個處理器2104執行時促成控制一或多個處理器2104之操作的執行時間影像2114。當執行時,某些指令可使處理電路2102根據本文中所描述之某些方法、演算法及程序來執行功能。

可在處理電路2102之初始化期間載入軟體模組2116中之一些,且此等軟體模組2116可組態處理電路2102以使得能夠執行本文中所揭示之各種功能。舉例而言,一些軟體模組2116可組態處理器2104之內部器件及/或邏輯電路2122,且可管理對外部器件(諸如,線介面電路2112、匯流排介面2108、使用者介面2118、定時器、數學共處理器等)之存取。軟體模組2116可包括控制程式及/或作業系統,其與中斷處置器及器件驅動器互動且控制對由處理電路2102提供之各種資源的

存取。該等資源可包括記憶體、儲存器2106、處理時間、對線介面電路2112之存取權、使用者介面2118等等。

處理電路2102之一或多個處理器2104可為多功能型，藉以軟體模組2116中之一些經載入及組態以執行不同功能或同一功能之不同例子。舉例而言，一或多個處理器2104可另外經調適以管理回應於來自使用者介面2118、線介面電路2112及器件驅動器之輸入而起始之背景任務。為支援多個功能之執行，一或多個處理器2104可經組態以提供多任務環境，藉以在需要或想要時將複數個功能中之每一者實施為由一或多個處理器2104服務之一組任務。在一個實例中，可使用在不同任務之間傳遞處理器2104之控制的分時程式2120來實施多任務環境，藉以每一任務在完成任何懸而未決操作後就將一或多個處理器2104之控制傳回至分時程式2120及/或回應於諸如中斷之輸入而將一或多個處理器2104之控制傳回至分時程式2120。當一任務能控制一或多個處理器2104時，處理電路被有效地專用於由與控制任務相關聯之功能所陳述的目的。分時程式2120可包括作業系統、在循環的基礎上轉移控制的主循環、根據功能之優先級排序來配置對一或多個處理器2104之控制的功能，及/或藉由將對一或多個處理器2104之控制提供至處置功能而對外部事件作出回應的中斷驅動型主循環。

圖22為流程圖2200，其說明一種用於在CCIE匯流排上進行之資料通信方法。舉例而言，可由一包括圖1至圖8、圖20、圖22及/或圖24中所說明之器件及電路之某一組合的傳輸器器件來執行該方法之各種態樣。

在區塊2202處，器件可自一組位元產生一轉變數。該轉變數可包括十二位數三進位數。在一個實例中，器件可自一組位元產生一轉變數。該轉變數可為十二位數三進位數。

在區塊2204處，器件可將轉變數轉換成一符號序列。定時資訊

可被編碼於該符號序列中之符號之間的轉變中。被編碼於符號序列中之定時資訊使得接收器能夠自該符號序列產生一接收時脈。可藉由將三進位數提供至轉碼器來將轉變數轉換成符號序列。

在一個實例中，轉碼器優先接收三進位數之最高有效位數，三進位數之最低有效位數可由轉碼器最後接收，且按減小之有效性的次序將在最高有效位數與最低有效位數之間的中間位數提供至轉碼器。在另一實例中，轉碼器優先接收三進位數之最低有效位數，三進位數之最高有效位數可由轉碼器最後接收，且按增加之有效性的次序將在最高有效位數與最低有效位數之間的中間位數提供至轉碼器。

在區塊2206處，當在第一操作模式中操作二線式串列匯流排器件時，器件可在該二線式串列匯流排上傳輸符號序列。當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。可針對二線式串列匯流排來定義四種發信狀態。三進位數之每一位數可自三個可用符號中之一者選擇及/或指示待傳輸於二線式串列匯流排上之下一符號。此等三個可用符號中之每一者可不同於正傳輸於二線式串列匯流排上之當前符號。因此，連續符號之間的每一轉變引起二線式串列匯流排之發信狀態的改變。

在一個實例中，二線式串列匯流排可為多用途匯流排，當在第一操作模式中加以操作時其支援CCIE通信。對於第二操作模式而言，二線式串列匯流排可支援I2C及/或CCI通信模式。當在二線式串列匯流排上傳輸一控制序列時，器件可經組態或調適以引起自第一操作模式至第二操作模式之改變。在CCIE操作模式中，可在CCIE操作模式中在傳輸於二線式串列匯流排上之符號序列之間提供I2C開始條件。開始條件之定時之某些態樣可引起在一經組態用於I2C操作模式之另一器件(包括可僅使用I2C協定來通信之器件)中的接收邏輯之重設。

在一個實例中，在符號序列於二線式串列匯流排上傳輸之前，在二線式串列匯流排上傳輸第一I2C開始條件。在符號序列已於二線式串列匯流排上傳輸之後，可在二線式串列匯流排上傳輸第二I2C開始條件。在第一I2C開始條件與第二I2C開始條件之間所消逝的時間可小於由I2C協定所需之用以在I2C操作模式中接收位址字的時間。因此，監視二線式串列匯流排之I2C接收器通常在第一開始條件之後及在第二I2C開始條件之前察覺二線式串列匯流排之SCL信號線上最多6個時脈週期。

圖23為圖式，其說明使用處理電路2302之裝置2300之硬體實施的簡化實例。處理電路通常具有處理器2316，該處理器可包括以下各者中之一或多者：微處理器、微控制器、數位信號處理器、序列器、狀態機或其類似者。處理電路2302可實施有匯流排架構(大體由匯流排2320表示)。匯流排2320可取決於處理電路2302之特定應用及總設計約束而包括任何數目之互連匯流排及橋接器。匯流排2320將各種電路鏈接在一起，該等電路包括一或多個處理器及/或硬體模組(由處理器2316、模組或電路2304、2306、2308及2310表示)、可組態以經由多路徑CCIE匯流排2314 (其包括複數個連接器或線)來通信之線介面電路2312，及電腦可讀儲存媒體2318。匯流排2320亦可鏈接各種其他電路，諸如定時源、周邊設備、電壓調節器及功率管理電路，以上各者在此項技術中係熟知的且因此將不加以任何進一步描述。

處理器2316負責一般處理(包括執行被儲存於電腦可讀儲存媒體2318上之軟體)。該軟體在由處理器2316執行時使處理電路2302執行上文針對任何特定裝置所描述之各種功能。電腦可讀儲存媒體2318亦可用於儲存由處理器2316在執行軟體時所操縱之資料(包括自經由多路徑CCIE匯流排2314傳輸之符號所解碼的資料)。處理電路2302進一步包括模組及/或電路2304、2306及2308中之至少一者。該等模組及/

或電路2304、2306、2308及2310可為：軟體模組，其被載入、組態及執行於處理器2316中、駐留/儲存於電腦可讀儲存媒體2318中；一或多個硬體模組，其耦接至處理器2316；或其之某一組合。模組及/或電路2304、2306及2308可包括微控制器指令、狀態機組態參數或其之某一組合。

在一個組態中，用於無線通信之裝置2300包括：模組及/或電路2304，其經組態以自一組位元產生一轉變數；模組及/或電路2306，其經組態以將轉變數轉換成一符號序列；及模組及/或電路2308，其經組態以在二線式串列匯流排之發信狀態中傳輸該符號序列。裝置2300可包括額外模組及/或電路(例如，包括控制串列匯流排2314及/或裝置2300之操作模式的模組及/或電路2310)。舉例而言，模式控制模組及/或電路2310可包括命令產生模組或與命令產生模組合作，該命令產生模組在串列匯流排2314上傳輸控制序列。在另一實例中，模式控制模組及/或電路2310可引起線介面電路2312之重新組態以在I2C操作模式中賦能開漏線驅動器或其等效物且在CCIE操作模式中賦能推拉驅動器。

圖24為流程圖2400，其說明一種用於在CCIE匯流排上進行之資料通信方法。舉例而言，可使用CCIE器件中之接收器電路及模組來執行該方法之各種態樣，該CCIE器件包括圖1至圖8、圖20、圖23及/或圖24中所說明之器件及電路的某一組合。

在步驟2402處，當在第一操作模式中操作二線式串列匯流排時，器件可自二線式串列匯流排之發信狀態的轉變來得出一接收時脈。二線式串列匯流排可為多用途匯流排，當在第一操作模式中操作二線式串列匯流排時其同時支援CCIE通信。在第二操作模式中，二線式串列匯流排可支援I2C通信。二線式串列匯流排可支援與和I2C、CCI及/或CCIE協定中之一或多者相容之器件的通信。

在步驟2404處，器件可使用該接收時脈來接收一根據第一操作模式而在二線式串列匯流排上傳輸之符號序列。二線式串列匯流排之發信狀態的轉變可對應於符號序列中之符號之間的轉變。可藉由以下步驟自二線式串列匯流排接收符號序列：判定二線式串列匯流排上之I2C開始條件；及根據由接收時脈定義之定時自二線式串列匯流排接收12符號。

在一個態樣中，當在第二操作模式中操作二線式串列匯流排時，該符號序列可被經組態用於在該二線式串列匯流排上通信的器件所忽略。

在步驟2406處，器件可自符號序列產生一轉變數。該轉變數可具有多個位數，其中每一位數表示該符號序列中之一對連續符號之間的轉變。

在步驟2408處，器件可解碼來自該轉變數之資料。該轉變數可為十二位數三進位數。可針對二線式串列匯流排來定義四(4)種發信狀態。三進位數之每一位數可表示二線式串列匯流排上之一對連續發信狀態之間的關係。符號序列中之每一符號可為由二線式串列匯流排之發信狀態定義的四個符號中之一者。三進位數之每一位數可定義符號序列中之一對連續符號之間的關係。

圖25為圖式，其說明使用處理電路2502之裝置2500之硬體實施的簡化實例。處理電路通常具有處理器2516，該處理器可包括以下各者中之一或多者：微處理器、微控制器、位數信號處理器、序列器、狀態機或其類似者。處理電路2502可實施有匯流排架構(大體由匯流排2520表示)。匯流排2520可取決於處理電路2502之特定應用及總設計約束而包括任何數目之互連匯流排及橋接器。匯流排2520將各種電路鏈接在一起，該等電路包括一或多個處理器及/或硬體模組(由處理器2516、模組或電路2504、2506及2508表示)、可組態以經由多

路徑CCle匯流排2514 (其包括複數個連接器或線)來通信之線介面電路2512，及電腦可讀儲存媒體2518。匯流排2520亦可鏈接各種其他電路，諸如定時源、周邊設備、電壓調節器及功率管理電路，以上各者在此項技術中係熟知的且因此將不加以任何進一步描述。

處理器2516負責一般處理(包括執行被儲存於電腦可讀儲存媒體2518上之軟體)。該軟體在由處理器2516執行時使處理電路2502執行上文針對任何特定裝置所描述之各種功能。電腦可讀儲存媒體2518亦可用於儲存由處理器2516在執行軟體時所操縱之資料(包括自經由多路徑CCle匯流排2514傳輸之符號所解碼的資料)。處理電路2502進一步包括模組及/或電路2504、2506及2508中之至少一者。該等模組及/或電路2504、2506及2508可為：軟體模組，其執行於處理器2516中、駐留/儲存於電腦可讀儲存媒體2518中；一或多個硬體模組，其耦接至處理器2516；或其之某一組合。模組及/或電路2504、2506及2508可包括微控制器指令、狀態機組態參數或其之某一組合。

在一個組態中，用於無線通信之裝置2500包括：CDR電路2504，其經組態以自二線式串列匯流排之發信狀態的轉變來得出一接收時脈及使用該接收時脈自二線式串列匯流排接收一符號序列；模組及/或電路2506，其經組態以自該符號序列產生一轉變數；及模組及/或電路2508，其經組態以解碼來自該轉變數之資料。二線式串列匯流排之發信狀態的轉變可對應於符號序列中之符號之間的轉變。轉變數可具有多個位數，其中每一位數表示該符號序列中之一對連續符號之間的轉變。

圖26為流程圖2600，其說明一種關於使用匯流排之系統或器件的方法。在一個實例中，器件可具有：一包括第一線及第二線之匯流排；第一組器件，其耦接至匯流排；及第二組器件，其耦接至匯流排。該方法可適用於如本文中所揭示之CCle匯流排430，藉以第一線

可為SDA線418且第二線可為SCL線416 (例如，見圖4及圖17)。

在步驟2602處，耦接至匯流排之第一組器件可經組態以在第一操作模式中將第一線用於資料傳輸且將第二線用於第一時脈信號。

在步驟2604處，耦接至匯流排之第二組器件可經組態以在第二操作模式中將第一線與第二線兩者用於資料傳輸同時將第二時脈信號嵌入於資料傳輸之符號轉變內。

在一些例子中，匯流排可在第三模式中操作。在此等例子中，可在步驟2606處判定耦接至匯流排之所有有效器件是否能夠在第三模式中操作。在一個實例中，基於由匯流排主控器件保持之組態資訊來作出該判定。組態資訊可包括預定組態資訊及/或藉由探索協定獲得之資訊，或其類似者。組態資訊可包括對耦接至匯流排之已被識別為當前有效之器件的能力的描述。當前有效之器件可為已在啟動程序中被識別之器件、已對匯流排上所傳輸之廣播作出回應的器件及/或已參加匯流排上之通信異動的器件。停用之器件可為休止器件及/或未對匯流排上傳輸之通信作出回應(包括器件之SID，或包括將被期待喚起來自器件之回應的廣播)的器件。

若在步驟2606處判定耦接至匯流排之所有有效器件能夠在第三操作模式中操作，則在步驟2608處可使匯流排在第三操作模式中操作。在第三操作模式中，一或多個器件經組態以將第一線與第二線兩者用於資料傳輸同時將時脈信號嵌入於資料傳輸之符號轉變內。

在一些例子中，第一組器件及第二組器件在第一操作模式與第二操作模式兩者中同時監視匯流排之至少一條線。在第一操作模式中，第一組器件中之主控器件可經由匯流排之第一線將資料傳輸至第一組器件中之受控器件。在第二操作模式中，第二組器件中之主控器件可經由匯流排將資料傳輸至第二組器件中之受控器件。第二組器件中之器件能夠在第一操作模式與第二操作模式兩者中操作。主控器件

可能夠在第一操作模式及第二操作模式中操作。一器件可在第一操作模式與第二操作模式兩者中充當主控制器件。可在第一操作模式與第二操作模式兩者中充當主控制器件的器件可被視為第一組器件與第二組器件兩者的成員。主控制器件可能夠在第一操作模式、第二操作模式及第三操作模式中操作。一器件可在第一操作模式、第二操作模式及第三操作模式中之每一者中充當主控制器件。

在一個態樣中，第一操作模式實施第一協定以用於經由匯流排進行之資料傳輸且第二模式實施第二協定以用於經由匯流排進行之資料傳輸。第一協定可對應於I2C操作模式或與I2C操作模式相容。第二協定可對應於CCIE操作模式或與CCIE操作模式相容。

在第二操作模式中，第一組器件可經由第一線及第二線來接收一禁止偵測有效受控節點位址的重設指示器。在一個實例中，可藉由將重設指示器插入於第一線及第二線中來週期性地中斷第二操作模式中之資料傳輸，該重設指示器使第一組器件在偵測到有效位元序列之前重設其匯流排邏輯。當第一操作模式對應於I2C操作模式或與I2C操作模式相容時，重設指示器可對應於開始條件。

根據本文中所揭示之某些態樣，第二組器件中之主控節點在第一操作模式期間經由第一線來發送第一位元序列，其中該第一位元序列向第二組器件指示至第二操作模式之切換。在第二操作模式期間，主控節點可經由匯流排來發送退出符號序列，該退出符號序列向第二組器件指示至第一操作模式之切換。

根據本文中所揭示之某些態樣，匯流排為I2C相容匯流排。在一個實例中，第一操作模式可具有經由匯流排之每秒1百萬位元的最大位元速率且第二操作模式可具有每秒6.4百萬位元的最大位元速率。在另一實例中，第一操作模式具有經由匯流排之每秒1百萬位元的最大位元速率且第二操作模式具有每秒16.7百萬位元的最大位元速率。

在一些例子中，第一操作模式實施第一協定以用於經由匯流排進行之資料傳輸，第二操作模式實施第二協定以用於經由匯流排進行之資料傳輸，且第三操作模式實施第三協定以用於經由匯流排進行之資料傳輸。第三操作模式可具有經由匯流排之每秒27.1百萬位元的最大位元速率。

在一個實例中，匯流排耦接至第二組器件中之包括基頻處理器的第一器件及第二組器件中之包括影像感測器的第二器件。匯流排可在基頻處理器與影像感測器之間攜載控制資料信號。

根據本文中所揭示之某些態樣，第二組器件中之每一器件可經調適以：將一資料位元序列轉換成複數個M個轉變數；將每一轉變數轉換成一來自一組序號之序號；及經由匯流排來傳輸該序號。可基於自一緊接之先前序號的轉變而自轉變數選擇該序號以保證沒有兩個序號係相同的。可藉由將複數個轉變數轉換成一序號而將每一轉變數轉換成一來自一組序號之序號。

應理解，所揭示之過程中之步驟的特定次序或階層為例示性做法之說明。基於設計偏好，應理解，可重新配置該等過程中之步驟的特定次序或階層。隨附之方法請求項按範例次序來呈現各種步驟之要素且並不意謂限於所呈現之特定次序或階層。

提供先前描述以使任何熟習此項技術者能夠實踐本文中所描述之各種態樣。對此等態樣之各種修改對於熟習此項技術者將容易為顯而易見的，且可將本文中所定義之一般原理應用於其他態樣。因此，申請專利範圍並不意欲限於本文中所展示之態樣，而是將符合與語言請求項一致之完整範疇，其中除非明確如此陳述，否則對呈單數之元件的參考並不意欲意謂「一個且僅一個」，而寧可為「一或多個」。除非另有明確陳述，否則術語「一些」指代一或多個。一般熟習此項技術者已知或稍後將已知的貫穿本發明而描述之各種態樣之元件的所有

結構及功能均等物皆以引用的方式明確地併入本文中且意欲藉由申請專利範圍來涵蓋。此外，本文中所揭示之任何內容皆不意欲貢獻給社會公眾，而不管該揭示內容是否明確地陳述於申請專利範圍中。沒有申請專利範圍元件將解釋為手段附加功能，除非使用片語「用於……之構件」來明確敘述該元件。

【符號說明】

100	裝置
102	處理電路
106	通信收發器
108	特殊應用IC (ASIC)
110	應用程式設計介面(API)
112	記憶體器件
114	區域資料庫
122	天線
124	顯示器
126	小鍵盤
128	按鈕
200	方塊圖
202	器件
204	基頻處理器
206	影像感測器
208	控制資料匯流排
212	CCIE(I2C)主控器
214	CCIE(I2C)受控器
216	影像資料匯流排
218	I2C/CCIE受控器

300	方塊圖
302	匯流排
304 ₁ 至304 _m	I2C模式器件
306	CCIE模式通信
308	I2C模式異動
312	具備CCIE能力之主控器件
314 ₁ 至314 _n	具備CCIE能力之受控器件
400	裝置
402	器件
404	感測器控制功能
406	組態暫存器
410	收發器
410a	接收器
410b	共同電路
410c	傳輸器
412	處理電路及/或控制邏輯
414a	線驅動器/接收器
414b	線驅動器/接收器
416	SCL線
418	SDA線
420	器件
422a	器件
422n	器件
424	儲存器件
428	傳輸時脈(TXCLK)信號
430	CCIE匯流排

500	傳輸器
502	轉碼器
504	編碼器
506	線驅動器
508	開漏輸出電晶體
510	輸入二進位資料
512	三進位轉變數
514	符號
520	接收器件
522	電路
524	電路
526	線介面電路
528	CDR電路
530	輸出資料位元
532	轉變數
534	符號
536	符號
538	接收時脈
600	簡化方塊圖
602	12位數三進位數
620	邏輯
640	邏輯
700	方塊圖
702	12位數三進位數
704	轉換器
712	三進位轉變數

720	電路
800	電路
802	多工器
814	輸出(DELCNT)
824	輸出位元
850	計數器
852	功能
854	端偵測邏輯
854a	端偵測邏輯
854b	端偵測邏輯
856	第二多工器邏輯
858	第一多工器邏輯
860	暫存器
864	控制信號
902	符號排序圓圈
904a	位置
904b	位置
904c	位置
904d	位置
920	表
922	先前產生之符號
924	當前接收之符號
926	轉變數
930	CCle匯流排
1000	時序圖
1002	高邏輯狀態

1004	最高有效位元(MSB)
1006	最低有效位元
1008	應答(ACK)/時脈週期
1100	第一時序圖
1106	建立時間
1108	保持時間
1110	時間週期
1112	脈衝
1120	第二時序圖
1114	低週期
1116	轉變
1118	下一轉變
1122	開始條件或序列
1200	時序圖
1206	符號序列
1208	符號序列
1210	最小開始條件保持時間
1212	符號週期
1214	最小消逝時間
1216	最小開始條件建立時間
1220	時序圖
1224	增加之時間
1300	時序圖
1306	符號序列/第一傳輸
1308	符號序列/第二傳輸
1310	符號週期

1312	最小消逝時間
1314	週期
1400	時序圖
1406	12符號序列
1408	12符號序列
1408a	開始符號
1408b	建立符號
1408c	建立符號
1408d	符號 S_7
1410	轉變數
1412	接收時脈(RXCLK)
1414	符號邊界
1416	符號邊界
1422	傳輸時脈(TXCLK)
1500	時序圖
1502	7位元受控器ID
1512	讀取/寫入位元
1600	實例
1602	合成不完整之受控器ID
1604	合成不完整之受控器ID
1606	開始條件
1608	開始條件
1610	開始條件
1612	開始條件
1614	時脈信號
1620	實例

1622	12符號傳輸
1624	12符號傳輸
1626	開始條件
1628	開始條件
1630	開始條件
1700	系統
1702	器件
1704	周邊模組或電路
1706	儲存器
1708	協定
1710	處理電路及/或控制邏輯
1712	時脈產生電路
1714	收發器
1716	線驅動器/接收器
1718	線驅動器/接收器
1722	受控器件
1724	周邊模組或電路
1726	儲存器
1730	處理電路及/或控制邏輯
1732	時脈產生電路
1734	收發器
1736	線驅動器/接收器
1738	線驅動器/接收器
1742	受控器件
1800	第一時序圖
1802	時序圖

1804	CCIE模式退出序列
1806	CCIE寫入資料序列或協定
1808	CCIE讀取資料序列或協定
1810	CDR校準協定
1812	進入字
1814	退出字
1816	退出序列
1818	合適受控識別符(SID)
2002	開漏驅動器
2004	開漏驅動器
2006	開漏驅動器
2100	概念圖
2102	處理電路
2104	處理器
2106	儲存器
2108	匯流排介面
2110	匯流排
2112	線介面電路
2114	執行時間影像
2116	軟體模組
2118	使用者介面
2120	分時程式
2122	邏輯電路
2300	圖式
2302	處理電路
2304	電路

2306	電路
2308	電路
2310	電路
2312	線介面電路
2314	多路徑CCle匯流排
2316	處理器
2318	電腦可讀儲存媒體
2320	匯流排
2500	圖式
2502	處理電路
2504	電路
2506	電路
2508	電路
2512	線介面電路
2514	多路徑CCle匯流排
2516	處理器
2518	電腦可讀儲存媒體
2520	匯流排

申請專利範圍

1. 一種資料通信之方法，其包含：

在一第一器件處自一組位元產生一轉變數；

在該第一器件處將該轉變數轉換成一符號序列，其中定時資訊被編碼於該符號序列中之符號之間的轉變中；及

當在一第一操作模式中操作一個二線式串列匯流排時，在該二線式串列匯流排上自該第一器件傳輸該符號序列，其中連續符號之間的每一轉變引起該二線式串列匯流排之一發信狀態的一改變，

其中當該二線式串列匯流排在一第一操作模式時，該符號序列被耦接至該二線式串列匯流排之一第二器件所忽略，及

其中該第二器件經組態而使用該二線式串列匯流排之一第二操作模式用於在該二線式串列匯流排上通信。

2. 如請求項1之方法，其中該轉變數包含一個十二位數的三進位數。

3. 如請求項1之方法，其中將該轉變數轉換成該符號序列包含：

將該組位元轉換至一個三進位轉變數；及

將該三進位轉變數提供至一轉碼器，其中將該三進位轉變器之一最高有效位數優先提供至該轉碼器，將該三進位轉變數之一最低有效位數最後提供至該轉碼器，且按減小之有效性的次序將在該最高有效位數與該最低有效位數之間的中間位數提供至該轉碼器。

4. 如請求項1之方法，其中該轉變數轉換成該符號序列包含：

將該組位元轉換至一個三進位轉變數；及

將該三進位轉變數提供至一轉碼器，其中該三進位轉變數之

一最高有效位數被最後提供至該轉碼器。

5. 如請求項1之方法，其中針對該二線式串列匯流排來定義四種發信狀態，且其中該轉變數之每一位數自三個可用符號中之一者選擇待傳輸於該二線式串列匯流排上之一下一符號，該等三個可用符號中之每一者係不同於正傳輸於該二線式串列匯流排上之一當前符號。
6. 如請求項1之方法，其中被編碼於該符號序列中之定時資訊使得一接收器自該符號序列產生一接收時脈。
7. 如請求項1之方法，其中該二線式串列匯流排為一多用途匯流排，當在該第一操作模式中操作該二線式串列匯流排時其支援使用相機控制介面延伸(CCIe)協定進行之通信，且其中該二線式串列匯流排在該第二操作模式中支援使用積體電路間(I2C)協定進行之通信。
8. 如請求項7之方法，其中在該二線式串列匯流排上傳輸該符號序列包含：

在該第一操作模式中在傳輸於該二線式串列匯流排上之符號序列之間提供一I2C開始條件；

其中該開始條件之定時引起在一經組態用於使用該等I2C協定進行之通信之器件中的接收邏輯之一重設。

9. 如請求項7之方法，其中在該二線式串列匯流排上傳輸該符號序列包含：

在該二線式串列匯流排上傳輸一第一I2C開始條件；

在傳輸該第一I2C開始條件之後，在該二線式串列匯流排上傳輸該符號序列；及

在該二線式串列匯流排上傳輸一第二I2C開始條件，

其中一監視該二線式串列匯流排之I2C接收器在該第一開始條

件之後及在該第二I2C開始條件之前察覺該二線式串列匯流排之一串列時脈線(SCL)上最多6個時脈週期。

10. 如請求項1之方法，其進一步包含：

在該二線式串列匯流排上傳輸一控制序列之後，自該第一操作模式改變至該第二操作模式。

11. 一種裝置，其包含：

一第一器件，其包括：

一匯流排介面，其經調適以將該裝置耦接至一可操作以與複數個其他器件共用之二線式串列匯流排；及一耦接至該匯流排介面之處理電路，該處理電路經組態以：

自一組位元產生一轉變數；

將該轉變數轉換成一符號序列，其中定時資訊被編碼於該符號序列中之符號之間的轉變中；及

當在一第一操作模式中操作一個二線式串列匯流排時，在該二線式串列匯流排上傳輸該符號序列，其中連續符號之間的每一轉變引起該二線式串列匯流排之一發信狀態的一改變，

其中當該二線式串列匯流排在一第一操作模式中時，該符號序列被經耦接至該二線式串列匯流排之一第二器件所忽略，及

其中該第二器件經組態而使用該二線式串列匯流排之一第二操作模式用於在該二線式串列匯流排上通信。

12. 如請求項11之裝置，其中該轉變數包含一個十二位數的三進位數。

13. 如請求項12之裝置，其中該處理電路經組態以藉由以下步驟來將該轉變數轉換成該符號序列：

將該組位元轉換至一個三進位轉變數；及

將該三進位轉變數提供至一轉碼器，

其中該三進位轉變器之一最高有效位數被優先提供至該轉碼器，該三進位轉變數之一最低有效位數被最後提供至該轉碼器，且在該最高有效位數與該最低有效位數之間的中間位數按減小之有效性的次序而被提供至該轉碼器。

14. 如請求項12之裝置，其中該處理電路經組態以藉由以下步驟將該轉變數轉換成該符號序列：

將該組位元轉換至一個三進位轉變數；及

將該三進位轉變數提供至一轉碼器，其中該三進位轉變數之一最高有效位數被最後提供至該轉碼器。

15. 如請求項12之裝置，其中針對該二線式串列匯流排來定義四種發信狀態，且其中該三進位數之每一位數自三個可用符號中之一者選擇待傳輸於該二線式串列匯流排上之一下一符號，該等三個可用符號中之每一者係不同於正傳輸於該二線式串列匯流排上之一當前符號。

16. 如請求項11之裝置，其中被編碼於該符號序列中之定時資訊使得一接收器自該符號序列產生一接收時脈。

17. 如請求項11之裝置，其中該二線式串列匯流排為一多用途匯流排，當在該第一操作模式中操作該二線式串列匯流排時其支援使用相機控制介面延伸(CCIe)協定進行之通信，且其中該二線式串列匯流排在該第二操作模式中支援使用積體電路間(I2C)協定進行之通信。

18. 如請求項17之裝置，其中該處理電路經組態以藉由以下步驟在該二線式串列匯流排上傳輸該符號序列：在該第一操作模式中在傳輸於該二線式串列匯流排上之符號序列之間提供一I2C開始條件，其中該開始條件之定時引起在一經組態用於使用該等I2C

協定進行之通信之器件中的接收邏輯之一重設。

19. 如請求項17之裝置，其中該處理電路經組態以藉由以下步驟在該二線式串列匯流排上傳輸該符號序列：

在該二線式串列匯流排上傳輸一第一I2C開始條件；

在傳輸該第一I2C開始條件之後，在該二線式串列匯流排上傳輸該符號序列；及

在該二線式串列匯流排上傳輸一第二I2C開始條件，

其中一監視該二線式串列匯流排之I2C接收器在該第一開始條件之後及在該第二I2C開始條件之前察覺該二線式串列匯流排之一串列時脈線(SCL)上最多6個時脈週期。

20. 如請求項11之裝置，其中該處理電路經組態以：

在該二線式串列匯流排上傳輸一控制序列之後，自該第一操作模式改變至該第二操作模式。

21. 一種資料通信之方法，且其包含：

當在一第一操作模式中操作一個二線式串列匯流排時，在一第一器件處自該二線式串列匯流排之發信狀態的轉變來得出一接收時脈；

在該第一器件處使用該接收時脈來接收一根據該第一操作模式而在該二線式串列匯流排上傳輸之符號序列，其中該二線式串列匯流排之發信狀態的該等轉變對應於該符號序列中之符號之間的轉變；

在該第一器件處自該符號序列產生一轉變數，其中該轉變數具有多個位數，其中每一位數表示該符號序列中之一對連續符號之間的一轉變；及

在該第一器件處解碼來自該轉變數之資料，

其中當該二線式串列匯流排在一第一操作模式中時，該符號

序列被耦接至該二線式串列匯流排之一第二器件所忽略，及

其中該第二器件經組態而使用該二線式串列匯流排之一第二操作模式用於在該二線式串列匯流排上通信。

22. 如請求項21之方法，其中該轉變數包含一個十二位數的三進位數。
23. 如請求項22之方法，其中針對該二線式串列匯流排來定義四種發信狀態，且其中該三進位數之每一位數表示該二線式串列匯流排上之一對連續發信狀態之間的一關係。
24. 如請求項22之方法，其中該符號序列中之每一符號為由該二線式串列匯流排之該發信狀態定義的四個符號中之一者，且其中該三進位數之每一位數定義該符號序列中之一對連續符號之間的一關係。
25. 如請求項21之方法，其中該二線式串列匯流排為一多用途匯流排，當在該第一操作模式中操作該二線式串列匯流排時其支援相機控制介面延伸(CCIe)通信，且其中該二線式串列匯流排在該第二操作模式中支援積體電路間(I2C)通信，且其中自該二線式串列匯流排接收該符號序列包含：

判定該二線式串列匯流排上之一I2C開始條件；及

根據由該接收時脈定義之定時自該二線式串列匯流排接收該符號序列。

26. 一種裝置，其包含：

一第一器件，其包括：

一匯流排介面，其經調適以將該裝置耦接至一可操作以與複數個其他器件共用之二線式串列匯流排；

一時脈恢復電路，其經組態以自一個二線式串列匯流排之發信狀態的轉變來得出一接收時脈；及

一耦接至該匯流排介面之處理電路，該處理電路經組態以：

使用該接收時脈來接收一根據一第一操作模式而在該二線式串列匯流排上傳輸之符號序列，其中該二線式串列匯流排之發信狀態的該等轉變對應於該符號序列中之符號之間的轉變；

自該符號序列產生一轉變數，其中該轉變數具有多個位數，其中每一位數表示該符號序列中之一對連續符號之間的一轉變；及

解碼來自該轉變數之資料，

其中當該二線式串列匯流排在一第一操作模式中時，該符號序列被耦接至該二線式串列匯流排之一第二器件所忽略，及

其中該第二器件經組態而使用該二線式串列匯流排之一第二操作模式用於在該二線式串列匯流排上通信。

27. 如請求項26之裝置，其中該轉變數包含一個十二位數的三進位數。
28. 如請求項27之裝置，其中針對該二線式串列匯流排來定義四種發信狀態，且其中該轉變數之每一位數表示該二線式串列匯流排上之一對連續發信狀態之間的一關係。
29. 如請求項27之裝置，其中該符號序列中之每一符號為由該二線式串列匯流排之該發信狀態定義的四個符號中之一者，且其中該轉變數之每一位數定義該符號序列中之一對連續符號之間的一關係。
30. 如請求項26之裝置，其中該二線式串列匯流排為一多用途匯流排，當在該第一操作模式中操作該二線式串列匯流排時其支援相機控制介面延伸(CCIe)通信，且其中該二線式串列匯流排在該第二操作模式中支援積體電路間(I2C)通信，且其中自該二線式

串列匯流排接收之該符號序列包含至少12符號且前面為一I2C開始。

圖式

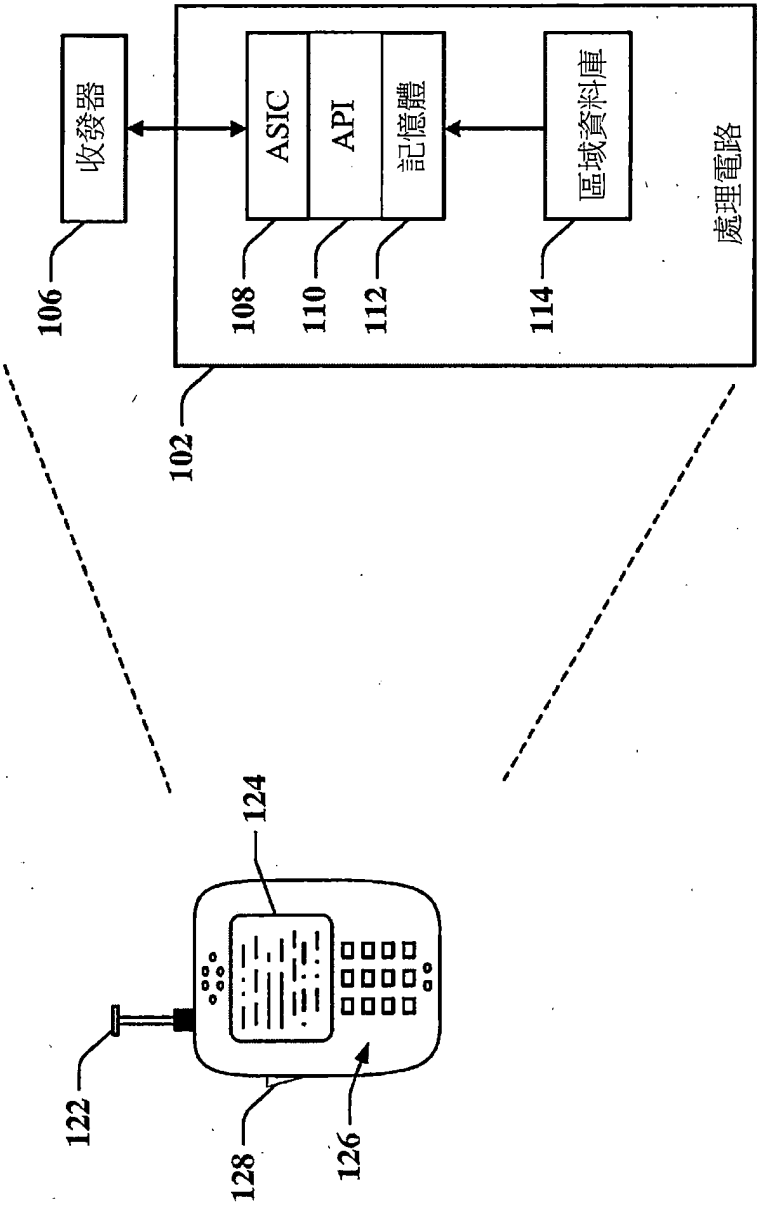


圖1

100

200 →

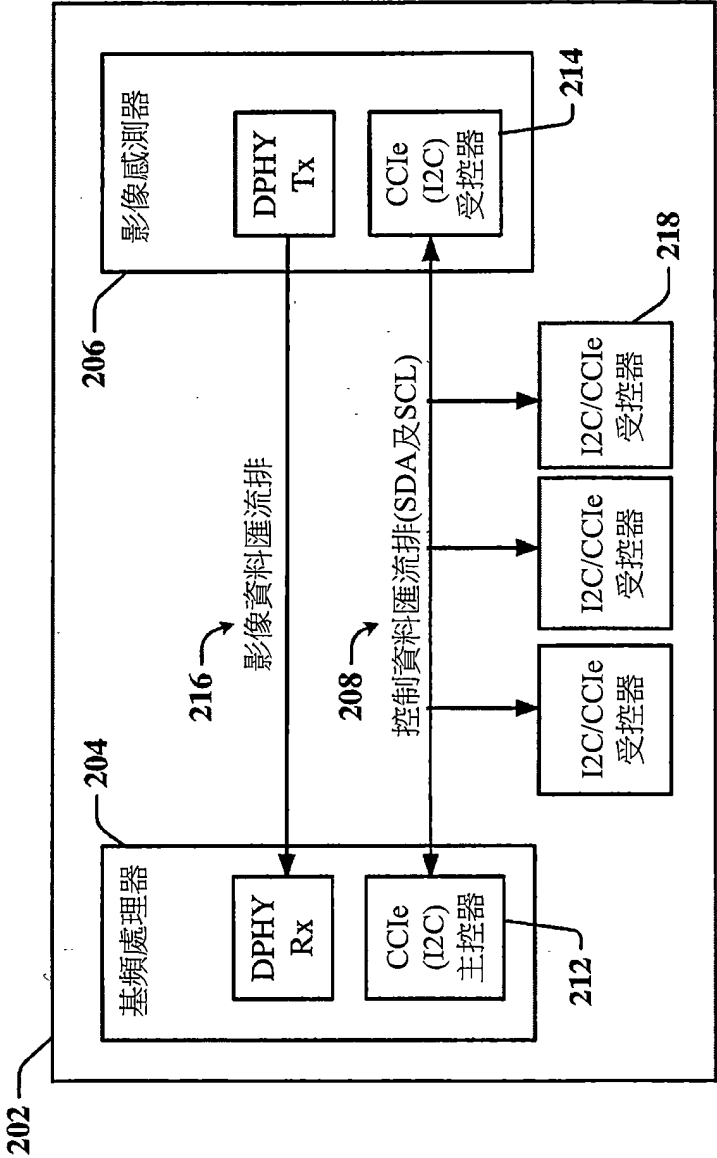


圖2

300 ↗

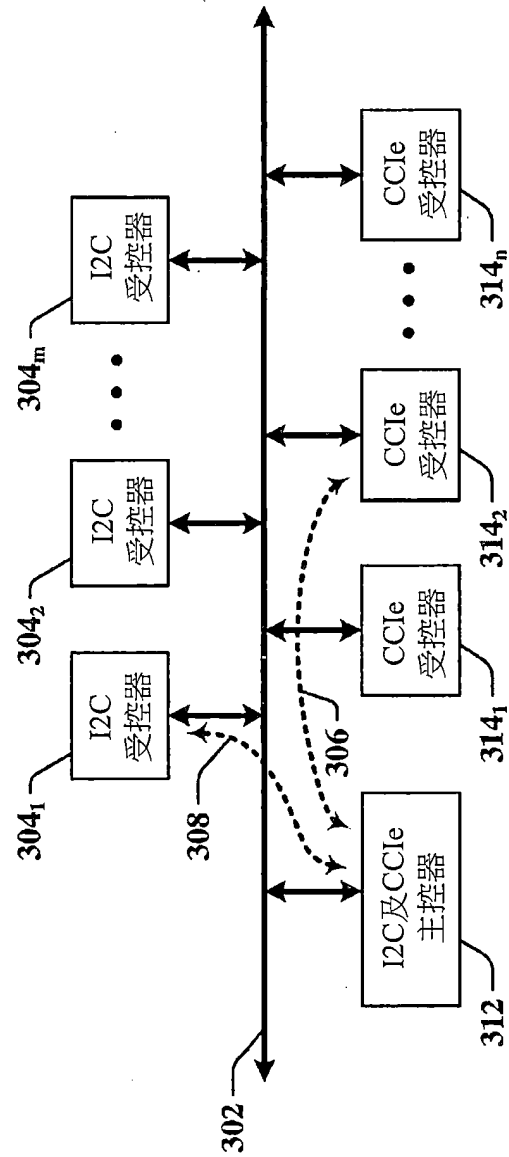


圖3

400

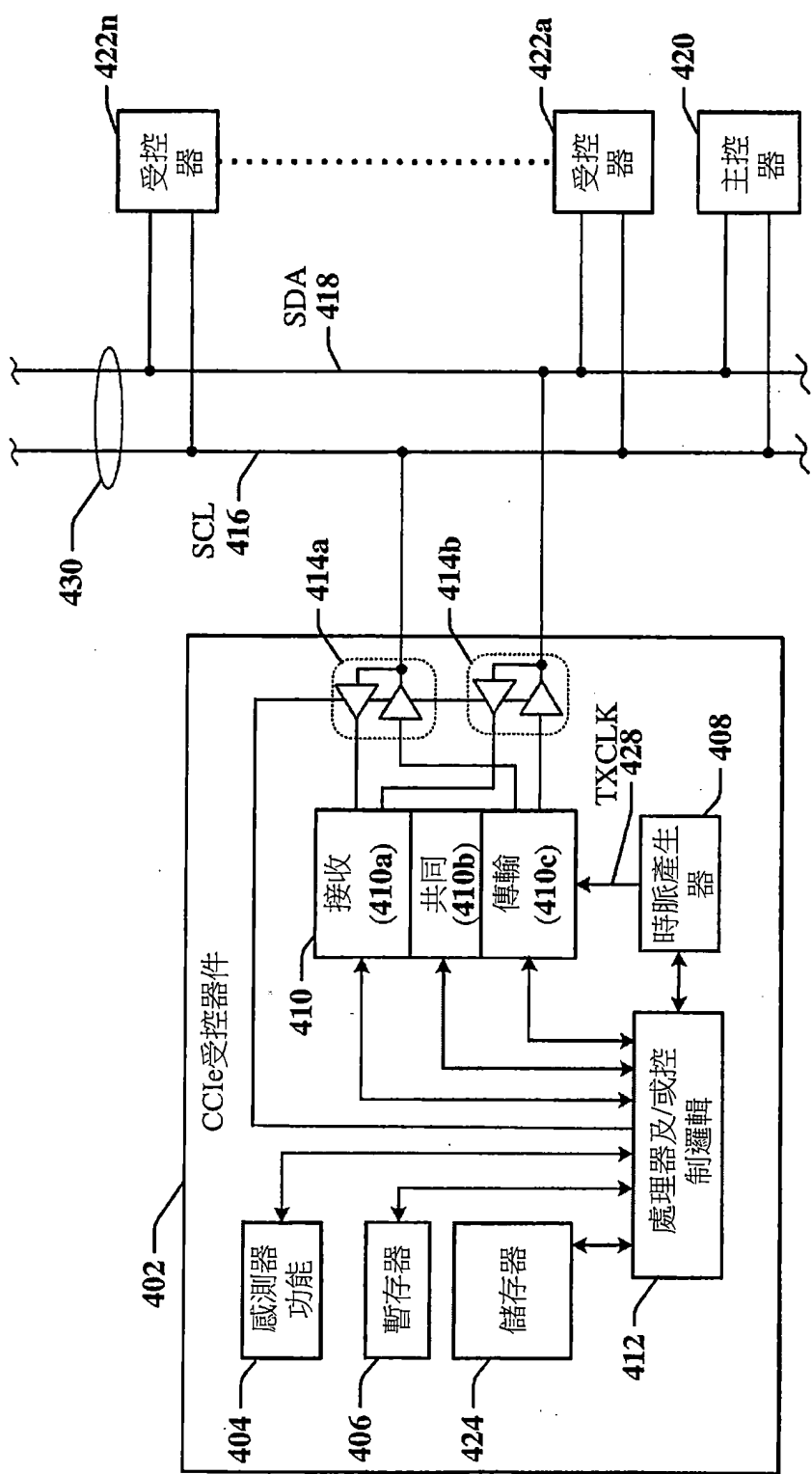


圖4

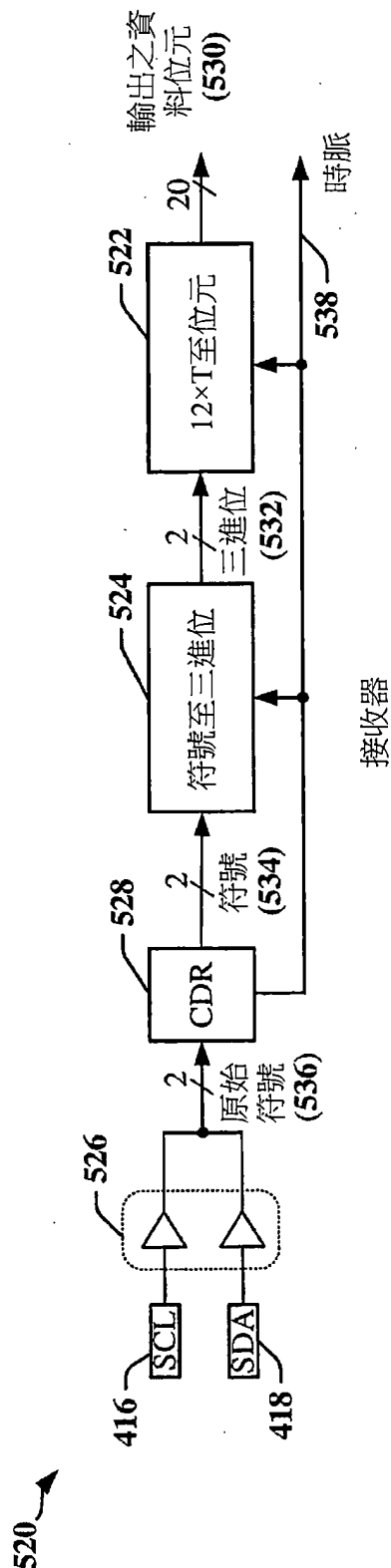
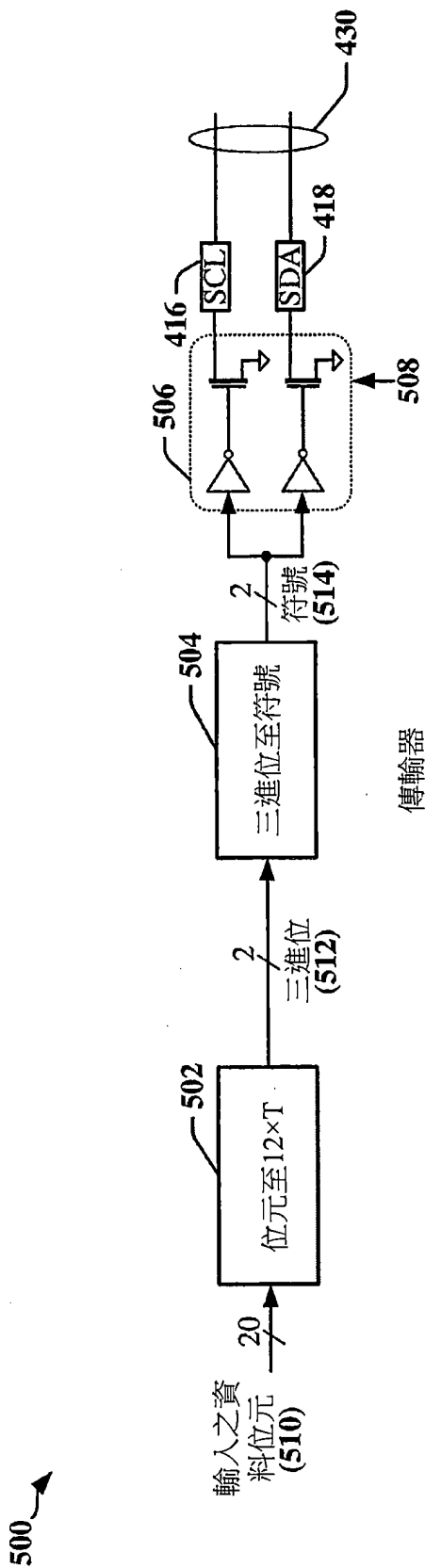


圖5

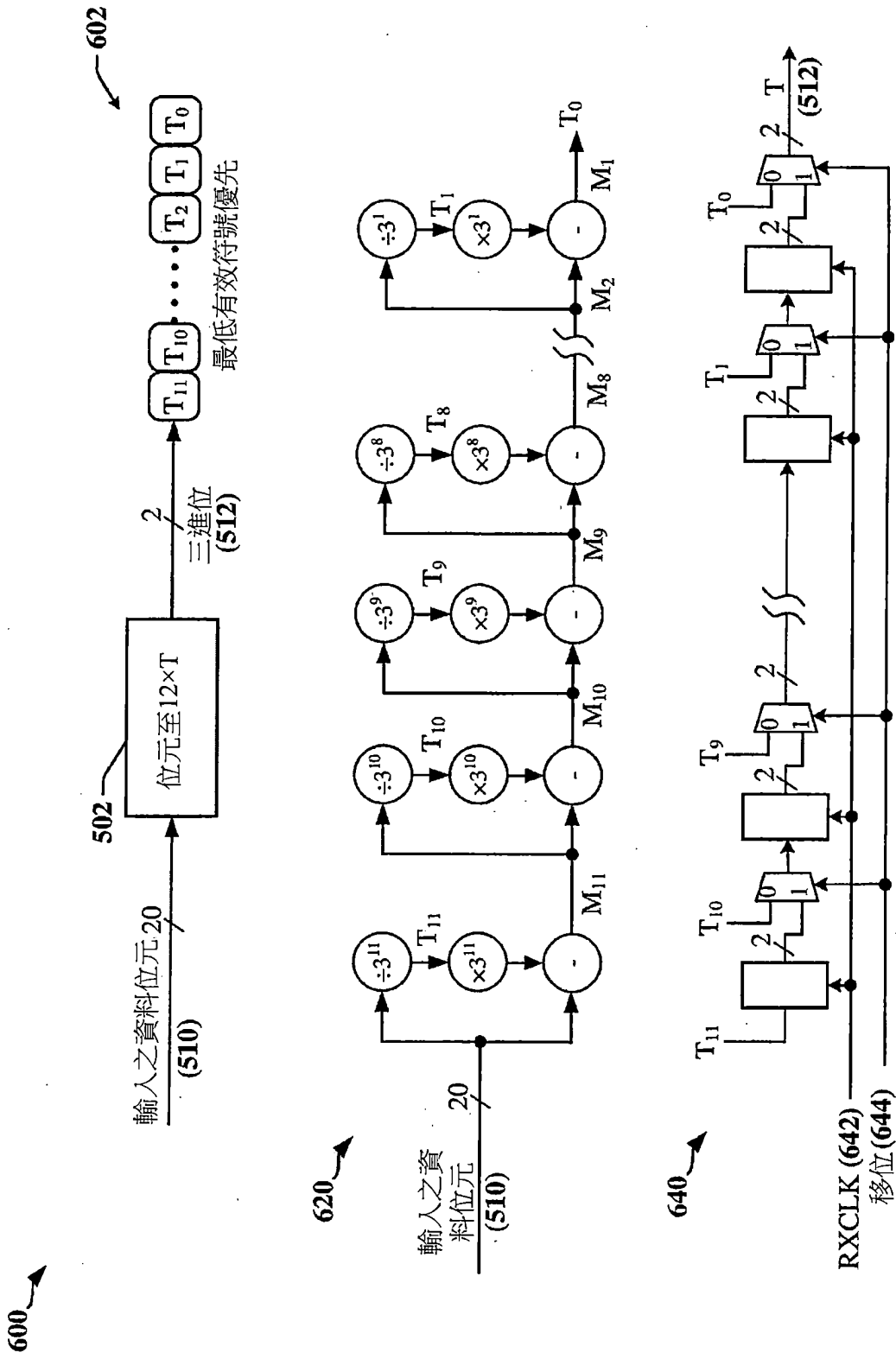


圖6

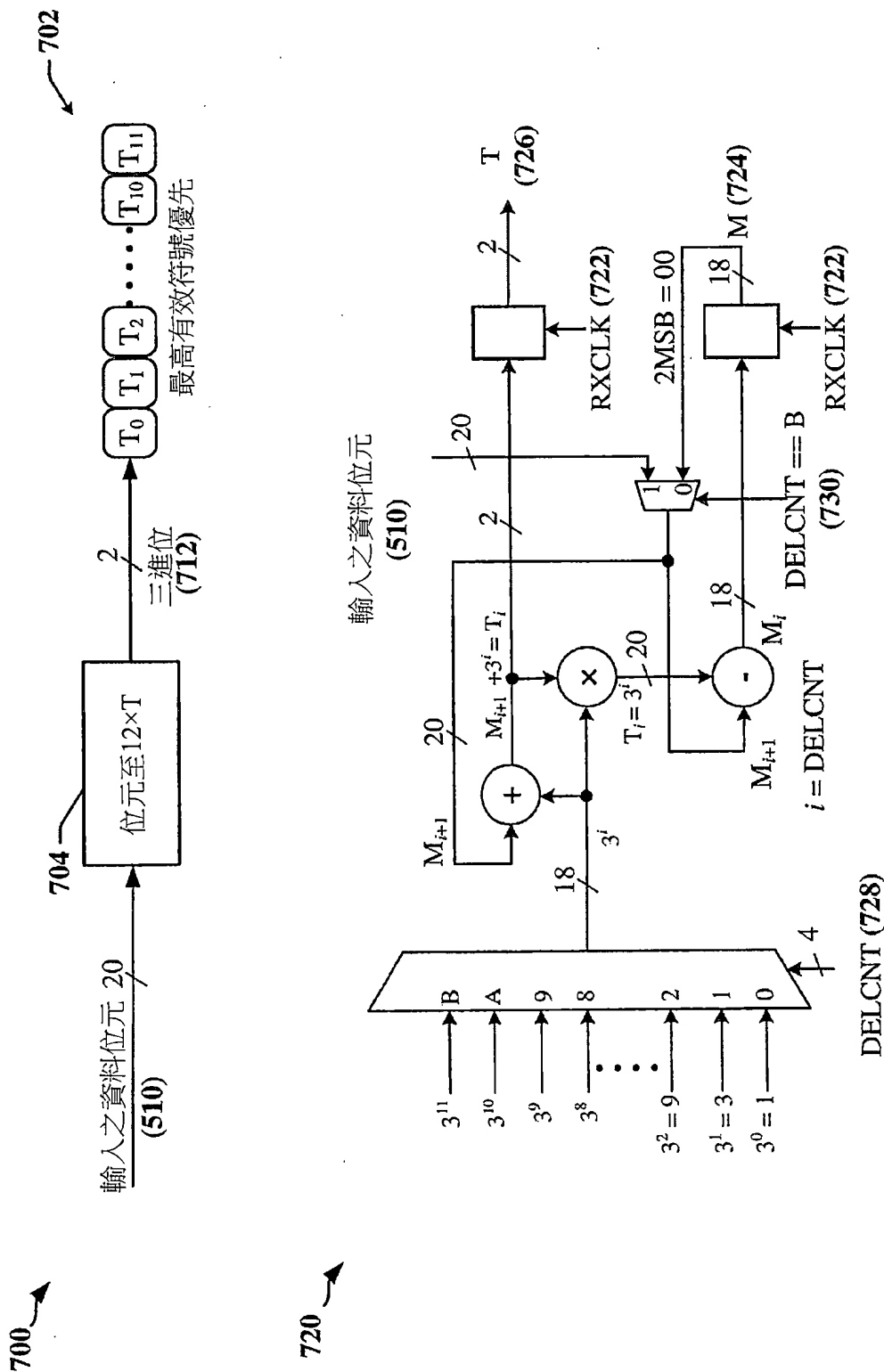


圖7

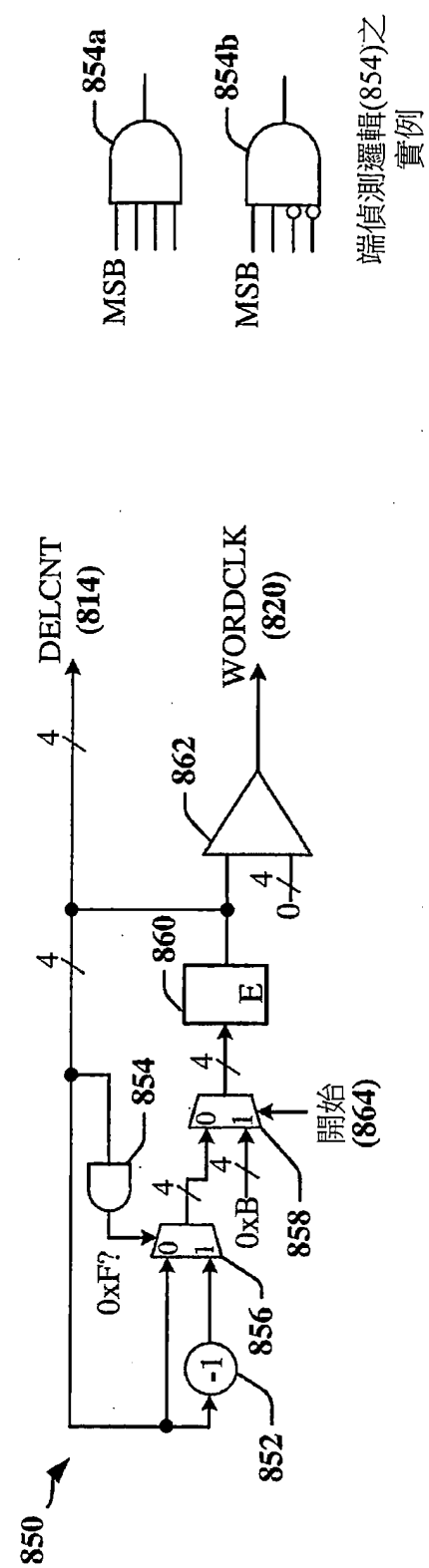
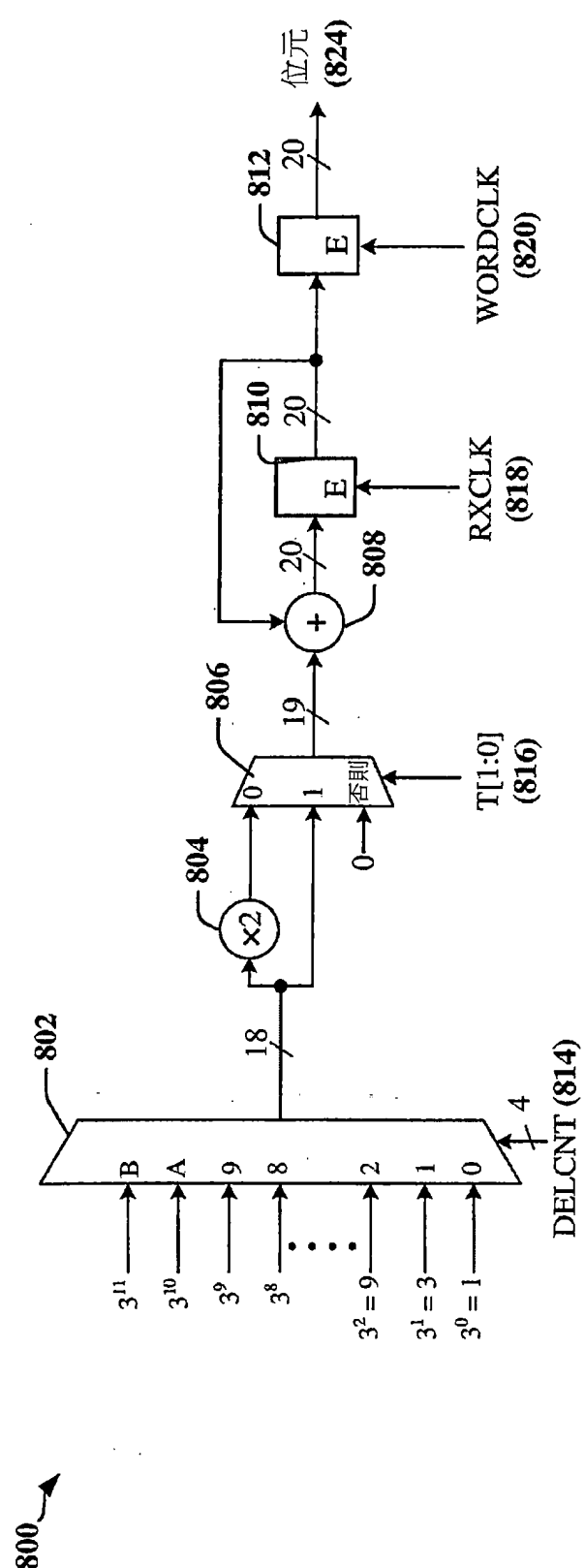
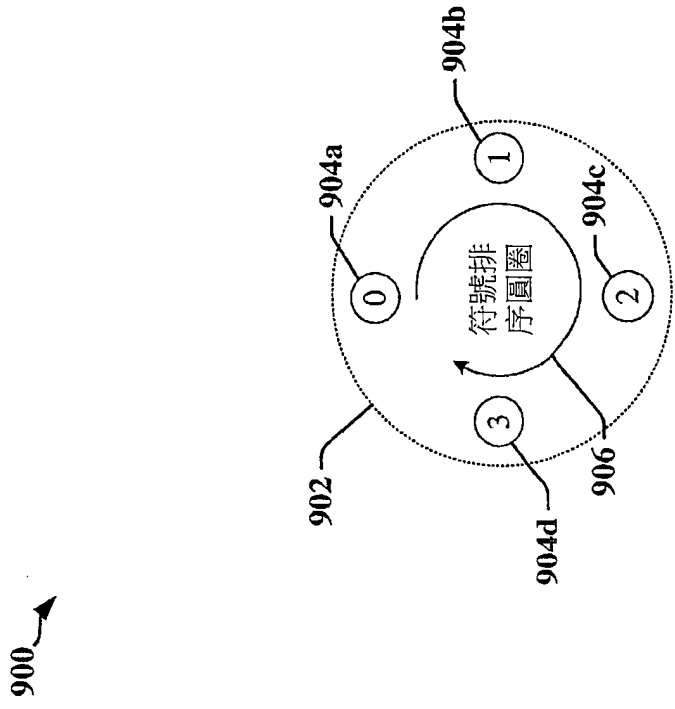


圖8



920 ↗

先前符號Ps (922)	當前符號Cs (924)	轉變數T (926)
0	1	1
	2	2
	3	0
1	2	1
	3	2
	0	0
2	3	1
	0	2
	1	0
3	0	1
	1	2
	2	0

930 → 932 → 934 → 936 →

圖9

1000 ↗

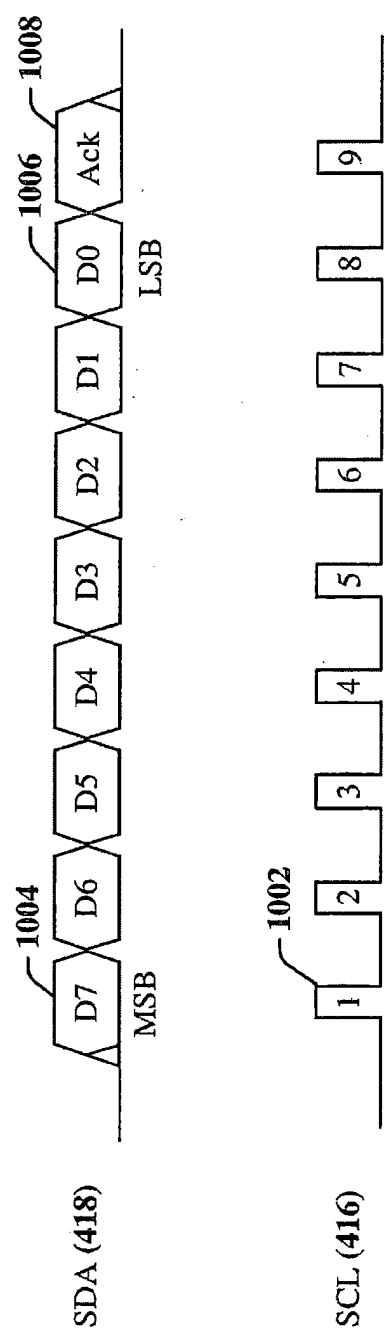
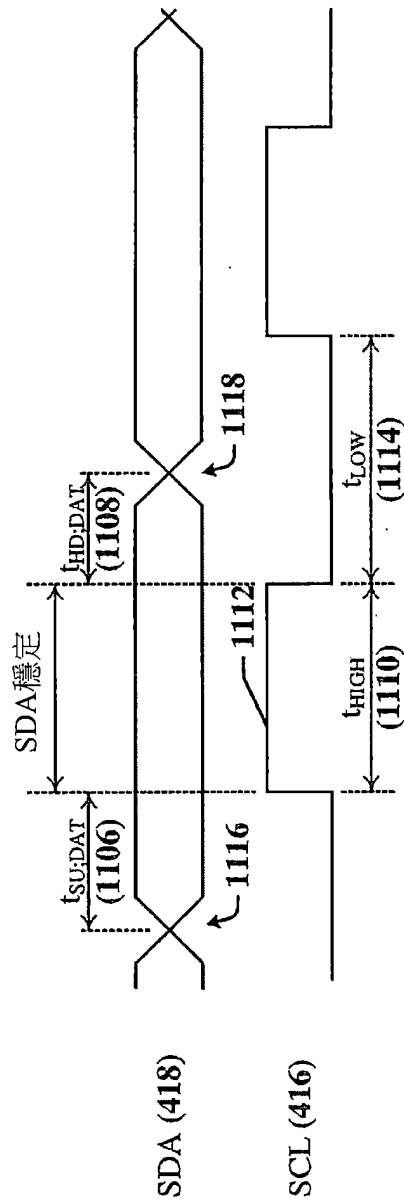


圖10

1100 ↗



1120 ↗

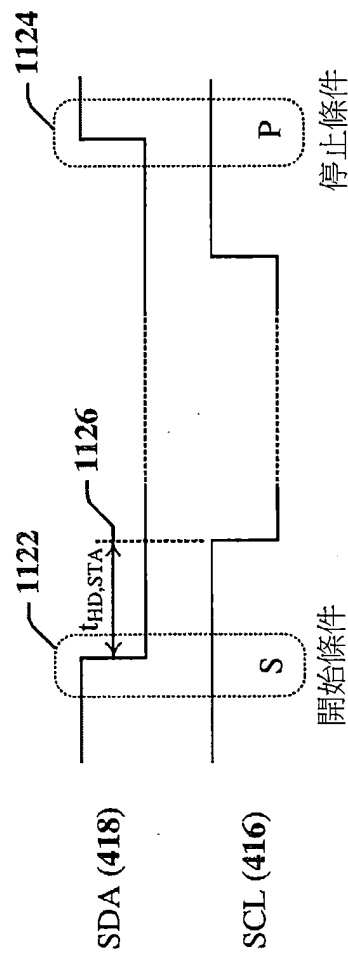


圖 11

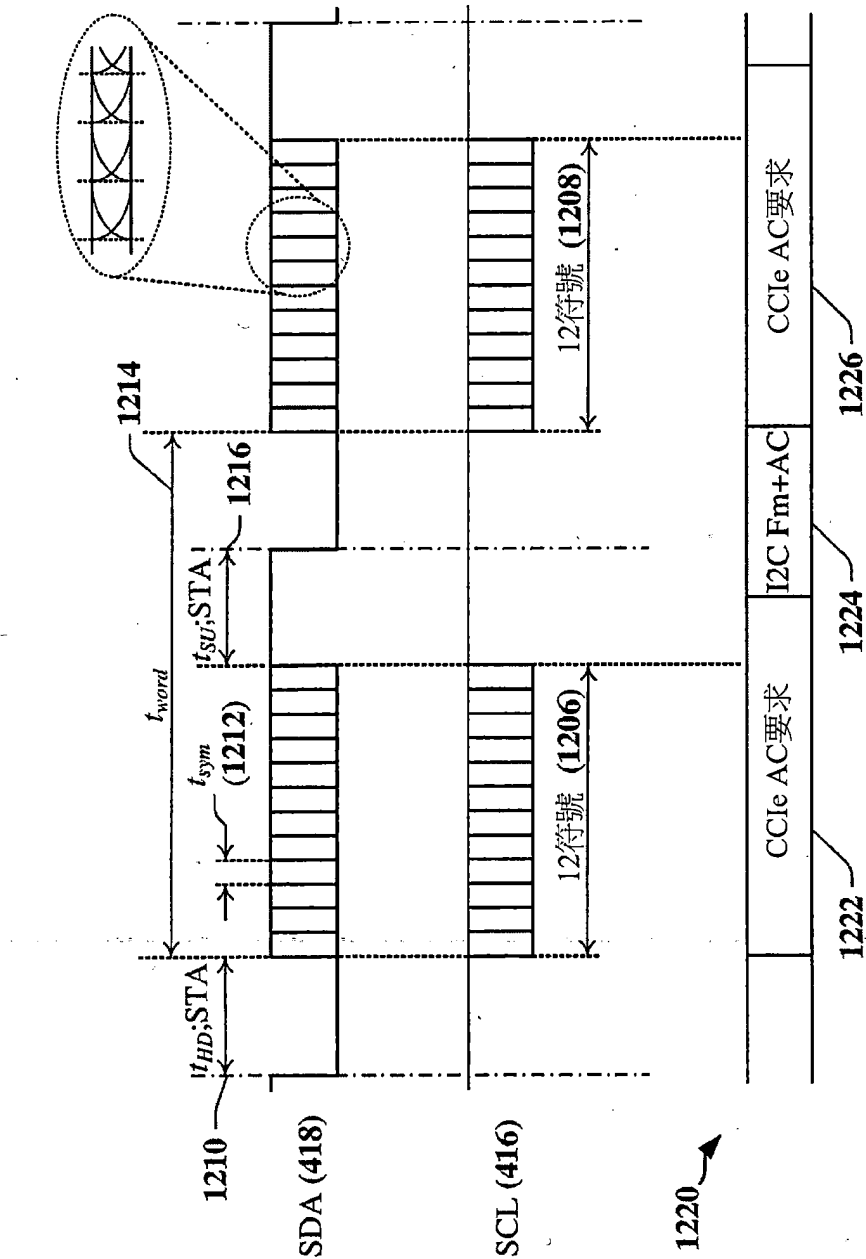
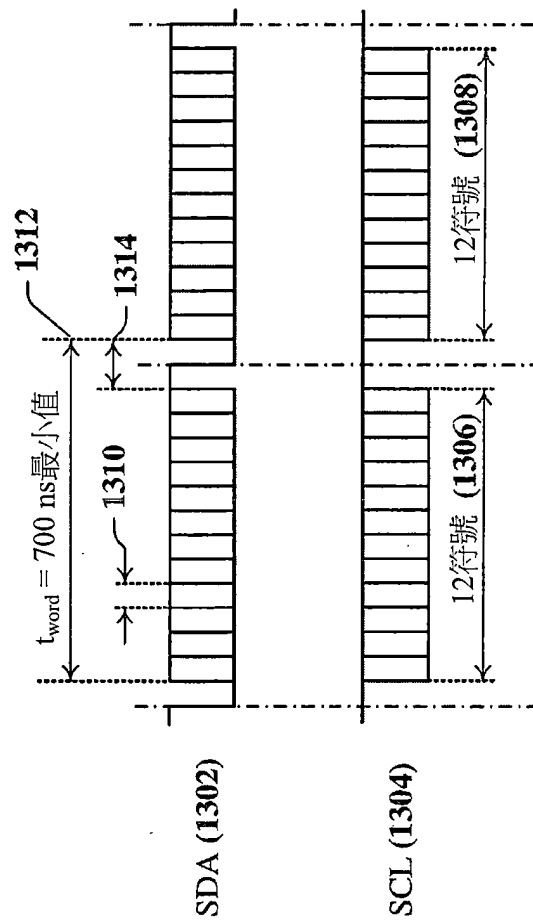


圖12



1400 ↗

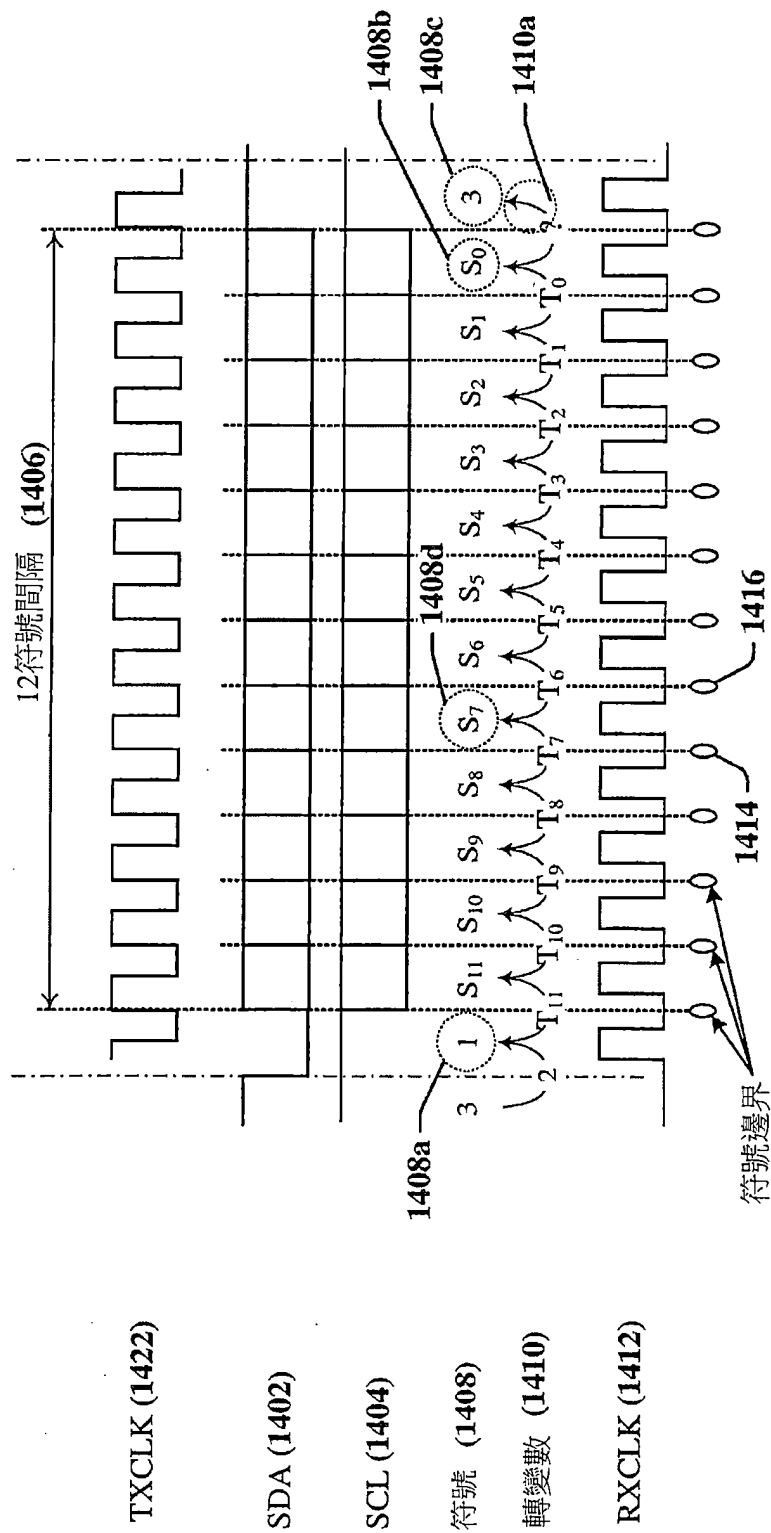


圖14

1500 ↗

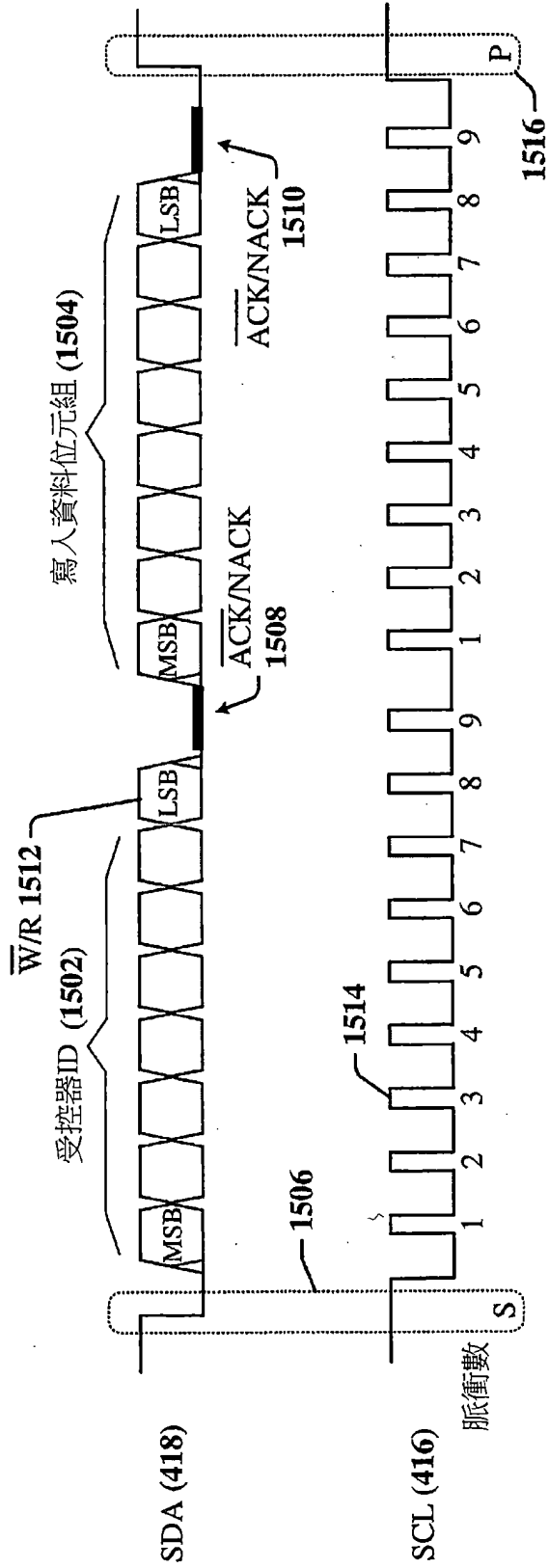


圖15

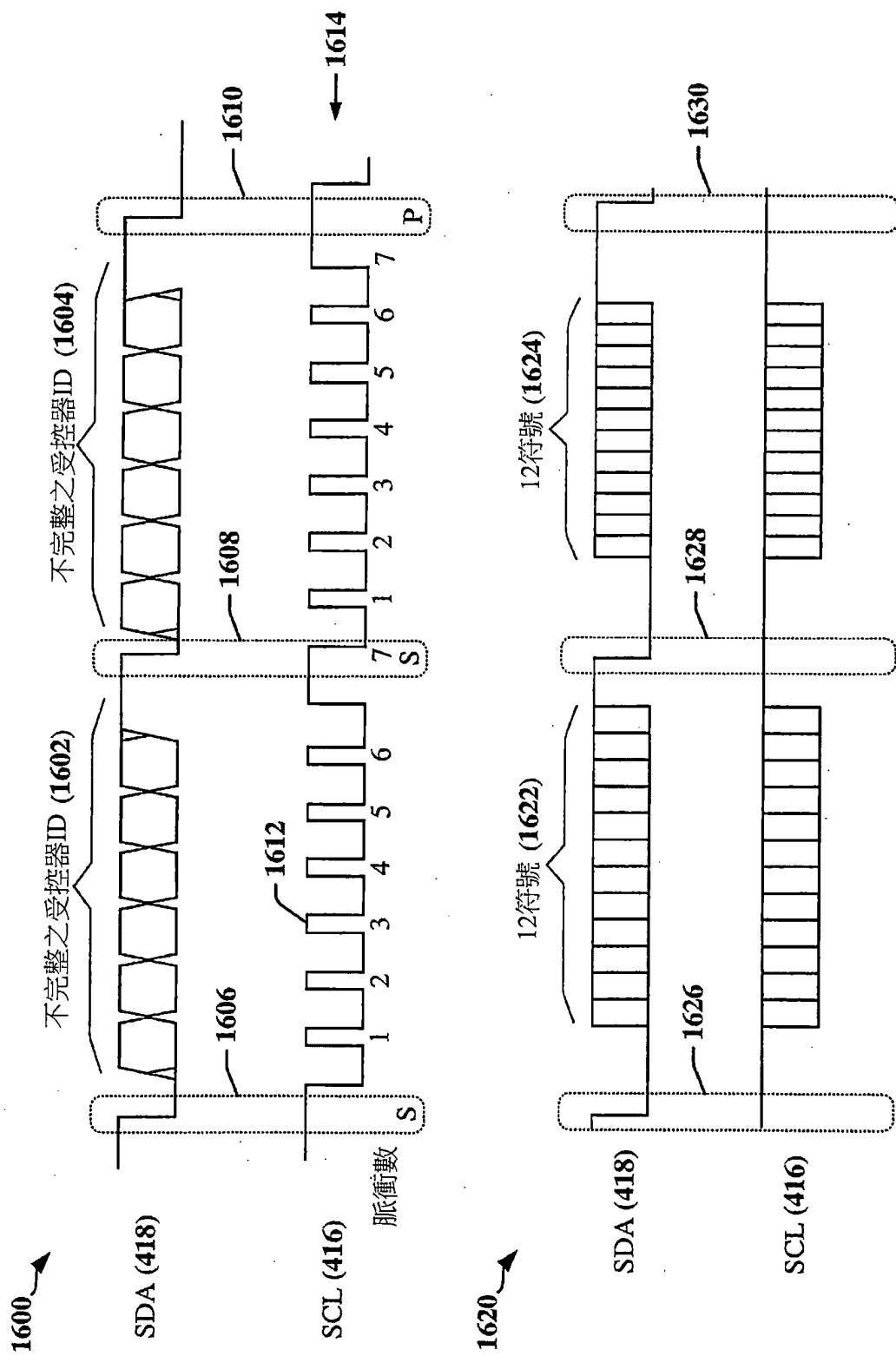


圖16

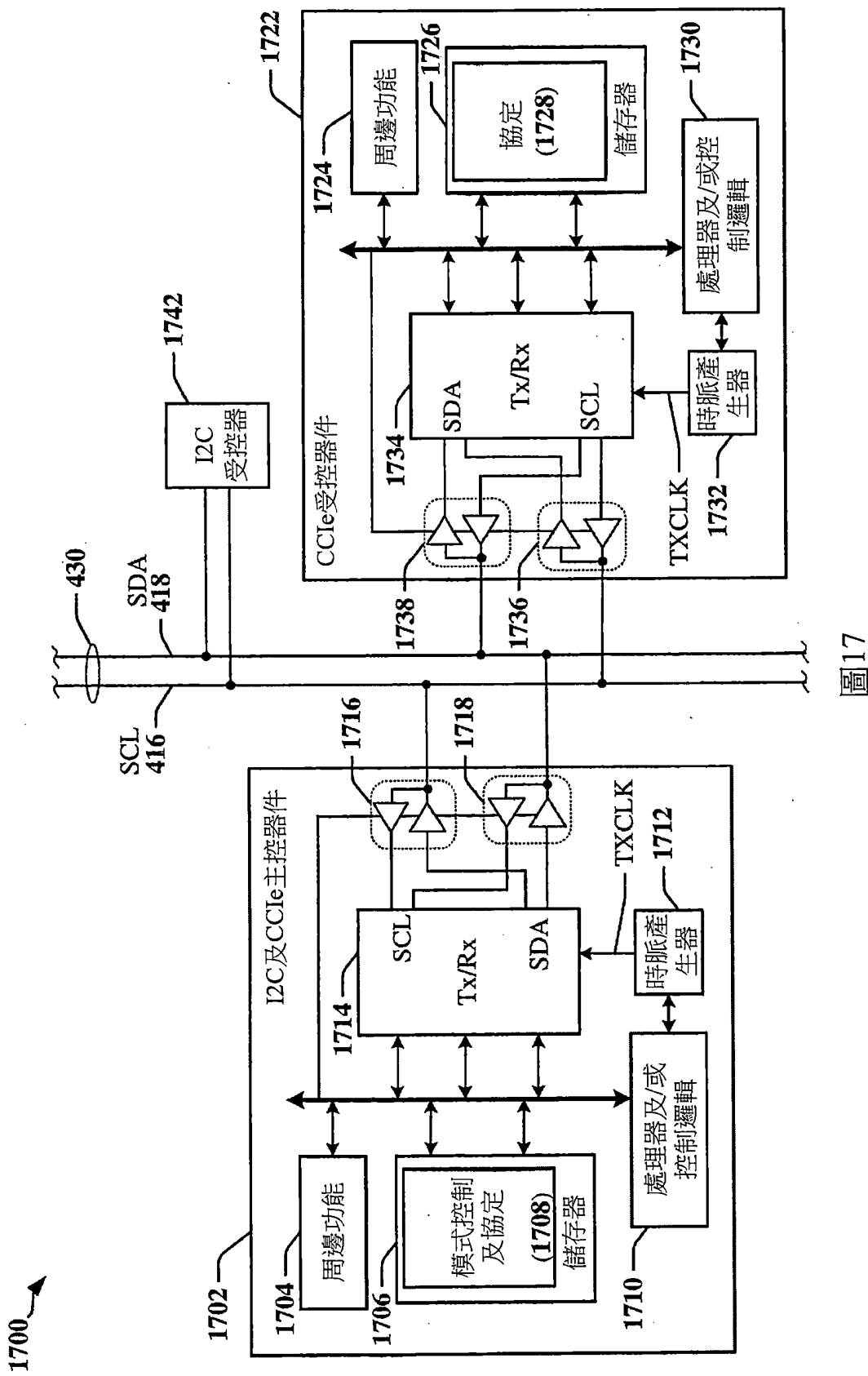


圖17

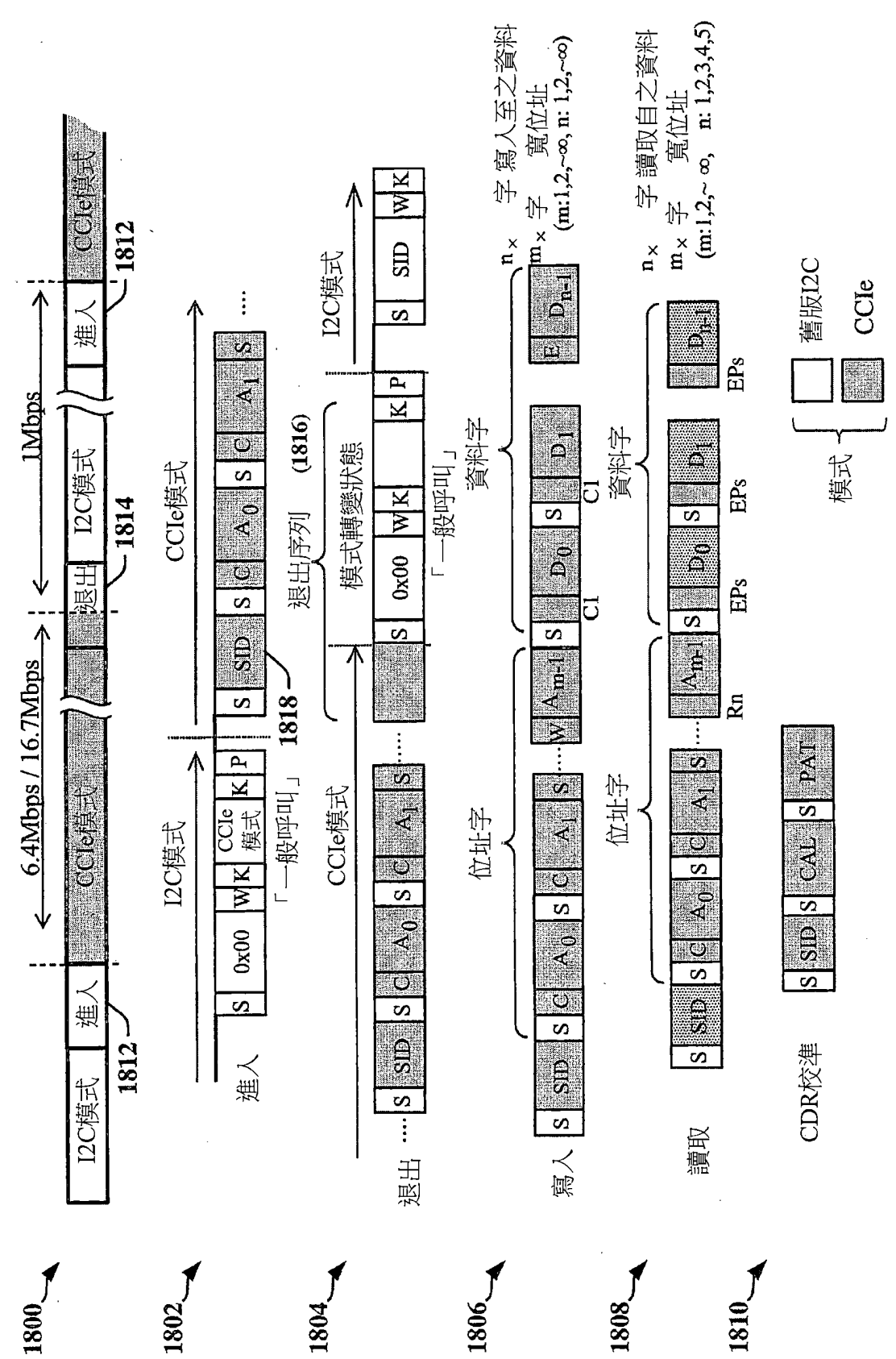
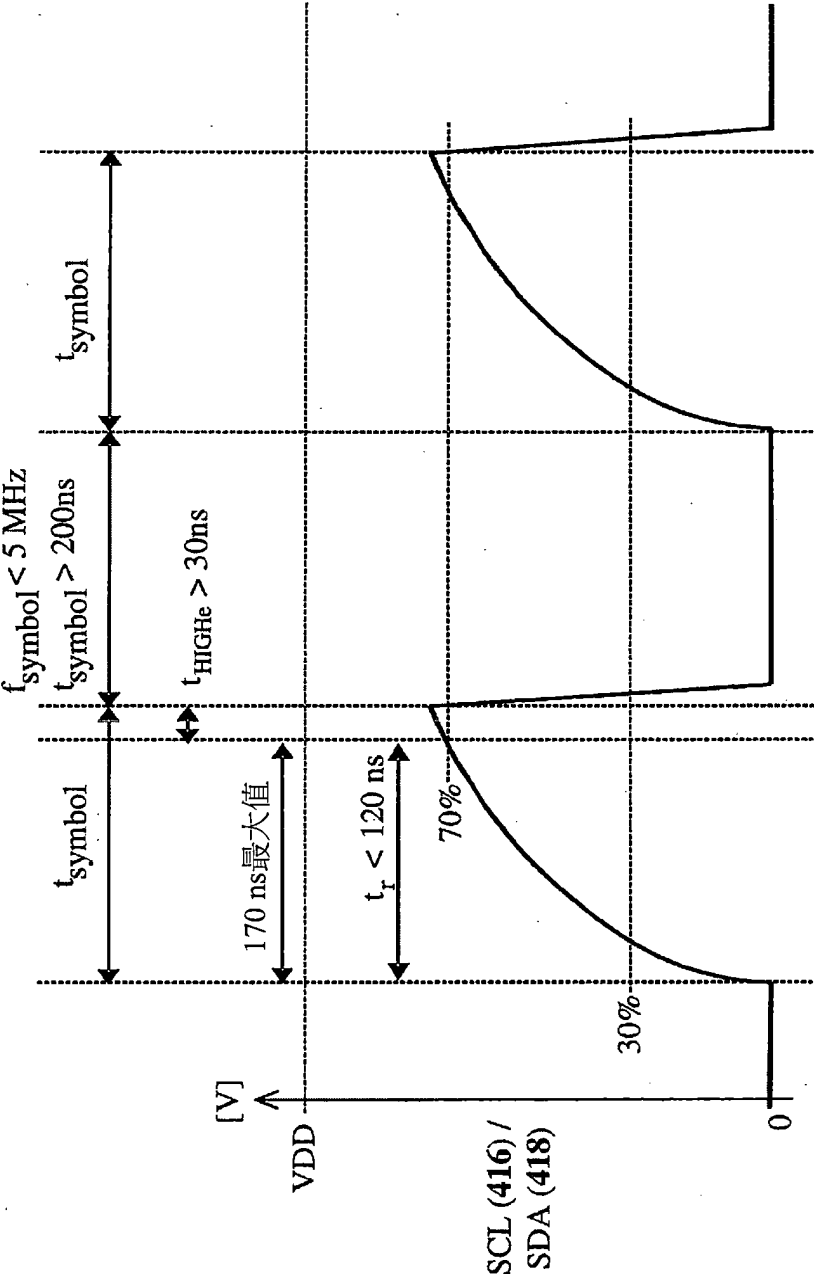


圖18

1900



$1.42 \times t_r$	用於使線從0 V達到70% VDD的時間(對於Fm+而言，最大值為170.4 ns)。
t_{HIGHe}	CCIe最小所需HIGH時間，對於125MHz而言為30 ns以取樣邏輯「1」三次。

圖19

2000 ↗

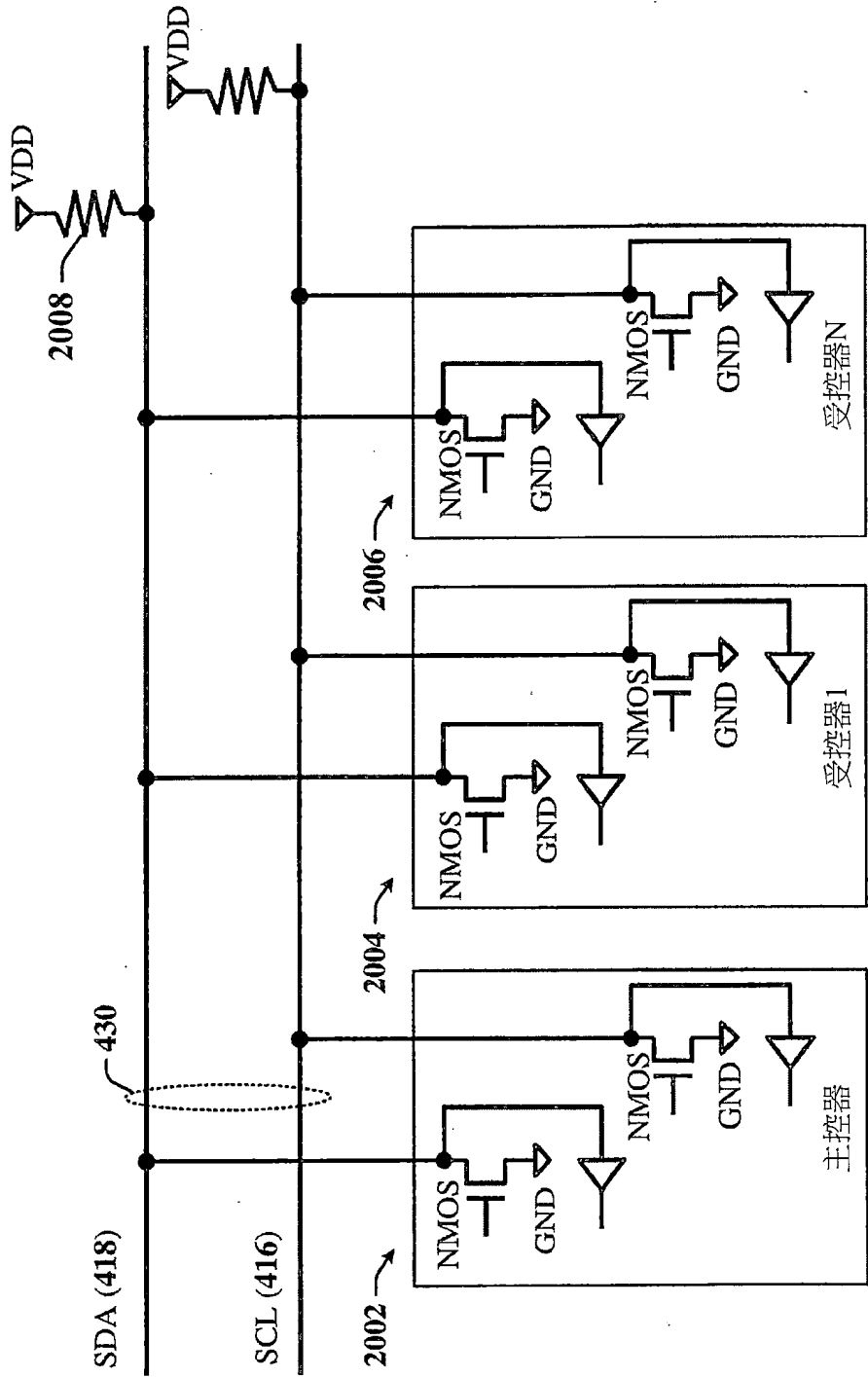


圖20

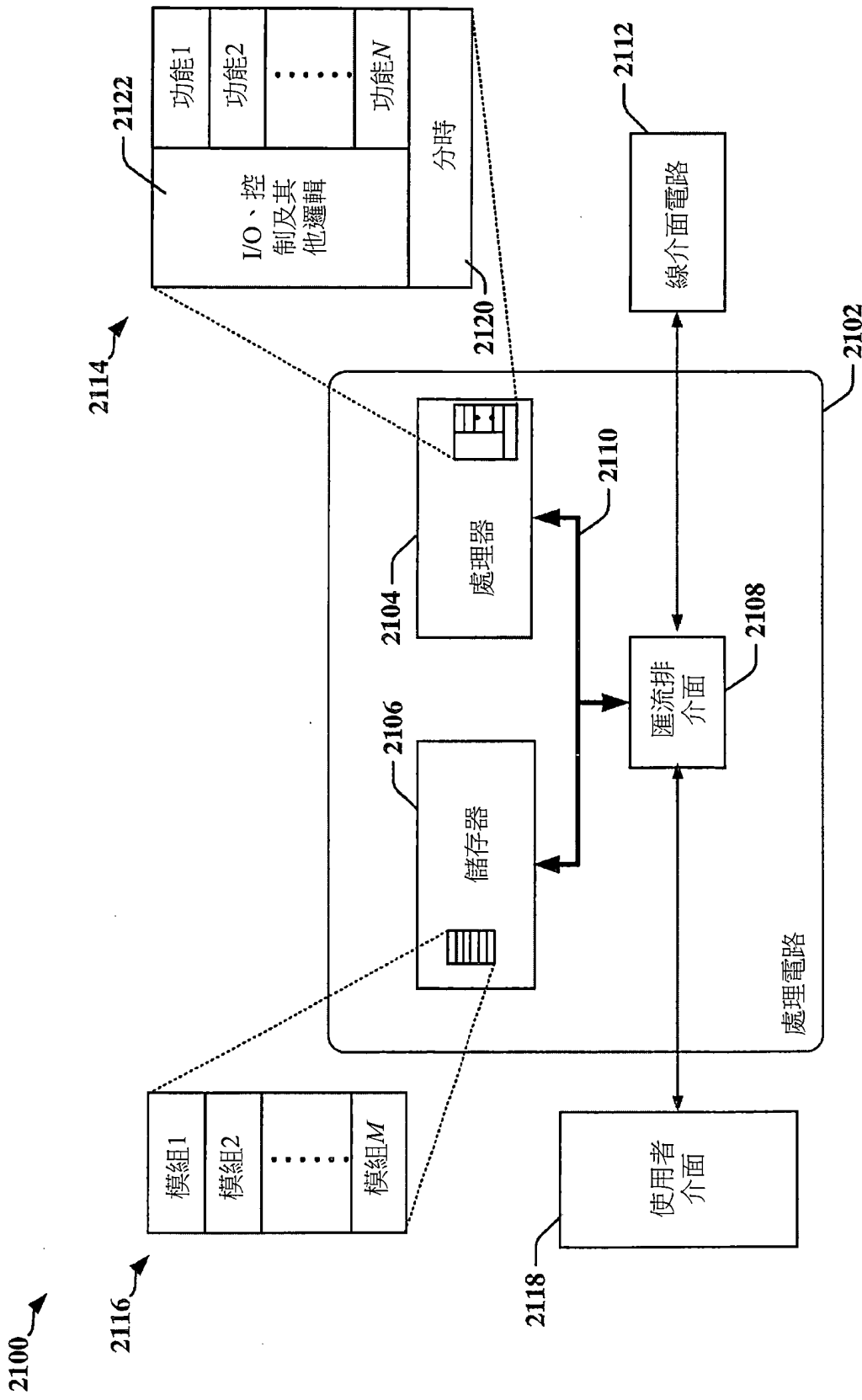


圖21

2200 ↗

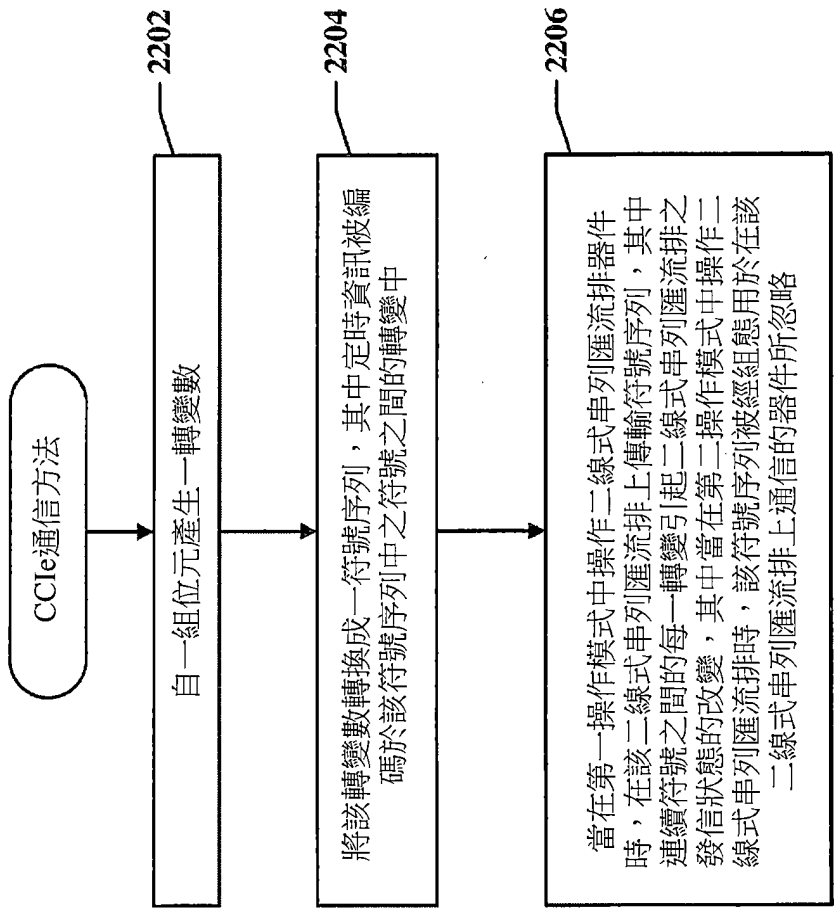


圖22

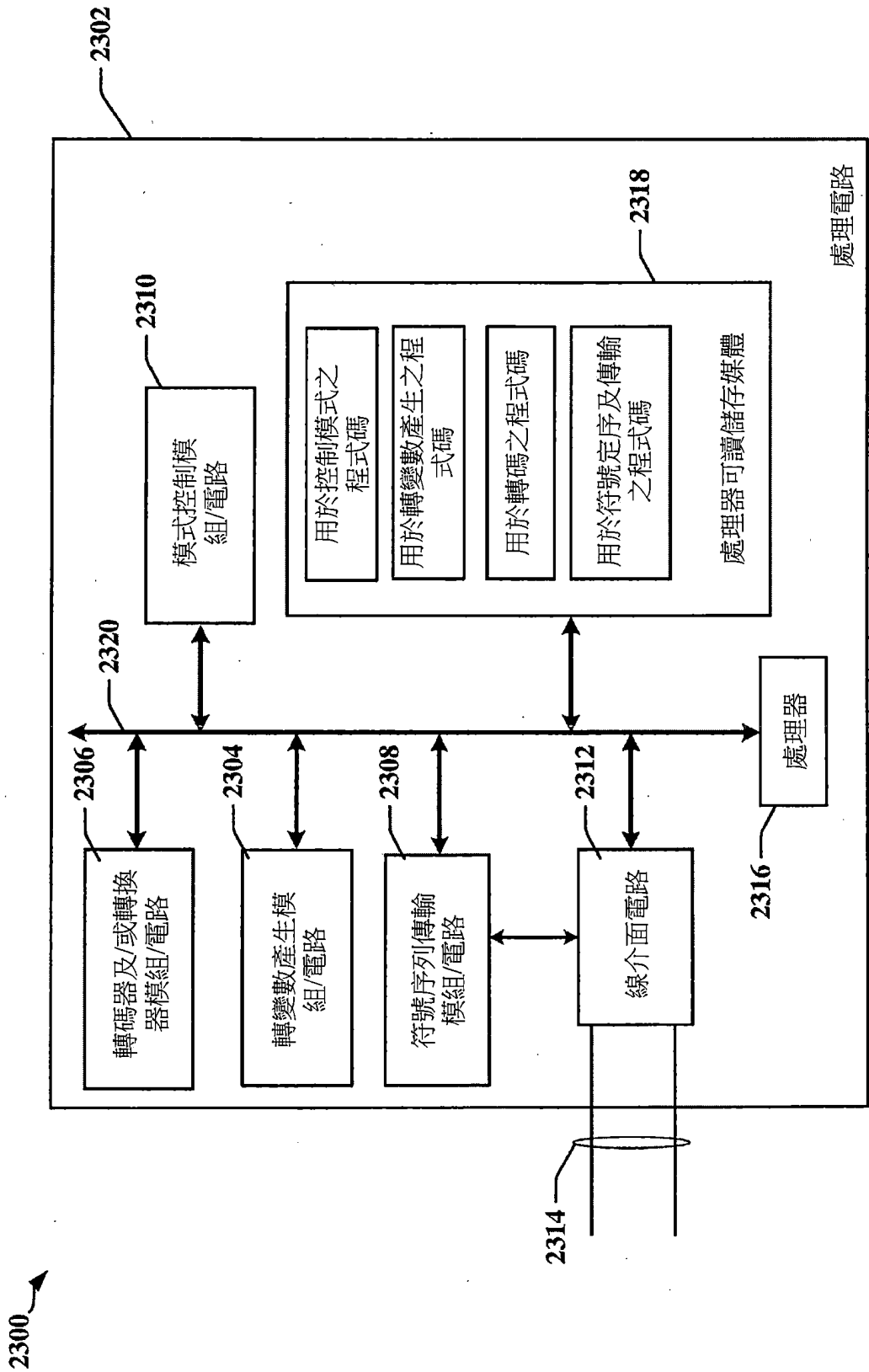


圖23

2400 ↗

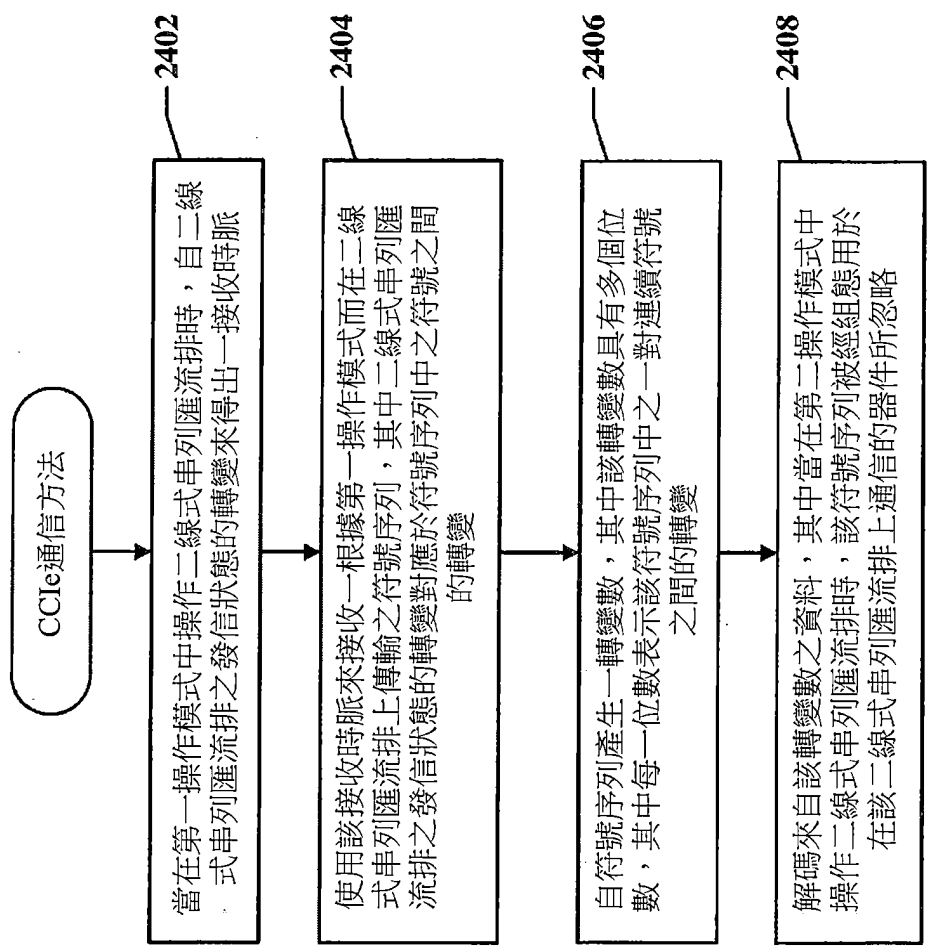


圖24

2500 ↗

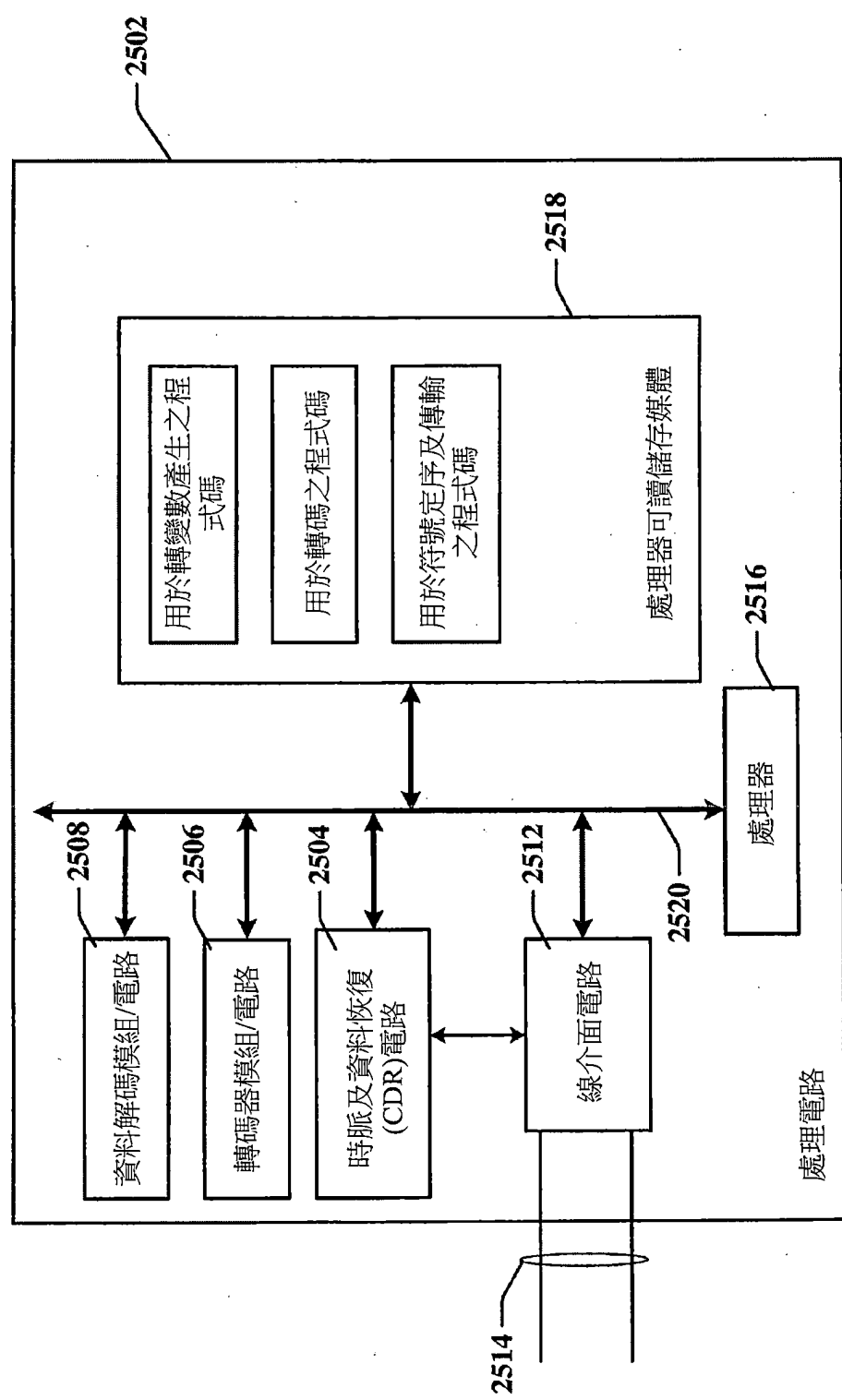


圖25

