

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-19191
(P2007-19191A)

(43) 公開日 平成19年1月25日(2007.1.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 O 2 A	5 F O 3 2
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F O 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F O 5 8
HO 1 L 21/8238 (2006.01)	HO 1 L 21/76 L	5 F O 8 3
HO 1 L 27/092 (2006.01)	HO 1 L 27/10 6 2 5 B	
審査請求 有 請求項の数 10 O L (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2005-198010 (P2005-198010)	(71) 出願人 000005223
(22) 出願日 平成17年7月6日(2005.7.6)	富士通株式会社
	神奈川県川崎市中原区上小田中4丁目1番1号
	(74) 代理人 100091672
	弁理士 岡本 啓三
	(72) 発明者 川村 宏枝
	神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
	Fターム(参考) 5F032 AA35 AA44 AA77 AA84 BB04
	CA14 CA17 CA20 CA24 CA25
	DA23 DA43 DA74
	最終頁に続く

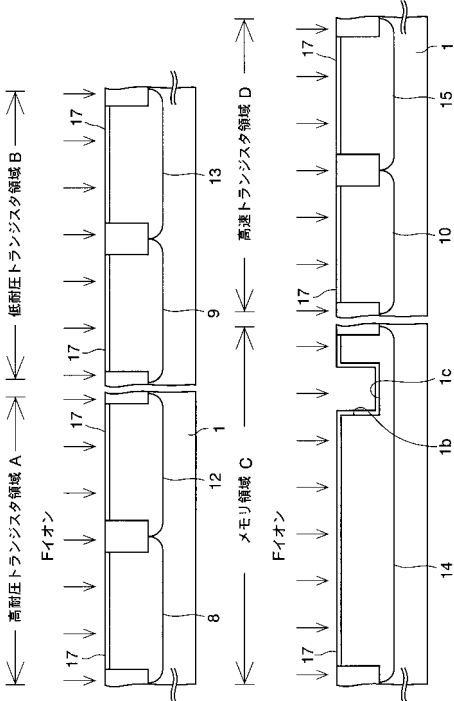
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】 (修正有)

【課題】 半導体基板の溝の側面と底面での膜厚差、及び半導体基板の上面と溝の側面での膜厚差が小さな熱酸化膜を形成することが可能な半導体装置とその製造方法を提供すること。

【解決手段】 シリコン(半導体)基板1にキャパシタ形成溝1bを形成する工程と、少なくともシリコン基板1の上面、及びキャパシタ形成溝1bの底面1cと側面とを熱酸化して第2絶縁膜18を形成する工程とを有し、第2絶縁膜18を形成する工程の前にシリコン基板1の上面とキャパシタ形成溝1bの底面とにフッ素をイオン注入する工程を行うか、或いは第2絶縁膜18を形成する工程を、減圧状態の水蒸気雰囲気中でシリコン基板1の上面、及びキャパシタ形成溝1bの底面1cと側面を熱酸化して行うことを特徴とする半導体装置の製造方法による。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

溝が形成された半導体基板と、
前記半導体基板の上面、及び前記溝の側面と底面を熱酸化して得られた絶縁膜とを有し

、
前記溝の側面における前記絶縁膜の厚さが、前記半導体基板の上面と前記溝の底面のそれぞれにおける前記絶縁膜の厚さの 1 . 3 倍未満であることを特徴とする半導体装置。

【請求項 2】

前記半導体基板の上面と前記溝の底面に、該溝の側面よりも多い注入量でフッ素が導入されたことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記絶縁膜の上にキャパシタ上部電極が形成され、該キャパシタ上部電極、前記絶縁膜、及び前記半導体基板でキャパシタが構成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

半導体基板に溝を形成する工程と、

少なくとも前記半導体基板の上面、及び前記溝の底面と側面を熱酸化して絶縁膜を形成する工程とを有し、

前記絶縁膜を形成する工程の前に前記半導体基板の上面と前記溝の底面とにフッ素をイオン注入する工程を行うか、或いは前記絶縁膜を形成する工程を、減圧状態の水蒸気雰囲気中で前記半導体基板の上面及び前記溝の底面と側面を熱酸化して行うことを特徴とする半導体装置の製造方法。

20

【請求項 5】

前記フッ素をイオン注入する工程は、前記半導体基板の面内方向の垂直方向から前記半導体基板の上面と前記溝の底面とに前記フッ素を注入して行われることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記水蒸気雰囲気中で前記半導体基板の上面と前記溝とを熱酸化する工程は、チャンバ内に水素と酸素とを供給し、前記チャンバ内において加熱された状態の前記半導体基板上で前記水素と前記酸素とを反応させて行われることを特徴とする請求項 4 に記載の半導体装置の製造方法。

30

【請求項 7】

前記水蒸気雰囲気中で前記半導体基板の上面と前記溝とを熱酸化する工程の前に、前記チャンバ内に還元性ガスを導入して、該還元性ガスに前記半導体基板の上面と前記溝を曝す工程を有すると共に、

前記チャンバから前記半導体基板を取り出さずに、引き続いて前記水蒸気雰囲気に前記半導体基板の上面と前記溝とを曝して、該上面と該溝とに前記絶縁膜を形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記還元性ガスとして水素を採用することを特徴とする請求項 7 に記載の半導体装置の製造方法。

40

【請求項 9】

前記絶縁膜の上にキャパシタ上部電極を形成して、該キャパシタ上部電極、前記絶縁膜、及び前記半導体基板でキャパシタを構成する工程を有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 10】

前記絶縁膜の上に導電膜を形成する工程と、

前記導電膜をパターニングして、前記溝の上方の該導電膜を前記キャパシタ上部電極にすると共に、前記半導体基板の第 1 領域における前記導電膜をゲート電極にする工程と、

前記絶縁膜をパターニングして、前記キャパシタ上部電極の下の前記絶縁膜をキャパシ

50

タ誘電体膜にすると共に、前記ゲート電極の下の前記絶縁膜をゲート絶縁膜にする工程とを有することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関する。

【背景技術】

【0002】

シリコン基板を用いた半導体装置では、MOSトランジスタの他に、様々な目的でキャパシタがシリコン基板に形成される。キャパシタの形成方法には幾つかあるが、シリコン基板に溝を形成し、該溝にキャパシタ誘電体膜と上部電極とを積層してキャパシタにする方法では、溝の底面と側面によってキャパシタ電極の面積を稼ぐことができ、大きなキャパシタ容量が得られるという利点がある。 10

【0003】

この場合のキャパシタ誘電体膜としては、溝の内面を熱酸化して得られた熱酸化膜が使用される。

【0004】

ところが、特許文献 1 の段落番号 0022 に開示されるように、このように形成された熱酸化膜は、溝の底面よりも側面の方が 1.3 ~ 2.0 倍程度厚くなることが知られている。特許文献 1 によれば、溝の側面と底面とでシリコンの面方位が異なるためそれらの間でシリコンの面密度に差ができ、これに起因して熱酸化膜の酸化レートが溝の側面と底面とで異なり、上記のような膜厚差が発生するとされている。 20

【0005】

しかしながら、このようにキャパシタ誘電体膜となる熱酸化膜が溝の側面で厚くなると、キャパシタの電極同士の間隔が広まってキャパシタ容量が低下するので、溝によるキャパシタ容量の増大の効果が薄まってしまい、好ましくない。

【0006】

特許文献 1 以外にも、本発明に関連する技術が下記の特許文献 2 ~ 7 にも開示されている。

【0007】

これらのうち、特許文献 2 では、シリコン基板の溝を利用したトレンチキャパシタを形成する場合に、溝のコナ部のみにイオン注入を行い、その後にシリコン基板に熱酸化膜を形成することにより、コナ部でシリコン基板が突き出して熱酸化膜が薄くなる“ホーン現象”を防止し、コナ部でリーク電流が増大するのを防いでいる。 30

【0008】

特許文献 3 では、上記の“ホーン現象”を防止するために、フッ素化合物を含む酸化雰囲気中にシリコン基板を曝し、その後にシリコン基板に熱酸化膜を形成している。

【0009】

特許文献 4 では、トレンチキャパシタにおいて、砒素による増速酸化を利用して溝の底面に厚い熱酸化膜を形成しながら、溝の側面に熱酸化膜を薄く形成している。そして、これらの熱酸化膜をスルー膜として再び溝に不純物をイオン注入することで、溝の底面では厚い酸化膜で不純物を多くブロックして注入量を低減させ、溝の側面では薄い酸化膜で多くの不純物を導入し、溝の側面と底面に均一な深さの不純物領域を形成している。 40

【0010】

特許文献 5 では、シリコン基板の素子分離領域上にキャパシタを形成する場合に、不純物が導入されたシリコンよりなるキャパシタ下部電極を、減圧状態の水蒸気雰囲気中に曝して熱酸化することにより、キャパシタ下部電極表面での増速酸化を抑え、薄い熱酸化膜よりなるキャパシタ絶縁膜を得ている。

【0011】

特許文献 6 では、トレンチキャパシタ用の溝と素子分離用の溝とをシリコン基板に同じ 50

工程で形成している。

【 0 0 1 2 】

特許文献 7 では、シリコン基板の表面を Kr (クリプトン) プラズマに曝して表面終端水素を除去し、次いで、Kr と O_2 との混合ガス雰囲気中でシリコン基板の表面を酸化して熱酸化膜を形成している。

【 特許文献 1 】 特開 2 0 0 3 - 6 9 0 1 0 号公報

【 特許文献 2 】 特開昭 6 3 - 1 3 3 6 6 4 号公報

【 特許文献 3 】 特開昭 6 2 - 1 6 9 3 5 6 号公報

【 特許文献 4 】 特公平 7 - 4 0 5 8 6 号公報

【 特許文献 5 】 特開 2 0 0 3 - 2 2 9 4 9 3 号公報

【 特許文献 6 】 特開 2 0 0 3 - 3 0 9 1 8 2 号公報

【 特許文献 7 】 特開 2 0 0 2 - 2 6 1 0 9 1 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

本発明の目的は、半導体基板の溝の側面と底面での膜厚差、及び半導体基板の上面と溝の側面での膜厚差が小さな熱酸化膜を形成することが可能な半導体装置とその製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 4 】

本発明の一観点によれば、溝が形成された半導体基板と、前記半導体基板の上面、及び前記溝の側面と底面を熱酸化して得られた絶縁膜とを有し、前記溝の側面における前記絶縁膜の厚さが、前記溝の底面における前記絶縁膜の厚さの 1 . 3 倍未満である半導体装置が提供される。

【 0 0 1 5 】

また、本発明の別の観点によれば、半導体基板に溝を形成する工程と、少なくとも前記半導体基板の上面、及び前記溝の底面と側面を熱酸化して絶縁膜を形成する工程とを有し、前記絶縁膜を形成する工程の前に前記半導体基板の上面と前記溝の底面とにフッ素をイオン注入する工程を行うか、或いは前記絶縁膜を形成する工程を、減圧状態の水蒸気雰囲気中で前記半導体基板の上面及び前記溝の底面と側面を熱酸化して行う半導体装置の製造方法が提供される。

【 0 0 1 6 】

次に、本発明の作用について説明する。

【 0 0 1 7 】

本発明によれば、半導体基板の上面と溝の底面にフッ素をイオン注入した後に、該上面と溝とを熱酸化して絶縁膜を形成する。これによれば、フッ素によって半導体基板の上面と溝の底面での酸化速度が速まるので、これらの上面及び底面と、熱酸化膜の成長が速い側面とでの絶縁膜の膜厚差が低減され、側面における絶縁膜の厚さが底面及び上面での厚さの 1 . 3 倍未満にすることが可能となる。

【 0 0 1 8 】

或いは、このようなフッ素のイオン注入に代えて、減圧状態の水蒸気雰囲気中で半導体基板の上面及び溝の底面と側面を熱酸化しても、上記のように膜厚差の小さな絶縁膜を形成することができる。

【 0 0 1 9 】

これらにより、例えば上記の絶縁膜をキャパシタ誘電体膜にする場合、半導体基板の上面、及び溝の底面と側面の全てに絶縁膜を薄く形成することができ、キャパシタの容量を増大させることが可能になる。

【 0 0 2 0 】

なお、フッ素イオン注入を採用する場合は、半導体基板の面内方向の垂直方向から溝の底面にフッ素を注入することにより、半導体基板の上面と溝の底面におけるフッ素の注入

10

20

30

40

50

量を側面よりも増やすことができる。これにより、増速酸化の効果を底面にのみ付与することができ、フッ素の作用で溝の側面での絶縁膜が不必要に厚く成長するのが防止され、該絶縁膜の膜厚差を効率良く低減することが可能となる。

【0021】

一方、減圧状態の水蒸気雰囲気中での熱酸化で上記の絶縁膜を形成する場合は、チャンバ内に水素と酸素とを供給し、このチャンバ内において加熱された状態の半導体基板上で水素と酸素とを反応させ、上記の熱酸化を行うのが好ましい。

【0022】

更に、この場合は、熱酸化の前に、上記のチャンバ内に還元性ガスを導入してその還元性ガスに半導体基板の上面と溝とを曝す工程を行い、その後、チャンバから半導体基板を取り出さずに、引き続いて上記の水蒸気雰囲気に半導体基板と溝とを曝して、これら半導体基板と溝に絶縁膜を形成するのが好ましい。

【0023】

このようにすると、半導体基板の上面や溝の内面に形成されていた自然酸化膜が還元性ガスによって還元されて除去されるので、半導体基板の清浄面がその上面と溝の内面に現れ、その清浄面上に高品位な熱酸化膜よりなる上記の絶縁膜を形成することが可能となり、その絶縁膜をキャパシタ誘電体膜とするキャパシタや、絶縁膜をゲート絶縁膜とするMOSトランジスタの信頼性が向上する。

【0024】

更に、半導体基板の第1領域の絶縁膜をゲート絶縁膜にすると共に、溝の上方の絶縁膜をキャパシタ誘電体膜としてもよい。

【0025】

既述のように、本発明で形成される絶縁膜は、溝の側面と底面とでの膜厚差が小さいので、半導体基板の上面にこの絶縁膜を薄く形成することで、これと同程度に薄い絶縁膜が溝の側面にも自動的に形成される。従って、半導体基板の第1領域の絶縁膜を不必要に薄くせずとも、キャパシタ誘電体膜となるその絶縁膜が溝の内面に薄く形成されるので、第1領域のゲート絶縁膜の耐圧を維持しながらキャパシタの容量を高めることができ、MOSトランジスタの信頼性向上とキャパシタの容量増大とを両立させることが可能となる。

【0026】

しかも、イオン注入されるフッ素は、III族元素やV族元素とは異なり、キャリアの供給源になり難いので、MOSトランジスタの電氣的に悪影響を及ぼさない。

【発明の効果】

【0027】

本発明によれば、半導体基板の上面と溝の底面にフッ素をイオン注入した後に、その上面と溝の内面とを熱酸化して絶縁膜を形成するか、或いは減圧状態の水蒸気雰囲気中で半導体基板の上面及び溝の内面を熱酸化して絶縁膜を形成する。これによれば、溝の側面と底面における絶縁膜の膜厚差と、半導体基板の上面と溝の側面における絶縁膜の膜厚差とが低減されるので、溝の底面におけるのと同様に薄い絶縁膜を側面に形成でき、その絶縁膜をキャパシタ誘電体膜にする場合にキャパシタの容量を増大させることが可能となる。

【発明を実施するための最良の形態】

【0028】

次に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

【0029】

(1) 第1実施形態

図1～図15は、本発明の第1の実施の形態に係る半導体装置の製造途中の断面図である。

【0030】

最初に、図1に示す断面構造を得るまでの工程について説明する。

【0031】

まず、直径が8インチで表面の面方位が(100)のシリコン(半導体)基板1の上面

10

20

30

40

50

を洗浄した後、該上面を熱酸化して厚さ約 10 nmの熱酸化膜 2 を形成し、更にその上に減圧CVD法により窒化シリコン (Si_3N_4) 膜 3 を厚さ約 100 ~ 250 nmに形成する。

【0032】

なお、このシリコン基板 1 は、高耐圧トランジスタ領域A、低耐圧トランジスタ領域B、及び高速トランジスタ領域Dで構成されるロジック領域を有すると共に、メモリセル領域Cを有している。

【0033】

次に、図 2 に示すように、フッ素系のガスをエッチングガスとするRIE(Reactive Ion Etching)により窒化シリコン膜 3 をパターンニングして、素子分離領域となる部分の窒化シリコン膜 3 に第 1 開口 3 a を形成する。更に、このパターンニングでは、メモリ領域Cにおいて後でセルキャパシタが形成される部分の窒化シリコン膜 3 がエッチングされて第 2 開口 3 b が形成される。

10

【0034】

続いて、塩素系のガスをエッチングガスとして使用し、第 1、第 2 開口 3 a、3 b 下の熱酸化膜 2 とシリコン基板 1 とをエッチングし、第 1 開口 3 a の下に素子分離溝 1 a を形成すると共に、第 2 開口 3 b の下にキャパシタ形成溝 1 b を形成する。なお、これらの溝 1 a、1 b の深さは特に限定されないが、本実施形態では例えば 200 nm ~ 400 nmとする。また、これら素子分離溝 1 a とキャパシタ形成溝 1 b の延在方向は特に限定されないが、本実施形態では、これらの溝 1 a、1 b のそれぞれの側面の面方位が (110) となるように、各溝 1 a、1 b を形成する。

20

【0035】

その後、エッチングによって溝 1 a、1 b の表面が受けたダメージを回復させるため、シリコン基板 1 の露出面を熱酸化して、溝 1 a、1 b の表面に厚さ約 10 nmの熱酸化膜 (不図示) を形成する。

【0036】

次に、図 3 に示す断面構造を得るまでの工程について説明する。

【0037】

まず、シランを反応ガスとするHDPCVD(High Density Plasma CVD)法により窒化シリコン膜 3 上に酸化シリコン (SiO_2) 膜を形成し、その酸化シリコン膜で素子分離溝 1 a とキャパシタ形成溝 1 b とを完全に埋め込む。そして、CMP(Chemical Mechanical Polishing)法により窒化シリコン膜 3 上の余分な酸化シリコン膜を研磨して除去し、酸化シリコン膜を各溝 1 a、1 b 内に素子分離絶縁膜 4 として残す。そのような素子分離構造はSTI(Shallow Trench Isolation)とも呼ばれる。

30

【0038】

その後、素子分離絶縁膜 4 の緻密化処理として、窒素雰囲気中で基板温度を 1000 とするアニールを行うのが好ましい。

【0039】

次に、図 4 に示すように、シリコン基板 1 の上側全面にフォトリソを塗布し、それを露光、現像することにより、キャパシタ形成溝 1 b の上に窓 6 a を備えた第 1 レジストパターン 6 を形成する。

40

【0040】

そして、 C_4F_8 、Ar、CO、及び O_2 の混合ガスをエッチングガスとするプラズマエッチングにより、キャパシタ形成溝 1 b 内に形成された素子分離溝 4 を窓 6 a を通じてエッチングして除去する。このとき、キャパシタ形成溝 1 b 内の全ての素子分離絶縁膜 4 を除去する必要は無く、その一部がキャパシタ形成溝 1 b の底面に残っていてもよい。

【0041】

この後に、第 1 レジストパターン 6 は除去される。

【0042】

次に、図 5 に示すように、熱燐酸で窒化シリコン膜 3 と熱酸化膜 2 とを除去してシリコン基板 1 の清浄面を露出させ、再びシリコン基板 1 の露出面に厚さ約 10 nmの熱酸化膜を

50

形成し、それを保護膜 7 とする。

【 0 0 4 3 】

そして、この保護膜 7 をスルー膜にしながら、n型不純物、例えばリン又は砒素をシリコン基板 1 にイオン注入して、シリコン基板 1 に第 1 ~ 第 4 n ウェル 1 2 ~ 1 5 を形成する。これらのウェルのうち、第 3 n ウェル 1 4 は、メモリ領域 C においてキャパシタ形成溝 1 b よりも深く形成される。また、残りの n ウェルは、各トランジスタ領域 A、B、D において p 型 MOS トランジスタが形成される部分に形成される。

【 0 0 4 4 】

更に、これと同様にして、ボロン等の p 型不純物をシリコン基板 1 にイオン注入して、各トランジスタ領域 A、B、D において n 型 MOS トランジスタが形成される部分に第 1 ~ 第 3 p ウェル 8 ~ 1 0 を形成する。 10

【 0 0 4 5 】

次いで、第 1 ~ 第 4 n ウェル 1 2 ~ 1 5 と第 1 ~ 第 3 p ウェル 8 ~ 1 0 に対してチャンネルドープや閾値調整用のイオン注入を行った後、窒素雰囲気中で基板温度を 9 0 0 ~ 1 0 5 0 とするアニールを行い、各ウェル 8 ~ 1 0、1 2 ~ 1 5 内の不純物を拡散させる。

【 0 0 4 6 】

なお、上記した n 型不純物と p 型不純物の打ち分けは不図示のレジストパターンを用いて行われ、イオン注入が終了した後にそのレジストパターンは除去される。

【 0 0 4 7 】

続いて、図 6 に示すように、イオン注入のスルー膜として使用した保護膜 7 をウエットエッチングして、シリコン基板 1 の清浄面を再び露出させる。そのウエットエッチングでは、例えばフッ酸 (HF) 溶液がエッチング液として使用される。 20

【 0 0 4 8 】

その後、シリコン基板 1 の表面に付着しているパーティクルや金属等を除去する目的でシリコン基板 1 を薬液で洗浄する。

【 0 0 4 9 】

続いて、図 7 に示すように、基板温度を 7 5 0 ~ 8 5 0 とする条件で、シリコン基板 1 の露出面を熱酸化して厚さ約 5 ~ 8 nm の熱酸化膜を形成し、それを第 1 絶縁膜 1 7 とする。 30

【 0 0 5 0 】

次に、図 8 に示すように、第 1 絶縁膜 1 7 をスルー膜として使用しながら、面内方向の垂直方向からシリコン基板 1 の上側全面にフッ素 (F) をイオン注入することにより、シリコン基板 1 の上面とキャパシタ形成溝 1 b の底面 1 c とにフッ素を導入する。このイオン注入の条件は特に限定されないが、本実施形態では加速エネルギーを 1 keV ~ 2 0 KeV、ドーズ量を $1 0^{14} \sim 1 0^{15} \text{ cm}^{-2}$ にするのが好ましい。

【 0 0 5 1 】

このようなイオン注入の結果、キャパシタ形成溝 1 b の垂直形状に近い側面にフッ素が導入されるのを抑えつつ、半導体基板 1 の上面と底面 1 c とに多くのフッ素が導入され、該上面と底面 1 c でのフッ素の注入量を側面よりも多くすることが可能となる。 40

【 0 0 5 2 】

また、フッ素はその質量が小さいため、このイオン注入時に第 1 絶縁膜 1 7 が受けるダメージは軽度であり、高耐圧トランジスタ形成領域 A において後でゲート絶縁膜となる第 1 絶縁膜 1 7 の劣化は無視し得る。

【 0 0 5 3 】

次いで、図 9 に示すように、シリコン基板 1 の上側全面にフォトリジストを塗布し、それを露光、現像することにより、高耐圧トランジスタ領域 A を覆う第 2 レジストパターン 2 0 を形成する。高耐圧トランジスタ領域 A 以外の領域 B ~ D は、この第 2 レジストパターン 2 0 で覆われず、これらの領域における素子分離絶縁膜 4 と第 1 絶縁膜 1 7 とが露出する。 50

【 0 0 5 4 】

そして、この第2レジストパターン20をエッチングマスクにしながら、フッ酸溶液で領域B~Dにおける第1絶縁膜17をエッチングして除去し、第1絶縁膜17を高耐圧トランジスタ形成領域Aにのみ残すようにする。

【 0 0 5 5 】

そして、第2レジストパターン20を除去した後、シリコン基板1の上面とキャパシタ形成溝1bの内面とを薬液で洗浄し、表面に付着しているパーティクルや金属等を除去する。その薬液としては、硫酸と過酸化水素水との混合溶液であるSPM、アンモニアを過酸化水素水に溶解してなるAPM、及び塩酸と過酸化水素水との混合溶液であるHPMのいずれかを採用し得る。

10

【 0 0 5 6 】

このような洗浄を行った後では、シリコン基板1の表面に、ケミカル酸化膜と呼ばれる自然酸化膜が形成されており、シリコン基板の清浄面がそのケミカル酸化膜に覆われた状態になっている。

【 0 0 5 7 】

そこで、このケミカル酸化膜を除去するために、例えば、急速加熱・急速冷却装置内にシリコン基板1を入れ、減圧下で基板温度を900 ~ 1050 とする条件で、水素雰囲気中でシリコン基板1に対して水素アニールを行う。そのアニール時間は特に限定されないが、60秒以下とするのが好ましい。

【 0 0 5 8 】

そのような水素アニールにより、シリコン基板1の表面のケミカル酸化膜が還元されて除去され、シリコン基板1の清浄面が表出する。

20

【 0 0 5 9 】

次に、図10に示すように、例えば基板温度を750 ~ 850 とする条件で、シリコン基板1の上側全面を再び熱酸化して、各領域B~Dのシリコン基板1の表面に厚さ約2 ~ 5 nmの熱酸化膜を形成し、それを第2絶縁膜18とする。高耐圧トランジスタ形成領域Aでは、この熱酸化によって第1絶縁膜17下のシリコン基板1が酸化して、第1絶縁膜17の膜厚が増加する。

【 0 0 6 0 】

その後、図8で説明したフッ素のイオン注入工程でシリコン基板1が受けたダメージを回復させるために、基板温度を900 以上とする条件下において、N₂雰囲気中でシリコン基板1を熱処理する。

30

【 0 0 6 1 】

続いて、図11に示すように、シリコン基板1の上側全面にフォトリソを塗布し、それを露光、現像することにより、高耐圧トランジスタ領域A、低耐圧トランジスタ領域B、及びメモリ領域Cを覆う第3レジストパターン21を形成する。高速トランジスタ形成領域Dはこの第3レジストパターンで覆われず、該領域における第2絶縁膜18は露出する。

【 0 0 6 2 】

そして、第3レジストパターン21をエッチングマスクにしながら、高速トランジスタ形成領域Dにおける第2絶縁膜18をエッチングして除去し、低耐圧トランジスタ領域Bとメモリ領域Cにのみ第2絶縁膜18を残すようにする。

40

【 0 0 6 3 】

その後、第3レジストパターン21は除去される。

【 0 0 6 4 】

次いで、図12に示すように、基板温度を約750 ~ 850 とする条件で、シリコン基板1の上側全面を再度熱酸化して、高速トランジスタ領域Dのシリコン基板1の表面に厚さ約1 ~ 2 nmの熱酸化膜を形成してそれを第3絶縁膜19とする。この熱酸化では、高速トランジスタ領域D以外の各領域A~Cのシリコン基板1の表面も酸化されるので、既に形成した第1、第2絶縁膜17、18の膜厚が増加する。

50

【 0 0 6 5 】

そして、ここまでの工程により、高耐圧トランジスタ領域A、低耐圧トランジスタ領域B、及び高速トランジスタ領域Cのそれぞれに、後でパターニングされてゲート絶縁膜となる第1～第3絶縁膜17～19がこの順に薄くなるように形成されたことになる。

【 0 0 6 6 】

次に、図13に示す断面構造を得るまでの工程について説明する。

【 0 0 6 7 】

まず、第1～第3絶縁膜17～19の上に、減圧CVD法により多結晶シリコン膜（導電膜）を厚さ約200nmに形成する。その多結晶シリコン膜は、MOSトランジスタのゲート電極となるものであり、in-situで不純物をドーピングしてもよい。その場合、n型MOSトランジスタ形成領域の多結晶シリコン膜にはn型不純物としてリンをドーピングする。そして、p型MOSトランジスタ形成領域の多結晶シリコン膜にはp型不純物としてボロンをドーピングする。

10

【 0 0 6 8 】

次いで、フォトリソグラフィにより多結晶シリコン膜をパターニングして、その多結晶シリコン膜を各領域A～Dにゲート電極23aとして残す。

【 0 0 6 9 】

このとき、メモリ領域Cでは、キャパシタ形成溝1bの内部とその周囲の第2絶縁膜18上に、パターニングされた多結晶シリコン膜がキャパシタ上部電極23bとして残される。

【 0 0 7 0 】

その後、高耐圧トランジスタ領域A、低耐圧トランジスタ領域B、及び高速トランジスタ領域Dのそれぞれにおいて、n型MOSトランジスタを形成する部分のシリコン基板1に、ゲート電極23aをマスクにしながらn型不純物としてリンをイオン注入し、ゲート電極23aと自己整合的に第1～第3n型ソース/ドレインエクステンション24a～24cを形成する。

20

【 0 0 7 1 】

更に、これと同様にして、各領域A～Dでp型MOSトランジスタを形成する部分のシリコン基板1に、p型不純物、例えばボロンをイオン注入して、ゲート電極23aと自己整合的に第1～第4p型ソース/ドレインエクステンション24d～24gを形成する。

【 0 0 7 2 】

なお、上記したイオン注入では、不図示のレジストパターンによってn型不純物とp型不純物の打ち分けが行われる。

30

【 0 0 7 3 】

次に、図14に示す断面構造を得るまでの工程について説明する。

【 0 0 7 4 】

まず、シリコン基板1の上側全面に、CVD法により酸化シリコン膜を厚さ約100～150nmに形成した後、その酸化シリコン膜をエッチバックしてゲート電極23aとキャパシタ上部電極23bの側面に絶縁性サイドウォール26として残す。

【 0 0 7 5 】

このエッチバックでは、絶縁性サイドウォール26の下の第1～第3絶縁膜17～19もエッチングされる。そして、各領域A～Dのゲート電極23aの下でエッチングされずに残った第1～第3絶縁膜17～19は、それぞれこの順に厚さが薄くなる第1～第3ゲート絶縁膜17a～19aとなる。このように異なる膜厚によって、第1～第3ゲート絶縁膜17a～19aの耐圧は、第1ゲート絶縁膜17aが最も高く、第2ゲート絶縁膜18a及び第3ゲート絶縁膜19aの順に耐圧が低くなる。

40

【 0 0 7 6 】

また、キャパシタ上部電極23bの下において、キャパシタ形成溝1bとその周囲に残された第2絶縁膜18は、キャパシタ誘電体膜18bとして使用される。

【 0 0 7 7 】

次いで、絶縁性サイドウォール26をマスクにしてリンや砒素等のn型不純物をシリコ

50

ン基板 1 にイオン注入する。これにより、高耐圧トランジスタ領域 A、低耐圧トランジスタ領域 B、及び高速トランジスタ領域 D のそれぞれにおいて、n 型 MOS トランジスタを形成する部分のシリコン基板 1 には、第 1 ~ 第 3 n 型ソース/ドレイン領域 27 a ~ 27 c が形成される。

【0078】

更に、これと同様にして、各領域 A ~ D で p 型 MOS トランジスタを形成する部分のシリコン基板 1 にボロン等の p 型不純物をイオン注入することにより、これらの領域に第 1 ~ 第 4 p 型ソース/ドレイン領域 27 d ~ 27 g を形成する。

【0079】

次いで、スパッタ法によりコバルト層を形成した後、シリコン基板 1 を加熱してコバルトとシリコンとを反応させ、上記のソース/ドレイン領域 27 a ~ 27 g の表層部分にコバルトシリサイド層 28 を形成する。そのコバルトシリサイド層 28 はゲート電極 23 a とキャパシタ上部電極 23 b の上にも形成され、それによりゲート電極 23 a がポリサイド構造となる。

【0080】

その後に、素子分離絶縁膜 4 の上等で未反応となっているコバルトシリサイド層をウエットエッチングして除去する。

【0081】

ここまでの工程により、高耐圧トランジスタ形成領域 A には、n 型高耐圧 MOS トランジスタ $TR(\text{high})_n$ と p 型高耐圧 MOS トランジスタ $TR(\text{high})_p$ とが形成される。また、低耐圧トランジスタ領域 B には n 型低耐圧 MOS トランジスタ $TR(\text{low})_n$ と p 型低耐圧 MOS トランジスタ $TR(\text{low})_p$ とが形成され、メモリ領域 C には p 型 MOS トランジスタよりなる二つのセルトランジスタ TR_{cell} が形成される。更に、高速トランジスタ形成領域 D には n 型高速 MOS トランジスタ TR_n と p 型高速 MOS トランジスタ TR_p とが形成される。

【0082】

一方、メモリ領域 C には、キャパシタ上部電極 23 b とキャパシタ誘電体膜 18 b とを有するセルキャパシタ Q の基本構造が完成し、シリコン基板 1 がそのセルキャパシタ Q の下部電極として機能する。

【0083】

なお、コバルトシリサイド層 28 を形成する前に、ゲート電極 23 a 越しに斜めからチャンネル不純物を導入することにより、ソース/ドレイン領域 27 a ~ 27 g にポケット領域を形成してもよい。このようなポケット領域を形成すると、上記した各トランジスタの閾値電圧が低くなりすぎるのを抑制することができ、ロールオフ耐性を向上させることが可能になる。

【0084】

次に、図 15 に示す断面構造を得るまでの工程について説明する。

【0085】

まず、減圧 CVD 法により、シリコン基板 1 の上側全面にカバー絶縁膜 30 として窒化シリコン膜を厚さ約 5 ~ 100 nm に形成した後、その上に HDPCVD 法で酸化シリコン膜を約 500 ~ 1500 nm の厚さに形成してそれを第 4 絶縁膜 31 とする。そして、この第 4 絶縁膜 31 の上面を CMP 法により研磨して平坦化し、これらカバー絶縁膜 30 と第 4 絶縁膜 31 とを層間絶縁膜 32 とする。

【0086】

続いて、フォトリソグラフィによりこの層間絶縁膜 32 をパターンニングし、MOS トランジスタの各ソース/ドレイン領域 27 a ~ 27 d の上と、セルキャパシタ Q の上部電極 23 b の上にホールを形成する。次に、そのホールの内面と層間絶縁膜 32 の上面に、グルー膜として窒化シリコン膜をスパッタ法により形成し、更にそのグルー膜の上に、六フッ化タングステンを反応ガスとする CVD 法によりタングステン膜を形成して上記のホールを完全に埋め込む。

【0087】

そして、層間絶縁膜 32 上の余分なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜をホールの中にのみ残すようにする。残されたグルー膜とタングステン膜とは、各ソース/ドレイン領域 27a ~ 27d 上のホールで第 1 導電性プラグ 35 を構成すると共に、セルキャパシタ Q の上部電極上のホールで第 2 導電性プラグ 36 を構成する。

【0088】

その後、層間絶縁膜 32 の上にアルミニウム膜を主とする金属積層膜を形成し、それをパターンニングして金属配線 34 とする。

【0089】

以上により、本実施形態に係る半導体装置の基本構造が完成した。

10

【0090】

この半導体装置では、メモリ領域 C の二つのセルトランジスタ TR_{cell} により、セルキャパシタ Q への情報の書き込みが行われる。また、高耐圧トランジスタ領域 A、低耐圧トランジスタ領域 B、及び高速トランジスタ領域 D のそれぞれに形成されたトランジスタは、ロジック回路を構成し、例えばセルキャパシタ Q の書き込みや読み出し等に使用される。

【0091】

このような半導体装置の製造方法によれば、図 8 のように側面と底面で面方位が異なるキャパシタ形成溝 1b にフッ素をイオン注入した後、図 10 のように、キャパシタ形成溝 1b の内面を熱酸化して、後でキャパシタ誘電体膜となる第 2 絶縁膜 18 を形成した。

【0092】

20

本願発明者は、このようなフッ素のイオン注入が第 2 絶縁膜 18 に与える効果を調べるため、以下のような実験を行った。

【0093】

図 16 (a) ~ (c) は、その実験について説明するための断面図である。

【0094】

この実験では、図 16 (a) に示すように、面方位が (100) のシリコン基板 40 の表面を熱酸化して、該表面に厚さ約 6 nm の第 1 熱酸化膜 41 を形成した。

【0095】

そして、この第 1 熱酸化膜 41 をスルー膜として用いながら、面内方向の垂直方向からシリコン基板 40 にフッ素をイオン注入した。

30

【0096】

次に、図 16 (b) に示すように、フッ酸溶液を用いて上記の第 1 熱酸化膜 41 をウェットエッチングして除去してシリコン基板 40 の清浄面を露出させる。

【0097】

その後、図 16 (c) に示すように、基板温度を 750 、酸化時間を 180 秒とする条件下でシリコン基板 40 の表面を再び熱酸化して、該シリコン基板 40 の上面に第 2 熱酸化膜 42 を形成した。なお、上記の酸化条件は、フッ素をイオン注入しない場合に、シリコン基板 40 上の熱酸化膜の厚さが 2.5 nm となる条件である。

【0098】

図 17 は、フッ素をイオン注入しない場合の第 2 熱酸化膜 42 の厚さ d_0 と、図 16 (a) のようにそのイオン注入を行った場合の第 2 熱酸化膜 42 の厚さ d_1 との比 d_1/d_0 を算出して得られたグラフである。なお、この調査では、フッ素の注入量 (ドーズ量) を様々に変え、それぞれの注入量での上記の比 d_1/d_0 が算出された。

40

【0099】

図 17 から理解されるように、フッ素のイオン注入を行うことにより比 d_1/d_0 が 1 よりも大きくなる。このことから、フッ素は、シリコン基板 1 の (100) 面の酸化を増速させる効果を有し、その注入量を増やすと増速効果が大きくなることが明らかとなった。特に、任意単位で 3 の注入量 (ドーズ量) のフッ素をイオン注入することにより、フッ素のイオン注入をしない場合の 1.4 倍の厚さの第 2 熱酸化膜 42 が得られることが明らかになった。

50

【 0 1 0 0 】

一方、図 1 8 は、面方位が (1 0 0) のシリコン基板 4 0 に、底面の面方位が (1 0 0) となる溝 4 0 a を形成した場合を想定し、その溝 4 0 a の側面と底面のそれぞれにおける第 2 熱酸化膜 4 2 の厚さ d_2 、 d_3 の比 d_2/d_3 を、図 1 7 の結果を利用して算出して得られたグラフである。但し、その溝 4 0 a の側面の面方位は (1 1 0) であるとし、側面にフッ素はイオン注入されないものとした。また、このグラフでは、特許文献 1 の教示に基づき、溝 4 0 a の側面での第 2 熱酸化膜 4 2 の厚さ d_2 は、フッ素をイオン注入しない場合の底面での厚さの 1 . 4 倍になるとした。そして、図 1 7 に倣い、グラフの横軸として、任意単位でのフッ素の注入量を採用した。

【 0 1 0 1 】

10

図 1 8 から明らかなように、フッ素注入量が任意単位で 1 ~ 3 のいずれの場合であっても、溝 4 0 a の側面での第 2 絶縁膜 4 2 の厚さ d_2 は、底面での厚さ d_3 の 1 . 3 倍未満となり、厚さ d_2 と d_3 の比を従来よりも小さくすることが可能となる。また、フッ素の注入量を増やすことで、膜厚比 d_2/d_3 が小さくなり、フッ素のイオン注入量を任意単位で 3 とすることで、上記の膜厚比 d_2/d_3 を 1 にすることが可能になる。

【 0 1 0 2 】

なお、図 1 8 の調査では、溝 4 0 a の側面と底面での熱酸化膜 4 2 の膜厚比 d_2/d_3 を算出したが、溝 4 0 a の側面とシリコン基板 4 0 の上面での熱酸化膜 4 2 の膜厚比も上記と同じ結果となる。

【 0 1 0 3 】

20

図 8 で説明したフッ素のイオン注入工程では、シリコン基板 1 の面内方向の垂直方向からイオンを導入しているので、キャパシタ形成溝 1 b の底面にはフッ素が導入されるのに対し、その側面には実質的にはフッ素はイオン注入されない。これにより、フッ素の注入量が、キャパシタ形成溝 1 b の底面で多くなり、その側面で小さくなるので、図 1 0 で形成した第 2 絶縁膜 1 8 は、キャパシタ形成溝 1 b の側面と底面における膜厚差が図 1 8 と同じように小さくなる。同様の理由により、シリコン基板 1 の上面とキャパシタ形成溝 1 b の側面における第 2 絶縁膜 1 8 の膜厚差も低減される。その結果、キャパシタ形成溝 1 b の側面と底面にそれぞれ同じ程度に薄い第 2 絶縁膜 1 8 を形成することができ、その第 2 絶縁膜 1 8 をキャパシタ誘電体膜とするセルキャパシタ Q (図 1 4 参照) の容量を高めることが可能となる。

30

【 0 1 0 4 】

また、これと同様の理由により、シリコン基板 1 の上面とキャパシタ形成溝 1 b の側面における第 2 絶縁膜 1 8 の膜厚差が図 1 8 と同じように小さくなる。

【 0 1 0 5 】

これに対し、特許文献 3 が教示するフッ素化合物を含む酸化雰囲気では、キャパシタ形成溝 1 b の側面と底面に均等にフッ素が導入され、底面に選択的にフッ素を導入するのは難しいと考えられるので、上記のように第 2 絶縁膜 1 8 の膜厚差を解消するのは困難である。

【 0 1 0 6 】

また、フッ素イオン注入を行わず、キャパシタ形成溝 1 b の側面で第 2 絶縁膜 1 8 が厚く成長する従来例では、該側面の第 2 絶縁膜 1 8 を薄くするために、シリコン基板 1 の上面での第 2 絶縁膜 1 8 の厚さを必要以上に薄くする必要がある。しかし、これではその第 2 絶縁膜 1 8 よりなる第 2 ゲート絶縁膜 1 8 a が不必要に薄くなるので、第 2 ゲート絶縁膜 1 8 a のリーク電流が増大し、その第 2 ゲート絶縁膜 1 8 a を利用する低耐圧 MOS トランジスタ $TR(LOW)_n$ 、 $TR(LOW)_p$ 、及びセルトランジスタ TR_{cell} の信頼性が低下する。

40

【 0 1 0 7 】

これに対し、本実施形態では、既述のようにキャパシタ形成溝 1 b の側面と底面とに同程度の厚さの第 2 絶縁膜 1 8 が形成されるので、シリコン基板 1 の上面での第 2 絶縁膜 1 8 の厚さを必要以上に薄くする必要がなくなり、その第 2 絶縁膜 1 8 をゲート絶縁膜とする各 MOS トランジスタ $TR(LOW)_n$ 、 $TR(LOW)_p$ 、及び TR_{cell} の信頼性を高めることが可能とな

50

る。

【0108】

このように、本実施形態では、セルキャパシタQの容量増大と、MOSトランジスタ $TR(low)_n$ 、 $TR(low)_p$ 、及び TR_{cell} の信頼性向上とを両立することができ、高品位な半導体装置を提供することができる。

【0109】

しかも、イオン注入されるフッ素は、III族元素（ボロン等）やV族元素（リン、砒素等）とは異なり、キャリアの供給源になり難いので、上記のようにフッ素をイオン注入しても、図14に示した各MOSトランジスタ $TR(high)_n$ 、 $TR(high)_p$ 、 $TR(low)_n$ 、 $TR(low)_p$ 、 TR_{cell} 、 TR_n 、及び TR_p の電気的特性が劣化し難い。そのため、本実施形態は、トランジスタとセルキャパシタとが混載される半導体装置に特に好適に適用することができる。

10

【0110】

なお、上記した本実施形態において、シリコン基板1やキャパシタ形成溝1bの側面の面方位は特に限定されない。

【0111】

図19(a)、(b)は、本実施形態で採用され得るシリコン基板1の面方位を説明するための平面図である。

【0112】

図19(a)は、通常の半導体装置の製造工程で使用されるシリコン基板1の平面図であり、本実施形態でもこのようなシリコン基板1が採用される。この例では、シリコン基板1の面方位が(100)であり、ノッチ方向が<011->となる（記号“-”は直前の文字の上に付せられるバーを示す）。この場合、キャパシタ形成溝1bの延在方向 D_1 に垂直な方向 D_2 を、<011>、<01-1>、<011->、及び<01-1>のいずれかにすることで、キャパシタ形成溝1bの側面の面方位は(110)面となる。

20

【0113】

一方、図19(b)は、図19(a)よりもノッチ方向を時計周りに45°だけ回転させたシリコン基板1の平面図である。この場合は、上記の方向 D_2 を、<001>、<001->、<010>、及び<01-0>のいずれかにすることで、キャパシタ形成溝1bの側面の面方位は(100)面となり、シリコン基板1の面方位と等価になる。

【0114】

本実施形態、及び後述の第2、第3実施形態に係る半導体装置では、図19(a)、(b)のどちらのシリコン基板1を採用しても、キャパシタ形成溝1bの側面と底面とでの第2絶縁膜18の膜厚差を低減することが可能となる。

30

【0115】

また、上記では、第2絶縁膜18の膜厚差が、キャパシタ形成溝1bの側面と底面で面方位が異なることに起因して発生するとしたが、これ以外の要因でも膜厚差は発生すると考えられる。例えば、図2で説明したようなRIEでキャパシタ形成溝1bを作成する場合、第2絶縁膜18の膜厚差がRIEのエッチング条件にも依存すると考えられる。

【0116】

本実施形態では、上記の膜厚差の原因に関わらず、従来では不可能であった1.3倍未満という膜厚比を達成することができる。

40

【0117】

そして、上記では、セルトランジスタ TR_{cell} のゲート絶縁膜18aやセルキャパシタQのキャパシタ誘電体膜18bを、低耐圧MOSトランジスタ $TR(low)_n$ 、 $TR(low)_p$ のゲート絶縁膜18aを構成する第2絶縁膜18から形成したが、本発明はこれに限定されない。例えば、第1絶縁膜17又は第3絶縁膜19から、上記したセルトランジスタ TR_{cell} のゲート絶縁膜18aやセルキャパシタQのキャパシタ誘電体膜18bを形成してもよい。これについては、以下の実施形態でも同様である。

【0118】

更に、本実施形態では、高耐圧MOSトランジスタ $TR(high)_n$ 、 $TR(high)_p$ 、低耐圧MOSトラ

50

ンジスタ $TR(LOW)_n$ 、 $TR(LOW)_p$ 、及びセルトランジスタ TR_{cell} を組み合わせる半導体基板 1 に形成したが、他の組み合わせであってもよい。

【0119】

(2) 第2実施形態

既述の第1実施形態では、第2絶縁膜 18 を形成する前に、シリコン基板 1 に対してフッ素イオン注入を行った。

【0120】

これに対し、本実施形態では、そのようなフッ素イオン注入を行わず、第2絶縁膜 18 の成膜方法に改良を加えることで、キャパシタ形成溝 1b の側面と底面とでの第2絶縁膜 18 の膜厚差を低減する。

10

【0121】

図20は、本実施形態で使用する処理チャンバの構成図である。

【0122】

その処理チャンバ 50 は、ベース 51 と、該ベース 51 の穴 51a 内に納められて昇降可能なシリンダ 52 とを有する。そして、そのシリンダ 52 の上端には、シリコン基板 1 を保持するためのリングプレート 53 が設けられ、更にそのリングプレート 53 の上方には上部カバー 54 が設けられる。その上部カバー 54 は、シリコン基板 1 を加熱するための複数のランプ 55 を収容しており、これらのランプ 55 からの光を通すための石英製の透過窓 59 がその下端に配されている。更に、この処理チャンバ 50 は、処理ガス 60 をその内部に導入するためのガス導入口 50a と、不要となった処理ガス 60 を外部に排出するためのガス排出口 50b とを有し、ガス排出口 50b に繋がる真空ポンプ（不図示）によって、処理チャンバ 50 内が大気圧よりも減圧された状態になる。

20

【0123】

このような処理チャンバ 50 では、シリンダ 52 によって所定の高さに保持されたシリコン基板 1 が、ランプ 55 からの輻射熱によって加熱された状態で、ガス導入口 50a から導入された処理ガス 60 に曝される。

【0124】

本実施形態では、このような処理チャンバ 50 を用いて、次のようにして半導体装置を製造する。

【0125】

まず、第1実施形態で説明した図1～図7の工程を行うことにより、図7に示したように、シリコン基板 1 の各領域 A～D の表面に第1絶縁膜 17 を形成する。

30

【0126】

次に、図8のフッ素イオン注入は行わずに、図9で説明したように、第1絶縁膜 17 をエッチングして高耐圧とトランジスタ形成領域 A にのみ残した後、このエッチングのマスクに用いた第2レジストパターン 20 を除去する。

【0127】

続いて、シリコン基板 1 の表面に付着しているパーティクルや金属等を除去するために、SPM、APM、及びHPM等の薬液でシリコン基板 1 の上面とキャパシタ形成溝 1b の内面とを洗浄する。

40

【0128】

次に、この薬液洗浄によってシリコン基板 1 の表面に形成されたケミカル酸化膜を除去すべく、図20で説明した処理チャンバ 50 内にシリコン基板 1 を入れる。そして、ランプ 55 によってシリコン基板 1 の温度を約 900 ～ 1050 程度に加熱した後、減圧下のチャンバ 50 内に処理ガス 60 として還元性ガスの水素を導入し、シリコン基板 1 に対する水素アニールを開始する。そして、例えば 60 秒以下の処理時間でこの水素アニールを行うことにより、上記したケミカル酸化膜が還元されて除去され、シリコン基板 1 の清浄面が露出するようになる。

【0129】

次に、シリコン基板 1 を処理チャンバ 50 内に入れたまま、ランプ 55 からの輻射熱に

50

よって基板温度を約 800 ~ 1100 程度に安定させると共に、処理チャンバ 50 内の圧力を 20 Torr 程度にまで減圧する。

【0130】

その後、流量比が 10 : 1 以下の酸素と水素との混合ガスを処理ガス 60 として処理チャンバ 50 内に導入する。処理チャンバ 50 内に導かれた酸素と水素は、シリコン基板 1 上で反応して水蒸気となり、シリコン基板 1 がその水蒸気に曝され、シリコン基板 1 の表面に熱酸化膜が成長する。このような熱酸化膜の成長方法は、内燃方式の ISSG(In Situ Stream Generation)酸化法とも呼ばれる。

【0131】

そして、上記の熱酸化膜の厚さが約 2 . 5 nm になったところで水素と酸素の供給を停止し、得られた熱酸化膜を第 2 絶縁膜 18 (図 10 参照)とする。 10

【0132】

この後は、第 1 実施形態で説明した図 11 ~ 図 15 の工程を行うことにより、図 15 に示したように、メモリ領域 C にセルキャパシタ Q とセルトランジスタ TR_{cell} を形成すると共に、メモリ領域 C 以外の領域に MOS トランジスタ $TR(high)_n$ 、 $TR(high)_p$ 、 $TR(low)_n$ 、 $TR(low)_p$ 、 TR_n 、及び TR_p を形成する。

【0133】

上記した本実施形態では、セルキャパシタ Q のキャパシタ誘電体膜となる第 2 絶縁膜 18 を、減圧下の水蒸気雰囲気中にシリコン基板 1 の表面を曝す ISSG 酸化法で形成した。本願発明者は、その ISSG 酸化法で形成される酸化膜の面方位依存性について調査した。 20

【0134】

その調査では、表面の面方位が (100) と (110) の二つのシリコン基板を洗浄した後、減圧状態の水蒸気雰囲気による ISSG 酸化法により、基板温度を 800 ~ 900 にしてこれらのシリコン基板の表面に約 2 . 5 nm の酸化膜を形成した。そして、面方位が (100) のシリコン基板における熱酸化膜の厚さ d_4 と、面方位が (110) のシリコン基板における熱酸化膜の厚さ d_5 を測定し、それらの比 d_5/d_4 を算出した。その結果を図 21 に示す。なお、この調査は、温度 1 (約 800) と温度 2 (約 900) の二種類の基板温度で行われた。

【0135】

図 21 に示すように、温度 1 と温度 2 のいずれの場合でも、上記の比 d_5/d_4 は従来例の 1 . 3 ~ 2 . 0 よりも小さくなる。更に、温度 1 と温度 2 とを比較すると、基板温度が高い温度 2 の方が比 d_5/d_4 が 1 に近づくことも明らかになった。 30

【0136】

これらの結果より、本実施形態では、面方位が (100) であるキャパシタ形成溝 1b (図 10 参照) の底面と、面方位が (110) であるキャパシタ形成溝 1b の側面とでの第 2 絶縁膜 18 の膜厚差が従来よりも小さくなる。同様に、面方位が (100) であるシリコン基板 1 の上面と、上記のキャパシタ形成溝 1b の側面とでの第 2 絶縁膜 18 の膜厚差も小さくなる。

【0137】

従って、キャパシタ形成溝 1b の底面 1c やシリコン基板 1 の上面におけるのと同程度に薄い厚さの第 2 絶縁膜 18 を溝 1b の側面に形成することができ、セルキャパシタ Q (図 14 参照) の容量を大きくすることが可能になる。 40

【0138】

また、キャパシタ形成溝 1b の側面と底面での第 2 絶縁膜 18 の膜厚差が小さいので、側面での第 2 絶縁膜 18 を薄くする目的でシリコン基板 1 の上面での第 2 絶縁膜 18 の厚さを必要以上に薄くする必要が無い。そのため、このように薄い膜厚に起因して第 2 絶縁膜 18 よりなる第 2 ゲート絶縁膜 18a のリーク電流が増大するのを防止しながら、上記のようにセルキャパシタ Q の容量を増やすことが可能になる。

【0139】

しかも、本実施形態では、図 20 の処理チャンバ 50 内において、シリコン基板 1 の表 50

面のケミカル酸化膜を除去するための水素アニールを行った後、その処理チャンバ50からシリコン基板1を取り出さず、続けて上記の第2絶縁膜18を形成するようにした。

【0140】

これによれば、水素アニール後のシリコン基板1が大気に触れないので、ケミカル酸化膜を除去後のシリコン基板1に自然酸化膜が再度形成されるのが防止され、シリコン基板1の清浄面上に高品位な第2絶縁膜18が成長する。そのため、この第2絶縁膜18をゲート絶縁膜やキャパシタ誘電体膜とするMOSトランジスタ $TR(low)_n$ 、 $TR(low)_p$ 、 TR_{cell} 、及びセルキャパシタQの信頼性をより一層高めることが可能となる。

【0141】

(3) 第3実施形態

上記した第1、第2実施形態では、キャパシタ形成溝1bの側面と底面とに膜厚差の低減された熱酸化膜(第2絶縁膜18)を形成した。

【0142】

これに対し、本実施形態では、素子分離溝1aの内面にそのような熱酸化膜を形成する。

【0143】

図22、図23は、本実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図において、第1、第2実施形態で説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。また、これらの図では、第1実施形態で説明した高耐圧トランジスタ形成領域Aのみを示し、これ以外の領域については省略する。

【0144】

まず、第1実施形態で説明した図1、図2の工程を行うことにより、図22(a)に示すように、窒化シリコン膜3をマスクにするエッチングでシリコン基板1に素子分離溝1aを形成する。そのシリコン基板1の表面の面方位は第1及び第2実施形態と同様に(100)であり、素子分離溝1bの側面の面方位は(110)である。

【0145】

次いで、図22(b)に示すように、素子分離溝1aの内面を酸化して第3熱酸化膜70を形成し、上記のエッチングで素子分離溝1aが受けたダメージを回復させる。そして、その第3熱酸化膜70をスルー膜にしながら、シリコン基板1の面内方向の垂直方向から素子分離溝1aにフッ素をイオン注入することにより、該素子分離溝1aの底面にフッ素を導入する。

【0146】

続いて、図22(c)に示すように、フッ酸溶液を用いるウエットエッチングで第3熱酸化膜70を除去する。

【0147】

次に、図23(a)に示す断面構造を得るまでの工程について説明する。

【0148】

まず、基板温度が800 ~ 900 の条件下で素子分離絶縁膜1aの内面を熱酸化して厚さ約10nmの熱酸化膜を形成し、それを第5絶縁膜71とする。

【0149】

次いで、シランを反応ガスとするHDPCVD法により、その第5絶縁膜71上と窒化シリコン膜3上とに酸化シリコン膜を形成し、その酸化シリコン膜で素子分離溝1aを完全に埋め込む。その後に、CMP法により窒化シリコン膜3上の余分な酸化シリコン膜を研磨して除去し、酸化シリコン膜を素子分離溝1aに素子分離絶縁膜4として残して、STI構造の素子分離構造を形成する。

【0150】

この後は、第1実施形態で説明した図4 ~ 図14の工程を行うことにより、図23(b)に示すようなn型高耐圧MOSトランジスタ $TR(high)_n$ とp型高耐圧MOSトランジスタ $TR(high)_p$ の基本構造を完成させる。

【0151】

10

20

30

40

50

以上説明した本実施形態によれば、図 2 2 (b) の工程で素子分離溝 1 a の底面にフッ素をイオン注入したので、第 1 実施形態で説明したように、その底部における熱酸化膜の酸化速度が速まる。そのため、上記のイオン注入の後に形成される第 5 絶縁膜 7 1 は、素子分離溝 1 a の底面において側面と同じ程度の速度で成長し、溝 1 a の側面と底面での第 5 絶縁膜 7 1 の膜厚差が低減することが可能となる。

【 0 1 5 2 】

なお、この例では、第 1 実施形態で説明したフッ素イオン注入を採用したが、これに代えて、第 2 実施形態で説明した内燃方式の ISSG 酸化法で第 5 絶縁膜 7 1 を形成することにより、溝 1 a の側面と底面での第 5 絶縁膜 7 1 の膜厚差を低減してもよい。

【 0 1 5 3 】

10

以下に、本発明の特徴を付記する。

【 0 1 5 4 】

(付記 1) 溝が形成された半導体基板と、

前記半導体基板の上面、及び前記溝の側面と底面を熱酸化して得られた絶縁膜とを有し

、
前記溝の側面における前記絶縁膜の厚さが、前記半導体基板の上面と前記溝の底面のそれぞれにおける前記絶縁膜の厚さの 1 . 3 倍未満であることを特徴とする半導体装置。

【 0 1 5 5 】

(付記 2) 前記半導体基板の上面と前記溝の底面に、該溝の側面よりも多い注入量でフッ素が導入されたことを特徴とする付記 1 に記載の半導体装置。

20

【 0 1 5 6 】

(付記 3) 前記絶縁膜の上にキャパシタ上部電極が形成され、該キャパシタ上部電極、前記絶縁膜、及び前記半導体基板でキャパシタが構成されたことを特徴とする付記 1 に記載の半導体装置。

【 0 1 5 7 】

(付記 4) 前記溝は素子分離溝であり、該溝を埋める厚さの素子分離絶縁膜が前記絶縁膜の上に形成されたことを特徴とする付記 1 に記載の半導体装置。

【 0 1 5 8 】

(付記 5) 前記溝の延在方向に垂直な方向は、 $\langle 001 \rangle$ 、 $\langle 001 - \rangle$ 、 $\langle 010 \rangle$ 、及び $\langle 01 - 0 \rangle$ のいずれか (但し、記号 “ - ” は直前の文字の上に付せられるバーを示す) であり、前記半導体基板の表面の面方位は (1 0 0) 面であることを特徴とする付記 1 に記載の半導体装置。

30

【 0 1 5 9 】

(付記 6) 前記半導体基板はシリコン基板であることを特徴とする付記 5 に記載の半導体装置。

【 0 1 6 0 】

(付記 7) 半導体基板に溝を形成する工程と、

少なくとも前記半導体基板の上面、及び前記溝の底面と側面を熱酸化して絶縁膜を形成する工程とを有し、

前記絶縁膜を形成する工程の前に前記半導体基板の上面と前記溝の底面とにフッ素をイオン注入する工程を行うか、或いは前記絶縁膜を形成する工程を、減圧状態の水蒸気雰囲気中で前記半導体基板の上面及び前記溝の底面と側面を熱酸化して行うことを特徴とする半導体装置の製造方法。

40

【 0 1 6 1 】

(付記 8) 前記フッ素をイオン注入する工程は、前記半導体基板の面内方向の垂直方向から前記半導体基板の上面と前記溝の底面とに前記フッ素を注入して行われることを特徴とする付記 7 に記載の半導体装置の製造方法。

【 0 1 6 2 】

(付記 9) 前記水蒸気雰囲気中で前記半導体基板の上面と前記溝とを熱酸化する工程は、チャンバ内に水素と酸素とを供給し、前記チャンバ内において加熱された状態の前記

50

半導体基板上で前記水素と前記酸素とを反応させて行われることを特徴とする付記 7 に記載の半導体装置の製造方法。

【0163】

(付記 10) 前記水蒸気雰囲気中で前記半導体基板の上面と前記溝とを熱酸化する工程の前に、前記チャンバ内に還元性ガスを導入して、該還元性ガスに前記半導体基板の上面と前記溝を曝す工程を有すると共に、

前記チャンバから前記半導体基板を取り出さずに、引き続いて前記水蒸気雰囲気に前記半導体基板の上面と前記溝とを曝して、該上面と該溝とに前記絶縁膜を形成することを特徴とする付記 9 に記載の半導体装置の製造方法。

【0164】

(付記 11) 前記還元性ガスとして水素を採用することを特徴とする付記 10 に記載の半導体装置の製造方法。

【0165】

(付記 12) 前記還元性ガスに前記溝を曝す工程の前に、薬液で前記半導体基板の上面と前記溝の内面とを洗浄する工程を有することを特徴とする付記 10 に記載の半導体装置の製造方法。

【0166】

(付記 13) 前記絶縁膜の上にキャパシタ上部電極を形成して、該キャパシタ上部電極、前記絶縁膜、及び前記半導体基板でキャパシタを構成する工程を有することを特徴とする付記 7 に記載の半導体装置の製造方法。

【0167】

(付記 14) 前記絶縁膜の上に導電膜を形成する工程と、
前記導電膜をパターニングして、前記溝の上方の該導電膜を前記キャパシタ上部電極にすると共に、前記半導体基板の第 1 領域における前記導電膜をゲート電極にする工程と、
前記絶縁膜をパターニングして、前記キャパシタ上部電極の下の前記絶縁膜をキャパシタ誘電体膜にすると共に、前記ゲート電極の下の前記絶縁膜をゲート絶縁膜にする工程とを有することを特徴とする付記 13 に記載の半導体装置の製造方法。

【0168】

(付記 15) 前記半導体基板の第 2 領域の上面を熱酸化して、前記絶縁膜とは厚さが異なる別の絶縁膜を形成する工程と、

前記別の絶縁膜をパターニングして、前記ゲート絶縁膜とは耐圧が異なる別のゲート絶縁膜を形成する工程とを有することを特徴とする付記 14 に記載の半導体装置の製造方法。

【0169】

(付記 16) 前記溝として素子分離溝を形成し、
前記溝を埋める厚さの素子分離絶縁膜を前記絶縁膜の上に形成する工程を有することを特徴とする付記 7 に記載の半導体装置の製造方法。

【0170】

(付記 17) 前記半導体基板としてシリコン基板を使用することを特徴とする付記 7 に記載の半導体装置の製造方法。

【図面の簡単な説明】

【0171】

【図 1】図 1 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 1）である。

【図 2】図 2 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 2）である。

【図 3】図 3 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 3）である。

【図 4】図 4 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 4）である。

10

20

30

40

50

【図 5】図 5 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 5）である。

【図 6】図 6 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 6）である。

【図 7】図 7 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 7）である。

【図 8】図 8 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 8）である。

【図 9】図 9 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 9）である。

10

【図 10】図 10 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 10）である。

【図 11】図 11 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 11）である。

【図 12】図 12 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 12）である。

【図 13】図 13 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 13）である。

【図 14】図 14 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 14）である。

20

【図 15】図 15 は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図（その 15）である。

【図 16】図 16（a）～（c）は、本発明の第 1 実施形態において、フッ素のイオン注入の効果を調べるために本願発明者が行った実験について説明するための断面図である。

【図 17】図 17 は、フッ素をイオン注入した場合としない場合とにおける熱酸化膜の厚さの比を算出して得られたグラフである。

【図 18】図 18 は、シリコン基板にフッ素をイオン注入し、そのシリコン基板の溝の側面と底面における熱酸化膜の厚さの比を算出して得られたグラフである。

【図 19】図 19（a）、（b）は、本発明の第 1～第 3 実施形態で採用し得る半導体基板の面方位について説明するための平面図である。

30

【図 20】図 20 は、本発明の第 2 実施形態で使用される処理チャンバの構成図である。

【図 21】図 21 は、本発明の第 2 実施形態において、表面の面方位が（100）と（110）の二つのシリコン基板のそれぞれに熱酸化膜を形成し、それらの熱酸化膜の厚さの比を算出して得られたグラフである。

【図 22】図 22（a）～（c）は、本発明の第 3 実施形態に係る半導体装置の製造途中の断面図（その 1）である。

【図 23】図 23（a）、（b）は、本発明の第 3 実施形態に係る半導体装置の製造途中の断面図（その 2）である。

【符号の説明】

【0172】

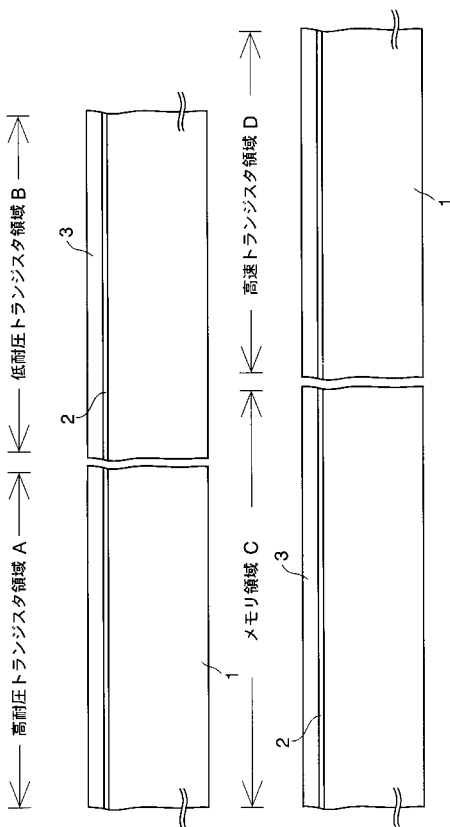
40

1、40 ... シリコン基板、1a ... 素子分離溝、1b ... キャパシタ形成溝、2 ... 熱酸化膜、3 ... 窒化シリコン膜、3a ... 第 1 開口、3b ... 第 2 開口、4 ... 素子分離絶縁膜、6 ... 第 1 レジストパターン、6a ... 窓、7 ... 保護膜、8～10 ... 第 1～第 3 p ウェル、12～15 ... 第 1～第 4 n ウェル、17～19 ... 第 1～第 3 絶縁膜、20 ... 第 2 レジストパターン、21 ... 第 3 レジストパターン、23a ... ゲート電極、23b ... キャパシタ上部電極、24a～24c ... 第 1～第 3 n 型ソース/ドレインエクステンション、24d～24g ... 第 1～第 4 p 型ソース/ドレインエクステンション、26 ... 絶縁性サイドウォール、27a～27c ... 第 1～第 3 n 型ソース/ドレイン領域、27d～27g ... 第 1～第 4 p 型ソース/ドレイン領域、28 ... コバルトシリサイド層、30 ... カバー絶縁膜、31 ... 第 4 絶縁膜、32 ... 層間絶縁膜、35 ... 第 1 導電性プラグ、36 ... 第 2 導電性プラグ、41 ... 第 1 熱酸化膜、

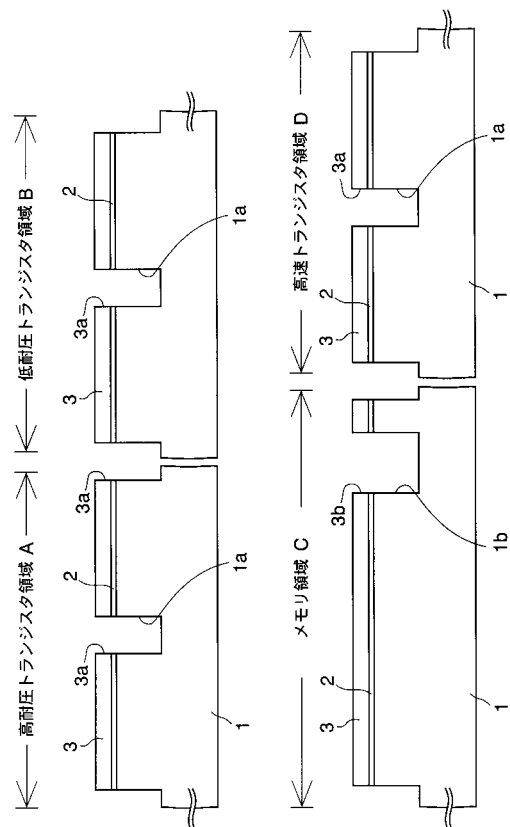
50

4 2 ... 第 2 熱酸化膜、5 0 ... 処理チャンバ、5 0 a ... ガス導入口、5 0 b ... ガス排出口、
 5 1 ... ベース、5 2 ... シリンダ、5 3 ... リングプレート、5 4 ... 上部カバー、5 5 ... ラン
 プ、5 9 ... 透過窓、6 0 ... 処理ガス、7 0 ... 第 3 熱酸化膜、7 1 ... 第 5 絶縁膜。

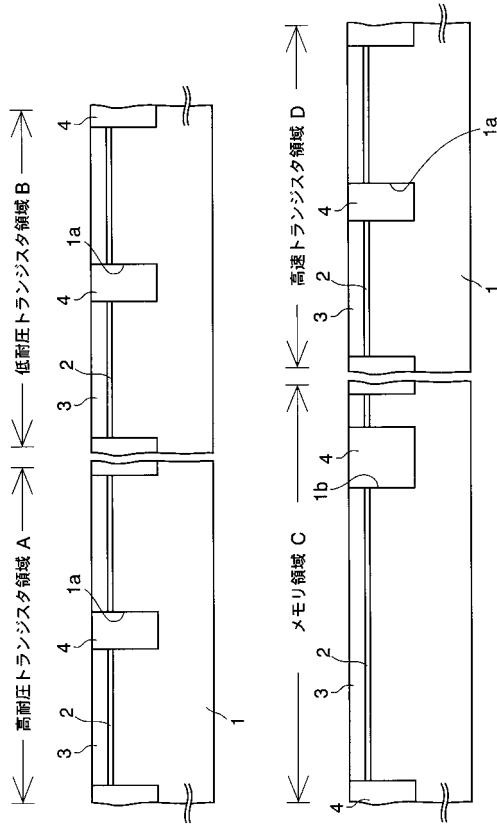
【図 1】



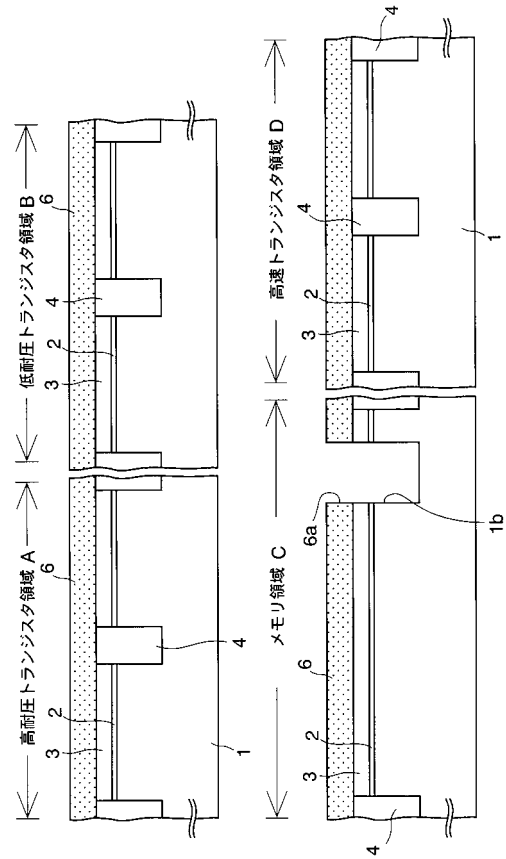
【図 2】



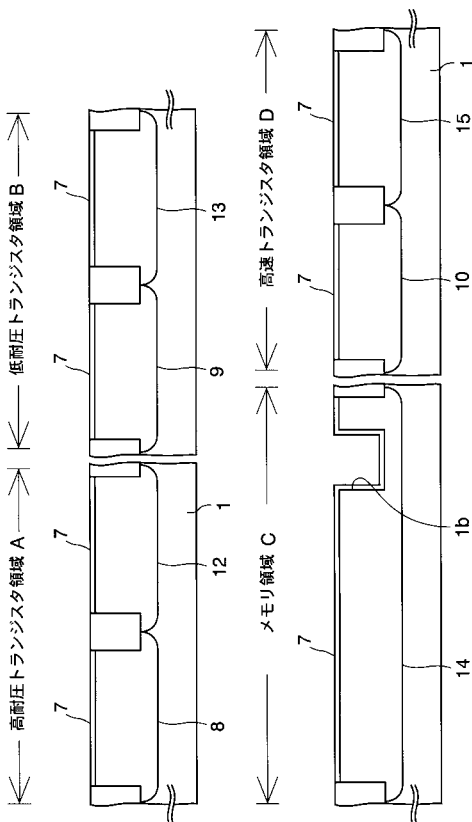
【図 3】



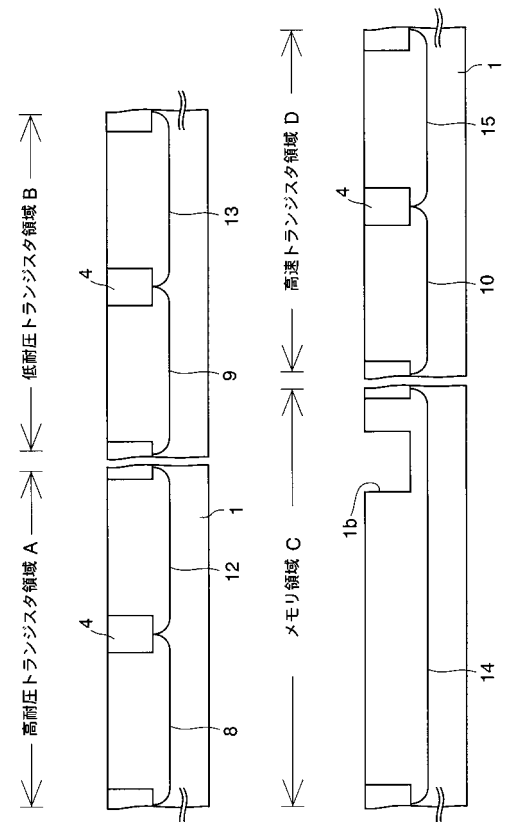
【図 4】



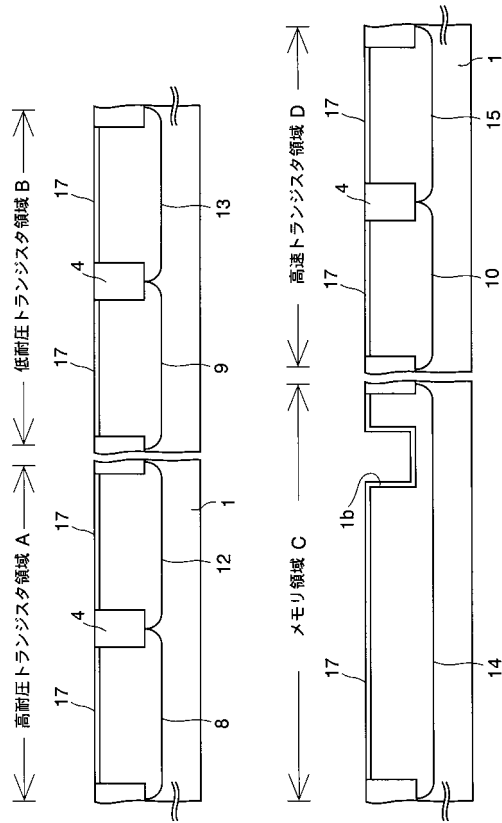
【図 5】



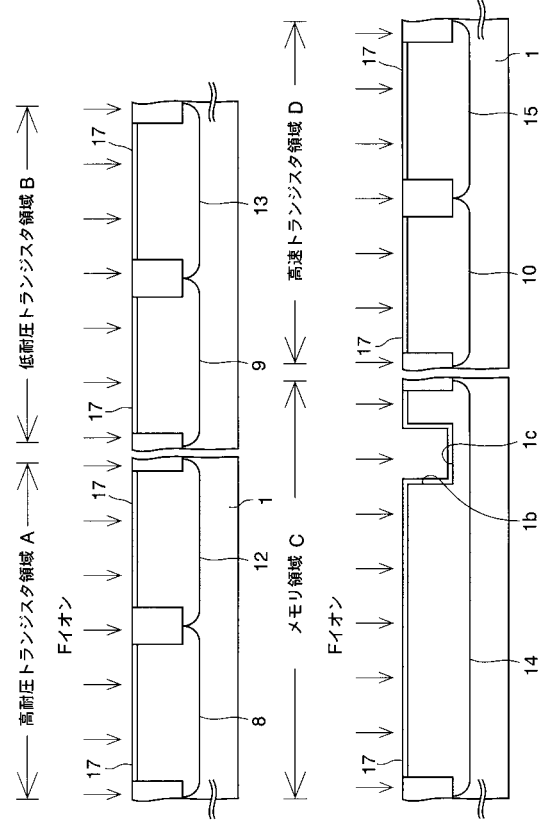
【図 6】



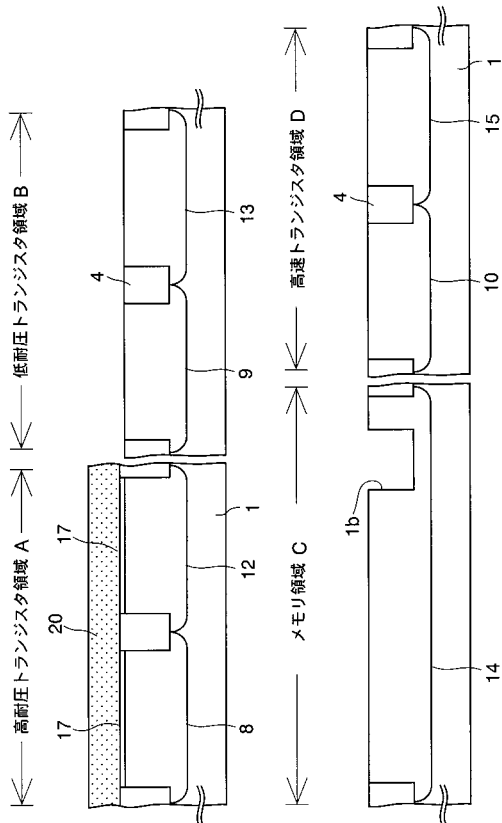
【図 7】



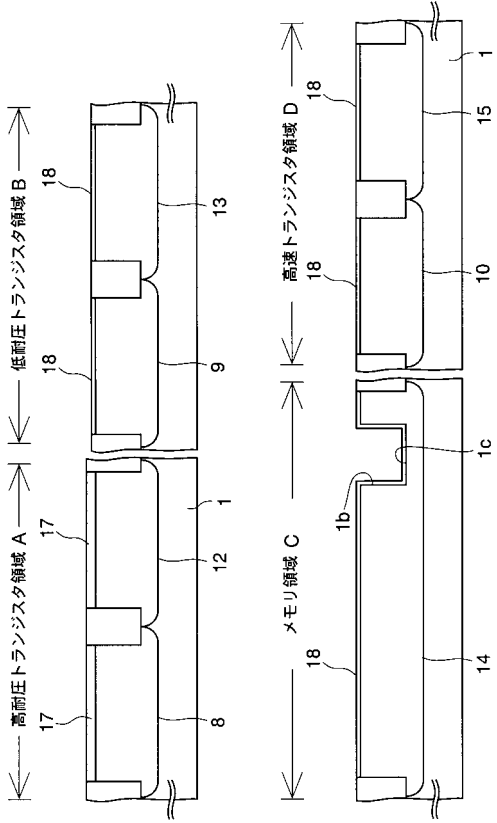
【図 8】



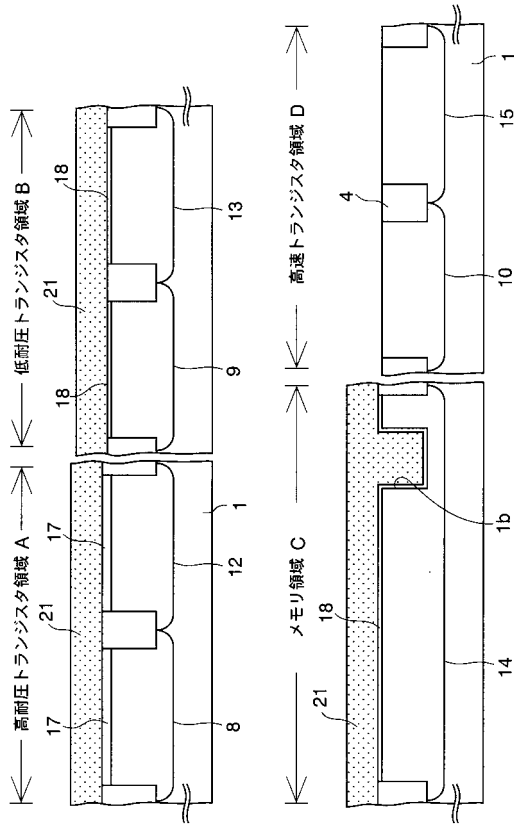
【図 9】



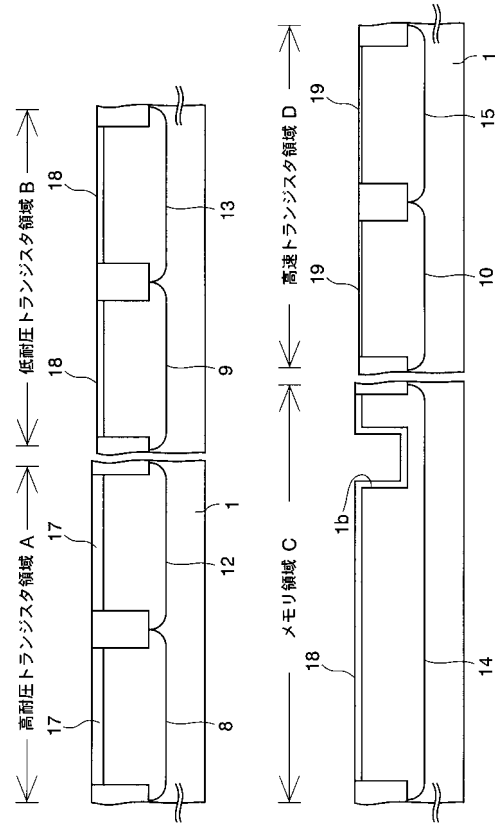
【図 10】



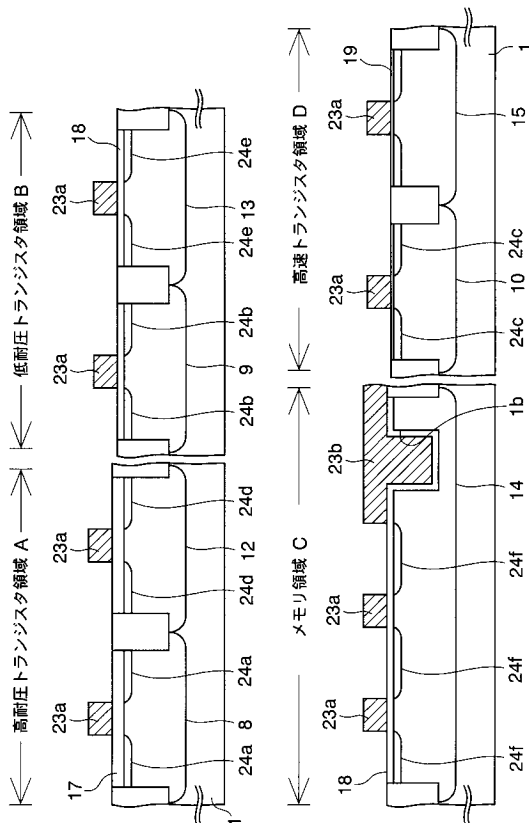
【図 1 1】



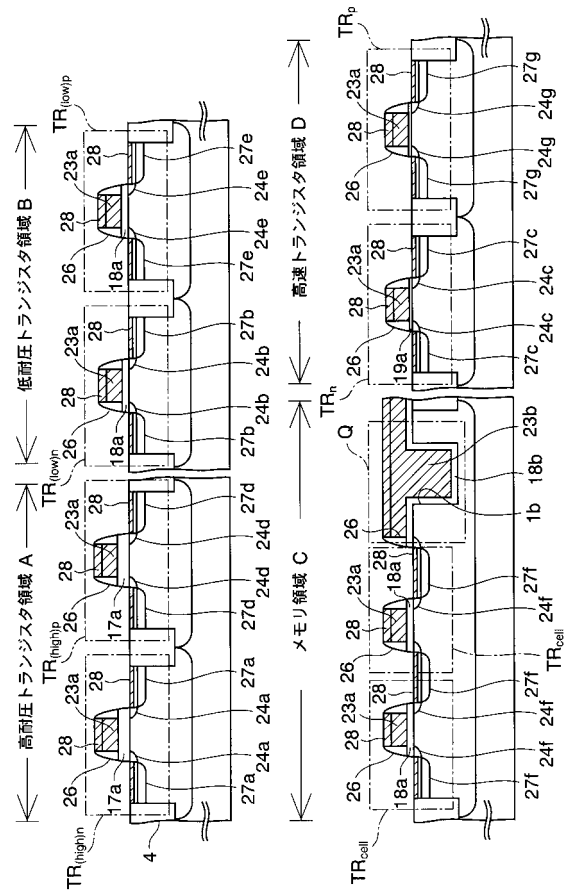
【図 1 2】



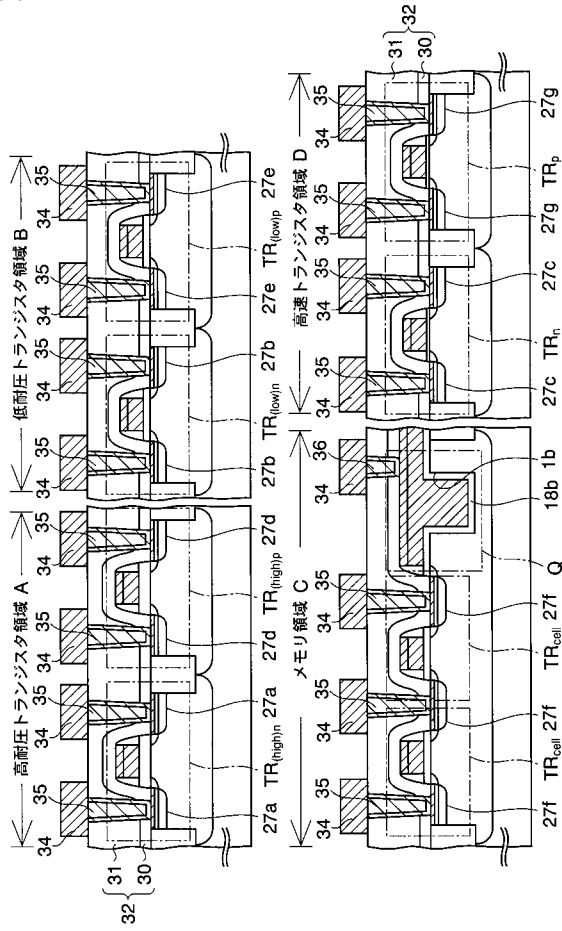
【図 1 3】



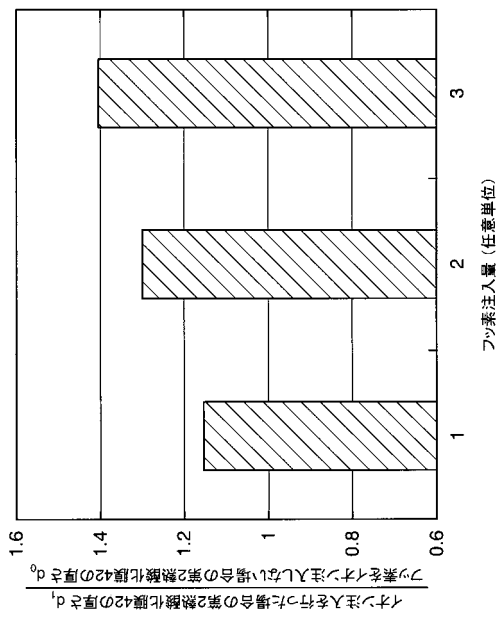
【図 1 4】



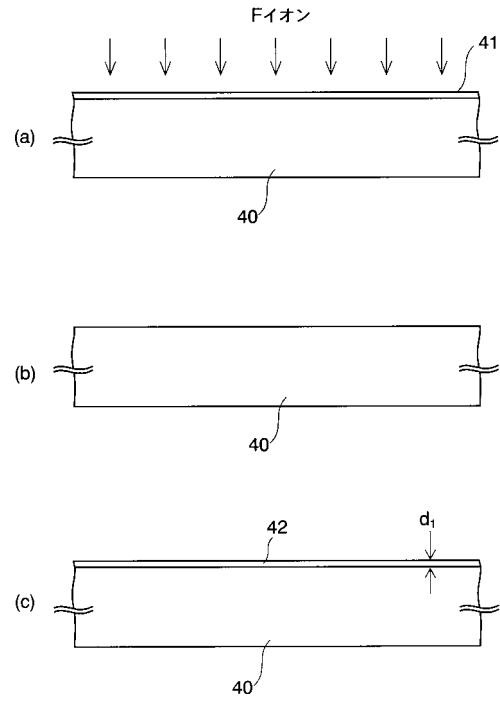
【図 15】



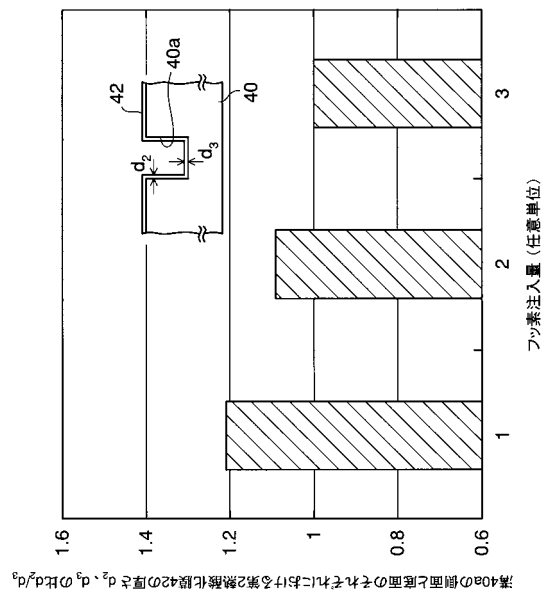
【図 17】



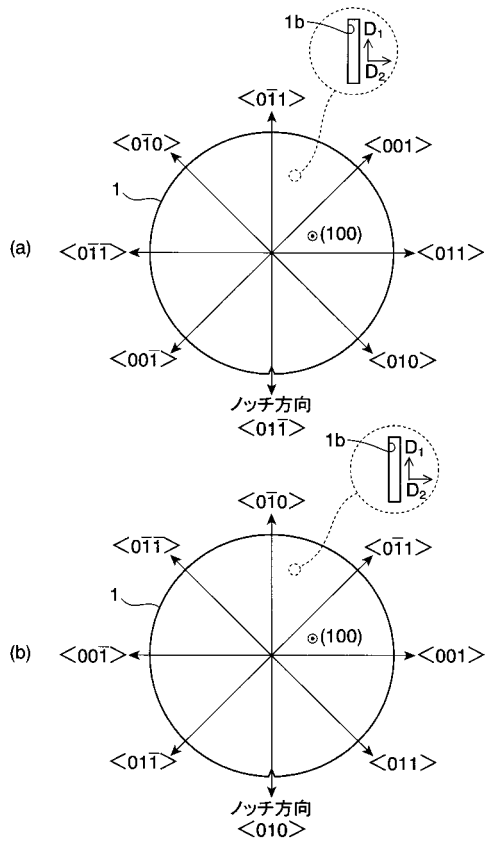
【図 16】



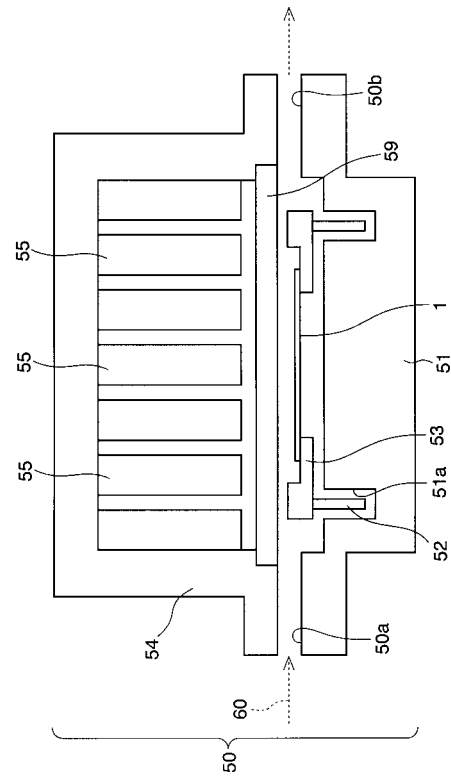
【図 18】



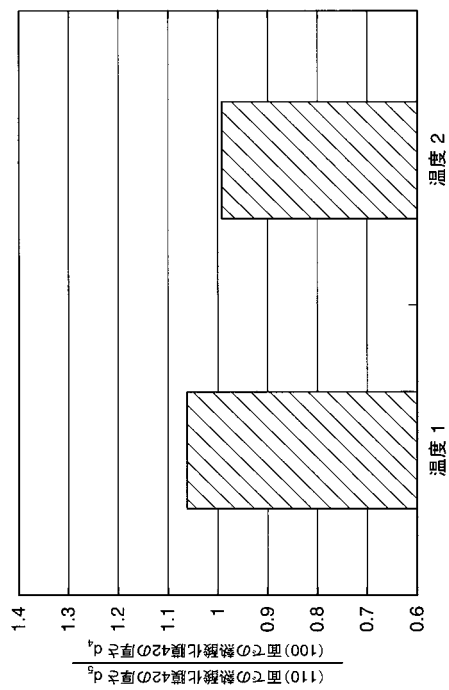
【図 19】



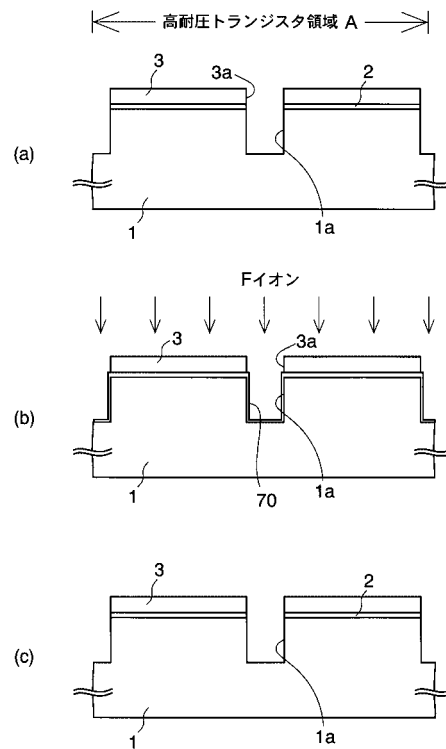
【図 20】



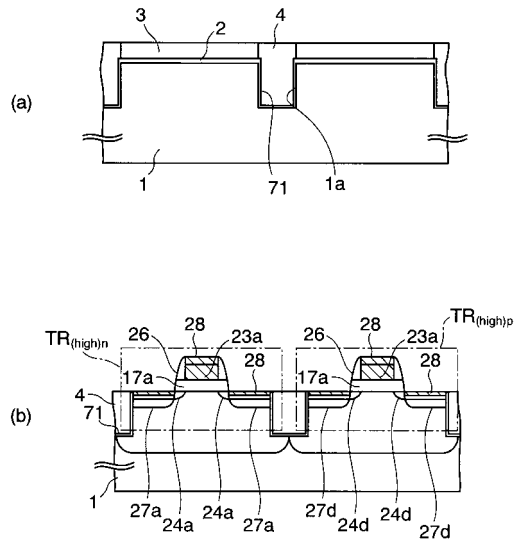
【図 21】



【図 22】



【図 23】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H O 1 L 21/76 (2006.01)		H O 1 L 27/10	6 8 1 F	
H O 1 L 21/8242 (2006.01)		H O 1 L 21/316	S	
H O 1 L 27/108 (2006.01)				
H O 1 L 21/316 (2006.01)				

F ターム(参考) 5F048 AA01 AA04 AA05 AA07 AB01 AC01 AC03 AC10 BA01 BA10
BB06 BB07 BB08 BB12 BB14 BB16 BC05 BC06 BD04 BE03
BF06 BF08 BF11 BF16 BF17 BG13 DA25
5F058 BA11 BC02 BD04 BE07 BF55 BF63 BH04 BJ01 BJ04
5F083 AD10 AD16 GA27 JA35 JA36 JA39 JA53 MA06 MA18 MA19
MA20 NA01 PR36 PR40 PR43 PR44 PR45 PR53 PR54 PR55
ZA07 ZA08