



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2018 000 883.5**
 (86) PCT-Aktenzeichen: **PCT/IB2018/053033**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2018/203246**
 (86) PCT-Anmeldetag: **02.05.2018**
 (87) PCT-Veröffentlichungstag: **08.11.2018**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **31.10.2019**
 (45) Veröffentlichungstag
 der Patenterteilung: **05.01.2022**

(51) Int Cl.: **H01S 5/024 (2006.01)**
H01S 5/323 (2006.01)
H01L 33/64 (2010.01)

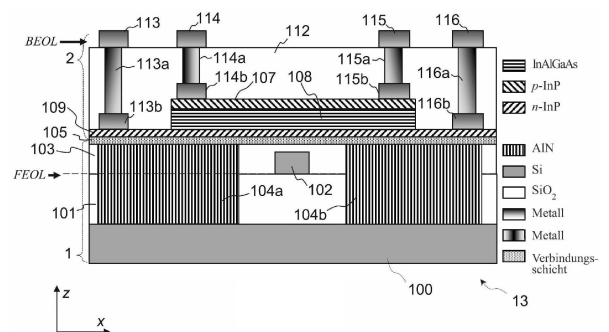
Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

<p>(30) Unionspriorität: 15/587,754 05.05.2017 US 15/804,716 06.11.2017 US</p> <p>(73) Patentinhaber: International Business Machines Corporation, Armonk, NY, US</p> <p>(74) Vertreter: Richardt Patentanwälte PartG mbB, 65185 Wiesbaden, DE</p>	<p>(72) Erfinder: Caer, Charles, Rueschlikon, CH; Hahn, Herwig, Rueschlikon, CH</p> <p>(56) Ermittelte Stand der Technik: US 2009 / 0 168 821 A1 US 2013 / 0 259 077 A1</p> <p>Sysak, M.N.; u.a.: Hybrid Silicon Laser Technology: A Thermal Perspective. In: IEEE Journal of Selected Topics in Quantum Electronics, Vol. 17, No. 6, 2011, S. 1490-1498</p>
--	---

(54) Bezeichnung: **Elektrooptische Einheit mit III-V-Verstärkungsmaterialien und integriertem Kühlkörper**

(57) Hauptanspruch: Elektrooptische Einheit (11; 12; 13; 14), die aufweist:
 eine erste Wafer-Komponente (1), die ein Siliciumsubstrat (100) und eine Mantelschicht (101, 103) auf dem Siliciumsubstrat (100) aufweist, wobei die Mantelschicht (101, 103) einen darin ausgebildeten Hohlraum (104c) aufweist, wobei der Hohlraum (104c) mit einem Wärmeverteiler (104; 104a, 104b) gefüllt ist, der eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht (101, 103) aufweist, wobei sich der Hohlraum (104c) in der Mantelschicht (101, 103) so bis hinauf zu dem Siliciumsubstrat (100) erstreckt, dass der Wärmeverteiler (104; 104a, 104b) mit dem Siliciumsubstrat (100) in Kontakt steht;
 eine zweite Wafer-Komponente (2), die einen Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien aufweist, der für eine optische Verstärkung einer bestimmten Strahlung entwickelt ist, wobei die zweite Wafer-Komponente (2) so mit der ersten Wafer-Komponente (1) verbunden ist, dass eine Unterseite des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien in thermischer Verbindung mit dem Wärmeverteiler (104; 104a, 104b) steht, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien so strukturiert ist, dass er dem Wärmeverteiler (104; 104a, 104b) zugewandt ist und diesen zumindest zum Teil überlappt; und

eine Siliciumkomponente (102), die in die verbleibende Mantelschicht eingebettet ist und gegenüber dem Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien angeordnet ist;
 dadurch ...



Beschreibung

[0001] Die Erfindung bezieht sich allgemein auf das Gebiet von elektrooptischen Einheiten, die einen Stapel von III-V-Halbleiter-Verstärkungsmaterialien beinhalten (z.B. als Teil eines Lasers, eines optischen Detektors oder eines optischen Halbleiterverstärkers), sowie auf Siliciumphotonik-Chips und auf Verfahren zu deren Fertigung. Im Besonderen bezieht sich die Erfindung auf elektrooptische Einheiten, in die Wärmeverteiler und/oder Kühlkörper integriert sind.

HINTERGRUND

[0002] Sie betrifft im Besonderen Einheiten und Verfahren zum Einbetten eines Kühlkörpers in einen Siliciumphotonik-Chip mit einem integrierten, elektrisch gepumpten Laser. Die Integration von III-V-Halbleiter-Verstärkungsmaterialien (z.B. für Lichtquellen, die mit Wellenlängen der Datenübertragung und/oder der Telekommunikation emittieren) in Siliciumphotonik-Plattformen ist erwünscht, wenn es dazu dient, optische Verbindungen mit großer Bandbreite zu erzielen.

[0003] Beispielsweise ist eine III-V-Laser-Quelle auf Grundlage seitlicher Stromeinspeisung (lateral current injection, LCI) aufgrund ihres geringen Schwellenstroms und ihrer geringen Grundfläche und der Möglichkeit, sie in das Back-End-of-Line eines CMOS-gefertigten Chips einzubetten (was eine Kointegration mit sonstigen CMOS-Komponenten ermöglicht), besonders attraktiv. Die geringere Stapelhöhe von LCI-Lasern kann im Besonderen die Integration an kleineren Knoten als ihre Entsprechungen mit vertikaler Stromeinspeisung ermöglichen. Allgemeiner sollen möglicherweise verschiedene Arten von III-V-Stapeln (für Laser-, Erkennungs- oder Verstärkungszwecke) in Photonik-Plattformen integriert werden.

[0004] Der Stand der Technik befasst sich mit dem Wärmemanagement von III-V-Lasern auf Silicium durch Beschichten des Lasers mit einem Material mit hoher Wärmeleitfähigkeit, das weder mit CMOS kompatibel ist, noch mit einem Einbetten des Lasers in das Back-End-of-Line eines Silicium-Chips kompatibel ist.

[0005] Daher besteht nach dem Stand der Technik ein Bedarf, das oben genannte Problem zu lösen.

[0006] Die US 2009 / 0 168 821 A1 betrifft eine optimierte Struktur für die Wärmeableitung, die zwei Arten von thermischen Shunts enthalten kann. Bei der ersten Art des thermischen Shunts werden p- und n-Metallkontaktschichten verwendet, um die Wärme vom aktiven Bereich weg und in das Siliziumsubstrat zu leiten. Bei der zweiten Art des thermi-

schen Shunts wird ein Teil des Siliziumwafers geätzt und mit Polysilizium wieder aufgefüllt, um Wärme zum Siliziumsubstrat zu leiten.

[0007] Die US 2013 / 0 259 077 A1 betrifft einen Laser, umfassend: einen Verstärker mit Heterostruktur vom Typ III-V, der dazu eingerichtet ist, Photonen zu erzeugen, einen Wellenleiter, der mit dem Verstärker optisch gekoppelt ist und der einen Abschnitt mit der Form einer Zinne umfasst, deren Scheitel zu dem Verstärker proximal ist, wobei der Scheitel der Zinne und die Seitenflanken der Zinne mit einer Schicht aus einem dielektrischen Material in der Nähe des Verstärkers überzogen sind, wobei die Zinne durch eine Basis und einen Vorsprung des Wellenleiters gebildet ist, wobei das die Basis bildende Material von dem den Vorsprung bildenden Material verschieden ist.

[0008] Die Veröffentlichung „Hybrid Silicon Laser Technology: A Thermal Perspective“ betrifft eine Analyse der hybriden Laserintegrationsplattform aus thermischer Sicht. Die Architektur wurde anhand von Messungen der thermischen Impedanz und Simulationen analysiert, die eine thermische Impedanz von 41,8 bzw. 41,3 °C/W ergeben. Simulationen der Hybridstruktur zeigen, dass der Hauptfaktor, der die thermische Impedanz des Bauelements beeinflusst, die vergrabene Oxidschicht ist, die mehr als 50 % des thermischen Widerstands ausmacht. Eine thermische „Shunt“-Technologie wird eingesetzt, um den Effekt des vergrabenen Oxids zu mildern. Bei dieser Technologie werden Poly-Si-Plugs eingesetzt, die die thermische Energie von den gebondeten III-V-Schichten weg und in das Siliziumsubstrat leiten können. Mit Hilfe dieser thermischen Shunts konnte die thermische Impedanz eines 800 µm langen Fabry-Perot-Hybridlasers um 25 % von 40 auf 32 °C/W reduziert werden. Für Fabry-Perot-Strukturen, die thermische Shunts enthalten, beträgt die thermische Impedanz des Geräts im günstigsten Fall (wenn $k_{\text{poly-Si}} = k_{\text{Si}}$) ~ 24 °C/W, was durch Ausdünnen des Si-Substrats weiter verbessert werden könnte. (Sysak, M.N.; u.a.: Hybrid Silicon Laser Technology: A Thermal Perspective. In: IEEE Journal of Selected Topics in Quantum Electronics, Vol. 17, No. 6, 2011, S. 1490-1498).

KURZDARSTELLUNG

[0009] Die Erfindung betrifft einen Siliciumphotonik-Chip, eine Elektrooptische Einheit und ein Verfahren zu deren Fertigung, deren Merkmalen in den entsprechenden unabhängigen Ansprüchen angegeben sind. Ausführungsformen der Erfindung sind in den abhängigen Patentansprüchen angegeben

[0010] In einem Beispiel wird eine elektrooptische Einheit bereitgestellt, die zwei Wafer-Komponenten aufweist. Die erste Wafer-Komponente beinhaltet

ein Siliciumsubstrat und eine Mantelschicht auf dem Siliciumsubstrat. Die Mantelschicht weist einen darin ausgebildeten Hohlraum auf. Der Hohlraum ist mit einem elektrisch isolierenden Wärmeverteiler gefüllt, der des Weiteren eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht aufweist. Die zweite Wafer-Komponente weist einen Stapel von III-V-Halbleiter-Verstärkungsmaterialien auf, der für eine optische Verstärkung einer bestimmten Strahlung (Wellenlängenbereich) entwickelt ist. Die zweite Wafer-Komponente ist so mit der ersten Wafer-Komponente verbunden, dass der Stapel von III-V-Halbleiter-Verstärkungsmaterialien in thermischer Verbindung mit dem Wärmeverteiler steht. Darüber hinaus weist der Wärmeverteiler einen Brechungsindex auf, der jeweils niedriger als der Brechungsindex des Siliciumsubstrats und als ein mittlerer Brechungsindex des Stapels von III-V-Halbleiter-Verstärkungsmaterialien bei der bestimmten Strahlung (Wellenlängenbereich) ist.

[0011] In dem obigen Beispiel ist der Wärmeverteiler in die Siliciumplattform integriert, was eine effiziente Wärmeübertragung von der III-V-Einheit ermöglicht und wiederum im Betrieb ein Wärmemanagement von Wärme ermöglicht, die durch aktive Teile der Einheit erzeugt wird. Die Integration des/der Wärmeverteiler(s) erfolgt jedoch nicht zulasten zunehmender Abmessungen der elektrooptischen Einheiten. Vielmehr ersetzen die Wärmeverteiler Volumenteile eines Mantelmaterials, die sonst vorhanden wären, sodass die Integration der Verteiler sich nicht wesentlich auf die Dicke der Einheiten auswirkt.

[0012] Der Hohlraum erstreckt sich beispielsweise zumindest zum Teil durch die Mantelschicht. Bevorzugt erstreckt sich der Hohlraum in der Mantelschicht jedoch bis hinauf zu dem Siliciumsubstrat. Auf diese Weise kommt der Wärmeverteiler, der den Hohlraum füllt, mit dem Siliciumsubstrat in Kontakt. Auf diese Weise dient das Siliciumsubstrat, das im Hinblick auf die integrierte III-V-Komponente und den Wärmeverteiler vergleichsweise große Abmessungen aufweist, als Kühlkörper.

[0013] Für eine effiziente Wärmeableitung ist der Stapel von III-V-Halbleiter-Verstärkungsmaterialien bevorzugt so strukturiert, dass er sich gegenüber dem Wärmeverteiler befindet. D.h., der resultierende strukturierte III-V-Stapel befindet sich so gegenüber dem Wärmeverteiler, dass er letzterem (zumindest zum Teil) zugewandt ist.

[0014] In einem Beispiel weist der Wärmeverteiler eine Wärmeleitfähigkeit auf, die mindestens zehnmal größer als diejenige der Mantelschicht ist. Es ist tatsächlich möglich, einen sehr effizienten Wärmeleiter einzubetten, der ansonsten alle Anforderungen im Hinblick auf den elektrischen Widerstand und den Brechungsindex erfüllt. In dieser Hinsicht weist der

Wärmeverteiler einen Brechungsindex auf, der bevorzugt weniger als 3,1 oder sogar weniger als 2,5 bei Wellenlängen von mehr als 200 nm beträgt.

[0015] Bevorzugt handelt es sich bei der ersten Wafer-Komponente um einen Silicium-auf-Isolator-Wafer und weist die Mantelschicht auf: eine erste Oxidschicht, die einem vergrabenen Oxid des Silicium-auf-Isolator-Wafers entspricht; und eine zweite Oxidschicht auf der ersten Oxidschicht. Die zweite Oxidschicht kann tatsächlich für optische Kopplungszwecke benötigt werden. Nichtsdestotrotz kann sich der Hohlraum durch die zweite Oxidschicht und zumindest zum Teil durch die erste Oxidschicht erstrecken, damit sich der Wärmeverteiler in der Nähe des Siliciumsubstrats und, falls möglich, in direktem Kontakt mit diesem befindet.

[0016] In einem Beispiel weist die elektrooptische Einheit einen Satz von zwei oder mehr Hohlräumen auf, die in der Mantelschicht ausgebildet sind (einschließlich des obigen Hohlräume), wobei die Hohlräume des Satzes mit jeweiligen Wärmeverteilern gefüllt sind (einschließlich des obigen Wärmeverteilers). Jeder der Wärmeverteiler ist elektrisch isolierend und weist eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht auf. Darüber hinaus ist der Stapel von III-V-Halbleiter-Verstärkungsmaterialien so angeordnet, dass er mit sämtlichen Wärmeverteilern in thermischer Verbindung steht. Eine Anordnung von mehreren Wärmeverteilern in verschiedenen Hohlräumen ermöglicht, Wärme von mehreren Komponenten abzuleiten; sie ermöglicht des Weiteren, Komponenten in verbleibenden Abschnitten zwischen den Hohlräumen bereitzustellen.

[0017] Beispielsweise kann die elektrooptische Einheit zwei Wärmeverteiler beinhalten, die durch einen verbleibenden Abschnitt der Mantelschicht getrennt sind, wobei dieser Abschnitt gegenüber dem Stapel von III-V-Halbleiter-Verstärkungsmaterialien angeordnet ist. Darüber hinaus kann die elektrooptische Einheit des Weiteren eine Siliciumkomponente (z.B. einen Silicium-Wellenleiterkern) aufweisen, die in den verbleibenden Abschnitt der Mantelschicht eingebettet ist. Diese Siliciumkomponente kann aus einer obersten Silicium-Ausgangsschicht des Silicium-auf-Isolator-Wafers gewonnen worden sein. Auf diese Weise kann die (oberste) Siliciumausgangsschicht des Silicium-auf-Isolator-Substrats dazu genutzt werden, Strukturelemente zu bearbeiten, z.B. wie sie erforderlich sind, um eine optische Kopplung von/mit dem III-V-Stapel zu ermöglichen.

[0018] Bevorzugt handelt es sich bei dem Wärmeverteiler um ein CMOS-kompatibles Material. Folglich kann es sich bei Ausführungsformen bei der elektrooptischen Einheit um eine CMOS-gefertigte Einheit handeln, wobei der Stapel von III-V-Halblei-

ter-Verstärkungsmaterialien in das Back-End-of-Line der elektrooptischen Einheit eingebettet sein kann.

[0019] In einem Beispiel weist die elektrooptische Einheit eine kantenemittierende Laser-Einheit (einschließlich des III-V-Stapels) auf. Eine Integration von Wärmeverteilern ist in diesem Fall besonders vorteilhaft, da die Integration von Laser-Quellen auf Silicium durch Wafer-Bonden ansonsten zu übermäßiger Wärme führen und auf diese Weise die Leistungsfähigkeit von Lasern verschlechtern kann. Die Laser-Einheit kann zum Beispiel in die zweite Wafer-Komponente eingebettet werden, um ein gemeinsames Back-End-of-Line mit sonstigen elektronischen Komponenten zu ermöglichen, die in die zweite Wafer-Komponente integriert sind. Bevorzugt handelt es sich bei dieser Laser-Einheit um eine kantenemittierende Laser-Einheit mit seitlicher Stromspeisung, die ermöglicht, die Dicke der Einheit zu verringern. Bei Varianten kann es sich bei der Laser-Einheit gleichwohl um eine kantenemittierende Laser-Einheit mit vertikaler Stromspeisung handeln.

[0020] Im Hinblick auf Materialien weist der Wärmeverteiler bevorzugt Diamant, Bornitrid und/oder Aluminiumnitrid auf, wobei diese Materialien sämtliche oben dargelegten Anforderungen erfüllen. Bevorzugt wird Aluminiumnitrid verwendet, das leicht zu bearbeiten ist, insbesondere da dieselben Materialien ansonsten zum Gewinnen von Verbindungsschichten und zum Erzielen eines Wafer-Bonding verwendet werden können. Darüber hinaus weist der Stapel von III-V-Halbleiter-Verstärkungsmaterialien bei Ausführungsformen $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{As}$, wobei $0 \leq x \leq 1$ und $0 \leq y \leq 1 - x$ gilt, InGaAsP oder InGaAsN auf.

[0021] In einem weiteren Beispiel wird ein Silicium-photonik-Chip bereitgestellt, der eine darin integrierte elektrooptische Einheit aufweist, wie sie unter Bezugnahme auf Ausführungsformen beschrieben wird.

[0022] In einem abschließenden Beispiel wird ein Verfahren zum Fertigen einer solchen elektrooptischen Einheit bereitgestellt. Im Wesentlichen beruht das Verfahren auf einem Wafer-Bonden zweier Komponenten. Die erste Komponente weist ein Siliciumsubstrat und eine Mantelschicht auf dem Siliciumsubstrat auf, wohingegen die zweite Komponente einen Stapel von III-V-Halbleiter-Verstärkungsmaterialien aufweist, wie zuvor erwähnt. Ein Hohlraum wird in der Mantelschicht der ersten Komponente erzeugt. Der Hohlraum wird anschließend mit einem elektrisch isolierenden Material gefüllt, um einen Wärmeverteiler auszubilden, wie zum Beispiel oben beschrieben (der eine(n) geeignete(n) Wärmeleitfähigkeit, Brechungsindex und elektrischen Widerstand aufweist). Die beiden Komponenten werden durch Wafer-Bonding verbunden, und der Stapel

von III-V-Halbleiter-Verstärkungsmaterialien wird des Weiteren so strukturiert, dass ein strukturierter Stapel gewonnen wird, der sich gegenüber und in thermischer Verbindung mit dem ausgebildeten Wärmeverteiler befindet.

[0023] In Übereinstimmung mit den obigen Beispielen der elektrooptischen Einheit erstreckt sich der Hohlraum zumindest zum Teil durch die Mantelschicht. Der Hohlraum wird bevorzugt durch Ätzen der Mantelschicht bis hinunter zu dem Siliciumsubstrat erzeugt und anschließend mit einem Material gefüllt, um den Wärmeverteiler so auszubilden, dass letzterer mit dem Siliciumsubstrat in Kontakt steht.

[0024] In einem Beispiel handelt es sich bei der ersten bereitgestellten Wafer-Komponente um einen Silicium-auf-Isolator-Wafer, und das Verfahren weist des Weiteren vor dem Erzeugen des Hohlraums ein Abscheiden einer zweiten Oxidschicht auf einer ersten Oxidschicht auf, die einem vergrabenen Oxid des Silicium-auf-Isolator-Wafers entspricht, um die Mantelschicht auszubilden. Anschließend wird der Hohlraum durch die zweite Oxidschicht so geätzt, dass der Hohlraum zumindest zum Teil in die erste Oxidschicht hineinreicht.

[0025] Die beispielhaften Fertigungsverfahren können das Erzeugen eines Satzes von zwei oder mehr Hohlräumen in der Mantelschicht beinhalten, die anschließend mit einem geeigneten Material gefüllt werden, um Wärmeverteiler zu gewinnen. Der Stapel von III-V-Halbleiter-Verstärkungsmaterialien wird dennoch so strukturiert, dass der resultierende Stapel gegenüber den Wärmeverteilern und in thermischer Verbindung mit diesen angeordnet ist.

[0026] Schließlich werden die ersten Wafer-Komponenten bevorzugt als Silicium-auf-Isolator-Wafer bereitgestellt, der aufweist: ein Siliciumsubstrat; eine erste Oxidschicht auf dem Siliciumsubstrat; und eine oberste Siliciumschicht auf der ersten Oxidschicht. Die oberste Siliciumschicht des Silicium-auf-Isolator-Wafers wird so strukturiert, dass eine Siliciumkomponente gewonnen wird, und eine zweite Oxidschicht wird so auf der ersten Oxidschicht der ersten Wafer-Komponente abgeschieden, dass eine Mantelschicht ausgebildet wird, die die erste Oxidschicht und die zweite Oxidschicht aufweist, wobei die Siliciumkomponente darin eingebettet wird. Die nachfolgend erzeugten Hohlräume sind z.B. zu optischen Kopplungszwecken durch einen verbleibenden Abschnitt der Mantelschicht, in die die Siliciumkomponente eingebettet ist, dazwischen getrennt.

[0027] Im Folgenden werden Verfahren zur Fertigung von Einheiten, die die vorliegende Erfindung verkörpern, mithilfe von nicht beschränkenden Bei-

spielen und unter Bezugnahme auf die beigefügten Zeichnungen beschrieben.

Figurenliste

[0028] Die vorliegende Erfindung wird nun lediglich beispielhaft unter Bezugnahme auf bevorzugte Ausführungsformen beschrieben, wie sie in den folgenden Figuren veranschaulicht werden:

Fig. 1 bis Fig. 3 sind vereinfachte 2D-Querschnittansichten von elektrooptischen Einheiten gemäß Ausführungsformen, in die Wärmeverteiler und Kühlkörper integriert sind, die eine kantenemittierende Laser-Einheit aufweisen, die einen Stapel von III-V-Halbleiter-Verstärkungsmaterialien beinhaltet, wobei **Fig. 1** eine Einheit mit seitlicher Stromeinspeisung darstellt und **Fig. 2** und **Fig. 3** Einheiten mit vertikaler Stromeinspeisung darstellen, wobei **Fig. 3** zusätzlich einen in eine Mantelschicht eingebetteten Silicium-Wellenleiter unter dem Stapel der III-V-Materialien aufweist;

Fig. 4 ist eine (vereinfachte) Draufsicht auf eine Einheit wie in **Fig. 3**, wobei einige der verdeckten Komponenten durch gestrichelte Linien gekennzeichnet sind;

Fig. 5 ist eine 2D-Querschnittansicht eines Siliciumphotonik-Chips gemäß Ausführungsformen, in den Wärmeverteiler und Kühlkörper integriert sind, wobei eine elektrooptische Einheit mit einem Bipolartransistor mit Heterostruktur kointegriert ist;

Fig. 6 und **Fig. 7** sind Graphen, die jeweils die Ausgangsleistung und die Temperaturerhöhung vergleichen, die üblicherweise mit elektrooptischen Einheiten gemäß Ausführungsformen (mit integriertem Wärmemanagement) und mit Einheiten ohne Wärmemanagement erzielt werden; und

Fig. 8 zeigt einen veranschaulichten Ablaufplan, der Schritte einer Fertigung einer elektrooptischen Einheit auf hoher Ebene gemäß Ausführungsformen darstellt.

[0029] Die beigefügten Zeichnungen zeigen vereinfachte Darstellungen von Einheiten und Teilen davon, wie sie in Ausführungsformen beinhaltet sind. Technische Merkmale, die in den Zeichnungen dargestellt werden, sind nicht zwingend maßstabgetreu. Ähnlichen oder funktional ähnlichen Elementen in den Figuren sind dieselben Bezugszeichen zugewiesen worden, sofern nichts anderes angegeben wird.

AUSFÜHRLICHE BESCHREIBUNG VON AUSFÜHRUNGSFORMEN DER ERFINDUNG

[0030] Wie in der Einleitung erwähnt, sollen möglicherweise III-V-Stapel in Photonik-Plattformen integriert werden. Insgesamt soll die Dicke der resultierenden Einheiten verringert werden. Wie zu erkennen ist, ist ein Wärmemanagement erforderlich, um die durch III-V-Stapel erzeugte Wärme in dünnen Plattformen abzuleiten. Dies erfordert jedoch üblicherweise ein Hinzufügen von Wärmeverteiler-/Kühlkörper-Komponenten auf der Plattform, was sich wiederum auf die Abmessungen der Einheit auswirkt und folglich im Widerspruch zu dem eigentlichen Zweck einer Verringerung der Abmessungen der Einheiten steht. Die Erfinder der vorliegenden Erfindung haben daher Lösungen zum Lösen dieses Problems entwickelt.

[0031] Unter Bezugnahme auf **Fig. 1 bis Fig. 4** wird zunächst ein Aspekt der Erfindung beschrieben, der elektrooptische Einheiten 11 bis 14 betrifft, die ein Wärmemanagement von Wärme integrieren, die durch eine aktive optische Komponente solcher Einheiten erzeugt wird. In jedem Fall weisen die vorliegenden Einheiten zwei Wafer-Komponenten 1, 2 auf.

[0032] Die erste Wafer-Komponente 1 weist ein Silicium(Si)-Substrat 100 und eine Mantelschicht 101, 103 auf, die sich auf dem Si-Substrat 100 befindet. Die erste Komponente 1 kann aus im Folgenden angegebenen Gründen anfangs als Silicium-auf-Isolator(SOI)-Wafer bereitgestellt werden.

[0033] Die Mantelschicht 101, 103 weist einen oder mehrere darin ausgebildete Hohlräume 104c auf. Jeder Hohlraum 104c wird so mit einem elektrisch isolierenden Material gefüllt, dass ein Wärmeverteiler 104 (**Fig. 1, Fig. 2**) oder ein Satz von Verteilern 104a, 104b (**Fig. 3, Fig. 4**) ausgebildet wird. Ein Hohlraum 104c wird üblicherweise in die Mantelschicht 101, 103 geätzt, und dies bevorzugt bis hinunter zu dem Si-Substrat 100, wie im Folgenden erläutert. Auf diese Weise wird die Mantelschicht 101, 103 durch das Vorhandensein eines oder mehrerer Hohlräume strukturiert und kann möglicherweise aus Schichtabschnitten bestehen, die in der Ebene parallel zu einer horizontalen Ebene des Stapels 108 ausgerichtet sind.

[0034] Ein Wärmeverteiler, wie er hierin verstanden wird, weist ein Material auf, das eine wesentlich größere Wärmeleitfähigkeit als die effektive Wärmeleitfähigkeit der Mantelschicht 101, 103 aufweist. Wie die Erfinder der vorliegenden Erfindung aus ihren Versuchen geschlossen haben, sollte, damit der Wärmeverteiler 104 eine spürbare Auswirkung auf die Wärmeableitung hat, die Wärmeleitfähigkeit des Wärmeverteilers bevorzugt eine oder mehrere Größenordnungen über der Wärmeleitfähigkeit der Man-

telschicht liegen (z.B. diese zumindest um einen Faktor von etwa 10 übersteigen).

[0035] Der elektrische Widerstand des Verteilers 104 sollte demgegenüber üblicherweise zumindest 10^4 Ohmmeter ($\Omega \cdot m$) betragen, um den III-V-Stapel ausreichend zu isolieren. Über seine Wärmeleitfähigkeit und seinen elektrischen Widerstand hinaus unterliegt der Wärmeverteiler 104 des Weiteren zusätzlichen Anforderungen im Hinblick auf eine physische Position und einen Brechungsindex, wie im Folgenden erläutert.

[0036] Die zweite Wafer-Komponente 2 weist die aktive optische Komponente 106 bis 109 auf, die einen III-V-Stapel 108 aufweist, der im Folgenden häufig als „III-V-Stapel“ (oder gar als „Stapel“) bezeichnet wird. Der Stapel 108 enthält Materialien aus der Gruppe von III-V-Verbindungshalbleitern, die das Verstärkungsmedium bereitstellen, um eine optische Verstärkung von relevanten Strahlungen zu erzielen, wie per se bekannt.

[0037] Der III-V-Stapel 108 bildet bevorzugt einen Teil einer Laser-Komponente, z.B. eines Lasers mit seitlicher Stromeinspeisung (LCI) oder eines Lasers mit vertikaler Stromeinspeisung (vertical current injection, VCI) aus. Allgemeiner ausgedrückt, kann der III-V-Stapel 108 jedoch als Laser, als optischer Detektor oder als optischer Halbleiterverstärker (semiconductor optical amplifier, SOA) gestaltet sein. Wie in den beigefügten Zeichnungen angenommen, werden die III-V-Materialien des Stapels 108 entlang einer Stapelrichtung z senkrecht zu einer Hauptebene des Stapels gestapelt.

[0038] In allen Fällen ist der III-V-Stapel 108 in der Lage, eine Strahlung in einem bestimmten Wellenlängenbereich und im Besonderen mit einer bestimmten mittleren Wellenlänge zu erzeugen, zu erkennen oder zu verstärken. Der relevante Wellenlängenbereich liegt im optischen Bereich, d.h., 100 nm bis 1 mm, gemäß DIN 5031. Folglich bezieht sich der Ausdruck „Strahlung“, wie er hierin verwendet wird, auf eine elektromagnetische Strahlung im Wellenlängenbereich zwischen 100 nm und 1 mm. Jedoch liegt der Wellenlängenbereich bei den meisten Anwendungen, wie hierin vorgesehen, zwischen 200 nm und $7,5 \mu m$. Im Besonderen werden üblicherweise Wellenlängen von 1,3 und $1,55 \mu m$ (und möglicherweise 980 nm) für Datenübertragungs-/ Telekommunikationsanwendungen vorgesehen.

[0039] Die zweite Wafer-Komponente 2 wird so mit der ersten Wafer-Komponente 1 verbunden, dass der III-V-Stapel 108 in thermischer Verbindung mit dem Wärmeverteiler steht. Der Stapel wird üblicherweise so strukturiert, dass der resultierende strukturierte Stapel 108 präzise mit dem/den Wärmeverteiler(n) und sonstigen Komponenten der Einheit 11 bis

14 ausgerichtet ist, wie im Folgenden unter Bezugnahme auf Fertigungsverfahren erörtert wird.

[0040] Die Wärmeverteiler 104, 104a, 104b, die die Hohlräume 104c füllen, weisen jeweils einen Brechungsindex auf, der zumindest bei für den Stapel 108 relevanten Strahlungen jeweils niedriger ist als: (i) der Brechungsindex des Si-Substrats 100; und (ii) der mittlere Brechungsindex des III-V-Stapels 108. Diese Einschränkung soll sicherstellen, dass das Vorhandensein des/der Wärmeverteiler keine grundlegenden optischen Funktionen der Mantelschicht beeinträchtigt, die erforderlich sind, um eine Strahlung einzuschränken und unter Umständen zu ermöglichen, dass eine Strahlung von einem Wellenleiter 102 in den III-V-Stapel 108 und umgekehrt eingekoppelt wird.

[0041] Einen oder mehrere Wärmeverteiler 104, 104a, 104b direkt in die Si-Plattform zu integrieren, ermöglicht eine effiziente Wärmeübertragung von der aktiven optischen Einheit 107 bis 109, was wiederum ein Wärmemanagement der elektrooptischen Einheiten 11 bis 14 ermöglicht. Die Integration des/der Wärmeverteiler(s) erfolgt jedoch nicht zulasten vergrößerter Abmessungen der elektrooptischen Einheiten. Vielmehr ersetzen die Wärmeverteiler Volumenanteile des Mantels, die sonst vorhanden wären, sodass die Integration der Verteiler sich nicht wesentlich auf die Dicke der Einheiten auswirkt.

[0042] Daher kann der vorliegende Ansatz im Besonderen für die monolithische Integration von optoelektronischen III-V-Einheiten (z.B. Lasern, Detektoren, optischen Halbleiterverstärkern) auf komplementären Si-Metalloxid-Halbleiter(Complementary Metal Oxide Semiconductor, CMOS)-Plattformen verwendet werden, für die zweckmäßigerweise flache III-V-Stapel (üblicherweise weniger als 500 nm dick) verwendet werden können. In dieser Hinsicht sollte die Gesamtdicke der vorliegenden (verbundenen) Wafer 1, 2 bevorzugt 500 nm nicht übersteigen. Die mittlere Dicke der kombinierten Wafer 1, 2 kann zum Beispiel zwischen 50 nm und 400 nm und bevorzugt zwischen 120 nm und 280 nm (entlang der Achse z gemessen) betragen. Die exakte Dicke hängt von der tatsächlich verwendeten optoelektronischen Einheit ab. Beispielsweise ist die Dicke einer Einheit, die einen Laser mit seitlicher Stromeinspeisung integriert, üblicherweise geringer als die Dicke einer Einheit, die einen Laser mit vertikaler Stromeinspeisung integriert.

[0043] Hingegen bestehen vorherige Lösungen üblicherweise darin, die aktive optische Komponente (z.B. einen Laser) auf einem Chip zu integrieren, wodurch der aktive Bereich üblicherweise von Sili-ciumdioxid, einem Material mit einer schlechten Wärmeleitfähigkeit, umgeben wird. Infolgedessen strömt die Wärme vor allem seitlich an den Seiten der akti-

ven Komponenten und durch einen kleinen Querschnitt des Siliciumdioxids, was einen hohen Wärmewiderstand bedeutet. Abweichend von solchen vorherigen Ansätzen kann die Wärme hier über den Wärmeverteiler 104, 104a, 104b effizienter abgeleitet werden, jedoch ohne Auswirkungen auf die Abmessungen der Einheit.

[0044] Bei Ausführungsformen erstreckt sich jeder Hohlraum 104c, der in der Mantelschicht 101, 103 umgesetzt wird, so bis hinauf zu dem Si-Substrat 100, dass der/die Wärmeverteiler 104, 104a, 104b mit dem darunterliegenden Si-Substrat 100 in Kontakt steht/stehen, das auf diese Weise effizient als Kühlkörper fungieren kann. Ein solcher Hohlraum 104c wird bevorzugt bis hinunter zu dem Si-Substrat geätzt. Mit einer mäßig hohen Wärmeleitfähigkeit von 149 W/m.K leitet Si Wärme recht gut, wenngleich vielleicht nicht so effizient wie das für den Verteiler 104 gewählte Material. Jedoch gleichen die typischen Abmessungen des darunterliegenden Si-Substrats dies aus. Der Wärmeverteiler leitet die durch die aktive Einheit 107 bis 109 (im Besonderen durch den III-V-Stapel 108) erzeugte Wärmeenergie weiter und überträgt sie auf das Si-Substrat 100, um einen integrierten Kühlkörper in der Si-Plattform 11 bis 14 auszubilden. Darüber hinaus kann das Si-Substrat (Rückseitendünnung) möglicherweise (mithilfe bekannter Techniken) gedünnt werden, um einen Kühlkörper anzubringen, der eine höhere Wärmeleitung als Si bietet.

[0045] Bei Varianten kann der zwischenliegende Wärmeverteiler 104 jedoch mit sonstigen Komponenten der Einheit 11 bis 14 in thermischem Kontakt stehen, möglicherweise darin integriert sein, und die ebenfalls als Kühlkörper fungieren können. Bei sonstigen Varianten kann eine geringe verbleibende Dicke der Mantelschicht 101 die untere Fläche (wobei dieselbe Ausrichtung wie in **Fig. 1** bis **Fig. 3** angenommen wird) der Verteiler 104 von der oberen Fläche des Si-Substrats 100 trennen, ohne dass sich dies wesentlich auf die Wärmeableitungseigenschaften der Einheit 11 bis 14 auswirkt. Auf diese Weise steht der Wärmeverteiler 104 nicht zwingend mit dem Si-Substrat 100 in direktem Kontakt.

[0046] Unter Bezugnahme im Besonderen auf **Fig. 1** bis **Fig. 2** wird der III-V-Stapel 108 bevorzugt so strukturiert, dass er sich gegenüber dem Wärmeverteiler 104 befindet. „Gegenüber“ bedeutet, dass sich der III-V-Stapel so gegenüber dem Wärmeverteiler befindet, dass er letzterem zumindest zum Teil zugewandt ist. D.h., es besteht zumindest eine Teilüberlappung zwischen den jeweiligen Vorsprüngen des III-V-Stapels 108 und des Wärmeverteilers auf der Verbindungsebene 105. Ein Wärmeverteiler 104 kann zum Beispiel unter dem Stapel 108 zentriert sein, um eine Wärmeübertragung und -ableitung zu optimieren. Bei Varianten kann/können der/die Wär-

meverteiler geringfügig außermittig angeordnet sein, z.B. um eine weitere Komponente 102 zu ermöglichen, z.B. falls dies für optische Kopplungszwecke erforderlich ist, wie in **Fig. 3** angenommen. In diesem Fall sind jedoch bevorzugt zwei oder mehr Wärmeverteiler 104a, 104b, jeweils außermittig angeordnet, auf jeder Seite der mittigen Komponente 102 und dennoch zum Teil dem Stapel 108 zugewandt vorhanden.

[0047] Es ist zu beachten, dass die Wärme nicht nur durch den III-V-Stapel 108, sondern auch durch umgebende Teile 106, 107, 109 und in erheblich geringerem Ausmaß durch die elektrischen Kontakte (z.B. 110, 111 in **Fig. 1**) erzeugt wird. Folglich können eine oder mehrere der Abmessungen des/der Wärmeverteiler(s) in der Ebene zweckmäßigerweise entsprechende Abmessungen des III-V-Stapels 108 überschreiten. Dies ist im Besonderen in **Fig. 1** der Fall, wo die Erstreckungslänge des Verteilers 104 entlang der Achse x diejenige des einzigen III-V-Stapels 108 überschreitet. In ähnlicher Weise überschreitet die Erstreckungslänge entlang der Achse y jedes Verteilers 104a, 104b in **Fig. 4** geringfügig diejenige des III-V-Stapels 108. Wenngleich die Verteiler 104a, 104b, die in den Ausführungsformen von **Fig. 3** und **Fig. 4** enthalten sind, getrennt sind, überschreitet ihre Grundfläche insgesamt (entlang der Achse x zwischen den äußersten Enden der beiden Verteiler gemessen) darüber hinaus diejenige des III-V-Stapels 108 erheblich. Dies ermöglicht, Wärme aufzunehmen, die durch sonstige umgebende Komponenten, z.B. die Durchkontaktierungen 113 bis 116b, erzeugt wird. Im Allgemeinen stimmt die Grundfläche der Verteiler bevorzugt mit derjenigen des III-V-Stapels 108 überein (oder stimmt zumindest im Wesentlichen überein).

[0048] Wie zuvor erwähnt, wird die erste Wafer-Komponente 1 bevorzugt aus einem SOI-Wafer 1 strukturiert, d.h., aus einem Wafer, der so bearbeitet worden ist, dass er eine in dem SOI-Wafer 1 vergrabene Oxidschicht 101 (üblicherweise SiO₂) aufweist. Nichtsdestotrotz kann eine weitere Mantelschicht 103 z.B. zu optischen Kopplungs-/Einbettungszwecken erforderlich sein, sodass es sich bei der Mantelschicht 101, 103 eigentlich um eine Verbundschicht handeln kann, die die vergrabene Oxidschicht 101 des SOI-Wafers 1 und eine auf die Oberseite der ersten Oxidschicht 101 beschichtete zweite Oxidschicht 103 aufweist. In diesem Fall erstreckt/erstrecken sich der Hohlraum/die Hohlräume 104c durch die zweite Oxidschicht 103 und zumindest zum Teil durch die erste Oxidschicht 101. Aus zuvor erwähnten Gründen wird/werden der Hohlraum/die Hohlräume 104c jedoch bevorzugt bis hinunter zu dem Si-Substrat 100 geätzt. Die zweite Oxidschicht 103 kann zum Beispiel die erste Oxidschicht 101 direkt überziehen. Wie in **Fig. 3** veranschaulicht, kann die zweite Schicht 103 dazu dienen, einen Wellenleiter 102 zu

optischen Kopplungszwecken einzubetten, wobei die beiden Oxidschichten 101, 103 als Mantelschicht fungieren. Die zweite Schicht 103 kann in diesem Fall des Weiteren dazu dienen, einen Spaltabstand zu vergrößern und eine optische Kopplung zwischen dem III-V-Stapel 108 und dem Si-Wellenleiter 102 anzupassen. Die zweite Schicht kann genauso wie die erste Oxidschicht 101 SiO_2 aufweisen. Jedoch kann die optische Kopplung ein Material mit höherem Brechungsindex (z.B. Al_2O_3) verwenden. In diesem Fall kann der Si-Wellenleiter 102 mit einer Mantelstruktur 101, 103 beschichtet werden, die über das Ausgangsoxidmaterial 101 (z.B. SiO_2) hinaus ein anderes Oxidmaterial 103 (z.B. Al_2O_3) mit einem Brechungsindex aufweist, der höher als derjenige des Basismantelmaterials (bei der/den relevante(n) Strahlung(en)) ist.

[0049] Eine optische Kopplung kann jedoch auch ohne die zusätzliche Schicht 103 erreicht werden. In diesem Fall muss der III-V-Stapel 108 jedoch üblicherweise verjüngt sein, um die Kopplung zu ermöglichen. Dies verhindert einige Anwendungen, da die verjüngten III-V-Bereiche zum Auftreten von ungepumpten Bereichen und letztlich zu optischen Verlusten führen können, die im Besonderen für den Bereich des III-V-Stapels erheblich sein können.

[0050] Wenn es nicht erforderlich ist, Komponenten wie zum Beispiel den Wellenleiter 102 zu fertigen, kann die oberste Si-Schicht des SOI-Substrats vollständig entfernt werden, also ein freiliegendes SOI-Substrat ausgebildet werden, das frei von jeglichem verbleibenden Abschnitt der obersten Si-Schicht ist. Die oberste Si-Schicht kann jedoch benötigt werden, z.B. um Wellenleiter oder sonstige Si-Komponenten zu fertigen, wie in den Ausführungsformen von **Fig. 3** bis **Fig. 5**, wobei darauf hingewiesen wird, dass die Ausführungsformen von **Fig. 1** und **Fig. 2** ebenfalls Wellenleiter beinhalten können (wenngleich sie nicht dargestellt werden). Folglich kann die Mantelschicht 101, 103 verbleibende Abschnitte der vergrabenen Ausgangsoxidschicht 101 des SOI-Wafers aufweisen. Darüber hinaus kann der Mantel 101, 103 des Weiteren eine zusätzliche Oxidschicht 103 oder verbleibende Abschnitte davon zuoberst aufweisen, wodurch eine Verbundoxidschicht 101, 103 ausgebildet wird, die möglicherweise strukturiert ist. Üblicherweise weist die Mantelschicht 101, 103 ein oder mehrere Oxide auf. Die Mantelschichten 101, 103 sind bevorzugt aus demselben Material, z.B. aus SiO_2 , Saphir (d.h., kristallinem Al_2O_3) oder amorphem Al_2O_3 hergestellt.

[0051] Die beiden Komponenten 1, 2 werden üblicherweise durch eine oder mehrere Verbindungsschichten 105, 105a, 105b (siehe **Fig. 8**) verbunden, die aus einem Material hergestellt sind, das so gewählt wird, dass eine gute thermische Verbindung zwischen der aktiven Komponente 107 bis 109 und

den Wärmeverteilern 104, 104a, 104b sichergestellt wird. Die Verbindungsschicht(en) kann/können zum Beispiel SiO_2 oder Al_2O_3 aufweisen. Die Verbindungsschicht weist üblicherweise eine Dicke von weniger als 50 nm, bevorzugt weniger als 30 nm auf. Interessanterweise kann des Weiteren eine AlN-AlN-Verbindung in Betracht gezogen werden. Eine Verwendung von AlN für die Verbindungsschicht wäre zum Beispiel besonders vorteilhaft, wenn ansonsten AlN für den Wärmeverteiler verwendet wird, wie im Folgenden erörtert. Jedoch sollte in diesem Fall die Dicke der AlN-Verbindungsschicht bevorzugt auf 20 nm begrenzt sein. Zusätzliche Erläuterungen hinsichtlich der bevorzugten Fertigungsverfahren werden im Folgenden unter Bezugnahme auf **Fig. 8** ausführlich erörtert.

[0052] Unter Bezugnahme im Besonderen auf **Fig. 3** und **Fig. 4**: kann eine elektrooptische Einheit 13 gemäß Ausführungsformen einen Satz von zwei oder mehr Hohlräumen 104c aufweisen, der in der Mantelschicht 101, 103 ausgebildet ist, wobei die Hohlräume 104c so gefüllt werden, dass ein Satz von Wärmeverteilern 104a, 104b ausgebildet wird. Die gewonnenen Wärmeverteiler unterliegen jeweils wiederum denselben Einschränkungen, wie zuvor erörtert, im Hinblick auf den elektrischen Widerstand, den Brechungsindex (im Verhältnis zu dem III-V-Stapel und Silicium) und die Wärmeleitfähigkeit. Im Besonderen weisen die Verteiler jeweils eine Wärmeleitfähigkeit auf, die größer als diejenige der angrenzenden Mantelschicht 101, 103 ist. In Übereinstimmung mit den der vorliegenden Erfindung zugrundeliegenden Grundgedanken wird der III-V-Stapel 108 so angeordnet, dass er mit den Wärmeverteilern 104a, 104b des Satzes in thermischer Verbindung steht.

[0053] Bevorzugt wird der III-V-Stapel 108 hier wieder gegenüber den Wärmeverteilern 104a, 104b angeordnet, d.h., so, dass er die letzteren zumindest zum Teil überlappt. Ein Anordnen mehrerer Verteiler 104a, 104b in unterschiedlichen Hohlräumen 104c ermöglicht, eine oder mehrere Si-Komponenten 102 in verbleibenden Abschnitten zwischen den Hohlräumen 104c bereitzustellen. Wie zuvor erwähnt, können die Komponenten 102 aus der obersten Si-Ausgangsschicht des SOI-Substrats 100 ausgebildet worden sein.

[0054] Im Besonderen und wie in **Fig. 3** bis **Fig. 4** dargestellt, können die gewonnenen Wärmeverteiler zwei Verteiler 104a, 104b beinhalten, die durch einen verbleibenden Abschnitt der Mantelschicht 101, 103 getrennt sind. Dieser verbleibende Abschnitt ist gegenüber dem III-V-Stapel 108 angeordnet. Hier weist die elektrooptische Einheit 11 bis 14 des Weiteren eine Si-Komponente 102 auf, die in den verbleibenden Abschnitt der Mantelschicht 101, 103 eingebettet ist. Diese Si-Komponente 102 wird zweckmä-

ßigerweise aus der obersten Si-Ausgangsschicht 102i des SOI-Wafers 1 strukturiert.

[0055] Bei dieser Si-Komponente kann es sich im Besonderen um einen Si-Wellenleiter 102 handeln, der gegenüber dem III-V-Stapel 108 angeordnet ist. Wie des Weiteren in **Fig. 3**, **Fig. 4** angenommen, kann der Si-Wellenleiter verjüngt sein, um eine optische Kopplung von/mit dem III-V-Stapel 108 zu begünstigen. Bei (nicht dargestellten) Varianten können zusätzliche Si-Komponenten (die aus derselben obersten Si-Schicht strukturiert werden) vorhanden sein, und/oder der Si-Wellenleiterkern 102 kann des Weiteren so strukturiert werden, dass er einen oder mehrere, z.B. zwei, verteilte Bragg-Reflektoren (Distributed Bragg reflectors, DBR) aufweist. Die Bragg-Reflektoren können angeordnet sein in einem oder mehreren von: einem Eingangsabschnitt und einem Ausgangsabschnitt des Wellenleiterkerns, wie perse bekannt. Bei sonstigen Varianten können die elektrooptischen Einheiten dank eines optischen Wellenleiterkerns, der so strukturiert ist, dass er einen oder mehrere Reflektoren mit verteilter Rückkopplung aufweist, die in einem mittleren Abschnitt des Wellenleiterkerns, d.h., zwischen den Verjüngungen, angeordnet sind, als Laser mit verteilter Rückkopplung (Distributed Feedback (DFB) laser) gestaltet sein.

[0056] In allen Fällen kann die Schichtstruktur mit dem Si-Wellenleiter 102 unter dem III-V-Stapel dazu gestaltet sein, eine Strahlung zwischen dem III-V-Stapel und dem Si-Wellenleiter 102 optisch zu koppeln. Diese optische Kopplung kann im Betrieb der Einheit 13 bidirektional oder wechselseitig sein, d.h. von dem III-V-Stapel 108 zu dem Si-Wellenleiter 102 und umgekehrt von dem Si-Wellenleiter 102 zu dem III-V-Stapel 108 erfolgen.

[0057] Die optische Kopplung ist idealerweise adiabatisch. D.h., der Si-Wellenleiter 102 ist bevorzugt so gestaltet, dass er eine adiabatische Kopplung mit dem III-V-Stapel 108 ermöglicht, woraus sich die Verjüngungen in dem Si-Wellenleiter 102 ergeben, wie in **Fig. 4** zu sehen. Eine adiabatische optische Kopplung ist per se bekannt. Eine Adiabasiebedingung ist erfüllt, wenn die optische Verteilung durch dieselbe Eigenmode, d.h. eine Supermode des gekoppelten Systems über den gesamten Kontakt hinweg, mit minimaler Streuung zu sonstigen Supermoden oder Strahlungsmoden definiert ist. Adiabasie ist jedoch bekanntlich ein relativer Begriff; ein Koppler wird als adiabatisch betrachtet, wenn der optische Verlust unter einem vordefinierten Niveau liegt, z.B. weniger als 15 %, jedoch üblicherweise weniger als 10 % beträgt. Verjüngte Abschnitte des Si-Wellenleiters 102 können dazu konstruiert sein, die optische Kopplung zu optimieren und gleichzeitig die optische Kopplung zwischen den äußeren (breiten) Abschnitten des Wellenleiters 102 zu minimieren. Die Länge

der Verjüngungsabschnitte beträgt üblicherweise zwischen 10 µm und 10 mm, wobei dieser Längenbereich in der Praxis ein Überschreiten der Grenzen der Adiabasie ermöglicht.

[0058] Das zum Fertigen des/der Wärmeverteiler(s) 104, 104a, 104b verwendete Material ist bevorzugt CMOS-kompatibel. D.h., dieses Material ist bevorzugt mit einem CMOS-Fertigungsprozess kompatibel, während der Prozess zum Fertigen des Hohlraums/der Hohlräume 104c und der Füllung mit einem CMOS-Fertigungsprozess kompatibel gemacht werden kann (d.h., der strukturierte Wafer 1 kann CMOS-kompatibel sein). Dies ermöglicht im Besonderen die Integration der vorliegenden elektrooptischen Einheiten mit integrierten CMOS-Schaltungen.

[0059] Dementsprechend können zumindest Teile der vorliegenden elektrooptischen Einheiten 11 bis 14 CMOS-gefertigt werden. Im Besonderen kann der III-V-Stapel 108 in das Back-End-of-Line (BEOL) der elektrooptischen Einheit 11 bis 14 eingebettet werden. Dennoch wird/werden die/der Wärmeverteiler bevorzugt zum Teil in das Back-End-of-Line und zum Teil unterhalb des Front-End-of-Line (FEOL) eingebettet, da das Material, das zum Füllen der Hohlräume verwendet wird, sich unterhalb der FEOL-Grenze erstrecken kann, wie in **Fig. 1** bis **Fig. 3** angenommen.

[0060] Wie zuvor erwähnt, können die vorliegenden elektrooptischen Einheiten 11 bis 14 im Besonderen eine kantenemittierende Laser-Einheit 106 bis 109 beinhalten, wobei die letztere den III-V-Stapel 108 beinhaltet. Eine Integration eines Wärmeverteilers ist in diesem Fall besonders vorteilhaft, da die Integration von Laser-Quellen auf Si durch Wafer-Bonden ansonsten aufgrund einer Wirkung, die als „Eigenerwärmungswirkung“ bekannt ist, zu übermäßiger Wärme führen und die Leistungsfähigkeit von Lasern verschlechtern würde. Diese Wirkung wird in **Fig. 6** und **Fig. 7** veranschaulicht. Tatsächlich ist die ideale, theoretische Ausgangsleistung eines LCI-Lasers eine lineare Funktion des Ruhestroms, wie in **Fig. 6** veranschaulicht. Bei einem „echten“ LCI-Laser gilt das lineare Regime nur für kleine Ruhestromwerte. Wird zum Beispiel ein CW (continuous wave, Dauerstrich)-DBR-Laser mit geringer Leistung auf Silicium (mit einem Reflexionsvermögen auf der Ausgangsseite von $R_2 = 0,9$) angenommen, bei dem der Laser in einen flachen Stapel (mit einer Dicke von weniger als 500 nm) integriert ist, gilt das lineare Regime nur für Ruhestrome, die üblicherweise kleiner als 20 mA sind. Wenn jedoch ein Wärmemanagement (auf Grundlage zweier zwischengefügter Verteiler in Kontakt mit dem Si-Substrat) in einer ansonsten identischen Einheit (wie bei Ausführungsformen) integriert wird, ist zu erkennen, dass die Ausgangsleistung wesentlich erhöht werden kann (z.B.

um einen Faktor von zwei bei einem Ruhestrom von 50 mA und bei mehr als 50 mA erheblich mehr). Darüber hinaus kann eine beträchtliche Ausgangsleistung über einen erheblich größeren Bereich von Ruhestromen (> 200 mA, **Fig. 6**) aufrechterhalten werden. Dies kann dem Umstand zugeschrieben werden, dass ein integriertes Wärmemanagement ermöglicht, die Erhöhungstemperatur der Einheit deutlich zu senken, was wiederum die nachteilige Folge der Eigenerwärmungswirkung mildert (**Fig. 7**).

[0061] Wie in **Fig. 1** bis **Fig. 4** angenommen, wird die Laser-Einheit 106 bis 109 bevorzugt so in die III-V-Wafer-Komponente 2 eingebettet, dass ein mit sonstigen elektronischen Komponenten gemeinsames Back-End-of-Line ermöglicht wird, wenn solche zusätzlichen Komponenten in dieselbe Wafer-Komponente 2 integriert werden müssen. D.h., Metallstopfen, Verbindungen und Durchkontaktierungen 113, 113a, 114, 114a, 115, 115a, 116, 116a (**Fig. 3**) können durch die verschiedenen (nicht dargestellten) oberen Schichten bis hinunter zu der Laser-Einheit 107 bis 109 zusammen mit für die (nicht dargestellte) Elektronik benötigten Durchkontaktierungen und Metallstopfen bearbeitet werden. Ähnliche Anordnungen werden für die Einheiten von **Fig. 1** bis **Fig. 2** in Betracht gezogen, und zusätzliche (nicht dargestellte) elektronische Komponenten können (parallel zu der Laser-Einheit 107 bis 109) im Wesentlichen auf dieselbe Weise integriert und elektrisch in Kontakt gebracht werden.

[0062] Wie in **Fig. 1** veranschaulicht, kann die elektrooptische Einheit 11 im Besonderen eine kantenemittierende LCI-Laser-Quelle 106 bis 109 beinhalten. Eine III-V-LCI-Laser-Quelle ist dank ihres geringen Schwellenstroms und ihrer kleinen Grundfläche sowie der Möglichkeit, sie in das Back-End-of-Line eines CMOS-Chips einzubetten, was eine Kointegration mit sonstigen integrierten CMOS-Schaltungen in der oberen Wafer-Komponente 1 ermöglicht, tatsächlich besonders attraktiv. Aufgrund der geringeren Stapelhöhe von LCI-Lasern können solche Einheiten die Integration an kleineren Knoten als ihre Entsprechungen mit vertikaler Stromspeisung ermöglichen.

[0063] Um die durch LCI-Laser erzeugte Wärme abzuleiten, erfordert eine Integration bei so geringen Abmessungen ein effizientes Wärmemanagement, das aufgrund eines eingebetteten Wärmeverteilers 104 in dem Beispiel von **Fig. 1** erreicht wird. Der Verteiler weist eine seitliche Grundfläche auf, die im Wesentlichen diejenige des III-V-Stapels 108 überschreitet, um Wärme aufzunehmen, die nicht nur durch den Stapel 108, sondern auch durch die seitlichen Strukturen 110, 111 sowie die Keimschichten 106a, 106b und, in geringerem Umfang, die Kontaktstrukturen 110 bis 111b abgeleitet wird.

[0064] In dem Beispiel von **Fig. 1** handelt es sich bei der Keimschicht 106b um einen verbleibenden Abschnitt einer Keimschicht, die anfangs zum Aufwachsen des Mehrfach-Quantentopf(multiple quantum well, MQW)-Stapels 108 verwendet worden ist. Die Keimschicht 106 ist die Deckschicht der anfänglichen Abscheidung (z.B. MOCVD), die nach dem Verbinden umgekehrt ist und dann als Keimschicht für die Kontaktschichten 107, 109 dienen kann. Die Schicht 106 kann des Weiteren zum Aufwachsen der seitlichen Strukturen 110, 111 verwendet werden, in die der Stapel 108 seitlich eingebettet wird. Die Keimschichten 106, 106b können aus InP oder einem beliebigen sonstigen III-V-Verbindungsmaterial hergestellt werden. Bei den seitlichen Strukturen 107, 109 handelt es sich um Kontaktschichten, die sich im Wesentlichen parallel zu der Hauptebene des Stapels 108, d.h. in der Ebene (x, y) erstrecken.

[0065] Es wird angenommen, dass die Kontaktschichten 107, 109 in dem Beispiel von **Fig. 1** p- und n-dotiertes InP aufweisen. Üblicherweise sind auf und unter dem MQW-Stapel 108 zusätzliche III-V-Schichten vorhanden, einschließlich Separate-Confinement-Heterostrukturen (SCH) 106a, die üblicherweise InAlGaAs aufweisen. Folglich kann sich der aktive Bereich des Stapels 108 zwischen den SCH-Schichten 106a befinden. Eine Verbindungsschicht 105 erstreckt sich an der Grenzfläche zwischen den beiden Wafer-Komponenten 1, 2. Die Verbindungsschicht 105 kann aus zwei getrennt abgechiedenen Schichten resultieren, wie im Folgenden unter Bezugnahme auf **Fig. 8** erörtert. Der Vollständigkeit halber werden die oberen Komponenten 107 bis 111 z.B. mit einer Oxidschicht 112 beschichtet, die SiO₂ oder Al₂O₃ aufweisen kann, wie die Schichten 101, 103.

[0066] In **Fig. 1** werden symmetrische Sätze von ohmschen Kontakten (Metall-Halbleiter-Kontakten), die durch 110b, 111b Metallkontakte ausgebildet sind, die durch vertikale Metalldurchkontaktierungen 110a, 111a und oben liegende Metall-Pads 110, 111 (die auch als Verbindungsverdrahtung dienen können) verbunden sind, für eine seitliche Stromspeisung in den Stapel 108 bereitgestellt. Die ohmschen Kontakte weisen p- und n-Kontakte 110, 111 auf, die mit der p-dotierten Schicht 107 bzw. der n-dotierten Schicht 109 in Kontakt stehen. Die ohmschen Kontakte bilden in diesem Beispiel Sätze aus, die im Hinblick auf die mittlere vertikale Ebene symmetrisch angeordnet sind.

[0067] Bei Ausführungsformen, wie zum Beispiel in **Fig. 2** oder **Fig. 3** dargestellt, beinhaltet die elektrooptische Einheit 12, 13 eine kantenemittierende Laser-Einheit 107 bis 109 mit vertikaler Stromspeisung (VCI). Da die Stromspeisung nun vertikal erfolgt, erstrecken sich die Kontaktschichten 107, 109 (die z.B. wiederum aus InP hergestellt sind) nun

parallel zu dem Stapel 108. Die Kontaktschicht 109 weist eine größere Grundfläche auf, damit außermittig angeordnete ohmsche Kontakte 113b, 116b mit diesen in Kontakt kommen, wohingegen innere Kontakte 114b, 115b mit dem Kontakt 107 der oberen Schicht in elektrischer Verbindung stehen. Die ohmschen Kontakte werden wiederum durch untere 113b, 114b, 115b, 116b Metallkontakte ausgebildet, die durch vertikale Metalldurchkontaktierungen 113a, 114a, 115a, 116a und oben liegende Metall-Pads 113, 114, 115, 116 (die auch als Verbindungsverdrahtung dienen können) verbunden sind. Abgesehen von den Unterschieden aufgrund der vertikalen gegenüber einer seitlichen Stromspeisung (und im Besonderen dem Nichtvorhandensein einer i-InP-Schicht) ähneln die Einheiten 12, 13 von **Fig. 2**, **Fig. 3** ansonsten der Einheit 11 von **Fig. 1**. **Fig. 3** weist zusätzlich eine eingebettete Si-Komponente 102 auf, wie zuvor erörtert.

[0068] Wenngleich dies in **Fig. 2** bis **Fig. 3** nicht dargestellt wird, kann der Schichtstapel 108 der Laser-Einheiten mit vertikaler Stromspeisung des Weiteren eine Elektronensperrschicht (electron blocking layer oder EBL) aufweisen, die z.B. InAlAs aufweist und sich parallel zu der Hauptebene des Stapels 108 erstreckt, um den letzteren von der p-dotierten Schicht zu trennen. Jetzt werden bevorzugte Materialien und gewünschte physikalische Eigenschaften für die verschiedenen Komponenten 100 bis 104, 108 erörtert, die in den elektrooptischen Einheiten 11 bis 14 enthalten sind.

[0069] Zunächst weisen die Mantelschichten 101, 103, 112 üblicherweise ein selbes Material, z.B. SiO_2 , Saphir (d.h., kristallines Al_2O_3) oder amorphes Al_2O_3 auf, wie zuvor erwähnt. Am typischsten weisen die Mantelschichten 101, 103, 112 jedoch SiO_2 auf.

[0070] Als Nächstes kann der III-V-Stapel 108 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{As}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1 - x$) aufweisen. D.h., folglich kann eine Bandbreite von Materialien in Betracht gezogen werden, darunter InAs, AlAs, InGaAs (z.B. für Quantenpunkt-Laser) und InAlGaAs. Bei Verwendung eines GaAs-Substrats können im Besonderen InAs-Quantenpunkte in Betracht gezogen werden. Bei Varianten kann der II I-V-Stapel 108 InGaAsP oder InGaAsN aufweisen. Im Allgemeinen kann der II I-V-Stapel 108 einen Mehrfach-Quantentopf(MQW)-Teilabschnitt aufweisen, der zwischen sonstige III-V-Materialien, z.B. InP oder GaAs, zwischengefügt ist, die bevorzugt an den MQW-Teilabschnitt gitterangepasst sind, um eine Oxidation zu verhindern, wie es erforderlich ist, um das Aufwachsen der gestapelten III-V-Kernschichten zu beginnen. Der III-V-Stapel 108 kann darüber hinaus Quantenpunkte aufweisen, die zwischen Quantentöpfe gefügt sind, wie per se bekannt.

[0071] Ein solcher Schichtstapel 108 ist relativ einfach aufzuwachsen, z.B. durch Molekularstrahlepitaxie MBE oder durch metallorganische chemische Gasphasenabscheidung (metal-organic chemical vapor deposition) MOCVD. Die Halbleitermaterialien können, falls erforderlich und bevorzugt zusammen mit einer Verspannung, dotiert werden, z.B. um die Bandlücke anzupassen.

[0072] Der effektive Brechungsindex des III-V-Stapels beträgt bei relevanten Wellenlängen üblicherweise 3,3 bis 3,4, wohingegen der Brechungsindex von Silicium etwa 3,5 beträgt. Folglich muss das Verteilermaterial üblicherweise weniger betragen, z.B. weniger als 3,1, um (gegebenenfalls) eine geeignete optische Eingrenzung und Kopplung sicherzustellen. Bevorzugt beträgt der Brechungsindex des Wärmeverteilers 104, 104a, 104b jeweils weniger als 2,5, z.B. bei einer Wellenlänge von mehr als 200 nm und um eine ausreichende Differenz von effektiven Brechungsindizes zwischen den Verteilern 104 auf der einen Seite und den aktiven optischen Materialien des Stapels 108 und dem Silicium-Wellenleiter 102 auf der anderen Seite sicherzustellen.

[0073] Um eine solche Anforderung und sonstige gleichermaßen wichtige Anforderungen im Hinblick auf die Wärmeleitfähigkeit und den elektrischen Widerstand zu erfüllen, kann es sich bei geeigneten Materialien für die Wärmeverteiler 104, 104a, 104b im Besonderen um Diamant, Bornitrid (BN) oder Aluminiumnitrid handeln.

[0074] Bornitrid weist einen Brechungsindex auf, der üblicherweise zwischen 1,8 und 2,1 liegt. Seine Wärmeleitfähigkeit liegt üblicherweise im Bereich von 20 bis 740 $\text{W/m}\cdot\text{K}$ (abhängig von seiner genauen Struktur und Dicke), wohingegen sein elektrischer Widerstand üblicherweise im Bereich von 10^6 bis $10^{11} \Omega\cdot\text{m}$ liegt. Diamant weist einen Brechungsindex von 2,4 sowie eine sehr große Wärmeleitfähigkeit (900 - 2320 $\text{W/m}\cdot\text{K}$) und einen sehr großen elektrischen Widerstand 10^{11} - $10^{18} \Omega\cdot\text{m}$ auf.

[0075] Bevorzugt wird jedoch Aluminiumnitrid (AlN) verwendet, das eine größere Wärmeleitfähigkeit (üblicherweise 60 bis 285 $\text{W/m}\cdot\text{K}$) als SiO_2 (dessen Wärmeleitfähigkeit üblicherweise im Bereich von 1 bis 12 $\text{W/m}\cdot\text{K}$ liegt), einen Brechungsindex von 1,9 bis 2,2 (gegenüber 1,5 bei SiO_2) und einen größeren elektrischen Widerstand (10^5 bis $10^{12} \Omega\cdot\text{m}$ gegenüber $10^8 \Omega\cdot\text{m}$ bei SiO_2) aufweist. AlN, wie es in die Hohlräume abgeschieden wird, weist üblicherweise eine hexagonale Wurtzit-Kristallstruktur auf, wenngleich es auch kubisch oder gar amorph sein kann. Aluminiumnitrid AlN ist eine III-V-Verbindung mit breiter Bandlücke (6,2 eV). Dünne (Wurtzit)-Schichten aus AlN weisen eine ausreichend große Wärmeleitfähigkeit (z.B. 180 $\text{W/m}\cdot\text{K}$), einen hohen elektrischen Widerstand (z.B. $\rho = 10^9$ bis $10^{11} \Omega\cdot\text{m}$) auf. Jedoch

kann der Wert des elektrischen Widerstands von AlN abhängig von der Dotierung geringfügig schwanken. Im vorliegenden Zusammenhang wird bevorzugt ein Verteiler mit einem Widerstand von zumindest $10^4 \Omega \cdot \text{m}$ (und bevorzugter von zumindest $10^6 \Omega \cdot \text{m}$) angestrebt. In allen Fällen müssen der elektrische Mindestwiderstand und die Mindestwärmeleitfähigkeit des Verteilers erheblich größer als diejenigen des Basismantelmaterials (z.B. SiO_2 oder Al_2O_3) sein.

[0076] Gemäß einem weiteren Aspekt kann die Erfindung als Si-Photonik-Chip 14 verkörpert werden, wie zum Beispiel in **Fig. 5** dargestellt. In den Chip 14 ist eine elektrooptische Einheit 11 bis 14 integriert, wie zum Beispiel zuvor unter Bezugnahme auf **Fig. 1** bis **Fig. 4** beschrieben. Zusätzliche Komponenten können üblicherweise in denselben Chip 14 kointegriert werden, wie in **Fig. 5** veranschaulicht. Es ist zu beachten, dass in diesem Fall die Wärmeverteiler 104a, 104b so in der Einheit angeordnet sein können, dass sie in der Lage sind, Wärme von verschiedenen Komponenten 13, 20 abzuleiten, wie in **Fig. 5** angenommen. Zu diesem Zweck können die Verteiler unterschiedliche Größen aufweisen und können im Hinblick auf eine elektrooptische Bezugs-komponente 13 unterschiedlich versetzt sein, sodass einer 104b der Verteiler auch an eine weitere Komponente 20 des Chips 14 angrenzt.

[0077] Im Allgemeinen können in dem Chip 14 CMOS-Komponenten, BiCMOS, Si-Photonik-Komponenten usw. kointegriert sein. Die vorliegenden Einheiten 11 bis 14 können Teile einer Photonik-Schaltungseinheit ausbilden, die ein CMOS-Front-End-of-Line (FEOL) oder ein Bipolar-CMOS-FEOL aufweisen kann. Beispielsweise kann eine Photonik-Schaltungseinheit einen Wafer und eine vergrabene Oxidschicht mit Elektronik auf der Oberseite und passiver Photonik aufweisen.

[0078] In dem einfachen Beispiel von **Fig. 5** weist der Chip 14 zusätzlich zu einer elektrooptischen Komponente 13 (ähnlich wie diejenige von **Fig. 3**) eine integrierte Schaltung (integrated circuit, IC) 20 auf, die mit der elektrooptischen Einheit 13 integriert ist. Beide Einheiten 13, 20 können im Besonderen als integrierte Si-CMOS-Schaltung integriert sein.

[0079] Die IC 20 kann als monolithisch mit der elektrooptischen Einheit 13 integriert betrachtet werden. In der Literatur geht der Begriff „monolithisch integrierter Laser“ jedoch häufig mit einer Heteroepitaxie auf Silicium einher. Laser, die durch einen Verbindungsprozess, wie in Ausführungsformen hierin in Betracht gezogen, integriert werden, werden überwiegend als heterogen integriert bezeichnet. Neben dem Verbindungsprozess ähneln jedoch verbleibende Schritte des Fertigungsprozesses üblicherweise einer monolithischen Integration. Dementsprechend ermöglichen Ausführungsformen, dass eine

Plattform erzielt wird, die III-V-Laser in einen CMOS-Fertigungsprozess integriert.

[0080] Bei Ausführungsformen wird diese IC 20 mit der elektrooptischen Einheit 13 auf demselben Si-Substrat 100 integriert, das ansonsten die Einheit 13 trägt, wie in **Fig. 5** angenommen. Das heißt, ein selbes Substrat 100 wird dazu verwendet, jede der Einheiten 13, 20 zu tragen. Bei Varianten kann das Verbinden auf der Oberseite dieser Einheiten 10, 20, z.B. nach einer Planarisierung, durchgeführt werden, sodass ein Wafer-Bonding auf Grundlage unterschiedlicher Substrate möglich ist.

[0081] Bei Ausführungsformen handelt es sich bei der optoelektronischen Einheit 14 um eine BiCMOS-Einheit und weist die IC 20 einen Bipolartransistor mit Heterostruktur oder HBT auf, wie in **Fig. 5**. Der HBT kann auf demselben Si-Substrat 100 getragen werden, das für die Einheit 10 verwendet wird, wie unmittelbar oben erwähnt. Allgemeiner ausgedrückt, kann der HBT 20 jedoch als einfache CMOS-IC oder Bipolar-IC kointegriert werden.

[0082] In dem Beispiel von **Fig. 5** wird der Stapel 108 seitlich in ein Mantelmedium 112 eingebettet, wohingegen sonstige Komponenten 101, 202 bis 208 seitlich in das Mantelmedium 101 bis 103 eingebettet werden, das ansonsten die Verteiler 104a, 104b beinhaltet. Der HBT 20 weist eine selektive Si-Epitaxieschicht 202 und darüber hinaus einen Si-Kollektor 204, eine Silicium-Germanium-Basis 206 ($\text{Si}_x\text{Ge}_{1-x}$, wobei $0 \leq x \leq 1$ gilt) und einen Si-Emitter 208 auf. Selbstverständlich werden der Deutlichkeit halber nicht sämtliche Komponenten des HBT 20 dargestellt. Im Besonderen werden keine Kontakte des HBT 20 dargestellt.

[0083] Unter Bezugnahme auf **Fig. 8** wird ein weiterer Aspekt der Erfindung beschrieben, der Verfahren zur Fertigung einer elektrooptischen Einheit 11 bis 14 betrifft, wie zuvor unter Bezugnahme auf **Fig. 1** bis **Fig. 5** beschrieben. Zahlreiche Aspekte solcher Fertigungsverfahren sind in der Beschreibung der Einheiten 11 bis 14 bereits implizit angesprochen worden. Die vorliegenden Fertigungsverfahren werden dementsprechend im Folgenden lediglich kurz zusammengefasst.

[0084] Zwei strukturierte Wafer-Komponenten 1, 2 müssen gewonnen werden. Die vorliegenden Verfahren können jeweils eine vollständige Fertigung jeder dieser Komponenten aufweisen. Bei Varianten stützen sie sich auf bereits zum Teil gefertigte Wafer 1, 2. In allen Fällen gilt:

- Eine erste Wafer-Komponente 1 kann zunächst (z.B. als SOI-Wafer) bereitgestellt oder gefertigt werden (Schritte S10 bis S12, **Fig. 8**). Dieser Wafer 1 weist ein Si-Substrat 100 und eine Mantelschicht 101, 103 auf dem

Si-Substrat 100 auf. Falls erforderlich, kann eine zweite Oxidschicht 103 auf dem vergrabenen Oxid 101 des SOI-Wafers 1 abgeschieden werden S12, um eine doppelte Mantelschicht 101, 103 auszubilden; und

- eine zweite Komponente 2 wird benötigt (Schritt S21 und darüber hinaus), die einen III-V-Stapel 108 aufweist.

[0085] Ein oder mehrere Hohlräume 104c werden in Schritt S13 in der Mantelschicht 101, 103 des ersten Wafers 1 erzeugt. Die Hohlräume können mithilfe von Standardätztechniken geätzt werden. Beispielsweise können die Hohlräume durch Ätzen von Siliciumdioxid 101, 103 bis hinunter zu dem Si-Substrat 100 mithilfe von Standard-Plasmaätztechniken ausgebildet werden. Bei Varianten werden die Hohlräume nur zum Teil durch die Schichten 101, 103 geätzt.

[0086] Als nächstes werden die Hohlräume mit einem Material gefüllt S14, um die Wärmeverteiler 104 (z.B. durch Sputtern oder mithilfe von Techniken zur chemischen Gasphasenabscheidung) auszubilden. Wie zuvor erläutert, erfüllen das/die für den/die Wärmeverteiler verwendete(n) Material(ien) spezifische Anforderungen im Hinblick auf die Wärmeleitfähigkeit, den elektrischen Widerstand und den Brechungsindex.

[0087] Abschließend werden die beiden Komponenten 1, 2 durch Wafer-Bonding verbunden S20 bis S21. Darüber hinaus wird der III-V-Stapel, wie er anfangs auf dem Wafer 2 bereitgestellt worden ist, weiter strukturiert S22, S23, um einen strukturierten Stapel 108 zu gewinnen, der gegenüber den Wärmeverteilern 104 angeordnet ist und mit diesen in thermischer Verbindung steht.

[0088] Die erste Wafer-Komponente 1 wird vor dem Verbinden S20, S21 mit dem III-V-Wafer 2 üblicherweise durch chemisch-mechanisches Polieren (CMP) abgeflacht. Bevorzugt wird eine CMP auch in Schritt S15 vor einem Abscheiden einer Verbindungsschicht 105a durchgeführt. Eine zusätzliche Deckschicht 105b (z.B. Al_2O_3) kann auf dem III-V-Wafer abgeschieden werden, um eine große Verbindungsfestigkeit zu erzielen, Schritt S20. Eine CMP kann des Weiteren nach dem Abscheiden S15, S20 jeder Verbindungsschicht 105a, 105b auf beiden Seiten und vor einem Verbinden S21 durchgeführt werden. Der zweite Wafer 2 kann anfangs auf einem Substrat 106c (z.B. InP) bereitgestellt werden, das durch eine Ätzstoppschicht 106s beschichtet ist. Dennoch können die Schichten 106c, 106e in Schritt S22 entfernt werden, wobei zuerst das InP-Substrat durch eine Nassätzung entfernt wird und anschließend die Ätzstoppschicht ebenfalls durch eine Nassätzung entfernt wird.

[0089] Wie aus dem Obigen zu ersehen ist, können verschiedene Prozesse in der Fertigung der Einheiten enthalten sein, die nichtsdestotrotz in der Halbleiterindustrie häufig einzeln verwendet werden.

[0090] Bei Ausführungsformen soll möglicherweise des Weiteren eine optische Kopplung wie in **Fig. 3** ermöglicht werden. Zweckmäßigerweise kann anschließend ein SOI-Wafer 1 verwendet werden S10, der das Si-Substrat 100, eine vergrabene Oxidschicht 101 auf dem Si-Substrat 100 und eine oberste Si-Schicht 102i auf der ersten Oxidschicht 101 aufweist. Die oberste Si-Schicht des SOI-Wafers 1 kann folglich so strukturiert werden S11, dass eine Si-Komponente 102 gewonnen wird, wie sie für die gewünschte optische Kopplung benötigt wird. Ansonsten könnte die oberste Si-Schicht einfach entfernt werden. Als Nächstes wird die zweite Oxidschicht 103 abgeschieden S12, um eine Mantelschicht 101, 103 auszubilden, in die die Si-Komponente 102 integriert ist. Da diese Si-Komponente 102 (z.B. ein Wellenleiterkern) möglicherweise mittig unterhalb des Stapels 108 angeordnet werden muss, können zumindest zwei Hohlräume 104c erzeugt werden, die durch einen verbleibenden Abschnitt der Mantelschicht 101, 103 dazwischen getrennt sind, wobei die Si-Komponente 102 in den verbleibenden Abschnitt eingebettet wird, bevor die beiden geätzten Hohlräume 104c gefüllt werden, um jeweilige Wärmeverteiler 104 auszubilden.

[0091] Die obigen Ausführungsformen sind kurz beschrieben worden. Sie können Komponenten oder Strukturen beinhalten, die der Prägnanz halber nicht unbedingt in den beigefügten Zeichnungen dargestellt werden. Beispielsweise wurden der Prägnanz halber Elektroden und Kontakte nicht systematisch dargestellt. Als weiteres Beispiel können einige der vorliegenden elektrooptischen Einheiten als Laser mit verteiltem Bragg-Reflektor gestaltet sein. Zu diesem Zweck kann der optische Wellenleiterkern so strukturiert werden, dass er einen oder mehrere, z.B. zwei, Bragg-Reflektoren aufweist, die in einem oder jedem des Folgenden angeordnet sind: einem Eingangsabschnitt und einem Ausgangsabschnitt des Wellenleiterkerns. Bei Varianten können die elektrooptischen Einheiten dank eines optischen Wellenleiterkerns, der so strukturiert ist, dass er einen oder mehrere Reflektoren mit verteilter Rückkopplung aufweist, die in einem mittleren Abschnitt des Wellenleiterkerns, d.h., zwischen den Verjüngungen, angeordnet sind, als Laser mit verteilter Rückkopplung gestaltet sein.

[0092] Einige der hierin beschriebenen Verfahren können bei der Fertigung von integrierten Schaltungs-Chips verwendet werden. Die resultierenden integrierten Schaltungs-Chips können durch den Hersteller in Form eines Roh-Wafers (das heißt, als einzelner Wafer, der mehrere gehäuselose Chips

aufweist), als bloßer Chip oder in einem Gehäuse vertrieben werden. Im letzteren Fall wird der Chip in einem Einzel-Chip-Gehäuse (wie zum Beispiel auf einem Kunststoffträger mit Zuleitungen, die an einer Hauptplatine oder einem sonstigen übergeordneten Träger befestigt sind) oder in einem Mehrfach-Chip-Gehäuse angebracht (wie zum Beispiel auf einem Keramikträger, der entweder Oberflächenverbindungen oder vergrabene Verbindungen oder beides aufweist). In jedem Fall kann der Chip anschließend mit anderen Chips, diskreten Schaltungselementen und/oder sonstigen Signalverarbeitungseinheiten als Teil entweder (a) eines Zwischenproduktes wie zum Beispiel einer Hauptplatine oder (b) eines Endproduktes integriert werden. Bei dem Endprodukt kann es sich um ein beliebiges Produkt handeln, das integrierte Schaltungs-Chips beinhaltet, von einfachen Anwendungen bis hin zu hochentwickelten Computerprodukten.

[0093] Die vorliegende Erfindung ist zwar unter Bezugnahme auf eine begrenzte Anzahl von Ausführungsformen, Varianten und die beigefügten Zeichnungen beschrieben worden, für Fachleute ist jedoch ersichtlich, dass verschiedene Änderungen vorgenommen werden können und gleichartige Elemente ausgetauscht werden können, ohne vom Umfang der vorliegenden Erfindung abzuweichen. Im Besonderen kann ein (einheitenähnliches oder verfahrensähnliches) Merkmal, das bei einer bestimmten Ausführungsform, Variante erwähnt worden ist oder in einer Zeichnung dargestellt worden ist, mit einem weiteren Merkmal in einer weiteren Ausführungsform, Variante oder Zeichnung kombiniert oder durch dieses ersetzt werden, ohne vom Umfang der vorliegenden Erfindung abzuweichen. Verschiedene Kombinationen der Merkmale, die im Hinblick auf jegliche der obigen Ausführungsformen oder Varianten beschrieben worden sind, können dementsprechend in Betracht gezogen werden, die innerhalb des Umfangs der beigefügten Ansprüche bleiben.

[0094] Darüber hinaus können zahlreiche kleinere Modifizierungen vorgenommen werden, um eine bestimmte Situation oder ein bestimmtes Material an die Lehren der vorliegenden Erfindung anzupassen, ohne von ihrem Umfang abzuweichen.

[0095] Daher soll die vorliegende Erfindung nicht auf die bestimmten offenbarten Ausführungsformen beschränkt sein, sondern die vorliegende Erfindung soll alle Ausführungsformen beinhalten, die in den Umfang der beigefügten Ansprüche fallen. Darüber hinaus können zahlreiche andere Varianten als die oben ausdrücklich erwähnten in Betracht gezogen werden. Beispielsweise können andere Materialien als die im Hinblick auf den Stapel 108, die Kontaktschichten 107, 109, die Mantelmaterialien 101, 103, 112 oder die Wärmeverteiler 104, 104a, 104b ausdrücklich aufgeführten in Betracht gezogen werden.

Patentansprüche

1. Elektrooptische Einheit (11; 12; 13; 14), die aufweist:

eine erste Wafer-Komponente (1), die ein Siliciumsubstrat (100) und eine Mantelschicht (101, 103) auf dem Siliciumsubstrat (100) aufweist, wobei die Mantelschicht (101, 103) einen darin ausgebildeten Hohlraum (104c) aufweist, wobei der Hohlraum (104c) mit einem Wärmeverteiler (104; 104a, 104b) gefüllt ist, der eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht (101, 103) aufweist, wobei sich der Hohlraum (104c) in der Mantelschicht (101, 103) so bis hinauf zu dem Siliciumsubstrat (100) erstreckt, dass der Wärmeverteiler (104; 104a, 104b) mit dem Siliciumsubstrat (100) in Kontakt steht;

eine zweite Wafer-Komponente (2), die einen Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien aufweist, der für eine optische Verstärkung einer bestimmten Strahlung entwickelt ist, wobei die zweite Wafer-Komponente (2) so mit der ersten Wafer-Komponente (1) verbunden ist, dass eine Unterseite des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien in thermischer Verbindung mit dem Wärmeverteiler (104; 104a, 104b) steht, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien so strukturiert ist, dass er dem Wärmeverteiler (104; 104a, 104b) zugewandt ist und diesen zumindest zum Teil überlappt; und eine Siliciumkomponente (102), die in die verbleibende Mantelschicht eingebettet ist und gegenüber dem Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien angeordnet ist;

dadurch gekennzeichnet, dass

ein Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein Brechungsindex des Siliciumsubstrats (100);

der Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein mittlerer Brechungsindex des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien bei der bestimmten Strahlung; und der Wärmeverteiler (104; 104a, 104b) ein elektrisch isolierender Wärmeverteiler ist.

2. Elektrooptische Einheit nach Anspruch 1, wobei es sich bei der ersten Wafer-Komponente (1) um einen Silicium-auf-Isolator-Wafer handelt und die Mantelschicht (101, 103) aufweist:

eine erste Oxidschicht (101), die einem vergrabenen Oxid des Silicium-auf-Isolator-Wafers entspricht; und

eine zweite Oxidschicht (103) auf der ersten Oxidschicht, und wobei sich der Hohlraum (104c) durch die zweite Oxidschicht und zumindest zum Teil durch die erste Oxidschicht erstreckt.

3. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei der Wärmeverteiler (104; 104a, 104b) eine Wärmeleitfähigkeit aufweist,

die mindestens zehnmal größer als diejenige der Mantelschicht (101, 103) ist.

4. Elektrooptische Einheit nach Anspruch 2, wobei die elektrooptische Einheit einen Satz von zwei oder mehr Hohlräumen aufweist, die in der Mantelschicht (101, 103) ausgebildet sind, einschließlich des Hohlraums (104c), wobei die Hohlräume des Satzes mit jeweiligen elektrisch isolierenden Wärmeverteilern (104a, 104b) gefüllt sind, einschließlich des Wärmeverteilers, wobei die Wärmeverteiler (104a, 104b) jeweils eine Wärmeleitfähigkeit aufweisen, die größer als diejenige der Mantelschicht (101, 103) ist, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien so angeordnet ist, dass er mit den Wärmeverteilern (104a, 104b) in thermischer Verbindung steht.

5. Elektrooptische Einheit nach Anspruch 4, wobei die Wärmeverteiler zwei Verteiler (104a, 104b) beinhalten, die durch einen verbleibenden Abschnitt der Mantelschicht (101, 103) getrennt sind, wobei der verbleibende Abschnitt gegenüber dem Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien angeordnet ist, und die Siliciumkomponente (102) in den verbleibenden Abschnitt der Mantelschicht (101, 103) eingebettet ist, wobei die Siliciumkomponente (102) aus einer obersten Silicium-Ausgangsschicht des Silicium-auf-Isolator-Wafers strukturiert ist.

6. Elektrooptische Einheit nach einem der Ansprüche 4 oder 5, wobei es sich bei der Siliciumkomponente (102) um einen Silicium-Wellenleiter handelt.

7. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei es sich bei dem Wärmeverteiler (104; 104a, 104b) um ein CMOS-kompatibles Material handelt.

8. Elektrooptische Einheit nach Anspruch 7, wobei es sich bei der elektrooptischen Einheit um eine CMOS-gefertigte Einheit handelt und der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien in das Back-End-of-Line der elektrooptischen Einheit eingebettet ist.

9. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei die elektrooptische Einheit eine kantenemittierende Laser-Einheit aufweist, wobei letztere den Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien beinhaltet.

10. Elektrooptische Einheit nach Anspruch 9, wobei die Laser-Einheit in die zweite Wafer-Komponente (2) eingebettet ist, um ein gemeinsames Back-End-of-Line mit sonstigen elektronischen Komponenten zu ermöglichen, die in die zweite Wafer-Komponente (2) integriert sind.

11. Elektrooptische Einheit nach einem der Ansprüche 9 oder 10, wobei es sich bei der Laser-Einheit um eine kantenemittierende Laser-Einheit mit seitlicher Stromeinspeisung handelt.

12. Elektrooptische Einheit nach einem der Ansprüche 9 oder 10, wobei es sich bei der Laser-Einheit um eine kantenemittierende Laser-Einheit mit vertikaler Stromeinspeisung handelt.

13. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei der Wärmeverteiler (104; 104a, 104b) einen Brechungsindex aufweist, der weniger als 2,5 bei einer Wellenlänge von mehr als 200 nm beträgt.

14. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei der Wärmeverteiler (104; 104a, 104b) eines oder mehrere der folgenden Materialien aufweist:
Diamant;
Bornitrid; und
Aluminiumnitrid.

15. Elektrooptische Einheit nach Anspruch 14, wobei der Wärmeverteiler (104; 104a, 104b) Aluminiumnitrid aufweist.

16. Elektrooptische Einheit nach einem der vorhergehenden Ansprüche, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien eines aufweist von:
 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{As}$, wobei $0 \leq x \leq 1$ und $0 \leq y \leq 1 - x$ gilt;
 InGaAsP ; und
 InGaAsN .

17. Siliciumphotonik-Chip (14), der eine darin integrierte elektrooptische Einheit (11-14) aufweist, wobei die elektrooptische Einheit aufweist:
eine erste Wafer-Komponente (1), die ein Siliciumsubstrat (100) und eine Mantelschicht (101, 103) auf dem Siliciumsubstrat (100) aufweist, wobei die Mantelschicht (101, 103) einen darin ausgebildeten Hohlraum (104c) aufweist, wobei der Hohlraum (104c) mit einem Wärmeverteiler (104; 104a, 104b) gefüllt ist, der eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht (101, 103) aufweist, wobei sich der Hohlraum (104c) in der Mantelschicht (101, 103) so bis hinauf zu dem Siliciumsubstrat (100) erstreckt, dass der Wärmeverteiler (104; 104a, 104b) mit dem Siliciumsubstrat (100) in Kontakt steht;
eine zweite Wafer-Komponente (2), die einen Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien aufweist, der für eine optische Verstärkung einer bestimmten Strahlung entwickelt ist, wobei die zweite Wafer-Komponente (2) so mit der ersten Wafer-Komponente (1) verbunden ist, dass eine Unterseite des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien in thermischer Verbindung

mit dem Wärmeverteiler (104; 104a, 104b) steht, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien so strukturiert ist, dass er dem Wärmeverteiler (104; 104a, 104b) zugewandt ist und diesen zumindest zum Teil überlappt; und eine Siliciumkomponente (102), die in die verbleibende Mantelschicht eingebettet ist und gegenüber dem Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien angeordnet ist;

dadurch gekennzeichnet, dass ein Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein Brechungsindex des Siliciumsubstrats (100); der Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein mittlerer Brechungsindex des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien bei der bestimmten Strahlung; und der Wärmeverteiler (104; 104a, 104b) ein elektrisch isolierender Wärmeverteiler ist.

18. Verfahren zur Fertigung einer elektrooptischen Einheit (11 - 14), wobei das Verfahren aufweist:

Bereitstellen (S10, S11, S12, S20) zweier Komponenten (1, 2) der elektrooptischen Einheit, wobei eine erste (1) der Komponenten (1, 2) ein Siliciumsubstrat (100), eine Mantelschicht (101, 103) auf dem Siliciumsubstrat (100) und eine in die verbleibende Mantelschicht eingebettete Siliziumkomponente (102) aufweist, wobei eine zweite (2) der Komponenten (1, 2) einen Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien aufweist, der für eine optische Verstärkung einer bestimmten Strahlung entwickelt ist;

Erzeugen (S13) eines Hohlraums (104c) in der Mantelschicht (101, 103), wobei sich der Hohlraum (104c) in der Mantelschicht (101, 103) bis hinauf zu dem Siliciumsubstrat (100) erstreckt;

Füllen (S14) des Hohlraums (104c) mit einem elektrisch isolierenden Material, um einen Wärmeverteiler (104; 104a, 104b) so auszubilden, dass dieser mit dem Siliciumsubstrat (100) in Kontakt steht, wobei eine Wärmeleitfähigkeit des Wärmevertailers (104; 104a, 104b) größer als diejenige der Mantelschicht (101, 103) ist, wobei ein Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein Brechungsindex des Siliciumsubstrats (100), wobei der Brechungsindex des Wärmevertailers (104; 104a, 104b) niedriger ist als ein mittlerer Brechungsindex des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien bei der bestimmten Strahlung;

Verbinden (S22) der beiden Komponenten (1, 2) durch Wafer-Bonding und Strukturieren des Stapels (108) von III-V-Halbleiter-Verstärkungsmaterialien so, dass ein strukturierter Stapel gewonnen wird, der gegenüber der Siliciumkomponente (102) angeordnet ist, den ausgebildeten Wärmeverteiler (104; 104a, 104b) zugewandt ist und diese zumindest

zum Teil überlappt und in thermischer Verbindung dem Wärmeverteiler (104; 104a, 104b) steht.

19. Verfahren zur Fertigung nach Anspruch 18, wobei der Hohlraum (104c) durch Ätzen der Mantelschicht (101, 103) bis hinunter zu dem Siliciumsubstrat (100) erzeugt wird.

20. Verfahren zur Fertigung nach einem der Ansprüche 18 oder 19, wobei es sich bei der ersten bereitgestellten Komponente (1) um einen Silicium-auf-Isolator-Wafer handelt und wobei das Verfahren des Weiteren vor dem Erzeugen des Hohlraums (104c) aufweist:

Abscheiden (S12) einer zweiten Oxidschicht (103) auf einer ersten Oxidschicht (101), die einem vergrabenen Oxid des Silicium-auf-Isolator-Wafers entspricht, um die Mantelschicht (101, 103) auszubilden, und wobei der Hohlraum (104c) anschließend so durch die zweite Oxidschicht geätzt wird, dass der Hohlraum (104c) zumindest teilweise in die erste Oxidschicht hineinreicht.

21. Verfahren zur Fertigung nach einem der Ansprüche 18 bis 20, wobei das Verfahren ein Erzeugen eines Satzes von zwei oder mehr Hohlräumen in der Mantelschicht (101, 103), einschließlich des Hohlraums (104c), aufweist, und wobei der Schritt zum Füllen ein Füllen der erzeugten Hohlräume mit einem elektrisch isolierenden Material aufweist, das eine größere Wärmeleitfähigkeit als diejenige der Mantelschicht (101, 103) aufweist, um zwei bzw. mehr Wärmeverteiler (104a, 104b) auszubilden, wobei letztere den Wärmeverteiler beinhalten, wobei der Stapel (108) von III-V-Halbleiter-Verstärkungsmaterialien so strukturiert wird, dass der resultierende strukturierte Stapel gegenüber den Wärmevertailern (104a, 104b) und in thermischer Verbindung mit diesen angeordnet ist.

22. Verfahren zur Fertigung nach einem der Ansprüche 18 bis 21, wobei das Bereitstellen der ersten (1) der Komponenten (1, 2) aufweist:

Bereitstellen (S10) eines Silicium-auf-Isolator-Wafers, der ein Siliciumsubstrat (100), eine erste Oxidschicht (101) auf dem Siliciumsubstrat (100) und eine oberste Siliciumschicht auf der ersten Oxidschicht;

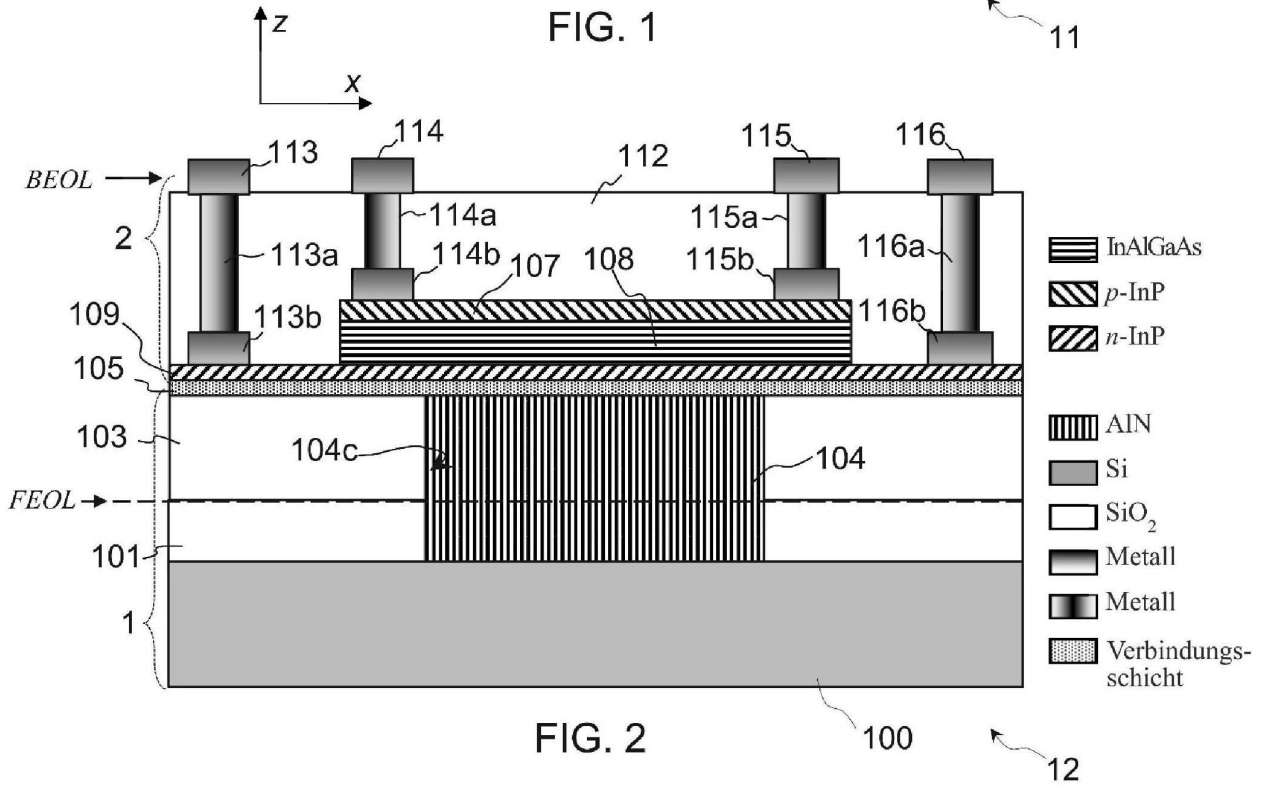
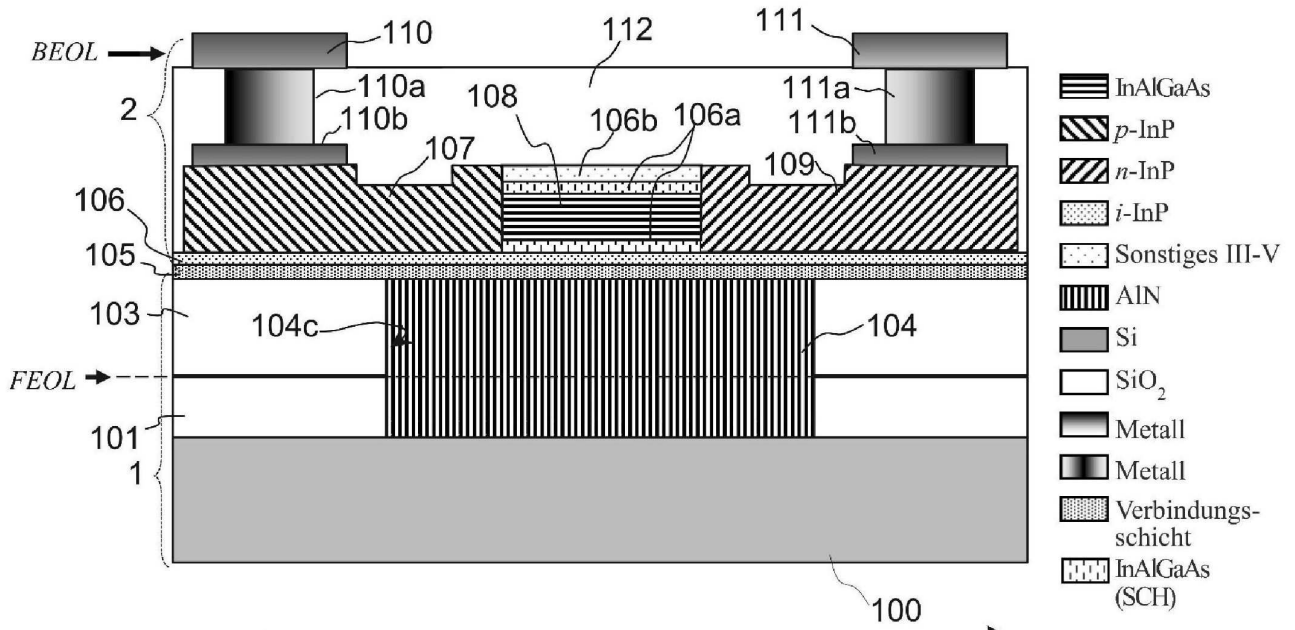
Strukturieren (S11) der obersten Siliciumschicht des Silicium-auf-Isolator-Wafers, um die Siliciumkomponente (102) zu gewinnen; und

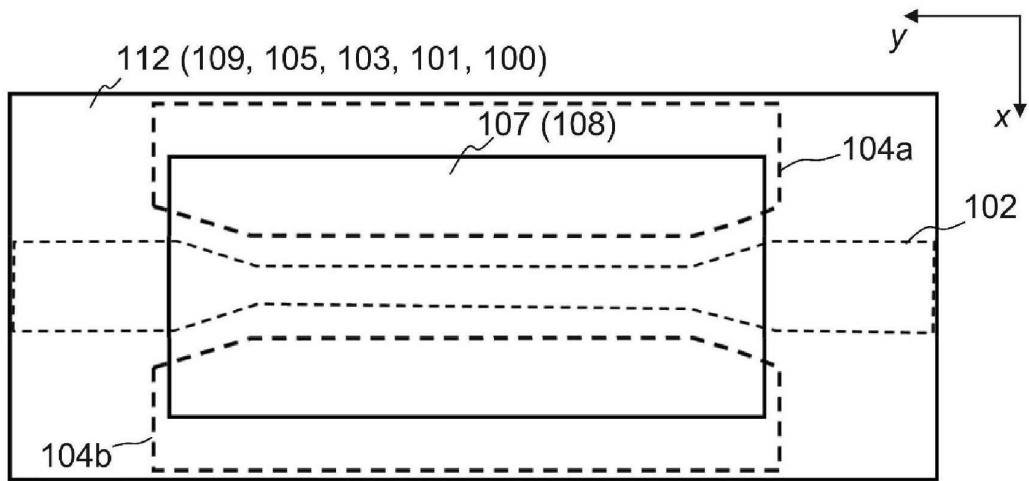
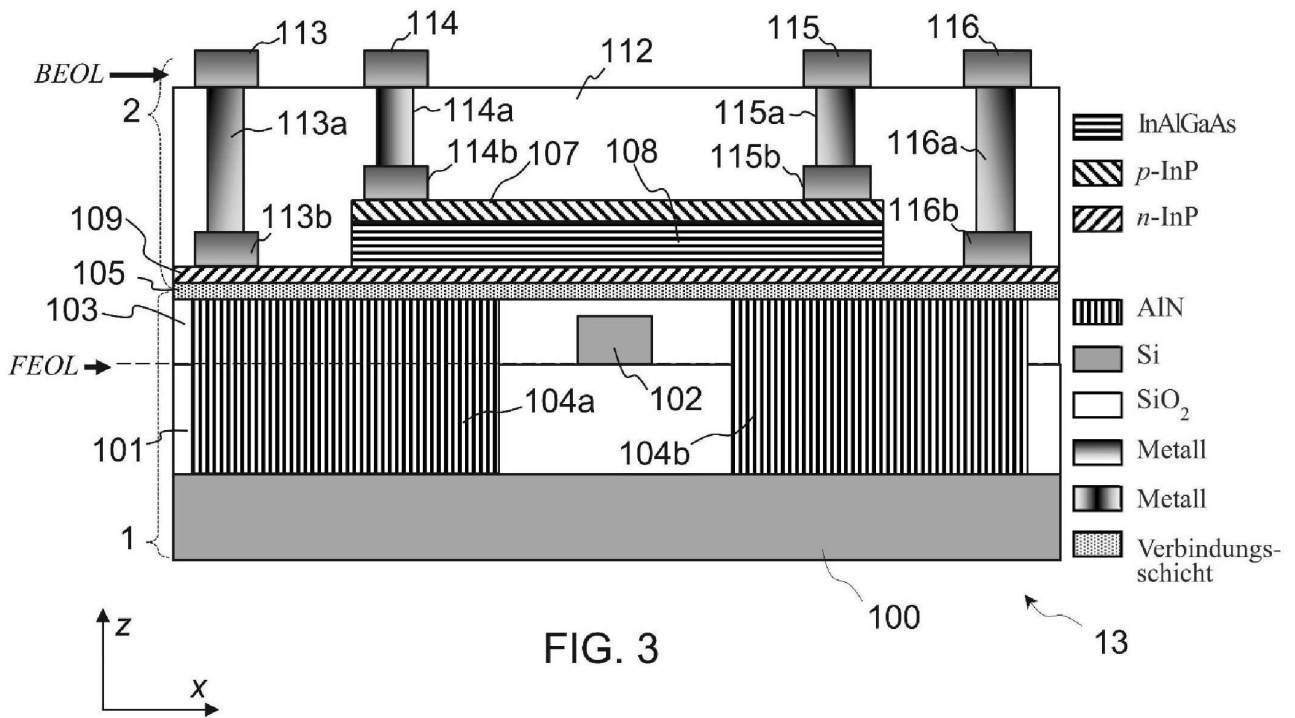
Abscheiden (S12) einer zweiten Oxidschicht auf der ersten Oxidschicht des bereitgestellten Wafers, um die Mantelschicht (101, 103) auszubilden, wobei letztere die erste Oxidschicht und die zweite Oxidschicht aufweist, in die die Siliciumkomponente (102) eingebettet ist, und wobei das Erzeugen ein Ätzen zweier Hohlräume aufweist, die durch einen verbleibenden Abschnitt der Mantelschicht (101, 103) dazwischen getrennt sind, wobei die Silicium-

komponente (102) in den verbleibenden Abschnitt eingebettet wird, bevor die beiden geätzten Hohlräume gefüllt werden, um die jeweiligen Wärmeverteiler (104a, 104b) auszubilden.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen





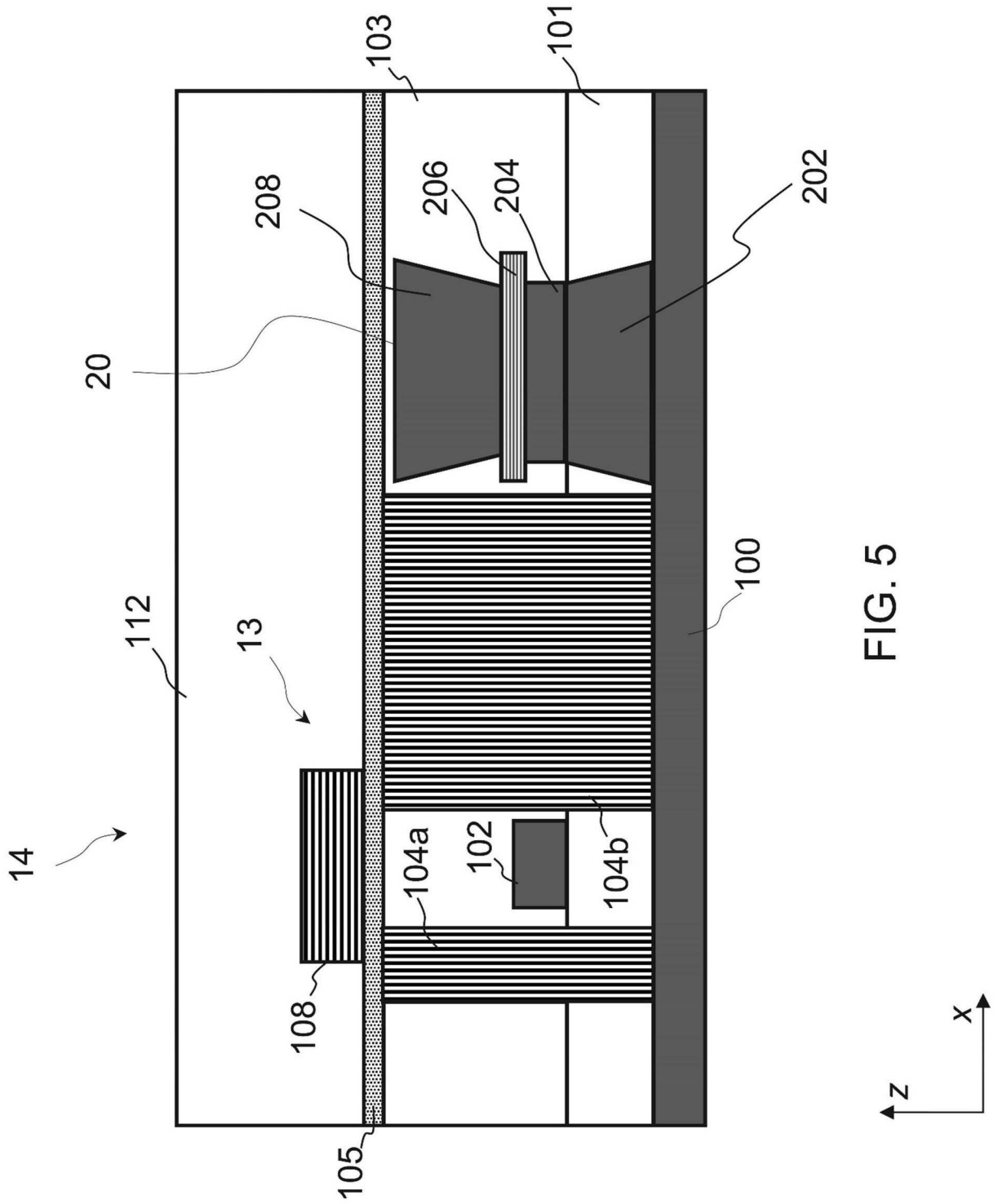


FIG. 5

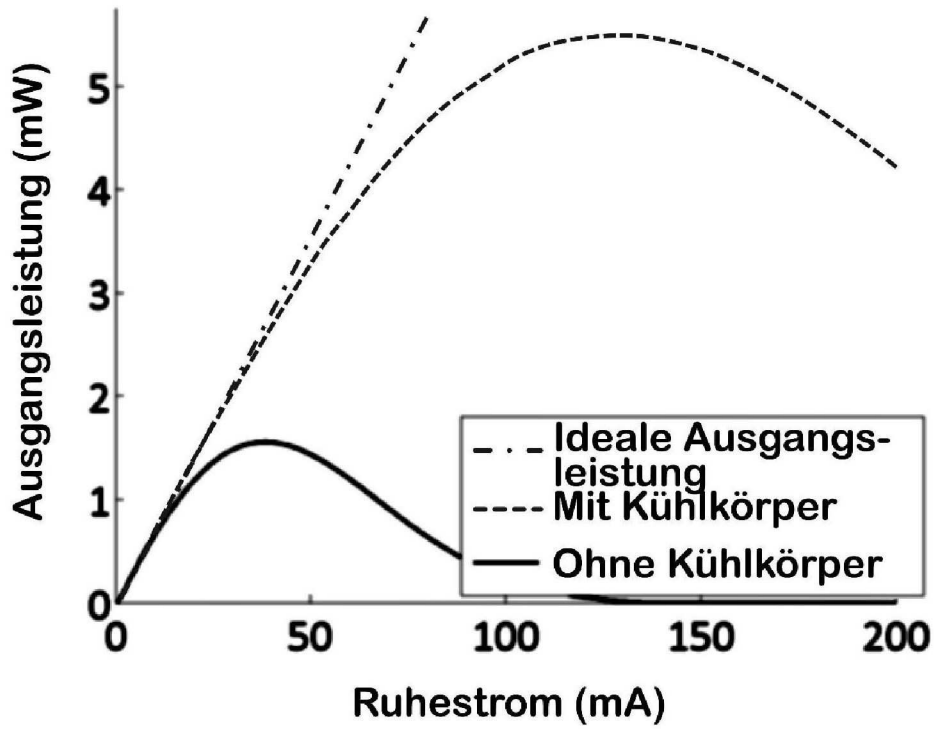


FIG. 6

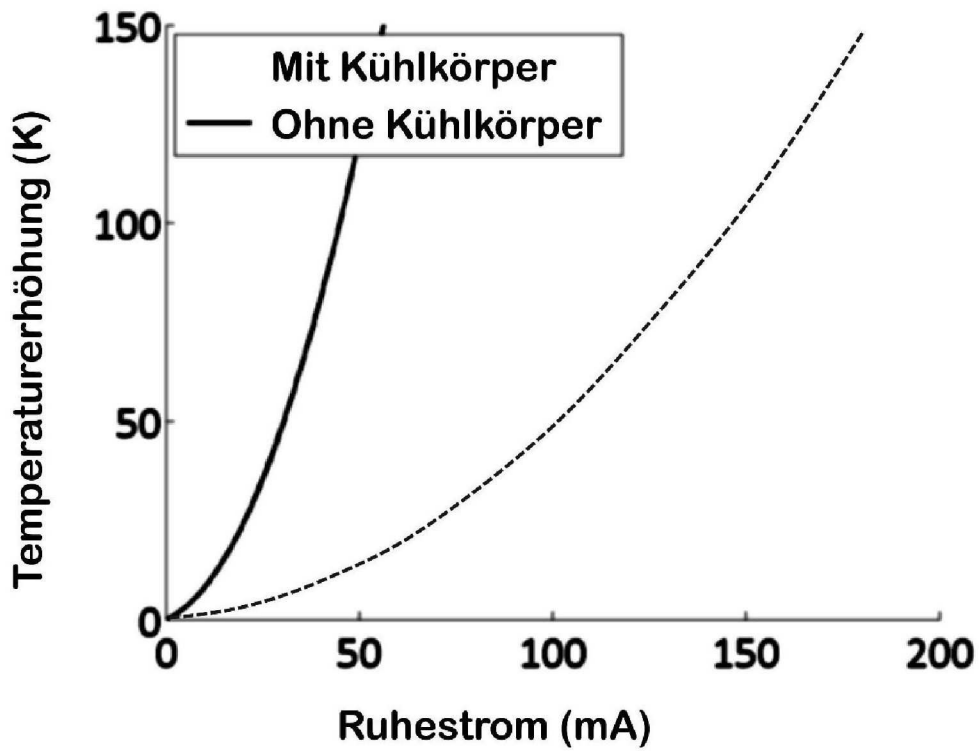


FIG. 7

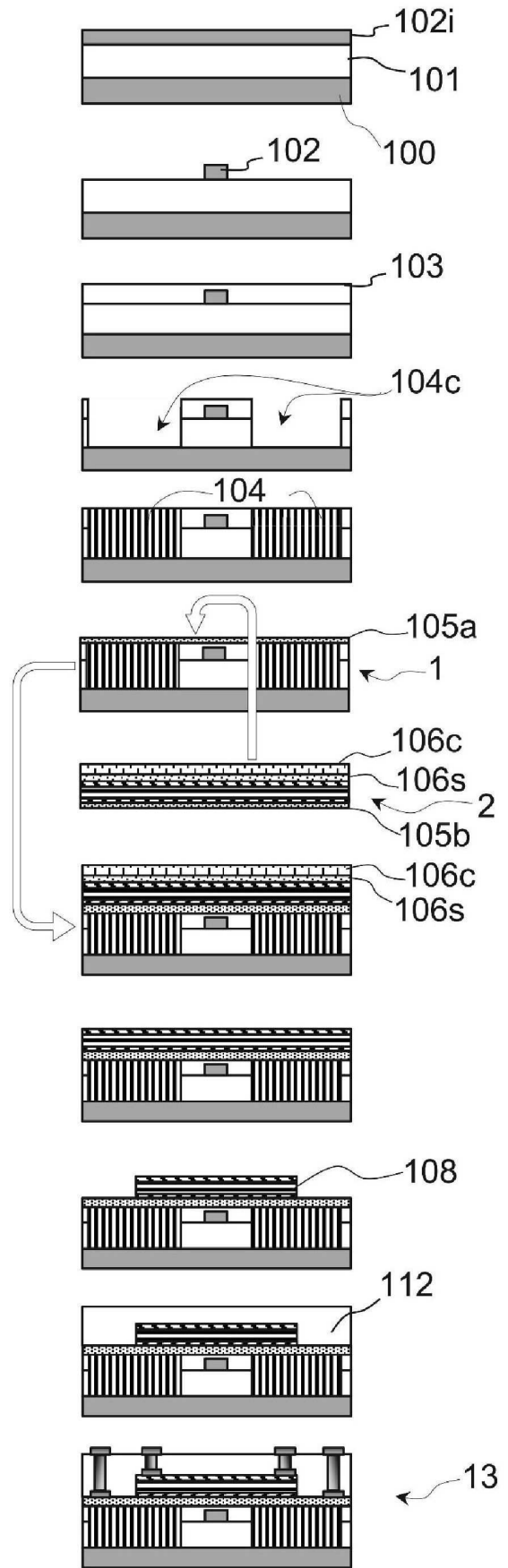
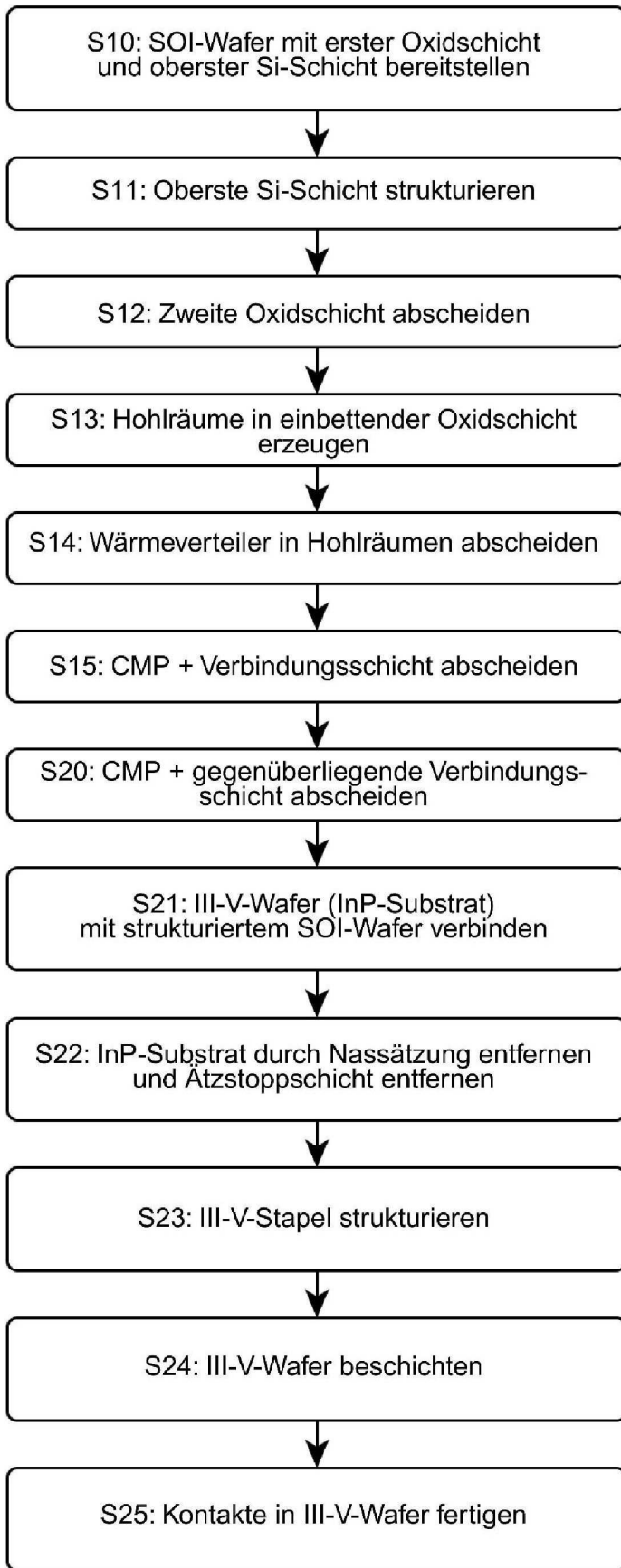


FIG. 8