

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年9月16日(16.09.2010)

PCT

(10) 国際公開番号
WO 2010/103934 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2010/052991
- (22) 国際出願日: 2010年2月25日(25.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-059618 2009年3月12日(12.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): ナミックス株式会社(NAMICS CORPORATION) [JP/JP]; 〒9503131 新潟県新潟市北区濁川3993番地 Niigata (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 理 (SUZUKI, Osamu) [JP/JP]; 〒9503131 新潟県新潟市北区濁川3993番地 ナミックス株式会社内 Niigata (JP). 石川 誠一 (ISHIKAWA, Seichi) [JP/JP]; 〒9503131 新潟県新潟市北区濁川399

3番地 ナミックス株式会社内 Niigata (JP). 吉井 東之(YOSHII, Haruyuki) [JP/JP]; 〒9503131 新潟県新潟市北区濁川3993番地 ナミックス株式会社内 Niigata (JP).

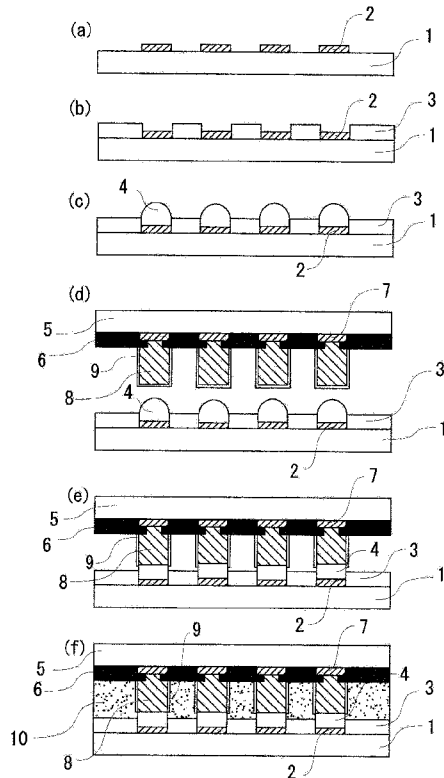
- (74) 代理人: 福森 久夫(FUKUMORI, Hisao); 〒1020074 東京都千代田区九段南4-5-1 富士ビル2F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: UNDERFILL MATERIAL AND METHOD FOR MOUNTING ELECTRONIC COMPONENT

(54) 発明の名称: アンダーフィル材、及び、電子部品の実装方法

[図1]



(57) Abstract: In flip chip mounting of an electronic component, an underfill is filled between the component and a substrate, thereby reducing the thermal stress or the like. In conventional mounting of an electronic component using a copper pillar, there is such a problem that a filler contained in an underfill is separated during a heat curing step of a resin. In the present invention, the surface of a copper pillar is plated with a solder. Consequently, a movement of the charged filler in the underfill, which is caused by the electric field that is formed by a local battery due to a contact between different metals, can be prevented, thereby preventing occurrence of cracks in a connection part. As a result, the connection reliability can be improved.

(57) 要約: 電子部品のフリップチップ実装では部品と基板の間にアンダーフィルを充填し、熱応力等を緩和している。従来の銅ピラーを用いた電子部品の実装では、アンダーフィルに含まれるフィラーが樹脂の加熱硬化工程において分離する問題があった。銅ピラーの表面をはんだでめっきすることにした。異種金属の接触による局部電池が形成する電界により、アンダーフィル中で帯電したフィラーが移動するのを防止し、接続部のクラックの発生を防止できる。接続信頼性向上に効果がある。

WO 2010/103934 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： アンダーフィル材、及び、電子部品の実装方法

技術分野

[0001] 本発明は、電子部品を基板に実装する際に用いるアンダーフィル材、及び、電子部品の実装方法に関する。

背景技術

[0002] 電子機器の小型化、高機能化に伴い、半導体チップなど電子部品の高密度実装に対する要求が高まっている。フリップチップ実装は、高密度実装技術のひとつであり、チップの表面に突起状電極を形成し、チップ表面を下に向けて基板に直接接続を行う実装方法である。フリップチップ実装は、半導体チップと基板を直接接続する実装方法であるため、シリコンチップと基板の線膨張係数の違いにより発生する応力を吸収できないと接続部にクラックが発生するおそれがあり、接続信頼性不良の原因となる。その対策として、アンダーフィル材と呼ばれる封止樹脂を半導体チップと配線基板の間に充填する技術が用いられている。アンダーフィル材を用いることにより、ヒートサイクル等の熱的応力に対する接続信頼性、及び、衝撃や折り曲げなどの物理的応力に対する接続信頼性を向上することが可能となる。

特許文献1には、エポキシ樹脂と、多官能脂肪族エポキシと、塩基性硬化剤と、無機フィラーとからなるアンダーフィル材が開示されている。エポキシ樹脂用の硬化剤としては、一般的に、フェノール系、酸無水系、又は、アミン系の硬化剤が知られているが、近年、ガラス転移温度の制御性に優れていることからアミン系など塩基性の硬化剤を混合したアンダーフィル材が多く使用される。

シリコンチップの線膨張係数は $4\text{pm}/^{\circ}\text{C}$ であり、基板、例えば、ガラスエポキシ基板の線膨張率は $20\text{ppm}/^{\circ}\text{C}$ である。フィラーはこの線膨張率の差を吸収するために混合するもので、例えば、シリカ、アルミナ、窒化ホウ素、窒化アルミニウムからなる粉末が通常用いられる。

一方、近年、特に高密度のフリップチップ実装において、銅ピラーバンプが用いられるようになった。銅ピラーバンプは、従来のはんだバンプと比較して、バンプのピッチを小さくできる、鉛の使用量を低減できるので環境に与える影響が小さい、熱伝導性が高いので放熱特性に優れている、電気伝導度が高いので寄生抵抗を低減できるなどの利点がある。

[0003] 図7(a)乃至(e)は、銅ピラーバンプとアンダーフィルを用いた従来のフリップチップ実装による電子部品の実装方法の工程順断面図である。図7(a)は、表面に電極端子102を形成した配線基板101の断面図である。これに対し、電極端子102の間を埋めるようにレジストパターン103を形成する(図7(b))。次に、電極端子102の上に、はんだバンプ104を形成する(図7(c))。はんだ103の材料は、SnPbが一般的に用いられるが、環境問題対策として、Pbを含まないSnAgCuを用いる場合もある。電極端子102の間にレジストパターン103が形成されているので、隣り合うはんだバンプの短絡を防止することができる。次に、表面に銅ピラー105を形成したベアチップ106を配線基板101上に置いて、位置合わせを行い、はんだの接合温度で加熱し、はんだ104を介して銅ピラー105と電極端子104を電氣的に接続する(図7(d))。次に、アンダーフィル材を約80℃で加熱して液状にし、ベアチップ106と配線基板101の間に流し込む。さらに、約150℃に加熱して、アンダーフィル材を硬化させる(図7(e))。

しかし、図7に示すような実装方法で、銅ピラーを用いたフリップチップ実装を行うと、アンダーフィル中のフィラーが加熱硬化中に樹脂から分離する(樹脂中で凝集する)という現象が発生することがわかった。このため、アンダーフィル樹脂中にフィラーが存在しない領域が形成されることとなり、シリコンチップと基板の線膨張率の差を吸収できず、バンプにクラックが発生するなどの問題が発生した。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-56070号公報

発明の概要

発明が解決しようとする課題

- [0005] 本発明は、アンダーフィル中のフィラーの分離を制御し、フィラーを均一に分散、又は、必要な領域に凝集させて、硬化させることにより、フリップチップ実装の接続信頼性を向上することを目的とする。

課題を解決するための手段

- [0006] 本発明（１）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記金属ピラーの表面をはんだで被膜する工程と、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化する工程とからなる電子部品の実装方法である。

本発明（２）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記はんだバンプより厚いレジストパターンを前記電極端子と隣り合う前記電極端子の間に形成する工程と、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化する工程とからなる電子部品の実装方法である。

本発明（３）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材の徐電を行った後に前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法である。

本発明（４）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材に直流電界を印加しながら、前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法である。

本発明（５）は、金属ピラーを備えた電子部品をはんだバンプを介して基板

表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材に交流電界を印加しながら、前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法である。

本発明（６）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材を加熱硬化する工程とからなり、前記加熱硬化の時間が３０秒以上１時間以下であることを特徴とする電子部品の実装方法である。

本発明（７）は、前記金属ピラーが、銅又は金からなるピラーであることを特徴とする前記発明（１）乃至前記発明（６）の電子部品の実装方法である。

本発明（８）は、前記アンダーフィル材が、エポキシ系樹脂からなるアンダーフィル材であり、アミン系硬化剤とフィラーとを含むことを特徴とする前記発明（１）乃至前記発明（７）の電子部品の実装方法である。

本発明（９）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続した実装基板において、前記金属ピラーの表面がはんだで被膜されていることを特徴とする実装基板である。

本発明（１０）は、金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続した実装基板において、前記はんだバンプの表面がレジストで覆われていることを特徴とする実装基板である。

本発明（１１）は、前記実装基板が、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化した実装基板であり、前記金属ピラーの表面が前記アンダーフィル材に接触しないように、はんだで被膜されていることを特徴とする前記発明（９）の実装基板である。

本発明（１２）は、前記実装基板が、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化した実装基板であり、前記は

んだバンプの表面が前記アンダーフィル材に接触しないように、レジストで覆われていることを特徴とする前記発明（１０）の実装基板である。

本発明（１３）は、前記金属ピラーが、銅又は金からなるピラーであることを特徴とする前記発明（９）又は前記発明（１２）の実装基板である。

本発明（１４）は、前記アンダーフィル材が、エポキシ系樹脂からなるアンダーフィル材であり、アミン系硬化剤とフィラーとを含むことを特徴とする前記発明（１１）乃至前記発明（１３）の実装基板である。

発明の効果

[0007] 本発明（１）乃至（８）によれば、電子部品のフリップチップ実装において、アンダーフィル中のフィラーの分離を制御し、フィラーを均一に分散、又は、必要な領域に凝集させた状態でアンダーフィルを硬化することができる。フリップチップ実装の接続信頼性向上に効果がある。

図面の簡単な説明

[0008] [図1] (a)乃至(f)は、本発明の電子部品の実装方法の第一の具体例を示す工程順断面図である。

[図2] (a)乃至(e)は、本発明の電子部品の実装方法の第二の具体例を示す工程順断面図である。

[図3] (a)乃至(e)は、本発明の電子部品の実装方法の第三の具体例を示す工程順断面図である。

[図4] (a)乃至(c)は、SEM写真から読み取った、フィラーと樹脂が分離したアンダーフィルの断面図である。

[図5] (a)は、フィラーと樹脂の分離に対する帯電の影響を調査する実験方法を説明する図である。(b)及び(c)は、実験結果を示すSEM写真である。

[図6] (a)は、フィラーと樹脂の分離に対する局部電池の影響を調査する実験方法を説明する図である。(b)乃至(d)は、実験結果を示すSEM写真である。

[図7] (a)乃至(e)は、従来の電子部品の実装方法の工程順断面図である。

符号の説明

[0009] １、１１、５１、１０１ 配線基板

- 2、12、52、102 電極端子
- 3、13、53、103 レジストパターン
- 4、18、54、104 はんだ
- 5、14、55、106 チップ基板
- 6、16、56、108 パッシベーション
- 7、15、57、107 電極端子
- 8、17、58、105 銅ピラー
- 9、59 はんだめっき
- 10、19、60、109 アンダーフィル
- 31 配線基板
- 32 レジストパターン
- 33、43、48 ファラーが集積した領域
- 42、47 はんだめっき被膜
- 34、44、49 フィラーがほとんど存在しない領域
- 35 チップ基板
- 36 電極端子
- 37、40、46 はんだ
- 38、41、45 銅ピラー
- 39 クラック

発明を実施するための形態

[0010] 以下、本発明の最良形態について説明する。

(フィラーとアンダーフィル樹脂の分離)

本願発明者等は、銅ピラーバンプを用いた電子部品と実装基板の間にアンダーフィルを注入してから、加熱してアンダーフィルを硬化させた後に、アンダーフィルの断面を観察したところ、加熱前はアンダーフィル中に均一に分散していたフィラーが樹脂中で凝集して、銅ピラーの近傍にはフィラーが存在しなくなる現象を見出した。従来のはんだバンプ実装の場合でも、アンダーフィル中に分散した一部のフィラー粒子が加熱硬化中に重力によって沈

降することはあったが、銅ピラーの場合は、高い再現性でほとんどすべてのフィラー粒子が銅ピラー近傍から分離することがわかった。先に述べたように、フィラーがアンダーフィル樹脂中に均一に分散していないと、電子部品と基板の線膨張率の差を適切に吸収できないという問題が発生する。

[0011] 図4(a)乃至(c)は、SEM写真から読み取った、フィラーと樹脂が分離したアンダーフィルの断面図である。図4(a)において、配線基板31と電子部品のチップ基板35の間にアンダーフィル33、34が充填されている。配線基板31とチップ基板35は、銅ピラー38、はんだ37、電極端子36を介して電氣的に接続している。電極端子36と隣接する電極端子の間はレジストパターン32が形成されている。加熱硬化前にフィラーが均一に分散していたアンダーフィルが、加熱硬化後に、フィラーがほとんど存在しない領域34とフィラーが集積した領域33に分離している様子が観察される。図4(b)、(c)は、図4(a)の拡大図である。フィラーが集積した領域43、48とフィラーがほとんど存在しない領域44、49と、銅ピラー41、45、はんだ40の位置関係から、フィラーが銅ピラーの表面から離れるように移動したことがわかる。銅ピラーの表面の一部にはんだ被膜で覆われた部分42、47があるが、この部分では、フィラーが分離していないことがわかる。このフィラーの分離は、フェノール系や無水酸系の硬化剤を用いる場合は、あまり観察されなかった。また、はんだやレジストなどの耐熱性など、実装プロセスの制限から、アンダーフィルの加熱温度を170℃以上にすることができない場合に、フィラーの分離が高い頻度で発生することがわかった。アミン系硬化剤は、フェノール系や無水酸系の硬化剤と比較して硬化促進性が低く硬化時間が長い。例えば、フェノール系硬化剤を用いた場合に150℃30分の加熱を硬化に要していたのに対し、アミン系硬化剤を用いた場合は、150℃1時間から2時間の加熱を要する。すなわち、加熱時間が長い場合に、分離が発生することがわかった。

[0012] (原因調査実験1)

本願発明者等は、フィラーの分離の原因が、異種金属の接触による局所電池

の形成ではないかと推定して、原因の調査実験を行った。図5 (a) は、フィラーと樹脂の分離に対する帯電の影響を調査する実験方法を説明する図である。まず、表面にくし型電極を印刷した基板を用意し、アンダーフィル (UF) がくし型電極上にかかるように塗布した。次に、電極に直流電圧 (20V) を印加してアンダーフィルを帯電し、その状態で、アンダーフィルを加熱して硬化させた。図5 (b) は、電圧を印加した場合の試験片の断面図である。左側が負電圧印加電極、右側が正電圧印加電極である。正電圧印加電極の近傍にはフィラーが存在していないことがわかる。図5 (c) は、電圧を印加しない場合の試験片の断面図である。隣接する二つの電極のどちらの近傍においても、フィラーの分布に顕著な差が生じていないことがわかる。この実験の結果、アンダーフィル中に分散した帯電したフィラーが局部電池により反発して分離している可能性が高いことが確認できた。

[0013] (原因調査実験2)

フィラーの分離が、異種金属の接触による局部電池であることを確認するため、さらに調査実験を行った。図6 (a) は、フィラーと樹脂の分離に対する局部電池の影響を調査する実験方法を説明する図である。まず、基板上にはんだバンプ (Pb/Sn) を乗せ、その上にシリコンチップを乗せた試料を用意した。基板材料として、FR4 (ガラスエポキシ基板)、銅、金の3種類の基板を用いた試料を用意した。次に、シリコンチップと基板の間にアンダーフィルを注入し、加熱して硬化させ、SEMにより断面観察を行った。図6 (b) 乃至 (d) は、実験結果を示すSEM写真である。基板がFR4の場合は、フィラーの分離は観察されなかった。一方、基板が銅又は金の場合は、銅や金から離れ、はんだに近づくようにフィラーの分離が発生することがわかった。この結果から、異種金属の接触による局部電池によりフィラーの分離が発生していることが確認できた。また、銅ピラーバンプだけでなく、金からなるピラーを用いた場合や、金線を用いて接続する場合、さらに、銅、金だけでなく、異なる2種以上の金属をアンダーフィルに接触させた場合にも、フィラーの分離が発生すると予測できる。

[0014] (本発明の実装方法の第一の具体例)

本願発明者等は、フィラー分離の問題に関して得られた知見を基に、問題解決の手段を検討した。その結果、複数の解決手段を見出し、評価を行ったところそれらの手段が実際に問題の解決に有効であることが確認できた。

本発明の第一の解決手段は、銅ピラーの表面をはんだでめっきして、銅がアンダーフィルに接触しないようにする方法である。図1(a)乃至(f)は、本発明の電子部品の実装方法の第一の具体例を示す工程順断面図である。最初に、電極端子2が表面に形成された配線基板1を用意する(図1(a))。配線基板の材料は、例えば、FR4(ガラスエポキシ基板)である。次に、配線基板1の電極端子2以外の露出した表面にレジストパターン3を形成する(図1(b))。次に、電極端子2の上にはんだからなるバンプ4を形成する(図1(c))。次に、表面にピラーが形成された電子部品、例えば、半導体チップをピラーが形成された面を配線基板1上のはんだバンプ4と向かい合うように置いて位置合わせを行う(図1(d))。半導体チップは、チップ基板5上に電極端子7があり、電極端子7に接続して銅ピラー8が形成されている。銅ピラー8の表面ははんだめっきを行い、はんだ被膜9により覆われている。次に、銅ピラー9とはんだバンプ4を接合する(図1(e))。最後に、アンダーフィル材を加熱して液状にしてから、半導体チップと配線基板の間に形成された空間に注入する。さらに、アンダーフィル材を樹脂の硬化温度まで加熱して硬化する(図1(f))。アンダーフィル材10と接触する金属は、はんだだけであるので、局部電池は形成されず、フィラーの分離は発生しない。

[0015] (アンダーフィルの材料)

本発明の実装方法を適用してフィラーの分離に有効なアンダーフィル材料は、例えば、以下の材料が挙げられる。アンダーフィル材は、樹脂、硬化剤、フィラーを混合して調製される。さらに、希釈剤、硬化促進剤を混合して調製する場合もある。また、本発明の実装方法は、以下に示す材料に限定されるものではなく、以下に示す材料以外の材料を用いた場合でもフィラー分離の防止に優れた効果が得られる。

[樹脂]

アンダーフィル材を構成する樹脂は、例えば、エポキシ樹脂を用いるのが好ましい。エポキシ樹脂は、1分子中に2個以上のエポキシ基を有し、硬化して樹脂状になるエポキシ化合物であれば、特に、限定されない。エポキシ樹脂は、具体的には、ビスフェノールA型エポキシ樹脂、臭素化ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、ビスフェニル型エポキシ樹脂、ノボラック型エポキシ樹脂、脂環式エポキシ樹脂、ナフタレン型エポキシ樹脂、エーテル系又はポリエーテル系エポキシ樹脂、オキシラン環含有ポリブタジエン、シリコンエポキシコポリマー樹脂等が例示される。

[希釈剤]

希釈剤を用いる場合、非反応性希釈剤及び反応性希釈剤のいずれをも使用することができるが、反応性希釈剤を用いるのがより好ましい。反応性希釈剤は、1分子中に1個又は2個以上のエポキシ基を有する、常温で比較的低粘度の化合物であり、目的に応じて、エポキシ基以外に、他の重合性官能基、例えば、ビニル、アリル等のアルケニル基、又は、アクリロイル、メタクリロイル等の不飽和カルボン酸残基を有していてもよい。このような反応性希釈剤としては、n—ブチルグリシジルエーテル、2—エチルヘキシルグリシジルエーテル、フェニルグリシジルエーテル、クレジルグリシジルエーテル、p—s—ブチルフェニルグリシジルエーテル、スチレンオキシド、 α —ピネンオキシドのようなモノエポキシド化合物、アリルグリシジルエーテル、メタクリル酸グリシジル、1—ビニル—3, 4—エポキシシクロヘキサンのような官能基を有するモノエポキシド化合物、(ポリ)エチレングリコールジグリシジルエーテル、(ポリ)プロピレングリコールジグリシジルエーテル、ブタンジオールグリシジルエーテル、ネオペンチルグリコールグリシジルエーテルのようなジエポキシド化合物、トリメチロールプロパントリグリシジルエーテル、グリセリントリグリシジルエーテルのようなトリエポキシド化合物等が例示される。

[硬化剤]

アンダーフィル材の樹脂材料として、エポキシ樹脂を用いる場合は、硬化剤は、フェノール樹脂、酸無水物、又は、アミン系化合物を用いることができる。

フェノール樹脂としては、フェノールノボラック樹脂、クレゾールノボラック樹脂、ナフトール変性フェノール樹脂、ジシクロペンタジエン変性フェノール樹脂、p—キシレン変性フェノール樹脂、ジシクロペンタジエン変性フェノール樹脂、p—キシレン変性フェノール樹脂等が例示されるが、これらに限定されるものではなく、アンダーフィル用樹脂組成物に通常用いられるものであればよい。

エポキシ樹脂中のエポキシ基 1 当量あたり、フェノール樹脂中のOH当量が、0.3~1.5当量となることが好ましく、0.5~1.2当量となることがより好ましい。

酸無水物としては、メチルテトラヒドロフタル酸無水物、メチルヘキサヒドロフタル酸無水物、アルキル化テトラヒドロフタル酸無水物、ヘキサヘドロフタル酸無水物、無水メチルハイミック酸、無水ドデセニルコハク酸、無水メチルナジック酸等が例示される。

エポキシ樹脂と酸無水化物の配合割合は、エポキシ樹脂中のエポキシ基 1 当量あたり、酸無水化物の当量が0.6~1.0当量となることが好ましい。

アミン系化合物としては、脂肪族ポリアミン、芳香族アミン、及び、ポリアミノアミド、ポリアミノイミド、ポリアミノエステル、ポリアミノ尿素等の変性ポリアミンが例示されるが、これらに限定されるものではない。また、第三級アミン系、イミダゾール系、ヒドラジド系、ジシアンジアミド系、メラミン系の化合物を用いることができる。

エポキシ樹脂とアミン系化合物の配合割合は、エポキシ樹脂中のエポキシ基 1 当量あたり、アミン系化合物の当量が0.6~1.0当量となることが好ましい。

また、これらの硬化剤は、単独で用いてもよく、2種以上併用してもよい。

[硬化促進剤]

アンダーフィル材には、必要に応じて、硬化促進剤を用いることができる。硬化促進剤としては、イミダゾール系、第三級アミン系、リン化合物系等が挙げられ。例えば、2—メチルイミダゾール、2—ウンデシルイミダゾール、2—ヘプタデシルイミダゾール、2—エチル—4—メチルイミダゾール、2—フェニルイミダゾール、2—フェニル—4—メチルイミダゾール等が例示されるが、特にこれらに限定されるものではない。硬化促進剤の配合量は、樹脂組成物全体の0.05～30重量%の割合に設定することが好ましい。また、これらの硬化促進剤は、単独で用いてもよく、2種以上併用してもよい。

[フィラー]

アンダーフィル材に配合するフィラーとしては、溶融シリカ、窒化アルミ、溶融アルミナ等が例示される。形状としては、球状が好ましく、平均粒子径は、 $0.2\mu\text{m}$ から $20\mu\text{m}$ の範囲とするのが好ましく、半導体のデザインや封止方法等に応じて適宜設定するのが好ましい。異なる材料、粒子径のフィラーを混合して使用してもよい。

アンダーフィル材には、フィラー以外にも、シランカップリング剤、界面活性剤、エラストマー等を適宜配合してもよい。

[0016] (本発明の実装方法の第二の具体例)

本発明の実装方法の第二の具体例、第一の具体例の変形例であり、はんだバンプが配線基板側ではなく、半導体チップ側に形成される点で、第一の具体例と異なる。

図2(a)乃至(e)は、本発明の電子部品の実装方法の第二の具体例を示す工程順断面図である。最初に、電極端子52が表面に形成された配線基板51を用意する(図2(a))。次に、配線基板51の電極端子52以外の露出した表面にレジストパターン53を形成する(図2(b))。次に、表面にピラー及びはんだバンプが形成された電子部品、例えば、半導体チップをピラー及びはんだバンプが形成された面を配線基板51上の電極端子52と向かい合うように置いて位置合わせを行う(図2(c))。半導体チップは、チップ基板55上に電極端子57があり、電極端子57に接続して銅ピラー58が形成され

、銅ピラー 5 8 に接続してはんだバンプ 5 4 が形成されている。銅ピラー 5 8 の表面ははんだめっきを行い、はんだ被膜 5 9 により覆われている。次に、はんだバンプ 5 4 と電極端子 5 2 を接合する（図 2 (d)）。最後に、アンダーフィル材を加熱して液状にしてから、半導体チップと配線基板の間に形成された空間に注入する。さらに、アンダーフィル材を樹脂の硬化温度まで加熱して硬化する（図 2 (e)）。アンダーフィル材 6 0 と接触する金属は、はんだだけであるので、局部電池は形成されず、フィラーの分離は発生しない。

[0017] （本発明の実装方法の第三の具体例）

本発明の第二の解決手段は、はんだの短絡を防止するためのレジストを厚く形成することにより、はんだとアンダーフィルの接触を防止することにより、フィラーの分離を防止するものである。図 3 (a) 乃至 (e) は、本発明の電子部品の実装方法の第三の具体例を示す工程順断面図である。最初に、電極端子 1 2 が表面に形成された配線基板 1 1 を用意する（図 3 (a)）。次に、配線基板 1 1 の電極端子 1 2 以外の露出した表面にレジストパターン 1 3 を形成する（図 3 (b)）。次に、表面にピラー及びはんだバンプが形成された電子部品、例えば、半導体チップをピラー及びはんだバンプが形成された面を配線基板 1 1 上の電極端子 1 2 と向かい合うように置いて位置合わせを行う（図 3 (c)）。半導体チップは、チップ基板 1 4 上に電極端子 1 5 あり、電極端子 1 5 に接続して銅ピラー 1 7 が形成され、銅ピラー 1 7 に接続してはんだバンプ 1 8 が形成されている。次に、はんだバンプ 1 8 と電極端子 1 2 を接合する（図 3 (d)）。図 3 (b) に示すレジストパターンの形成工程において、レジストパターンの厚さは、図 3 (d) に示す工程において圧縮されたはんだバンプの厚さより厚くなり、はんだバンプを完全に覆う程度の厚さに形成する。最後に、アンダーフィル材を加熱して液状にしてから、半導体チップと配線基板の間に形成された空間に注入する。さらに、アンダーフィル材を樹脂の硬化温度まで加熱して硬化する（図 3 (e)）。アンダーフィル材 1 9 と接触する金属は、銅だけであるので、局部電池は形成されず、フィラーの分離は発生しない。

本発明の第二の解決手段によれば、銅ピラーの表面にはんだめっきを行う工程が不要であるため、製造コストを低減できる効果がある。

[0018] (本発明のその他の具体例)

本願発明者等は、見出したフィラー分離の原理に基づいて、以上挙げた具体例以外にも、さまざまな問題解決手段を考案し、効果の確認実験を行い、いずれの方法も顕著な効果が得られることを確認した。また、実装方法の改善以外に、アンダーフィル材料の改善を行っても、フィラー分離の防止に効果があることがわかった。以下に、上記した以外の本発明の実装方法及びアンダーフィル材の具体例について述べる。

(1) 除電

アンダーフィル材を調製する段階、又は、アンダーフィル材を電子部品と配線基板の間に注入してから樹脂を硬化させるまでの間に、アンダーフィル材に対し徐電を行い、フィラーに発生した静電気を除去することで、フィラー分離の防止が可能であることがわかった。徐電の具体的手段としては、例えば、コロナ放電、紫外線照射が例示される。

(2) 直流電圧印加

異種金属の接触により発生する局部電池の電圧を打ち消すように電極端子間に直流電圧を印加した状態でアンダーフィルの硬化を行うことで、フィラー分離の防止が可能であることがわかった。例えば、銅ピラーとはんだバンプがアンダーフィル材に接触している場合は、銅側を負電圧としはんだ側を正電圧とし、0.1～数ボルトの電圧を印加することにより、フィラー分離が防止できる。

(3) 交流電圧印加

電極端子に、交流電圧を印加した状態でアンダーフィルの硬化を行うことで、フィラー分離の防止が可能であることがわかった。印加する電圧、周波数は、アンダーフィル材料、金属材料、硬化条件等を考慮して適宜設定する。

(4) 硬化時間の短縮

硬化時間を短縮することで、フィラー分離の防止が可能であることがわかった。硬化時間は、30秒以上1時間以下とするのが好ましい。硬化時間を短縮する具体的な方法としては、硬化温度を上げる、硬化促進剤を入れるなどが例示される。

(5) フィラーが動きにくいものを入れる

アンダーフィル材に、フィラーが電界の印加により移動しにくい添加剤を入れることで、フィラー分離の防止が可能であることがわかった。

上記列挙したフィラー分離を防止する本発明に係る課題解決手段は、ピラーが銅や金ではない場合でも、或いは、バンプがはんだではない場合でも、また、アンダーフィルに含まれる硬化剤がアミン系の硬化剤ではない場合でも、異種金属がアンダーフィル材に接触するあらゆるフリップチップ実装において、フィラー分離を防止する方法として採用することにより優れた効果が得られることは言うまでもない。

また、フィラーの分離自体が問題となるというより、従来は、フィラーの分離を制御できなかったことが問題であった。そのため、電極の接続部などのフィラーが凝集して欲しい場所にフィラーが集まらず、そのため接続不良が発生していた。本発明に係る課題解決手段を用いることにより、フィラーを樹脂中で均一に分散されることも可能であるし、フィラーの分布を制御し、例えば、フィラーを凝集させたい場所のフィラー密度を高め、バンプの補強性を高めることも可能である。

産業上の利用可能性

[0019] 以上説明したように、本発明では、アンダーフィル中のフィラーの分離を制御し、フィラーを均一に分散、又は必要な領域に凝集させて、硬化させている。そのことにより、フリップチップ実装の接続信頼性を向上することができる。

請求の範囲

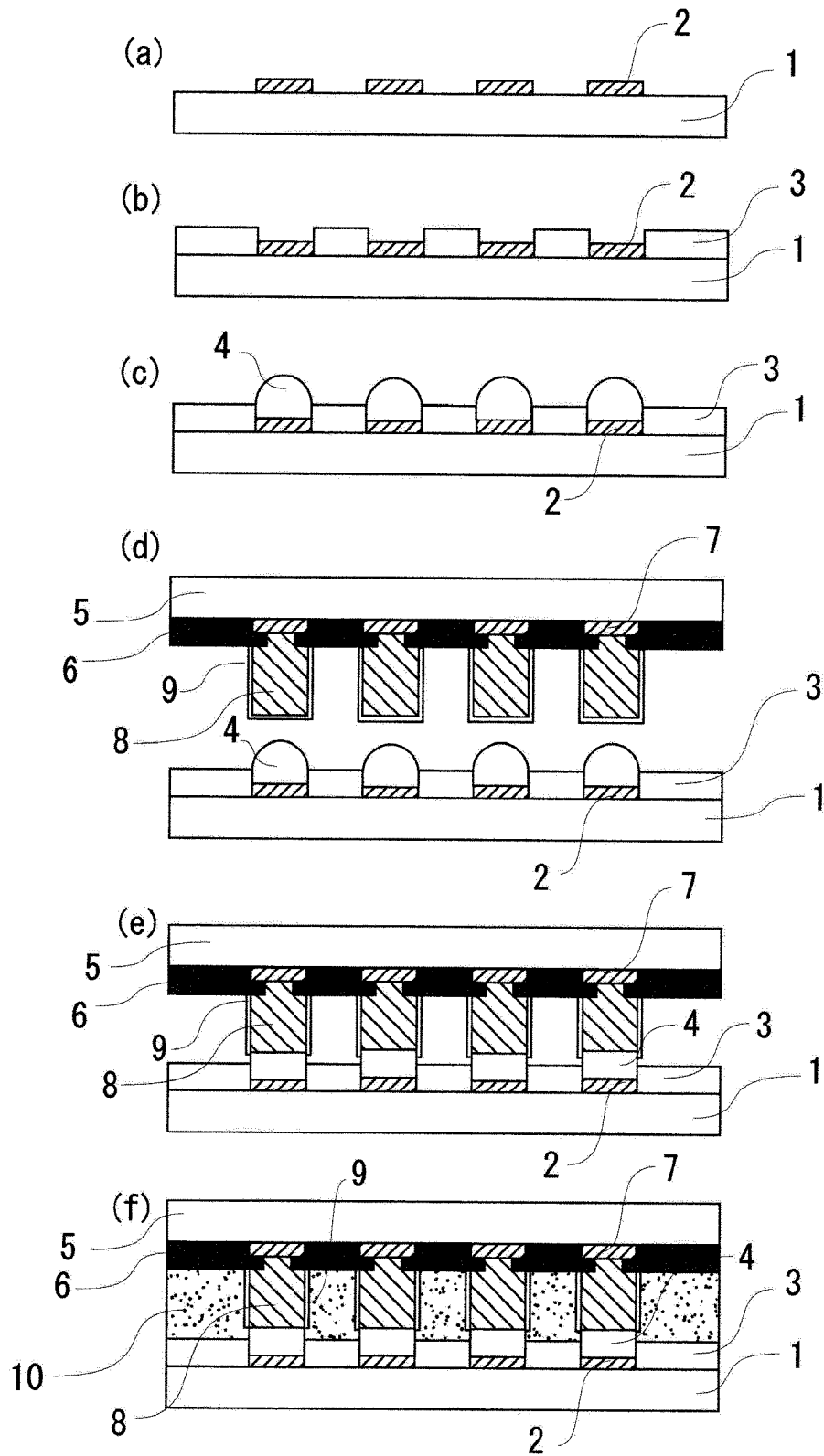
- [請求項1] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記金属ピラーの表面をはんだで被膜する工程と、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化する工程とからなる電子部品の実装方法。
- [請求項2] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記はんだバンプより厚いレジストパターンを前記電極端子と隣り合う前記電極端子の間に形成する工程と、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化する工程とからなる電子部品の実装方法。
- [請求項3] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材の徐電を行った後に前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法。
- [請求項4] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材に直流電界を印加しながら、前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法。
- [請求項5] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材に交流電界を印加しながら、前記アンダーフィル材を加熱硬化する工程とからなる電子部品の実装方法。
- [請求項6] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置

した複数の電極端子に接続する実装方法において、少なくとも、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入する工程と、前記アンダーフィル材を加熱硬化する工程とからなり、前記加熱硬化の時間が30秒以上1時間以下であることを特徴とする電子部品の実装方法。

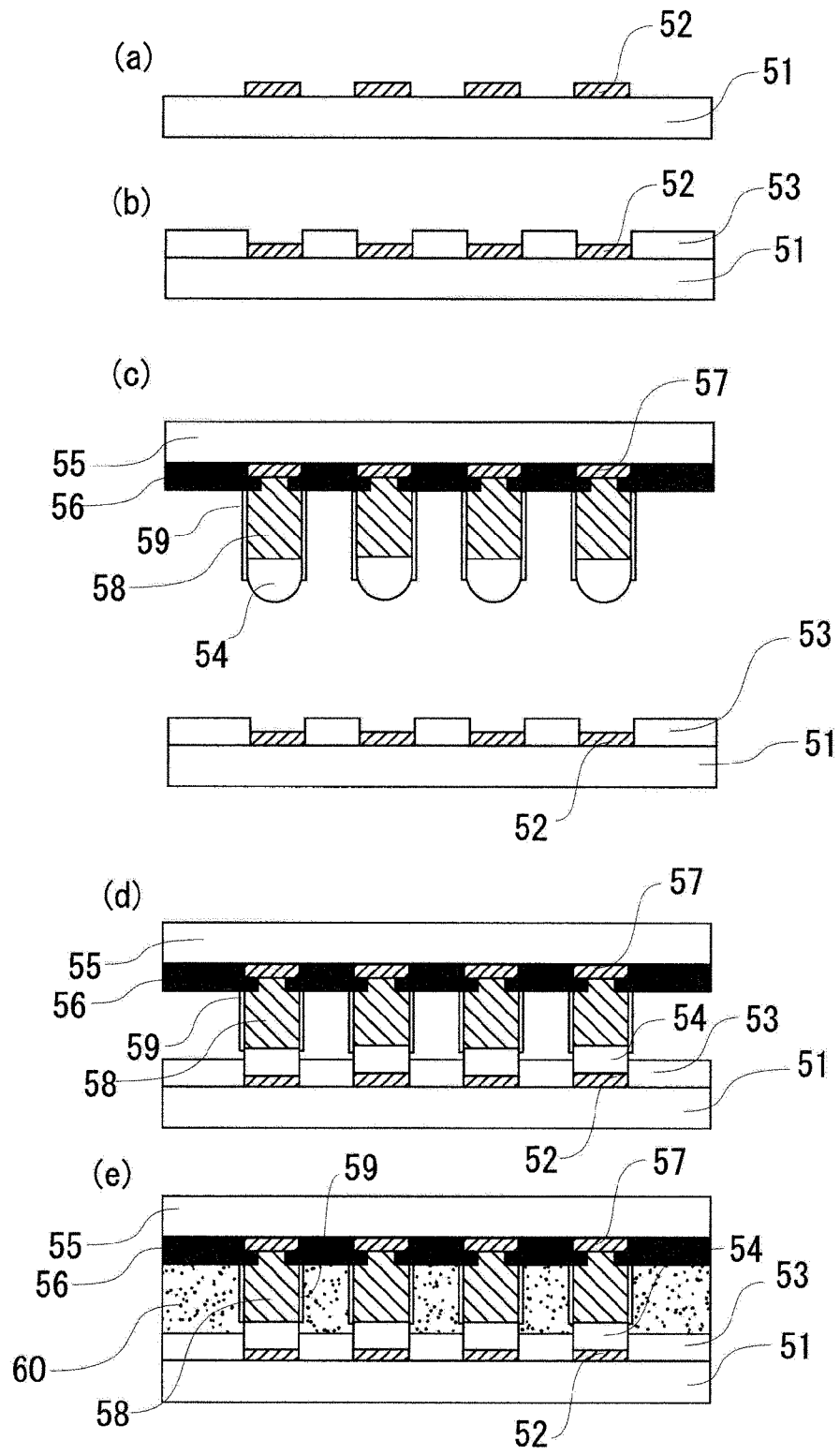
- [請求項7] 前記金属ピラーが、銅又は金からなるピラーであることを特徴とする請求項1乃至6記載のいずれか1項の電子部品の実装方法。
- [請求項8] 前記アンダーフィル材が、エポキシ系樹脂からなるアンダーフィル材であり、アミン系硬化剤とフィラーとを含むことを特徴とする請求項1乃至7のいずれか1項記載の電子部品の実装方法。
- [請求項9] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続した実装基板において、前記金属ピラーの表面がはんだで被膜されていることを特徴とする実装基板。
- [請求項10] 金属ピラーを備えた電子部品をはんだバンプを介して基板表面に配置した複数の電極端子に接続した実装基板において、前記はんだバンプの表面がレジストで覆われていることを特徴とする実装基板。
- [請求項11] 前記実装基板が、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化した実装基板であり、前記金属ピラーの表面が前記アンダーフィル材に接触しないように、はんだで被膜されていることを特徴とする請求項9記載の実装基板。
- [請求項12] 前記実装基板が、前記電子部品と前記基板の間にフィラーを含むアンダーフィル材を注入し、加熱硬化した実装基板であり、前記はんだバンプの表面が前記アンダーフィル材に接触しないように、レジストで覆われていることを特徴とする請求項10記載の実装基板。
- [請求項13] 前記金属ピラーが、銅又は金からなるピラーであることを特徴とする請求項9又は12のいずれか1項記載の実装基板。
- [請求項14] 前記アンダーフィル材が、エポキシ系樹脂からなるアンダーフィル材であり、アミン系硬化剤とフィラーとを含むことを特徴とする請求項

1 1 乃至 1 3 のいずれか1項記載の実装基板。

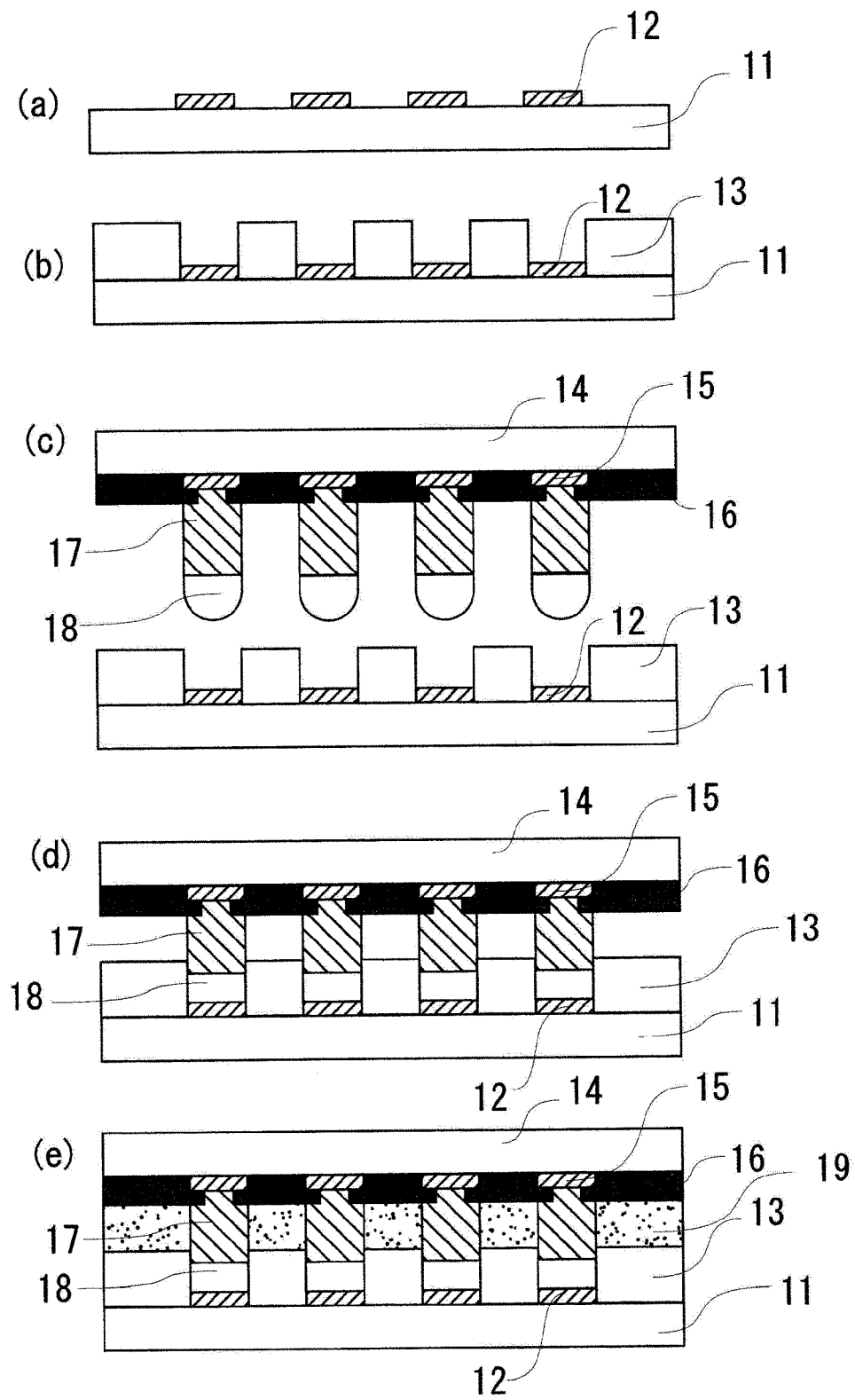
[図1]



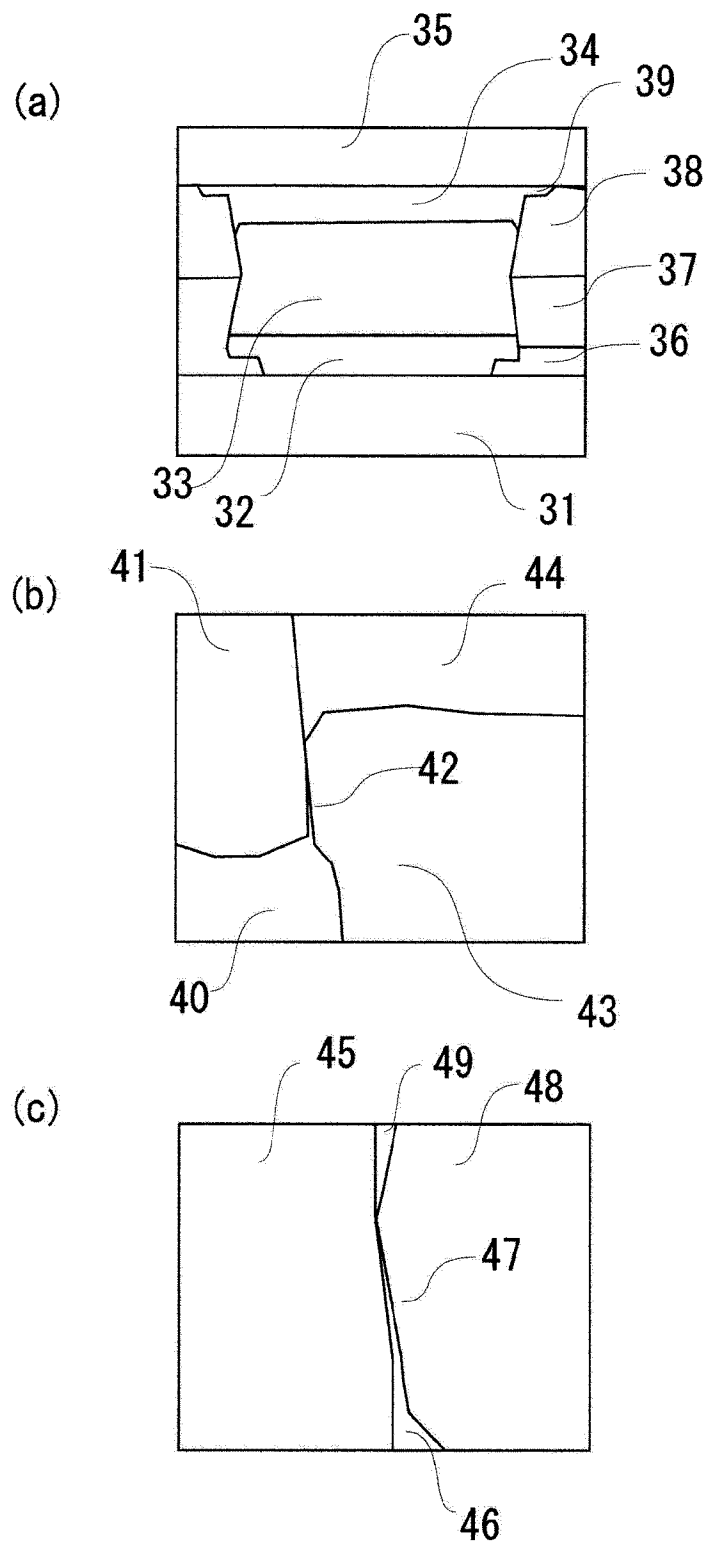
[図2]



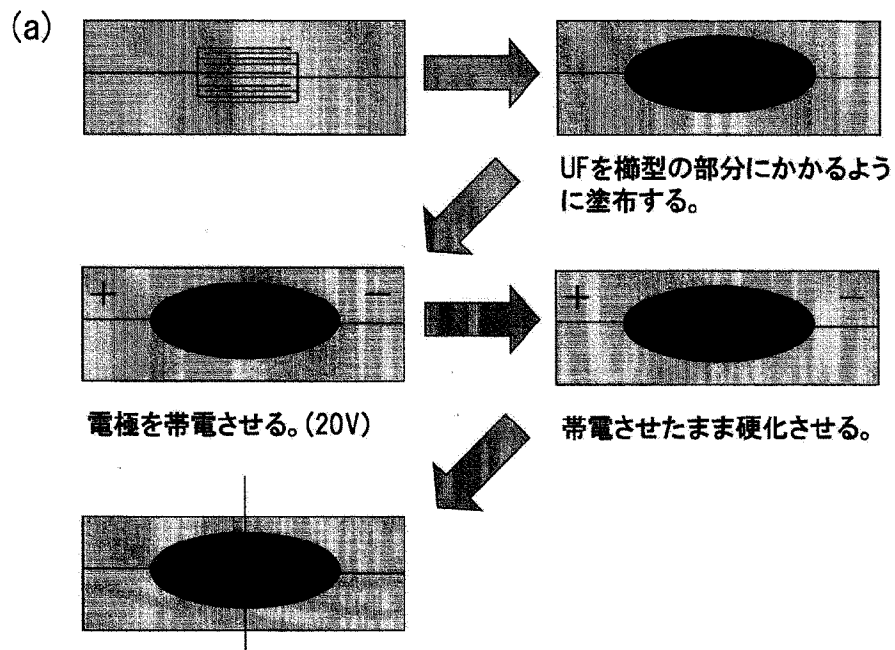
[図3]



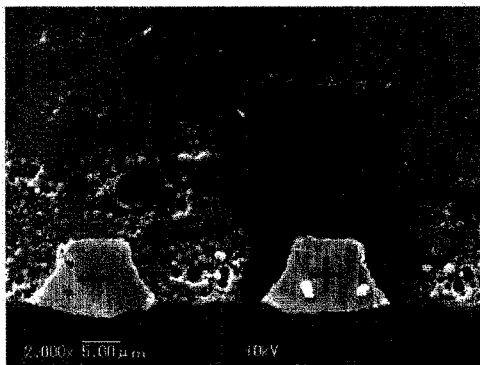
[図4]



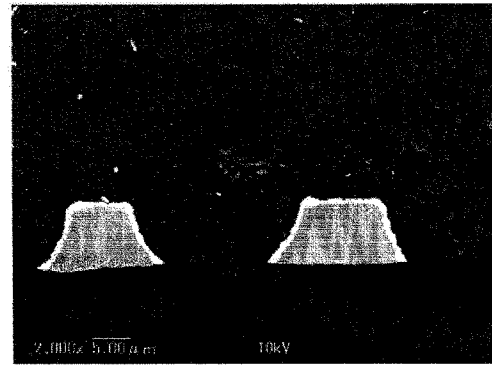
[図5]



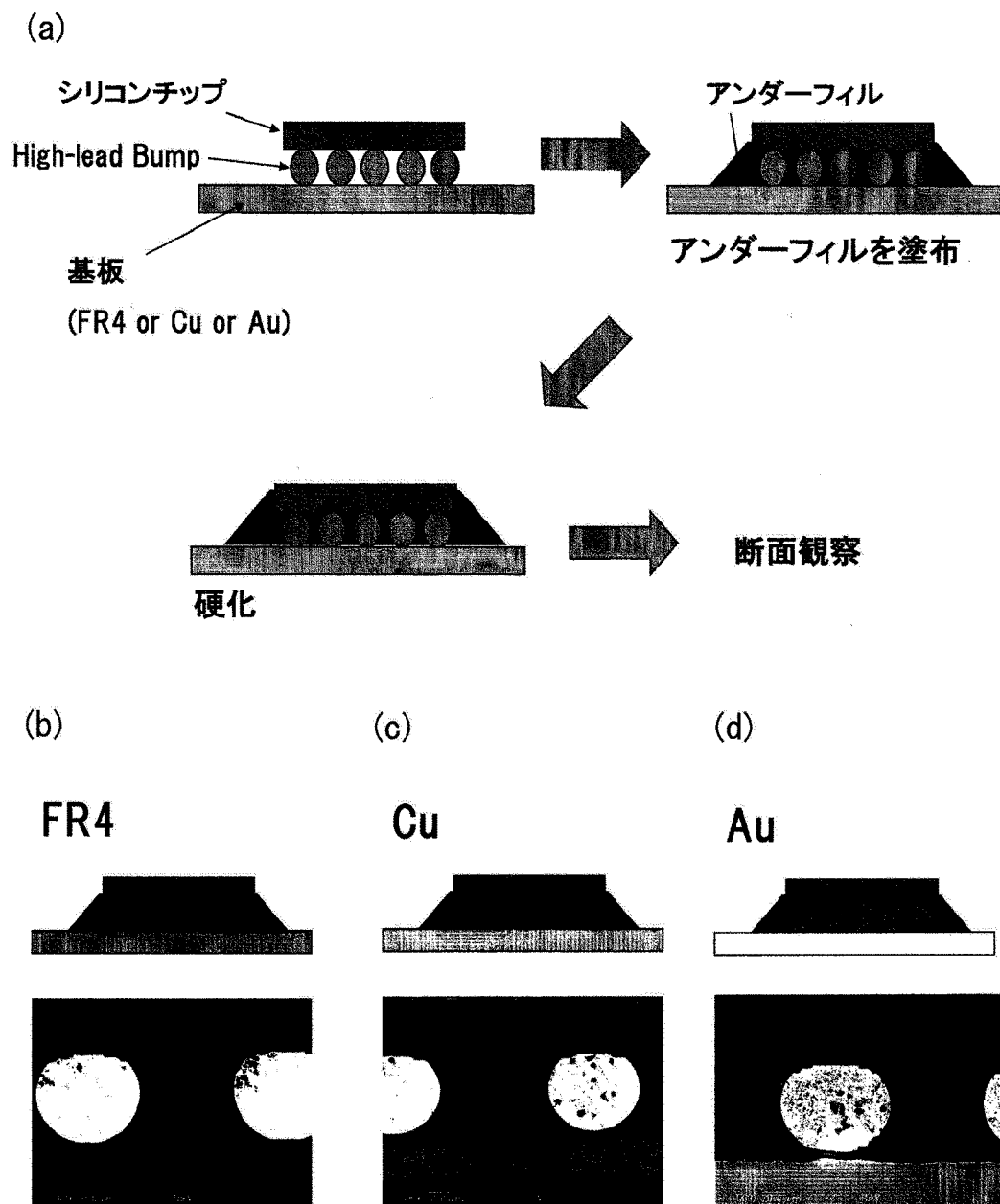
(b)



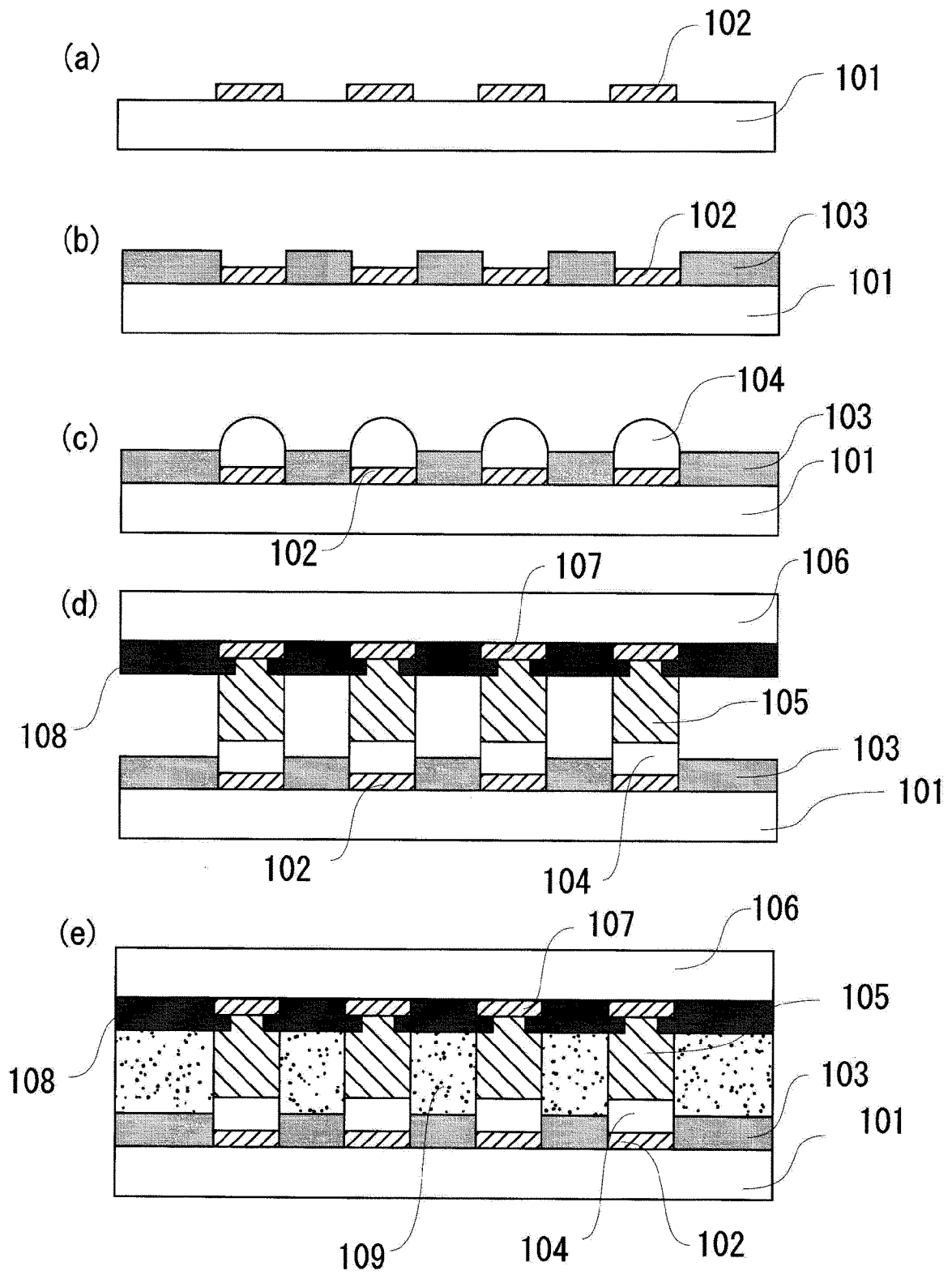
(c)



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/052991

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-165303 A (Shinko Electric Industries Co., Ltd.), 22 June 2006 (22.06.2006), paragraphs [0021] to [0026]; fig. 1 (Family: none)	1-3, 6-14
Y	JP 11-135671 A (Toshiba Corp.), 21 May 1999 (21.05.1999), paragraphs [0019] to [0025]; fig. 1 (Family: none)	1, 7-9, 11, 13-14
Y	JP 2002-334906 A (Matsushita Electric Industrial Co., Ltd.), 22 November 2002 (22.11.2002), paragraphs [0014] to [0030]; fig. 1 to 4 (Family: none)	2, 7-8, 10, 12-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 May, 2010 (20.05.10)

Date of mailing of the international search report
01 June, 2010 (01.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/052991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-100862 A (Seiko Instruments Inc.), 07 April 2000 (07.04.2000), paragraph [0012] (Family: none)	3, 7-8
Y	JP 2002-203874 A (Toray Engineering Co., Ltd.), 19 July 2002 (19.07.2002), paragraphs [0020] to [0040]; fig. 1 to 7 & US 2004/0047127 A1 & WO 2002/054476 A1	6-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-165303 A（新光電気工業株式会社）2006.06.22, 段落【0021】－【0026】，第1図（ファミリーなし）	1-3, 6-14
Y	JP 11-135671 A（株式会社東芝）1999.05.21, 段落【0019】－【0025】，第1図（ファミリーなし）	1, 7-9, 11, 13-14
Y	JP 2002-334906 A（松下電器産業株式会社）2002.11.22, 段落【0014】－【0030】，第1-4図（ファミリーなし）	2, 7-8, 10, 12-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 1 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

関根 崇

電話番号 03-3581-1101 内線 3471

4 R

3 8 3 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-100862 A (セイコーインスツルメンツ株式会社) 2000.04.07, 段落【0012】 (ファミリーなし)	3, 7-8
Y	JP 2002-203874 A (東レエンジニアリング株式会社) 2002.07.19, 段落【0020】 - 【0040】, 第 1-7 図 & US 2004/0047127 A1 & WO 2002/054476 A1	6-8