

 (19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0125539 (43) 공개일자 2014년10월29일
(51) 국제특허분류(Int. Cl.) <i>H01L 21/203</i> (2006.01) <i>H01L 21/8247</i> (2006.01) <i>H01L 27/115</i> (2006.01) (21) 출원번호 10-2013-0043427 (22) 출원일자 2013년04월19일 심사청구일자 2013년04월19일	(71) 출원인 한밭대학교 산학협력단 대전광역시 유성구 동서대로 125 (덕명동) (72) 발명자 이승윤 대전 유성구 노은동로 111, 1001동 102호 (노은동, 열매마을10단지아파트) 방기수 대전 서구 변동중로78번길 19, (변동) (74) 대리인 특허법인충정

전체 청구항 수 : 총 7 항

(54) 발명의 명칭 문턱 스위칭용 doped-GeTe 박막의 형성 방법

(57) 요약

본 발명은 프로그래머블 메모리 소자 등의 문턱 스위칭용 재료에 적합하도록 스퍼터링 방식으로 GeTe에 In 및 P를 도핑한 문턱 스위칭용 doped-GeTe 박막을 형성하는 방법에 관한 것이다.

대표도 - 도1

Parameters	Conditions
타겟 초기 압력 공정 압력 Ar Gas flow Rf Power 기판 기판 온도	doped-GeTe 3.0×10^{-6} torr 1.3×10^{-3} torr 20sccm 50W p형 실리콘 웨이퍼 R.T.

특허청구의 범위

청구항 1

스퍼터링 장치를 이용한 문턱 스위칭용 박막의 형성 방법에 있어서,

GeTe에 In 및 P를 도핑한 doped-GeTe 합금 타겟이 장착되거나 GeTe타겟 과 InP타겟이 장착된 공정 챔버에 상기 타겟에 대향되도록 기판이 장착된 전도체 캐리어를 로딩하는 단계;

상기 챔버 내의 진공도를 1.0×10^{-3} 내지 9.9×10^{-3} Torr로 유지하면서 상기 챔버 내로 Ar을 포함하는 가스를 공급하고 상기 타겟과 상기 캐리어 간에 소정의 파워를 인가하여 상기 타겟과 상기 기판 간에 플라즈마 형성으로 상기 기판 상에 GeTe에 In 및 P가 도핑된 doped-GeTe 박막층을 소정의 두께로 형성하는 단계; 및

상기 doped-GeTe 박막층이 형성된 상기 기판을 상기 챔버 밖으로 언로딩하여, 상기 doped-GeTe 박막층을 소정의 모양으로 패턴 식각하는 단계를 포함하고,

응용 소자 제작을 위한 전극이나 다른 반도체층이 미리 형성된 상기 기판 상에 상기 doped-GeTe 박막층을 형성하거나, 패턴 식각된 상기 doped-GeTe 박막층 상에 응용 소자 제작을 위한 전극이나 다른 반도체층을 형성함으로써, 상기 응용 소자에서 상기 doped-GeTe 박막층이 상변화 없이 문턱 스위칭 작용을 수행하도록 하기 위한 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 2

제1항에 있어서,

상기 Ar 가스의 공급량은 1.0 내지 50sccm이고, 상기 파워는 30 내지 70W RF(Radio Frequency) 파워인 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 3

제1항에 있어서,

상기 응용 소자는 메모리 스위칭이 일어나는 상변화층과 해당 상변화층의 상부층과 하부층에 상기 doped-GeTe 박막층이 형성된 프로그래머블 소자를 포함하는 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 4

제1항에 있어서,

상기 응용 소자는 상기 doped-GeTe 박막층이 양단에 전극이 각각 형성되는 스위칭 소자를 포함하는 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 5

제1항에 있어서,

상기 타겟은 상기 doped-GeTe 박막층의 형성에 이용되어, 상기 doped-GeTe 박막층의 형성에서 칼코겐 원소인 Te에 P를 결합시켜 구조 네트워크(structural network)의 연결도(connectivity)를 증가시키고, Te에 In을 결합시켜 네트워크 강도(network rigidity)를 증가시켜, 상변화를 억제하고 문턱 스위칭 작용을 하도록 형성되는 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 6

제1항에 있어서,

상기 doped-GeTe 박막에서 In의 원자백분율은 25% 이하인 것을 특징으로 하는 문턱 스위칭용 박막의 형성 방법.

청구항 7

문턱 스위칭용 박막을 포함하는 문턱 스위칭 소자로서,

상기 문턱 스위칭용 박막은 GeTe에 In 및 P 가 도핑된 박막이고, Te에 결합된 In 및 P 에 의해 구조 네트워크(structural network)의 연결도(connectivity) 및 네트워크 강도(network rigidity)가 증가되어 상변화를 억제하고 문턱 스위칭 작용을 하도록 형성된 것을 특징으로 하는 문턱 스위칭 소자.

명세서

기술 분야

[0001] 본 발명은 doped-GeTe 박막의 형성 방법에 관한 것으로서, 특히, 프로그래머블 소자 등의 문턱 스위칭용 재료에 적합하도록 스퍼터링 방식으로 GeTe에 In 및 P를 도핑한 문턱 스위칭용 doped-GeTe 박막을 형성하는 방법에 관한 것이다.

배경 기술

[0002] 칼코겐화물(chalcogenide)은 황(S), 셀레늄(Se), 텔루륨(Te) 등과 같은 칼코겐 원소 및 양전성 원소로 구성된 화합물을 의미한다. 칼코겐화물의 일부는 전류 등의 에너지 입력에 따라 결정구조가 비정질 및 결정 사이에서 가역적으로 변화하며, 이에 따른 광학적 반사도 변화를 이용한 광 저장 매체가 현재 상용화되어 널리 쓰이고 있다. 또한 상변화에 따라 전기적 저항이 바뀌는 특성을 가지고 있으며, 이와 같은 장점을 이용하여 프로그래머블 메모리 소자 등에서 프로그래머블 스위치 재료로 이용되기도 하고 있다.

[0003] 이와 같은 칼코겐화물(chalcogenide) 중 GeTe, GeSbTe 등이 활용될 수 있으며, 다만, 이와 같은 GeTe, GeSbTe 등은 문턱 스위칭용 재료로 사용되기에는 전기적 저항의 변화가 그 목적에 맞지 않는 면이 있다. 즉, 이와 같은 GeTe, GeSbTe 등에서는 전기적 저항의 변화가 일어나기는 하지만, 전류 등의 에너지 입력에 따라 결정구조가 비정질에서 결정질로 상변화도 함께 일어남으로써, 이를 반대로 비정질로 변화시키기 위하여 높은 에너지의 전기적 펄스를 인가해 주어야 하는 리셋 과정이 필요하므로, 메모리 스위칭 재료로는 사용될 수 있지만, 문턱 스위칭용 재료로 부적합하다.

[0004] 관련 선행 기술 문헌으로서, 대한민국공개특허번호 10-2008-0034310(2008.04.21. 공개), 10-2010-0069484(2010.06.24. 공개) 등이 참조될 수 있다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 본 발명의 목적은, 상변화 없이 문턱 스위칭용 재료에 적합하도록 스퍼터링 방식으로 GeTe에 In 및 P를 도핑한 문턱 스위칭용 doped-GeTe 박막을 형성하여, 프로그래머블 소자 또는 스위칭 소자 등에 이용될 수 있도록 하기 위한 문턱 스위칭용 doped-GeTe 박막의 형성 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 먼저, 본 발명의 특징을 요약하면, 상기와 같은 본 발명의 목적을 달성하기 위한 본 발명의 일면에 따른 스퍼터링 장치를 이용한 문턱 스위칭용 박막의 형성 방법은, GeTe에 In 및 P를 도핑한 doped-GeTe 합금 타겟이 장착되거나 GeTe 타겟과 InP타겟이 장착된 공정 챔버에 상기 타겟에 대향되도록 기판이 장착된 전도체 캐리어를 로딩하는 단계; 상기 챔버 내의 진공도를 1.0×10^{-3} 내지 9.9×10^{-3} Torr로 유지하면서 상기 챔버 내로 Ar을 포함하는 가스를 공급하고 상기 타겟과 상기 캐리어 간에 소정의 파워를 인가하여 상기 타겟과 상기 기판 간에 플라즈마 형성으로 상기 기판 상에 GeTe에 In 및 P가 도핑된 doped-GeTe 박막층을 소정의 두께로 형성하는 단계; 및 상기 doped-GeTe 박막층이 형성된 상기 기판을 상기 챔버 밖으로 언로딩하여, 상기 doped-GeTe 박막층을 소정의 모양으로 패터닝하는 단계를 포함하고, 응용 소자 제작을 위한 전극이나 다른 반도체층이 미리 형성된 상기 기판 상에 상기 doped-GeTe 박막층을 형성하거나, 패터닝된 상기 doped-GeTe 박막층 상에 응용 소자 제작을 위한 전극이나 다른 반도체층을 형성함으로써, 상기 응용 소자에서 상기 doped-GeTe 박막층이 상변화 없이 문턱 스위칭 작용을 수행하도록 하기 위한 것을 특징으로 한다.

[0007] 상기 Ar 가스의 공급량은 1.0 내지 50sccm이고, 상기 파워는 30 내지 70W RF(Radio Frequency) 파워일 수 있다.

- [0008] 상기 응용 소자는 메모리 스위칭이 일어나는 상변화층과 해당 상변화층의 상부층과 하부층에 상기 doped-GeTe 박막층이 형성된 프로그래머블 소자를 포함한다.
- [0009] 또는 상기 응용 소자는 상기 doped-GeTe 박막층이 양단에 전극이 각각 형성되는 스위칭 소자를 포함한다.
- [0010] 상기 타겟은 상기 doped-GeTe 박막층의 형성에 이용되어, 상기 doped-GeTe 박막층의 형성에서 칼코겐 원소인 Te에 P를 결합시켜 구조 네트워크(structural network)의 연결도(connectivity)를 증가시키고, Te에 In을 결합시켜 네트워크 강도(network rigidity)를 증가시켜, 상변화를 억제하고 문턱 스위칭 작용을 하도록 형성된다.
- [0011] 상기 doped-GeTe 박막층에서 In의 원자백분율은 25% 이하인 것이 바람직하다.
- [0012] 또한, 본 발명의 또 다른 일면에 따른 문턱 스위칭용 박막을 포함하는 문턱 스위칭 소자는, 상기 문턱 스위칭용 박막은 GeTe에 In 및 P가 도핑된 박막이고, Te에 결합된 In 및 P에 의해 구조 네트워크(structural network)의 연결도(connectivity) 및 네트워크 강도(network rigidity)가 증가되어 상변화를 억제하고 문턱 스위칭 작용을 하도록 형성된 것을 특징으로 한다.

발명의 효과

- [0013] 본 발명에 따른 문턱 스위칭용 doped-GeTe 박막의 형성 방법에 따르면, 스퍼터링 방식으로 GeTe에 In 및 P를 도핑한 문턱 스위칭용 doped-GeTe 박막을 형성함으로써, doped-GeTe 박막을 프로그래머블 소자 또는 스위칭 소자 등에서 메모리 스위칭 재료와 같은 상변화 없이 문턱 스위칭용 레이어로 사용될 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일실시예에 따른 doped-GeTe 박막 형성을 위한 스퍼터링 공정 조건에 대한 표이다.
- 도 2는 본 발명의 일실시예에 따른 doped-GeTe 박막이 스위칭 소자에 적용된 예이다.
- 도 3은 본 발명의 일실시예에 따른 doped-GeTe 박막이 프로그래머블 소자에 적용된 예이다.
- 도 4는 열처리 온도에 따른 종래의 GeSbTe 박막(a)과 본 발명의 doped-GeTe 박막(a) 간의 면저항 측정 결과를 나타내는 그래프이다.
- 도 5는 본 발명의 일실시예에 따른 doped-GeTe 박막의 전류-전압 그래프로써 전기적 저항 변화를 통한 문턱 스위칭 현상을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하지만, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다.
- [0016] 먼저, 본 발명의 문턱 스위칭용 doped-GeTe 박막의 형성 방법은 잘 알려져 있는 스퍼터링(sputtering) 장치를 이용해 수행된다. 간략히 언급하면, 스퍼터링 장치는 플라즈마 반응을 위한 공정 챔버와 공정 챔버에 플라즈마 형성을 위해 파워를 인가하기 위한 파워 서플라이, 공정 챔버 내부의 진공도 유지를 위한 진공펌프, 공정 챔버 내부로 반응 가스 공급을 위한 가스 공급기 등을 포함한다. 또한 공정 챔버 내부에는 기판에 해당 박막을 증착하기 위한 소정의 타겟(target)이 장착되며, 본 발명에서는 GeTe에 In 및 P를 도핑한 doped-GeTe 합금 타겟(예, 2인치 크기), 또는 GeTe타겟 과 InP 타겟이 장착된다.
- [0017] 문턱 스위칭이 가능한 재료는 위와 같이 소정의 임계값 이상의 전기장이 인가되면 그 전기적 저항이 일시적으로 감소하는 문턱 스위칭 특성을 나타내는 물질이다. 문턱 스위칭 재료의 구조 네트워크(structural network)의 연결도(connectivity)가 낮은 경우에는 문턱 스위칭을 발생시키기 위해 인가한 전기장 때문에 불필요한 결정화가 진행되어 결과적으로 문턱 스위칭 재료의 고유한 특성을 잃어버리고 메모리 스위칭을 하게 된다. 프로그래머블 스위치를 구성하는 문턱 스위칭 재료의 메모리 스위칭을 억제하기 위해서는 네트워크 연결도를 높이는 역할을 하는 원소들을 첨가하여야 한다.
- [0018] 칼코겐화물의 주 구성 원소이며 VIA 족에 해당되는 칼코겐에 비해 배위수(coordination number)가 큰 IVA 족 및 VA 족 원소들을 첨가하면 네트워크 연결도가 증가하여 문턱 스위칭 특성을 구현하는 데에 유리한 것으로 알려져 있다. 칼코겐 원소인 Te에 IVA 족 및 VA 족 원소인 Si, Ge, As 등을 첨가한 AsTe, AsSiTe, AsGeTe, AsGeSiTe 등이 지금까지 가장 널리 알려진 문턱 스위칭 재료이다.

- [0019] 한편, As은 주요 환경오염물질의 하나로서 발암성을 가지고 있고 모든 온도에서 증기압이 높기 때문에 무 As 칼코겐 화합물(arsenic-free chalcogenide)을 개발하고자 하는 연구가 지속적으로 이루어지고 있다. As과 동일한 특성을 나타낼 수 있는 물질로는 As과 같은 VA 족에 포함되는 P를 들 수 있는데, Te에 P를 결합시켜 구조 네트워크(structural network)의 연결도(connectivity)를 증가시킬 수 있지만 P의 경우 반응성이 매우 높아서 자연계에서 순수한 상태로 존재하지 않으며 따라서 칼코겐 화합물 제조에 이용하기 어려운 단점이 있다.
- [0020] 한편, P는 In과 반응하여 안정한 화합물인 InP를 형성하는데 InP는 그 내부에서의 전자 이동도가 매우 크기 때문에 고속 전자 소자의 구성물질로 널리 사용되는 반도체 재료이다. InP는 순수한 P와는 달리 웨이퍼나 스퍼터 타겟 형태로 제조가 가능하여 문턱 스위칭 재료를 만드는 데에 용이하게 사용할 수 있다. 또한, IIIA 족에 속하는 In은 3개의 결합 전자(bonding electron)를 가지고 있기 때문에 Te과 4겹 배위(fourfold coordination)을 형성하여 칼코겐 화합물 내에서의 Te 금속 결정 형성을 억제하고 비정질 안정성을 높이는 역할을 할 수 있어 P와 함께 문턱 스위칭 재료에 첨가하기에 특히 적합하다.
- [0021] 상기한 네트워크 연결도를 높이는 것과 더불어 네트워크 강도(network rigidity)를 높이는 것 또한 결정화를 억제하고 문턱 스위칭 거동을 나타내는 데에 도움을 주는데 Te을 포함하는 칼코겐 화합물에 In을 첨가하면 Te-Te 결합을 In-Te 결합이 치환하면서 강한 네트워크를 형성하게 된다. 따라서 현재 널리 사용되는 문턱 스위칭 구성 물질인 As을 대신하여 InP 원료를 이용하여 GeTe에 In 및 P를 도핑함으로써 문턱 스위칭 특성을 보이는 무 As 칼코겐 화합물을 제조하는 것이 가능하다. 단, In의 경우 금속 특성(metallic property)을 가지고 있기 때문에 과량으로 첨가하는 경우에 칼코겐 화합물의 결정화 경향이 강해지므로 doped-GeTe 박막에서 In의 원자백분율은 25% 이하로 하는 것이 바람직하다.
- [0022] 이와 같은 doped-GeTe 합금 타겟 또는 GeTe타겟과 InP 타겟이 공정 챔버에 장착된 스퍼터링 장치를 이용해 본 발명의 문턱 스위칭용 doped-GeTe 박막을 형성하기 위하여, 먼저, 기판(예, p형 실리콘 웨이퍼 등)을 준비한다. 기판은 베어 기판일 수도 있고, 베어 기판에 응용 소자(도 2, 3 참조) 제작을 위한 전극이나 다른 반도체층(예, 메모리 스위칭용 상변화층 등)이 미리 형성된 기판일 수도 있다.
- [0023] 기판이 준비되면, 적절히 세정하여 전도체 캐리어 등에 기판을 붙이거나 장착 후 위와 같은 공정 챔버에 로딩한다. 기판이 장착된 전도체 캐리어는 공정 챔버의 doped-GeTe 합금 타겟(또는 별도의 GeTe타겟 과 InP 타겟)과 일정 거리 이격되어 대향되도록 로딩된다. 기판은 실내 온도(R.T., 예, 25℃)로 로딩되어 증착 과정이 수행될 수 있다.
- [0024] 이후 도 1과 같이 공정 챔버 내의 진공도를 1.0×10^{-3} 내지 9.9×10^{-3} Torr(예, 1.3×10^{-3} Torr)로 유지하면서 챔버 내로 Ar을 포함하는 가스(예, 경우에 따라 O_2 등 다른 가스가 포함될 수 있음)를 공급하고 타겟(들)과 캐리어 간에 소정의 파워를 인가하여 타겟(들)과 기판 간에 플라즈마 형성으로 기판 상에 GeTe에 In 및 P가 도핑된 doped-GeTe 박막층을 소정의 두께(예, 수십 ~ 수백 nm)로 형성한다. 이때, 도 1과 같이 Ar 가스의 공급량은 1.0 내지 50sccm(예, 20sccm)이고, 파워(캐리어보다 타겟 쪽이 높은 전압)는 30 내지 70W RF(Radio Frequency) 파워(예, 50W)일 수 있다. 기판 상에 doped-GeTe 박막층이 증착되는 과정은, 위와 같은 파워와 Ar 가스의 공급에 따라 발생하는 플라즈마에 의해 Ar이온이 타겟에 충돌하여 타겟의 원자들, Ge, Te, In, P등을 탈출시키고 이에 따라 스퍼터링되면서 기판 상에 In 및 P가 도핑된 doped-GeTe 박막을 증착시키게 된다. 자세한 원리는 기존의 스퍼터링 기술을 참조할 수 있으므로 자세한 설명은 생략한다.
- [0025] 이와 같은 doped-GeTe 박막층의 형성 전에 미리 타겟 표면에 형성된 불순물을 최소화하기 위해 일정 시간 동안(예, 10분) pre-sputtering이 수행될 수 있다. 예를 들어, 기판과 타겟 사이를 소정의 차단 부재로 가리고, 공정 챔버 내의 진공도를 1.0×10^{-6} 내지 9.9×10^{-6} Torr(예, 3.0×10^{-6} Torr)로 유지하면서, 타겟(들)과 차단 부재 사이에 플라즈마를 발생시켜 타겟(들) 표면을 일부 식각되도록 할 수 있다.
- [0026] 이와 같이 하여 일정 두께로 기판 상에 doped-GeTe 박막층이 형성되면, doped-GeTe 박막층이 형성된 기판을 공정 챔버 밖으로 언로딩한다. 이후 doped-GeTe 박막층을 소정의 모양으로 패터닝 식각하여 응용 소자에 이용할 수 있다.
- [0027] 예를 들어, 위와 같이 형성된 doped-GeTe 박막층이 도 2와 같이 양단에 전극이 각각 형성되는 스위칭 소자와 같은 응용 소자에 적용될 수 있다. 또는 도 3과 같이 메모리 스위칭이 일어나는 상변화층과 해당 상변화층의 상부층과 하부층에 위와 같이 형성된 doped-GeTe 박막층이 형성된 프로그래머블 소자와 같은 응용 소자에 적용될 수도 있다.

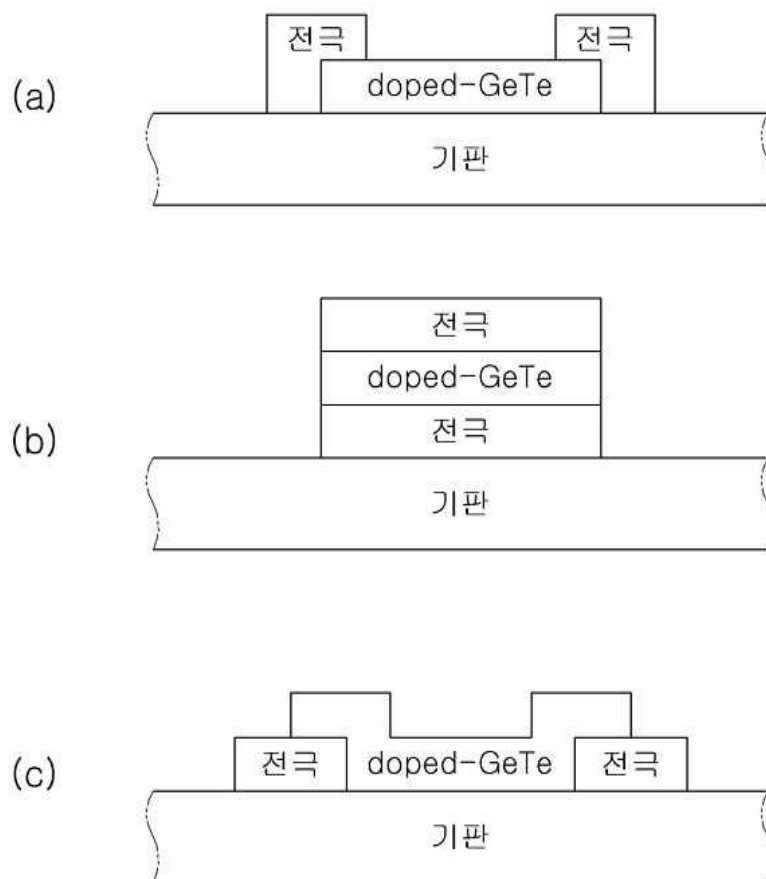
- [0028] 즉, 도 2와 같이, 베어 기판 상에 패턴 식각된 doped-GeTe 박막층을 형성하고 양단에 전극을 형성하거나, 기판 상의 패턴된 전극 위에 doped-GeTe 박막층을 형성후 패턴하며 그 위에 전극을 형성할 수도 있으며, 또는 기판 상의 패턴된 두 전극에 걸쳐도록 doped-GeTe 박막층을 형성후 패턴하여, 스위칭 소자와 같은 응용 소자를 제작할 수 있다. 스위칭 소자는 두 전극 사이에 인가된 전압에 따라 문턱 전압에서 전기적 저항이 감소되어 급격한 전류가 흐르는 소자(예, 다이오드 등과 유사)를 의미한다.
- [0029] 또한, 도 3과 같은 프로그래머블 소자에 적용하는 경우에, 기판 상의 패턴된 전극 위에 doped-GeTe 박막층을 형성 및 패턴하고, 메모리 스위칭이 일어나는 상변화층(예, GeTe, GeSbTe 등으로 형성되는 반도체층 등)을 형성 및 패턴하며, 다시 doped-GeTe 박막층을 형성 및 패턴하고 그 위에 다른 전극을 형성 및 패턴하여, 상변화층(메모리 스위칭층)의 상부층과 하부층에 형성된 doped-GeTe 박막층이 상변화층(메모리 스위칭층)의 상하의 전극들로 흐를수 있는 누설 전류를 차단할 수 있다. 도 3에서 상변화층(메모리 스위칭층)의 상하의 전극들에 전압을 인가하여 비정질에서 결정질로 상변화되도록하여 전기적 저항도 줄어들게 하고 그 상태가 유지되도록 함으로써 데이터를 저장하는 메모리 역할을 하게 되며, 이때 상변화층(메모리 스위칭층) 양단의 N1, N2 전극에 의해 그에 연결된 로직 소자 또는 블록을 통해 데이터를 읽을 수 있고, 상변화층(메모리 스위칭층)의 상하의 전극들에 일정 펄스를 인가하여 본래의 비정질 상태로 만들어 줌으로써 리셋될 수 있다. 이와 같은 상변화를 이용하는 메모리 스위칭층에 대하여는 대한민국공개특허번호 10-2008-0034310(2008.04.21. 공개), 10-2010-0069484(2010.06.24. 공개) 등과 같은 문헌을 참조하여 쉽게 이해될 수 있으므로 여기서 더 자세한 설명은 생략하기로 한다. 이와 같이 여기서 프로그래머블 소자는, 상변화층(메모리 스위칭층)에 정보를 저장하는 역할을 수행하는 프로그래머블 메모리 소자, 및 이외에도 N1, N2 전극에 연결되는 로직 소자 또는 블록간 신호의 전달을 제어하는 역할을 수행하는 프로그래머블 스위치 소자를 포함한다.
- [0030] 한편, 위와 같이 GeTe에 In 및 P를 도핑한 doped-GeTe 박막층이 문턱 스위칭용으로 가능한 원리는 도 4 및 도 5와 같은 실험결과가 뒷받침한다.
- [0031] 도 4는 열처리 온도에 따른 종래의 GeSbTe 박막(a)과 본 발명의 doped-GeTe 박막(a) 간의 면저항 측정 결과를 나타내는 그래프이다. 위의 스퍼터링 방식과 유사하게 제조된 GeSbTe 박막의 경우 도 4와 같이 200℃까지 열처리 온도가 증가하면 면저항 값이 $10^6 \Omega/\text{sq}$ 에서 $10^3 \Omega/\text{sq}$ 로 급격히 감소하고, 본 발명의 doped-GeTe 박막의 경우 상대적으로 면저항의 변화가 거의 없었다. 이러한 면저항 변화의 차이는 GeSbTe에서는 일정 온도 이상에서 상변화가 발생하고 본 발명의 doped-GeTe에서는 상변화가 발생하지 않음에 기인한다.
- [0032] 도 5는 본 발명의 일실시예에 따른 doped-GeTe 박막의 전류-전압 그래프로서 전기적 저항 변화를 통한 문턱 스위칭 현상을 설명하기 위한 도면이다. 도 5와 같이, 본 발명의 일실시예에 따른 doped-GeTe 박막에서는 도 2, 3과 같은 양단간 전극들에 인가되는 전압이 상대적으로 낮은 영역에서는 전류가 거의 흐르지 않다가 문턱 전압이 되면 문턱 스위칭이 발생하여 높은 전류가 흐르게 되는 문턱 스위칭 현상이 발생한다.
- [0033] 이러한 결과는 본 발명의 doped-GeTe 박막이 도 2와 같이 양단에 전극이 각각 형성되는 스위칭 소자와 같은 응용 소자나, 또는 도 3과 같이 메모리 스위칭이 일어나는 상변화층과 해당 상변화층의 상부층과 하부층에 위와 같이 형성된 doped-GeTe 박막층이 형성된 프로그래머블 소자와 같은 응용 소자에서 누설 전류를 감소시키기 위해 적절히 적용될 수 있음을 의미한다.
- [0034] 이상에서 설명한 바와 같이, 타겟(들)은 doped-GeTe 박막층의 형성에 이용되어, doped-GeTe 박막층의 형성에서 칼코젠 원소인 Te에 P를 결합시켜 구조 네트워크(structural network)의 연결도(connectivity)를 증가시키고, Te에 In을 결합시켜 네트워크 강도(network rigidity)를 증가시켜, 상변화를 억제하고 문턱 스위칭 작용을 하도록 형성됨으로써, doped-GeTe 박막을 프로그래머블 소자 또는 스위칭 소자 등에서 메모리 스위칭 재료와 같은 상변화 없는 문턱 스위칭용 박막층으로 안정하게 사용될 수 있다.
- [0035] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

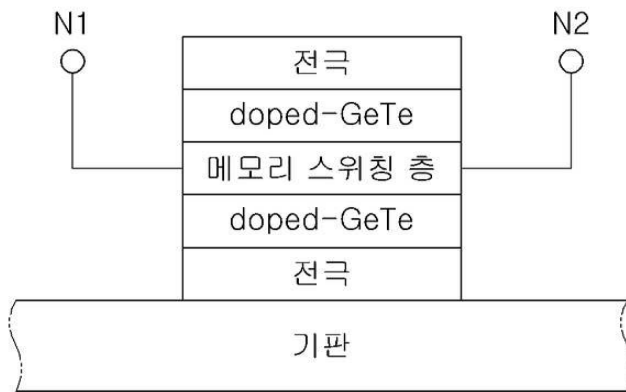
도면1

Parameters	Conditions
타겟	doped-GeTe
초기 압력	3.0×10^{-6} torr
공정 압력	1.3×10^{-3} torr
Ar Gas flow	20sccm
Rf Power	50W
기판	p형 실리콘 웨이퍼
기판 온도	R.T.

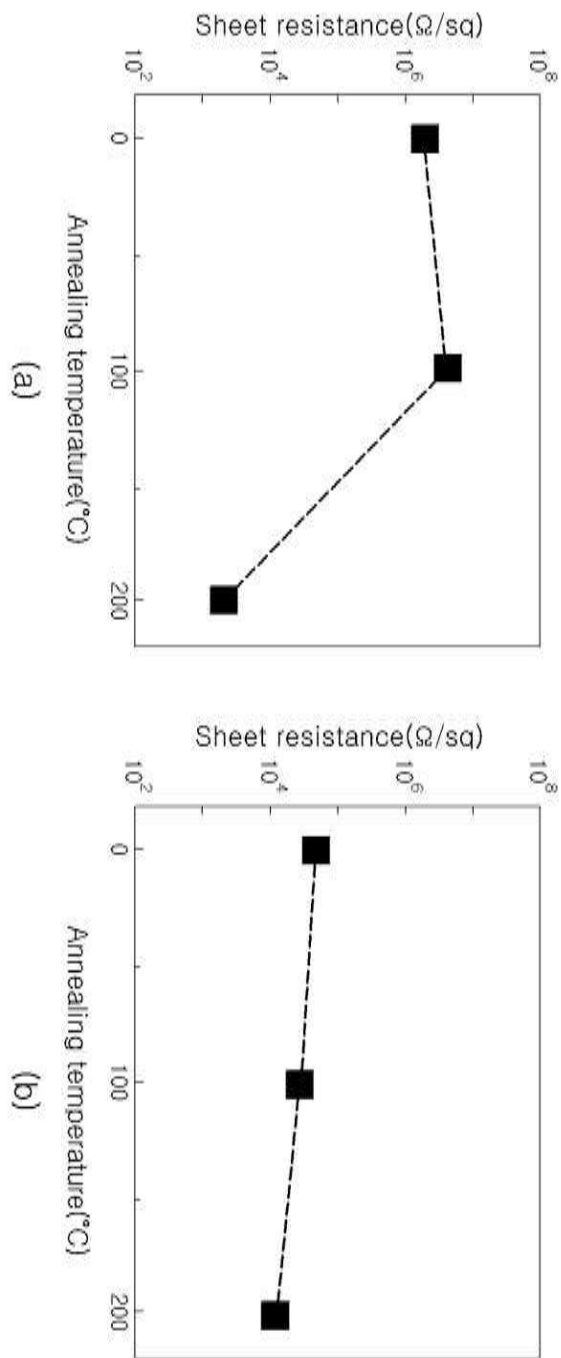
도면2



도면3



도면4



도면5

