

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4083397号
(P4083397)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.	F I	
HO 1 L 27/10 (2006.01)	HO 1 L 27/10	4 9 1
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10	3 8 1
HO 1 L 27/11 (2006.01)	HO 1 L 27/04	U
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	C
HO 1 L 27/04 (2006.01)	HO 1 L 21/90	C

請求項の数 23 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2001-183098 (P2001-183098)
 (22) 出願日 平成13年6月18日(2001.6.18)
 (65) 公開番号 特開2003-7978 (P2003-7978A)
 (43) 公開日 平成15年1月10日(2003.1.10)
 審査請求日 平成16年3月29日(2004.3.29)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 大塚 文雄
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所 デバイス開発センタ内
 (72) 発明者 野中 裕介
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所 デバイス開発センタ内
 (72) 発明者 島本 聡
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所 デバイス開発センタ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

それぞれのゲート電極とドレインとが交差接続された一対のnチャンネル型MISFETを含んで成るメモリセルを有する半導体集積回路装置であって、

前記一対のnチャンネル型MISFET上に形成された層間絶縁膜と、

前記一対のnチャンネル型MISFETの一方のゲート電極と前記一対のnチャンネル型MISFETの他方のドレインとを電氣的に接続する導電層と、前記一対のnチャンネル型MISFETの前記他方のゲート電極と前記一対のnチャンネル型MISFETの前記一方のドレインとを電氣的に接続する導電層とを有する一対の導電層と、

前記一対の導電層上に形成され、前記一対の導電層のうちいずれか一方の導電層上に開口部を有する容量絶縁膜と、

前記容量絶縁膜上に形成され、前記開口部において前記一対の導電層の前記一方の導電層に接続されるとともに、前記容量絶縁膜を介して前記一対の導電層の他方の導電層と対向する上部電極と、
 を具備してなり、

前記層間絶縁膜は、前記一対のnチャンネル型MISFET上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜とを含んで成り、

前記第1の絶縁膜においてコンタクトホールが形成され、

前記第2の絶縁膜において配線溝が形成され、

前記一対の導電層は、前記コンタクトホールに埋め込まれた接続部と、前記配線溝に埋

10

20

め込まれた局所配線とをそれぞれ含んでなることを特徴とする半導体集積回路装置。

【請求項 2】

それぞれのゲート電極とドレインとが交差接続された一对の n チャンネル型 M I S F E T を含んで成るメモリセルを有する半導体集積回路装置であって、

前記一对の n チャンネル型 M I S F E T 上に形成された層間絶縁膜と、

前記一对の n チャンネル型 M I S F E T の一方のゲート電極と前記一对の n チャンネル型 M I S F E T の他方のドレインとを電氣的に接続する導電層と、前記一对の n チャンネル型 M I S F E T の前記他方のゲート電極と前記一对の n チャンネル型 M I S F E T の前記一方のドレインとを電氣的に接続する導電層であって、前記それぞれの導電層が前記層間絶縁膜中に形成された孔内に形成されている一对の導電層と、

10

前記一对の導電層上に形成され、前記一对の導電層のうちいずれか一方の導電層上に開口部を有する容量絶縁膜と、

前記容量絶縁膜上に形成され、前記開口部において前記一对の導電層の前記一方の導電層に接続されるとともに、前記容量絶縁膜を介して前記一对の導電層の他方の導電層と対向する上部電極と、

を具備して成り、

前記層間絶縁膜は、前記一对の n チャンネル型 M I S F E T 上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜とを含んで成り、

前記第 1 の絶縁膜においてコンタクトホールが形成され、

前記第 2 の絶縁層において配線溝が形成され、

20

前記一对の導電層は、前記コンタクトホールに埋め込まれた接続部と、前記配線溝に埋め込まれた局所配線とをそれぞれ含んで成ることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 または 2 のいずれかにおいて、

前記導電層の表面と前記層間絶縁膜の表面とは、その高さが同程度であることを特徴とする半導体集積回路装置。

【請求項 4】

それぞれのゲート電極とドレインとが交差接続された一对の n チャンネル型 M I S F E T を含んで成るメモリセルを有する半導体集積回路装置であって、

前記一对の n チャンネル型 M I S F E T 上に形成された層間絶縁膜と、

30

前記一对の n チャンネル型 M I S F E T の一方のゲート電極と前記一对の n チャンネル型 M I S F E T の他方のドレインとを電氣的に接続する導電層と、前記一对の n チャンネル型 M I S F E T の前記他方のゲート電極と前記一对の n チャンネル型 M I S F E T の前記一方のドレインとを電氣的に接続する導電層とを有し、前記それぞれの導電層は、前記層間絶縁膜中に形成された孔内に形成されている一对の導電層であって、その上部が、前記層間絶縁膜表面より突出した突出部を有する一对の導電層と、

前記一对の導電層のそれぞれの突出部表面を含む前記層間絶縁膜上に形成され、前記一对の導電層のうちいずれか一方の導電層上に開口部を有する容量絶縁膜と、

前記容量絶縁膜上に形成され、前記開口部において前記一对の導電層の前記一方の導電層に接続されるとともに、前記容量絶縁膜を介して前記一对の導電層の他方の導電層と対向する上部電極とを具備して成り、

40

前記層間絶縁膜は、前記一对の n チャンネル型 M I S F E T 上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜とを含んで成り、

前記第 1 の絶縁膜においてコンタクトホールが形成され、

前記第 2 の絶縁膜において配線溝が形成され、

前記一对の導電層は、前記コンタクトホールに埋め込まれた接続部と、前記配線溝に埋め込まれた局所配線とをそれぞれ含んでなることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記局所配線の端部は、前記接続部の上部に形成されることを特徴とする半導体集積回

50

路装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記上部電極の裏面と前記局所配線表面との距離は、前記上部電極の裏面と前記接続部表面との距離より小さいことを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記上部電極の形成領域は、前記局所配線の形成領域より広く、前記局所配線の形成領域を包含していることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記上部電極および前記導電層は、金属膜もしくは導電性を有する金属の化合物膜であることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記導電層は、窒化チタンもしくはタンゲステンであり、前記容量絶縁膜は、窒化シリコン膜であることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記容量絶縁膜の膜厚は、2.6 nm 以上であることを特徴とする半導体集積回路装置

【請求項 11】

メモリセルが形成される第 1 領域と、前記第 1 領域とは構成の異なる第 2 領域とを有する半導体集積回路装置であって、

それぞれのゲート電極とドレインとが交差接続された一对の n チャネル型 MISFET を含んで成る前記メモリセルと、

前記一对の n チャネル型 MISFET 上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された一对の第 1 導電層であって、前記一对の第 1 導電層の一方は、前記一对の n チャネル型 MISFET の一方のゲート電極と前記一对の n チャネル型 MISFET の他方のドレインとを電氣的に接続し、前記一对の第 1 導電層の他方は、前記一对の n チャネル型 MISFET の前記他方のゲート電極と前記一对の n チャネル型 MISFET の前記一方のドレインとを電氣的に接続する、一对の第 1 導電層と、

前記一对の第 1 導電層上に形成され、前記一对の第 1 導電層のうちいずれか一方の第 1 導電層上に開口部を有する第 1 容量絶縁膜と、

前記第 1 容量絶縁膜上に形成され、前記開口部において前記一对の第 1 導電層の前記一方の第 1 導電層に接続されるとともに、前記第 1 容量絶縁膜を介して前記一对の第 1 導電層の他方の第 1 導電層と対向する第 1 上部電極と、

前記第 2 領域まで延在するよう形成された前記層間絶縁膜と、

前記第 2 領域における前記層間絶縁膜上に形成された第 2 導電層と、

前記第 2 導電層上に形成された第 2 容量絶縁膜と、

前記第 2 容量絶縁膜上に形成され、前記第 2 導電層と対向する第 2 上部電極と、
が形成され、

前記第 1 および第 2 導電層、前記第 1 および第 2 容量絶縁膜並びに前記第 1 および第 2 上部電極は、それぞれ同一の層に形成されていることを特徴とする半導体集積回路装置。

【請求項 12】

メモリセルが形成される第 1 領域と、前記第 1 領域とは構成の異なる第 2 領域とを有する半導体集積回路装置であって、

それぞれのゲート電極とドレインとが交差接続された一对の n チャネル型 MISFET を含んで成る前記メモリセルと、

前記一对の n チャネル型 MISFET 上に形成された層間絶縁膜と、

10

20

30

40

50

一对の第1導電層であって、前記一对の第1導電層の一方は、前記一对のnチャネル型MISFETの一方のゲート電極と前記一对のnチャネル型MISFETの他方のドレインとを電氣的に接続し、前記一对の第1導電層の他方は、前記一对のnチャネル型MISFETの前記他方のゲート電極と前記一对のnチャネル型MISFETの前記一方のドレインとを電氣的に接続し、それぞれの第1導電層が前記層間絶縁膜中に形成された孔内に形成されている一对の第1導電層と、

前記一对の第1導電層上に形成され、前記一对の第1導電層のうちいずれか一方の第1導電層上に開口部を有する第1容量絶縁膜と、

前記第1容量絶縁膜上に形成され、前記開口部において前記一对の第1導電層の前記一方の第1導電層に接続されるとともに、前記第1容量絶縁膜を介して前記一对の第1導電層の他方の第1導電層と対向する第1上部電極と、

10

前記第2領域まで延在するよう形成された前記層間絶縁膜と、

前記第2領域における前記層間絶縁膜中に形成された孔内に形成された第2導電層と、前記第2導電層上に形成された第2容量絶縁膜と、

前記第2容量絶縁膜上に形成され、前記第2導電層と対向する第2上部電極と、が形成され、

前記第1および第2導電層、前記第1および第2容量絶縁膜並びに前記第1および第2上部電極は、それぞれ同一の層に形成されていることを特徴とする半導体集積回路装置。

【請求項13】

請求項12において、

20

前記第1および第2導電層の表面と前記層間絶縁膜の表面とは、その高さが同程度であることを特徴とする半導体集積回路装置。

【請求項14】

メモリセルが形成される第1領域と、前記第1領域とは構成の異なる第2領域とを有する半導体集積回路装置であって、

それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを含んで成る前記メモリセルと、

一对の第1導電層であって、前記一对の第1導電層の一方は、前記一对のnチャネル型MISFETの一方のゲート電極と前記一对のnチャネル型MISFETの他方のドレインとを電氣的に接続し、前記一对の第1導電層の他方は、前記一对のnチャネル型MISFETの前記他方のゲート電極と前記一对のnチャネル型MISFETの前記一方のドレインとを電氣的に接続し、それぞれの第1導電層が前記層間絶縁膜中に形成された孔内に形成され、前記層間絶縁膜表面より突出した突出部を有する上部を含んで成る一对の第1導電層と、

30

前記一对の第1導電層のそれぞれの突出部表面を含む前記層間絶縁膜上に形成され、前記一对の第1導電層のうちいずれか一方の第1導電層上に開口部を有する第1容量絶縁膜と、

前記第1容量絶縁膜上に形成され、前記開口部において前記一对の第1導電層の前記一方の第1導電層に接続されるとともに、前記第1容量絶縁膜を介して前記一对の第1導電層の他方の第1導電層と対向する第1上部電極と、

40

前記第2領域まで延在するよう形成された前記層間絶縁膜と、

前記第2領域における前記層間絶縁膜中に形成された孔内に形成され、その上部が、前記層間絶縁膜表面より突出した突出部を有する第2導電層と、

前記第2導電層の突出部表面を含む前記層間絶縁膜上に形成された第2容量絶縁膜と、前記第2容量絶縁膜上に形成され、前記第2導電層と対向する第2上部電極と、

が形成され、

前記第1および第2導電層、前記第1および第2容量絶縁膜並びに前記第1および第2上部電極は、それぞれ同一の層に形成されていることを特徴とする半導体集積回路装置。

【請求項15】

請求項11乃至14のいずれかにおいて、

50

前記第 2 上部電極への電圧の印加は、前記層間絶縁膜中に形成された孔内に形成された第 3 導電層を介してその裏面より行われることを特徴とする半導体集積回路装置。

【請求項 16】

請求項 12 乃至 14 のいずれかにおいて、

前記層間絶縁膜は、前記一对の n チャネル型 MISFET 上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜とからなり、

前記第 1 導電層は、前記第 1 の絶縁膜中に形成された第 1 接続部と、前記第 2 の絶縁膜中に形成された第 1 配線部とからなり、

前記第 2 導電層は、前記第 1 の絶縁膜中に形成された第 2 接続部と、前記第 2 の絶縁膜中に形成された第 2 配線部とからなることを特徴とする半導体集積回路装置。

10

【請求項 17】

請求項 16 において、

前記第 1 配線部の端部は、前記第 1 接続部の上部に形成されることを特徴とする半導体集積回路装置。

【請求項 18】

請求項 16 または 17 のいずれかにおいて、

前記第 1 もしくは第 2 上部電極の裏面と前記第 1 もしくは第 2 配線部表面との距離は、前記第 1 もしくは第 2 上部電極の裏面と前記第 1 もしくは第 2 接続部表面との距離より小さいことを特徴とする半導体集積回路装置。

【請求項 19】

20

請求項 16 乃至 18 のいずれかにおいて、

前記第 1 上部電極の形成領域は、前記第 1 配線部の形成領域より広く、前記第 1 配線部の形成領域を包含し、前記第 2 上部電極の形成領域は、前記第 2 配線部の形成領域より広く、前記第 2 配線部の形成領域を包含していることを特徴とする半導体集積回路装置。

【請求項 20】

請求項 11 乃至 19 のいずれかにおいて、

前記第 1 および第 2 上部電極および前記第 1 および第 2 導電層は、金属膜もしくは導電性を有する金属の化合物膜であることを特徴とする半導体集積回路装置。

【請求項 21】

請求項 11 乃至 20 のいずれかにおいて、

前記第 1 および第 2 導電層は、窒化チタンもしくはタングステンであり、前記第 1 および第 2 容量絶縁膜は、窒化シリコン膜であることを特徴とする半導体集積回路装置。

30

【請求項 22】

請求項 11 乃至 21 のいずれかにおいて、

前記第 1 および第 2 容量絶縁膜の膜厚は、2.6 nm 以上であることを特徴とする半導体集積回路装置。

【請求項 23】

請求項 11 乃至 22 のいずれかにおいて、

前記第 2 導電層は、素子分離絶縁膜上に形成されていることを特徴とする半導体集積回路装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、SRAM (Static Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

パソコンやワークステーション用のキャッシュメモリには、SRAM が使用されている。

【0003】

この SRAM は、1 ビットの情報を記憶するフリップフロップ回路と 2 個の情報転送用 M

50

ＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）とで構成され、このフリップフロップ回路は、例えば、一对の駆動用ＭＩＳＦＥＴと一对の負荷用ＭＩＳＦＥＴとで構成される。

【０００４】

このようなメモリセルに対し、線によるソフトエラーが問題となっている。線によるソフトエラーとは、外界の宇宙線に含まれる線やＬＳＩのパッケージ材料中に含まれる放射性原子から放出される線が、メモリセル内に入り、メモリセル中に保存されている情報を破壊する現象である。

【０００５】

この線対策のために、メモリセル中の情報蓄積部（前記フリップフロップ回路の入出力部）に容量を付加し、情報蓄積部の容量を増加させる方法が検討されている。このような情報蓄積部の容量については、例えば、ＩＥＤＭ １９８８ P205に記載されている。

10

【０００６】

【発明が解決しようとする課題】

特に、近年の半導体集積回路の高集積化、微細化に従って、メモリセル面積は縮小化する傾向にある。その結果、情報蓄積部、即ち、一对の駆動用ｎチャネル型ＭＩＳＦＥＴと一对の負荷用ｐチャネル型ＭＩＳＦＥＴとの距離が縮小化し、線の影響を受けやすくなる。また、消費電力の低減のため、電源電圧（ V_{cc} ）は低下する傾向にあり、これによっても線によるソフトエラーの発生率が上昇する。

【０００７】

20

一方、前述のようなＳＲＡＭと、例えば、アナログ容量を有するPLL（Phase Locked Loop）回路等を単一の基板上に形成する、いわゆるシステムLSI（Large Scale Integrated Circuit）の検討がなされている。

【０００８】

このPLL回路に用いられるアナログ容量には、例えば、半導体基板（拡散層）を下部電極とし、半導体基板上に形成されたゲート絶縁膜を容量絶縁膜とし、さらに、ゲート絶縁膜上の導電性膜（例えば、ポリシリコン膜）を上部電極とした容量が用いられている。

【０００９】

しかしながら、このような容量においては、ゲート絶縁膜の薄膜化に伴い、トンネル電流が発生するようになる。その結果、リーク電流が増加し、例えば、 $0.13 \mu\text{m}$ 世代以降においては、リーク電流が、その目標値である $1 \times 10^{-4} \text{ A/cm}^2$ を超えるものが見られるようになり、PLL回路の正常動作を阻害してしまう。

30

【００１０】

また、半導体基板上に容量を形成した場合には、基板電位の影響を受け、容量の電圧特性が変化してしまう。

【００１１】

本発明の目的は、半導体集積回路装置、例えば、ＳＲＡＭのメモリセルのソフトエラーを低減させた高性能の半導体集積回路装置を提供することにある。

【００１２】

本発明の他の目的は、半導体集積回路装置、例えば、ＳＲＡＭと、アナログ容量を有する素子とを単一の基板上に形成したシステムLSIの性能の向上を図ることにある。

40

【００１３】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１４】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１５】

(1) 本発明の半導体集積回路装置は、メモリセルを構成する一对のｎチャネル型MIS

50

F E Tのそれぞれのゲート電極とドレインとを電氣的に接続する一対の導電層と、前記一対の導電層上に形成された容量絶縁膜であって、前記一対の導電層のうちいずれか一方の導電層上に開口部を有する容量絶縁膜と、前記容量絶縁膜および開口部上に形成された上部電極と、を有する。この一対の導電層を、層間絶縁膜中に形成してもよい。また、導電層の上部を、層間絶縁膜表面より突出させてもよい。また、上部電極の形成領域を、前記導電層の形成領域より広く、前記導電層の形成領域を包含するように上部電極を形成してもよい。

【 0 0 1 6 】

(2) また、前記メモリセルが形成される第 1 領域の他、第 2 領域を設け、この第 2 領域に、第 1 領域に形成される前記導電層、容量絶縁膜および前記上部電極と、それぞれ同一の層で形成される他の容量を形成してもよい。

10

【 0 0 1 7 】

(3) 本発明の半導体集積回路装置の製造方法は、メモリセルを構成する一対の n チャネル型 M I S F E T 上の層間絶縁膜中に配線溝を形成し、導電性膜を埋め込むことにより、前記一対の n チャネル型 M I S F E T のそれぞれのゲート電極とドレインとを電氣的に接続する一対の導電層を形成する工程と、前記一対の導電層の上部に、容量絶縁膜を形成する工程と、前記一対の導電層のうちいずれかの導電層上の容量絶縁膜を選択的に除去することによって開口部を形成する工程と、前記開口部内を含む前記容量絶縁膜上に導電性膜を堆積し、エッチングすることによって上部電極を形成する工程と、を有する。また、前記一対の導電層形成後、前記層間絶縁膜中の表面をエッチングすることにより、前記一対の導電層の側壁を露出させることとしてもよい。前記メモリセルが形成される第 1 領域の他、第 2 領域を設け、この第 2 領域に、前記一対の導電層、容量絶縁膜および上部電極の形成工程と同一工程で、他の容量を形成してもよい。

20

【 0 0 1 8 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 1 9 】

(実施の形態 1)

図 1 は、実施の形態 1 である S R A M のメモリセルを示す等価回路図である。図示のように、このメモリセル M C は、一対の相補性データ線 (データ線 D L 、 データ線 / (バー) D L) とワード線 W L との交差部に配置され、一対の駆動用 M I S F E T Q d 1 , Q d 2 、一対の負荷用 M I S F E T Q p 1 , Q p 2 および一対の転送用 M I S F E T Q t 1 , Q t 2 により構成されている。駆動用 M I S F E T Q d 1 , Q d 2 および転送用 M I S F E T Q t 1 , Q t 2 は n チャネル型 M I S F E T で構成され、負荷用 M I S F E T Q p 1 , Q p 2 は p チャネル型 M I S F E T で構成されている。

30

【 0 0 2 0 】

メモリセル M C を構成する上記 6 個の M I S F E T のうち、駆動用 M I S F E T Q d 1 および負荷用 M I S F E T Q p 1 は、 C M O S インバータ I N V 1 を構成し、駆動用 M I S F E T Q d 2 および負荷用 M I S F E T Q p 2 は、 C M O S インバータ I N V 2 を構成している。これら一対の C M O S インバータ I N V 1 , I N V 2 の相互の入出力端子 (蓄積ノード A , B) は、交差結合され、 1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、このフリップフロップ回路の一方の入出力端子 (蓄積ノード A) は、転送用 M I S F E T Q t 1 のソース、ドレイン領域の一方に接続され、他方の入出力端子 (蓄積ノード B) は、転送用 M I S F E T Q t 2 のソース、ドレイン領域の一方に接続されている。

40

【 0 0 2 1 】

さらに、転送用 M I S F E T Q t 1 のソース、ドレイン領域の他方はデータ線 D L に接続され、転送用 M I S F E T Q t 2 のソース、ドレイン領域の他方はデータ線 / D L に

50

接続されている。また、フリップフロップ回路の一端（負荷用MISFET Q_{p1} , Q_{p2} の各ソース領域）は電源電圧（ V_{cc} ）に接続され、他端（駆動用MISFET Q_{d1} , Q_{d2} の各ソース領域）は接地（基準）電圧（ V_{ss} ）に接続されている。

【0022】

上記回路の動作を説明すると、一方のCMOSインバータINV1の蓄積ノードAが高電位（“H”）であるときには、駆動用MISFET Q_{d2} がONになるので、他方のCMOSインバータINV2の蓄積ノードBが低電位（“L”）になる。従って、駆動用MISFET Q_{d1} がOFFになり、蓄積ノードAの高電位（“H”）が保持される。すなわち、一对のCMOSインバータINV1, INV2を交差結合させたラッチ回路によって相互の蓄積ノードA, Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

10

【0023】

転送用MISFET Q_{t1} , Q_{t2} のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFET Q_{t1} , Q_{t2} の導通、非導通が制御される。すなわち、ワード線WLが高電位（“H”）であるときには、転送用MISFET Q_{t1} , Q_{t2} がONになり、フリップフロップ回路と相補性データ線（データ線DL, /DL）とが電氣的に接続されるので、蓄積ノードA, Bの電位状態（“H”または“L”）がデータ線DL, /DLに現れ、メモリセルMCの情報として読み出される。

【0024】

メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転送用MISFET Q_{t1} , Q_{t2} をON状態にしてデータ線DL, /DLの情報を蓄積ノードA, Bに伝達する。この蓄積ノードA, B間に、線対策のために、容量 C_{SR} を付加する。

20

【0025】

このような、SRAMのメモリセルは、図2に示すメモリセル形成領域（SRAM）に形成され、その周辺には、例えば、論理回路形成領域（Logic）やアナログ容量形成領域（Analog Capacitor）が存在する。後述するように、論理回路形成領域（Logic）には、例えば、論理回路を構成するnチャネルMISFET Q_n やpチャネル型MISFET Q_p が形成され、また、アナログ容量形成領域（Analog Capacitor）には、アナログ容量 C_{AN} が形成される。これらのメモリセル形成領域（SRAM）、論理回路形成領域（Logic）やアナログ容量形成領域（Analog Capacitor）は、単一の半導体基板1上に形成されている。

30

【0026】

次に、本実施の形態の半導体集積回路装置をその製造工程に従って説明する。図3～図9は、本実施の形態の半導体集積回路装置の製造方法を示す基板の要部断面図もしくは平面図である。

【0027】

図3～図6に示すように、まず、半導体基板1中に素子分離2を形成する。ここで、図6は、メモリセル形成領域（SRAM）に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図3の左側の図は、図6のA-A断面図であり、図4は、図6のB-B断面図である。また、図3の右側の図は、アナログ容量形成領域（Analog Capacitor）の断面図であり、図5は、論理回路形成領域（Logic）の断面図である。

40

【0028】

この素子分離2は、以下のように形成する。例えば1～10 cm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1をエッチングすることにより深さ250 nm程度の素子分離溝を形成する。

【0029】

その後、例えば半導体基板1を約1000 で熱酸化することによって、溝の内壁に膜厚10 nm程度の薄い酸化シリコン膜（図示せず）からなる絶縁膜を形成する。この酸化シリコン膜は、溝の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で

50

溝の内部に埋め込まれる酸化シリコン膜5と半導体基板1との界面に生じるストレスを緩和するために形成する。

【0030】

次に、溝の内部を含む半導体基板1上に例えばCVD(Chemical Vapor deposition)法で膜厚450~500nm程度の酸化シリコン膜5からなる絶縁膜を堆積し、化学的機械研磨(CMP; Chemical Mechanical Polishing)法で溝の上部の酸化シリコン膜5を研磨し、その表面を平坦化する。

【0031】

次に、例えば半導体基板1にp型不純物(ホウ素)およびn型不純物(例えばリン)をイオン打ち込みした後、約1000の熱処理で上記不純物を拡散させることによって、半導体基板1にp型ウエル(領域)3およびn型ウエル(領域)4を形成する。

10

【0032】

その結果、図3の左図、図4および図6に示すように、メモリセル形成領域(SRAM)の半導体基板1には、p型ウエル3およびn型ウエル4主表面である活性領域An1、An2、Ap1、Ap2が形成され、これらの活性領域は、絶縁膜である酸化シリコン膜5が埋め込まれた素子分離2で囲まれている。

【0033】

また、図5に示すように、論理回路形成領域(Logic)の半導体基板1には、p型ウエル3およびn型ウエル4が形成される。

【0034】

20

また、図3の右側に示すように、アナログ容量形成領域(Analog Capacitor)は、素子分離2で覆われている。

【0035】

追って詳細に説明するように、メモリセル形成領域(SRAM)の半導体基板1の主表面には、メモリセルMCを構成する6個のMISFET(Qt1、Qt2、Qd1、Qd2、Qp1、Qp2)が形成され、このうちnチャネル型MISFET(Qt1、Qd1)は、活性領域Ap1(p型ウエル3)上に形成され、nチャネル型MISFET(Qt2、Qd2)は、活性領域Ap2(p型ウエル3)上に形成される。また、pチャネル型MISFET(Qp2)は、活性領域An1(n型ウエル4)上に形成され、pチャネル型MISFET(Qp1)は、活性領域An2(n型ウエル4)上に形成される(図10参照)。

30

【0036】

また、論理回路形成領域(Logic)のp型ウエル3には、論理回路を構成するnチャネルMISFETQnが形成され、n型ウエル4には、論理回路を構成するpチャネル型MISFETQpが形成される。

【0037】

次に、例えばフッ酸系の洗浄液を用いて半導体基板1(p型ウエル3およびn型ウエル4)の表面をウェット洗浄した後、図7~図10に示すように、約800の熱酸化でp型ウエル3およびn型ウエル4のそれぞれの表面に膜厚6nm程度の清浄なゲート酸化膜(ゲート絶縁膜)8を形成する。

40

【0038】

次いで、ゲート酸化膜8上にゲート電極Gを形成する。ここで、図10は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図7の左側の図は、図10のA-A断面図であり、図8は、図10のB-B断面図である。また、図7の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図9は、論理回路形成領域(Logic)の断面図である。

【0039】

このゲート電極Gは、以下のように形成する。まず、ゲート酸化膜8の上部に例えば膜厚100nm程度の低抵抗多結晶シリコン膜9をCVD法で堆積する。

【0040】

50

次に、例えばフォトリソ膜（図示せず）をマスクにして多結晶シリコン膜 9 をドライエッチングすることにより、多結晶シリコン膜 9 からなるゲート電極 G を形成する。

【 0 0 4 1 】

図 1 0、図 7 の左図および図 8 に示すように、メモリセル形成領域（S R A M）の活性領域 A p 1 上には、転送用 M I S F E T Q t 1 のゲート電極 G と、駆動用 M I S F E T Q d 1 のゲート電極 G が形成され、活性領域 A p 2 上には、転送用 M I S F E T Q t 2 のゲート電極 G と、駆動用 M I S F E T Q d 2 のゲート電極 G が形成されている。また、活性領域 A n 1 上には、負荷用 M I S F E T Q p 2 のゲート電極 G が形成され、活性領域 A n 2 上には、負荷用 M I S F E T Q p 1 のゲート電極 G が形成されている。これらのゲート電極は、それぞれ図中の A - A と直交する方向に形成され、負荷用 M I S F E T Q p 1 のゲート電極 G と駆動用 M I S F E T Q d 1 のゲート電極とは共通であり、また、負荷用 M I S F E T Q p 2 のゲート電極および駆動用 M I S F E T Q d 2 のゲート電極とは共通である。

10

【 0 0 4 2 】

また、論理回路形成領域（L o g i c）の半導体基板 1（p 型ウエル 3 および n 型ウエル 4）上にも、このゲート電極 G が形成され（図 9）、また、アナログ容量形成領域（A n a l o g C a p a c i t o r）の素子分離 2 上には、配線の役割を果たすゲート電極 G が形成される（図 7 の左図）。

【 0 0 4 3 】

次に、例えば p 型ウエル 3 上のゲート電極 G の両側に n 型不純物（リン）を注入することによって n⁻型半導体領域 1 3 を形成し、また、n 型ウエル 4 上に p 型不純物（ヒ素）を注入することによって p⁻型半導体領域 1 4 を形成する。

20

【 0 0 4 4 】

次いで、半導体基板 1 上に例えば C V D 法で酸化シリコン膜 1 6 堆積する。この酸化シリコン膜は、後述するサイドウォールスペーサ 1 6 s 形成時のエッチングストッパーとしての機能を有する。

【 0 0 4 5 】

さらに、酸化シリコン膜 1 6 上に例えば C V D 法で窒化シリコン膜からなる絶縁膜を堆積した後、図 1 1 ~ 図 1 4 に示すように、異方的にエッチングすることによって、ゲート電極 G の側壁に絶縁膜からなるサイドウォールスペーサ 1 6 s を形成する。この際、窒化シリコン膜のエッチングを、その下層の酸化シリコン膜 1 6 に対して選択比のとれる条件で行い、半導体基板 1（p 型ウエル 3、n 型ウエル 4）の表面のエッチングを防止する。次いで、このサイドウォールスペーサ 1 6 s をマスクに酸化シリコン膜 1 6 をエッチングする。この際、酸化シリコン膜 1 6 のエッチングを、その下層の半導体基板 1（p 型ウエル 3、n 型ウエル 4）に対して選択比のとれる条件で行う。

30

【 0 0 4 6 】

次に、例えば p 型ウエル 3 に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって n⁺型半導体領域 1 7（ソース、ドレイン）を形成し、n 型ウエル 4 に p 型不純物（ホウ素）をイオン打ち込みすることによって p⁺型半導体領域 1 8（ソース、ドレイン）を形成する。

40

【 0 0 4 7 】

ここで、図 1 4 は、メモリセル形成領域（S R A M）に形成されるメモリセル約 1 個分の領域を示す半導体基板の平面図であり、図 1 1 の左側の図は、図 1 4 の A - A 断面図であり、図 1 2 は、図 1 4 の B - B 断面図である。また、図 1 1 の右側の図は、アナログ容量形成領域（A n a l o g C a p a c i t o r）の断面図であり、図 1 3 は、論理回路形成領域（L o g i c）の断面図である。

【 0 0 4 8 】

ここまでの工程で、メモリセル形成領域（S R A M）に、メモリセル M C を構成する 6 個の M I S F E T（駆動用 M I S F E T Q d 1、Q d 2、転送用 M I S F E T Q t 1、Q t 2 および負荷用 M I S F E T Q p 1、Q p 2）が完成し、また、論理回路形成領域（L o

50

g i c) に、nチャネルM I S F E T Q nおよびpチャネル型M I S F E T Q pが完成する。

【0049】

続いて、図15～図18に示すように、例えば半導体基板1の表面を洗浄した後、半導体基板1上に、スパッタ法により、例えば、Co膜、Ni膜もしくはTi膜等の金属膜を堆積し、次いで、600で1分間の熱処理を施すことにより、半導体基板1の露出部(n⁺型半導体領域17、p⁺型半導体領域18)およびゲート電極G上に、CoSi₂、NiSiもしくはTiSi等の金属シリサイド(シリサイド)層19を形成する。ここで、図18は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図15の左側の図は、図18のA-A断面図であり、図16は、図18のB-B断面図である。また、図15の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図17は、論理回路形成領域(Logic)の断面図である。

10

【0050】

次いで、未反応の金属膜をエッチングにより除去した後、700から800で、1分間程度の熱処理を施し、金属シリサイド層19を低抵抗化する。

【0051】

次いで、半導体基板1上に例えばCVD法で窒化シリコン膜20からなる絶縁膜を堆積する。なお、この窒化シリコン膜20は、後述するコンタクトホールC1の形成時のエッチングストッパーとしての役割を果たす。

20

【0052】

続いて、窒化シリコン膜20(絶縁膜)の上部に例えば酸化シリコン膜21からなる絶縁膜を堆積する。この酸化シリコン膜21は、例えば、テトラエトキシシランを原料とし、プラズマCVD法により形成する。この酸化シリコン膜21および窒化シリコン膜20は、ゲート電極Gと後述する局所配線(ローカルインターコネクト)LIとの間の層間絶縁膜となる。

【0053】

次に、図19～図22に示すように、例えばフォトリソ膜(図示せず)をマスクにしたドライエッチングで酸化シリコン膜21をドライエッチングし、続いて窒化シリコン膜20をドライエッチングすることによって、コンタクトホールC1を形成する。ここで、図22は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図19の左側の図は、図22のA-A断面図であり、図20は、図22のB-B断面図である。また、図19の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図21は、論理回路形成領域(Logic)の断面図である。

30

【0054】

即ち、メモリセル形成領域(SRAM)のn⁺型半導体領域17(ソース、ドレイン)およびp⁺型半導体領域18(ソース、ドレイン)上にコンタクトホールC1を形成する。このうち、負荷用MISFETQp1のドレイン上のコンタクトホールC1は、負荷用MISFETQp2のゲート電極上まで延在している。また、負荷用MISFETQp2のドレイン上のコンタクトホールC1は、負荷用MISFETQp1のゲート電極上まで延在している。また、転送用MISFETQt1、Qt2のゲート電極G上にコンタクトホールC1を形成する(図22、図19の左図、図20)。

40

【0055】

また、論理回路形成領域(Logic)のn⁺型半導体領域17(ソース、ドレイン)およびp⁺型半導体領域18(ソース、ドレイン)上にコンタクトホールC1を形成する(図21)。また、アナログ容量形成領域(Analog Capacitor)のゲート電極G(配線)上にコンタクトホールC1を形成する(図19の右図)。

【0056】

次いで、例えばコンタクトホールC1内に導電性膜を埋め込むことによりプラグ(接続部

50

) P 1 を形成する。このプラグ P 1 を形成するには、まず、コンタクトホール C 1 の内部を含む酸化シリコン膜 2 1 の上部にスパッタ法により例えば、T i N 膜よりなる薄いバリア層を堆積し、次いで C V D 法により例えば、W (タングステン) 膜よりなる導電性膜を堆積する。この後、酸化シリコン膜 2 1 の表面が露出するまでエッチバックもしくは C M P を施し、コンタクトホール C 1 外部の T i N 膜および W 膜を除去することにより、コンタクトホール C 1 内にプラグ P 1 を形成する。

【 0 0 5 7 】

次いで、図 2 3 ~ 図 2 6 に示すように、プラグ P 1 および酸化シリコン膜 2 1 上に、酸化シリコン膜 2 2 からなる絶縁膜を C V D 法により堆積する。次いで、フォトレジスト膜 (図示せず) をマスクにしたドライエッチングで酸化シリコン膜 2 2 をドライエッチングすることによって、プラグ P 1 上に配線溝 H M 0 を形成する。

10

【 0 0 5 8 】

ここで、図 2 6 は、メモリセル形成領域 (S R A M) に形成されるメモリセル約 1 個分の領域を示す半導体基板の平面図であり、図 2 3 の左側の図は、図 2 6 の A - A 断面図であり、図 2 4 は、図 2 6 の B - B 断面図である。また、図 2 3 の右側の図は、アナログ容量形成領域 (A n a l o g C a p a c i t o r) の断面図であり、図 2 5 は、論理回路形成領域 (L o g i c) の断面図である。

【 0 0 5 9 】

即ち、メモリセル形成領域 (S R A M) の n^+ 型半導体領域 1 7 (ソース、ドレイン) および p^+ 型半導体領域 1 8 (ソース、ドレイン) 上のプラグ P 1 上に配線溝 H M 0 を形成する。

20

【 0 0 6 0 】

このうち、負荷用 M I S F E T Q p 1 のドレインと接続されるプラグ P 1 上の配線溝 H M 0 は、駆動用 M I S F E T Q d 1 のドレインと接続されるプラグ P 1 上まで延在している。また、負荷用 M I S F E T Q p 2 のドレインと接続されるプラグ P 1 上の配線溝 H M 0 は、駆動用 M I S F E T Q d 2 のドレインと接続されるプラグ P 1 上まで延在している (図 2 6 、 図 2 3 の左図、図 2 4) 。これらの配線溝 H M 0 内に形成される局所配線 L I c (M 0 c) は、後述する S R A M 容量 C_{SR} の下部電極を構成する。また、転送用 M I S F E T Q t 1 、 Q t 2 のゲート電極 G 上のプラグ P 1 上に配線溝 H M 0 を形成する (図 2 6) 。

30

【 0 0 6 1 】

また、論理回路形成領域 (L o g i c) の n^+ 型半導体領域 1 7 (ソース、ドレイン) および p^+ 型半導体領域 1 8 (ソース、ドレイン) 上のプラグ P 1 上に配線溝 H M 0 を形成する (図 2 5) 。さらに、アナログ容量形成領域 (A n a l o g C a p a c i t o r) のゲート電極 G (配線) 上のプラグ P 1 上に配線溝 H M 0 を形成する (図 2 3 の右図) 。このプラグ P 1 上の配線溝 H M 0 内に形成される局所配線 L I c (M 0 c) は、後述するアナログ容量 C_{AN} の下部電極を構成する。

【 0 0 6 2 】

なお、アナログ容量形成領域 (A n a l o g C a p a c i t o r) においては、酸化シリコン膜 2 1 上にも、配線溝 H M 0 が形成されている。この配線溝は、後述するアナログ容量 C_{AN} の上部電極 (2 4) に所望の電位を印加するための配線を形成するために用いられる。なお、アナログ容量 C_{AN} の下部電極 (L I c (M 0 c)) には、ゲート電極 G (配線) を介して所望の電位が印加される。

40

【 0 0 6 3 】

このように、本実施の形態によれば、アナログ容量 C_{AN} の上部電極 (2 4) に後述する局所配線 L I (M 0) を介してその裏面より所望の電位を印加するため、上部電極上にコンタクトホール (プラグ) を形成することがなく、コンタクトホール形成時 (エッチング時) の上部電極のダメージを防止することができる。

【 0 0 6 4 】

次いで、配線溝 H M 0 内に導電性膜を埋め込むことにより局所配線 (ローカルインターコ

50

ネクト) L I、L I c を形成する。この局所配線は、後述する第 1 層配線より下層に位置する配線であるため、「M 0」と呼ばれることもある。この局所配線(ローカルインターコネクト) L I (M 0)、L I c (M 0 c) を形成するには、まず、配線溝 H M 0 の内部を含む酸化シリコン膜 2 2 の上部にスパッタ法により例えば、T i N 膜よりなる薄いバリア層を堆積し、次いで C V D 法により例えば、W 膜よりなる導電性膜を堆積する。この後、酸化シリコン膜 2 2 の表面が露出するまでエッチバックもしくは C M P を施し、配線溝 H M 0 外部の T i N 膜および W 膜を除去することにより形成する。

【 0 0 6 5 】

このように、本実施の形態によれば、配線溝 H M 0 内に導電性膜 (T i N 膜および W 膜) を埋め込むことにより局所配線 L I (M 0)、L I c (M 0 c) を形成したので、その上部が平坦化され、その上部に形成される容量絶縁膜や上部電極を精度良く形成することができる。例えば、隣接する容量間での容量ばらつきを 3 % 以下とすることができ、また、総合ばらつきを 2 0 % 以下とすることができ、

10

【 0 0 6 6 】

この工程により、メモリセル形成領域 (S R A M) においては、負荷用 M I S F E T Q p 1 のドレイン、駆動用 M I S F E T Q d 1 のドレイン、負荷用 M I S F E T Q p 2 のゲート電極が、局所配線 L I c (M 0 c) およびプラグ P 1 を介して接続される。また、負荷用 M I S F E T Q p 2 のドレイン、駆動用 M I S F E T Q d 2 のドレイン、負荷用 M I S F E T Q p 1 のゲート電極が、局所配線 L I c (M 0 c) およびプラグ P 1 を介して接続される。

20

【 0 0 6 7 】

ここで、S R A M のメモリセルアレイ中には、複数のメモリセルが縦、横に反復して形成される。図 2 6 の破線は、メモリセルの単位領域を示す。例えば、この矩形の領域の長辺および短辺に対し、線対称に複数のメモリセルが形成される。

【 0 0 6 8 】

次いで、図 2 7 ~ 図 3 0 に示すように、酸化シリコン膜 2 2 および局所配線 L I (M 0)、L I c (M 0 c) 上に例えば、窒化シリコン膜 2 3 を形成する。この窒化シリコン膜 2 3 は、局所配線 L I c (M 0 c) と後述する上部電極 2 4 との間に形成され、容量絶縁膜となる。この窒化シリコン膜 2 3 (容量絶縁膜) の膜厚は、例えば、メモリセルの 1 個分の領域 (単位領域) が $2.0 \mu\text{m}^2$ であって、前述の一つの局所配線 L I c (M 0 c) の形成領域が $0.17 \mu\text{m}^2$ の場合には、1 0 n m 程度とする。

30

【 0 0 6 9 】

ここで、図 3 0 は、メモリセル形成領域 (S R A M) に形成されるメモリセル約 1 個分の領域を示す半導体基板の平面図であり、図 2 7 の左側の図は、図 3 0 の A - A 断面図であり、図 2 8 は、図 3 0 の B - B 断面図である。また、図 2 7 の右側の図は、アナログ容量形成領域 (A n a l o g C a p a c i t o r) の断面図であり、図 2 9 は、論理回路形成領域 (L o g i c) の断面図である。

【 0 0 7 0 】

次に、メモリセル形成領域 (S R A M) に形成された 2 つの容量を構成する局所配線 L I c (M 0 c) のうち、いずれか一方の局所配線 L I c (M 0 c) 上の窒化シリコン膜 2 3 を除去し、開口部 O P 1 を形成する (図 3 0、図 2 8)。また、アナログ容量形成領域 (A n a l o g C a p a c i t o r) に形成された局所配線 L I (M 0) 上の窒化シリコン膜 2 3 を除去し、開口部 O P 2 を形成する (図 2 7)。

40

【 0 0 7 1 】

次いで、開口部 O P 1、O P 2 内を含む窒化シリコン膜 2 3 上に、スパッタ法により T i N 膜もしくは W 膜のような導電性膜を堆積し、パターンングすることによって、前記局所配線 L I c (M 0 c) 上に、上部電極 2 4 を形成する。

【 0 0 7 2 】

ここで、メモリセル形成領域 (S R A M) の上部電極 2 4 は、2 つの局所配線 L I c (M 0 c) を覆うよう形成され、さらに、この上部電極 2 4 は、開口部 O P 1 を介して局所配

50

線 $L I c (M 0 c)$ と接続される (図 30、図 27 の左図、図 28)。また、同様に、アナログ容量形成領域 (Analog Capacitor) の上部電極 24 は、容量を構成する局所配線 $L I c (M 0 c)$ を覆うよう形成され、さらに、この上部電極 24 は、開口部 $O P 2$ を介して局所配線 $L I (M 0)$ と接続される (図 27 の左図)。

【0073】

このように、本実施の形態によれば、上部電極 24 は、局所配線 $L I c (M 0 c)$ を覆うようパターンニングされるため、上部電極 24 の形成時 (W 膜のエッチング時) に、局所配線 $L I c (M 0 c)$ 上の容量絶縁膜 23、即ち、容量に寄与する容量絶縁膜がエッチングされることがなく、容量端部でのリーク電流を防止することができる。また、前述の局所配線 $L I c$ の端部は、プラグ (接続部) $P 1$ の上部に形成される。

10

【0074】

例えば、図 45 に示すように、上部電極 24 によって覆われない局所配線 $L I c (M 0 c)$ の部分が存在する場合には、上部電極 24 の形成時 (W 膜のエッチング時) に、上部電極 24 端部において、容量絶縁膜 23 がダメージを受け、また、オーバーエッチングされた場合には、その膜厚が減少する。その結果、容量絶縁膜中のピンホールが発生し、リーク電流が増加してしまう。これに対して、本実施の形態では、容量に寄与する容量絶縁膜がエッチングされることがないので、リーク電流を防止することができる。

【0075】

特に、窒化シリコン膜と $T i N$ 膜は、エッチングレートの違いが小さいため、選択比がとりやすく、上部電極 24 に $T i N$ 膜を用い、また、容量絶縁膜 23 に窒化シリコン膜を用いる場合に、適用して効果が大きい。

20

【0076】

以上の工程により、メモリセル形成領域 ($S R A M$) に、局所配線 $L I c (M 0 c)$ と、窒化シリコン膜 23 と上部電極 24 とで構成される $S R A M$ 容量 C_{SR} を形成することができ、また、アナログ容量形成領域 (Analog Capacitor) に、局所配線 $L I c (M 0 c)$ と、窒化シリコン膜 23 と上部電極 24 とで構成されるアナログ容量 C_{AN} を形成することができる。

【0077】

このように、本実施の形態によれば、メモリセル形成領域に形成される $S R A M$ の蓄積ノード間 (局所配線上) に、 $S R A M$ 容量 C_{SR} を形成したので、 $S R A M$ のメモリセルに入射した線によるソフトエラーを低減することができる。

30

【0078】

また、本実施の形態によれば、 $S R A M$ 容量 C_{SR} とアナログ容量 C_{AN} を同一工程で形成することができる。

【0079】

この際、前述した通り、下部電極となる局所配線 $L I c (M 0 c)$ 上が平坦化されているので、 $S R A M$ 容量 C_{SR} やアナログ容量 C_{AN} の容量ばらつきを低減することができる。また、前述したように、アナログ容量 C_{AN} に要求される、3% 以下の隣接間容量ばらつき、および 20% 以下の総合ばらつきを達成することができる。

【0080】

さらに、本実施の形態においては、 $S R A M$ 容量 C_{SR} とアナログ容量 C_{AN} の下部電極 (局所配線) や上部電極を W 膜等の金属膜や $T i N$ 膜等の導電性を有する金属の化合物膜で構成 (いわゆる $M I M$ (Metal Insulator Metal) 構造) したので、容量特性を向上させることができる。例えば、これらの電極材料としてポリシリコンを用いた場合には、ポリシリコン内に空乏層が生じ得るため、電圧依存性が生じてしまう。これに比べ $M I M$ 構造においては、電圧依存性を抑えることができる。

40

【0081】

また、アナログ容量 C_{AN} は、酸化シリコン膜 21 上に形成されるため、基板電位の影響を受けにくく、容量の電圧特性を向上させることができる。

【0082】

50

また、容量絶縁膜の膜厚が、ゲート絶縁膜の膜厚と無関係に設定できるので、トンネル電流によるリーク電流を防止することができる。なお、トンネル電流は、絶縁膜の膜厚が2.6 nm未満の場合に $1 \times 10^{-4} \text{ A/cm}^2$ を越えるので、容量絶縁膜の膜厚を2.6 nm以上とする必要がある。

【0083】

この後、上部電極24上に層間絶縁膜(酸化シリコン膜25)を介し第1層配線M1および第2層配線M2が形成される。引き続き、これらの配線の形成工程について説明する。

【0084】

まず、図31~図34に示すように、上部電極24上および窒化シリコン膜23に、酸化シリコン膜25をCVD法により堆積する。次いで、局所配線LI(M0)、LIC(M0c)上の酸化シリコン膜25および窒化シリコン膜23をエッチングにより除去することによりコンタクトホールC2を形成する。ここで、図34は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図31の左側の図は、図34のA-A断面図であり、図32は、図34のB-B断面図である。また、図31の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図33は、論理回路形成領域(Logic)の断面図である。

10

【0085】

即ち、メモリセル形成領域(SRAM)の局所配線LI(M0)、LIC(M0c)上にコンタクトホールC2を形成する(図34)。このうち、転送用MISFETQt1、Qt2のゲート電極Gと接続される局所配線LI(M0)上のコンタクトホールC2は、第1層配線M1(ワード線WL)と前記ゲート電極Gとの接続のために用いられる。

20

【0086】

また、アナログ容量形成領域(Analog Capacitor)においては、局所配線LI(M0)上であって、図31に示す断面には現れない領域上に、コンタクトホールC2が形成される。このコンタクトホールC2は、アナログ容量 C_{AN} の上部電極24に、局所配線LI(M0)を介して所望の電位を印加するために用いられる。

【0087】

さらに、論理回路形成領域(Logic)の局所配線LI(M0)上にコンタクトホールC2を形成する(図33)。

【0088】

次いで、コンタクトホールC2内に導電性膜を埋め込むことによりプラグP2を形成する。このプラグP2を形成するには、まず、コンタクトホールC2の内部を含む酸化シリコン膜25の上部にスパッタ法により例えば、TiN膜よりなる薄いバリア層を堆積し、次いでCVD法により例えば、W膜よりなる導電性膜を堆積する。この後、酸化シリコン膜25の表面が露出するまでエッチバックもしくはCMPを施し、コンタクトホールC2外部のTiN膜およびW膜を除去する。

30

【0089】

続いて、図35~図38に示すように、酸化シリコン膜25およびプラグP2上に、第1層配線M1およびプラグP3を形成する。この第1層配線M1およびプラグP3は、例えば、銅膜よりなる埋め込み配線および埋め込みプラグとすることができる。ここで、図38は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図35の左側の図は、図38のA-A断面図であり、図36は、図38のB-B断面図である。また、図35の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図37は、論理回路形成領域(Logic)の断面図である。

40

【0090】

この第1層配線M1およびプラグP3を形成するには、まず、酸化シリコン膜25およびプラグP2上に、酸化シリコン膜27をCVD法により堆積し、次いで、フォトレジスト膜(図示せず)をマスクにしたドライエッチングで酸化シリコン膜27をドライエッチングすることによって、配線溝HM1およびコンタクトホールC3を形成する。次に、配線

50

溝HM1およびコンタクトホールC3内を含む酸化シリコン膜25に例えば、TiN膜からなる薄いバリア層をスパッタ法もしくはCVD法により堆積し、次いで、このバリア層上に、銅(Cu)膜をスパッタ法もしくはメッキ法により形成する。この後、酸化シリコン膜27の表面が露出するまでエッチバックもしくはCMPを施し、配線溝HM1およびコンタクトホールC3外部のTiN膜およびCu膜を除去することにより、配線溝HM1内に第1層配線M1を、また、コンタクトホールC3内にプラグP3を形成する。

【0091】

即ち、メモリセル形成領域(SRAM)には、転送用MISFETQt1のゲート電極Gと電氣的に接続されるプラグP2と、転送用MISFETQt2のゲート電極Gと電氣的に接続されるプラグP2とを接続するよう第1層配線M1(ワード線WL)を形成する。また、前記プラグP2以外のプラグP2上には、プラグP3が形成される(図38)。

10

【0092】

また、論理回路形成領域(Logic)のプラグP2上にも、第1層配線M1等が形成される(図37)。また、図38中には現れないが、アナログ容量形成領域(Analog Capacitor)のプラグP2上にも、第1層配線M1等が形成される。

【0093】

次いで、図39に示すように、第1層配線M1、プラグP3および酸化シリコン膜27上に、酸化シリコン膜をCVD法により堆積し、この酸化シリコン膜中に、コンタクトホールC2およびプラグP2と同様に、コンタクトホールC4およびプラグP4を形成する。ここで、図39は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図である。

20

【0094】

続いて、前記酸化シリコン膜およびプラグP4上に、酸化シリコン膜をCVD法により堆積し、この膜中に、第1層配線M1と同様に、第2層配線M2を形成する。この第2層配線M2および前述のプラグP4は、メモリセル形成領域(SRAM)、アナログ容量形成領域(Analog Capacitor)および論理回路形成領域(Logic)の断面図において省略する。なお、メモリセル形成領域(SRAM)においては、図39に示すように、第2層配線M2は、駆動用MISFETQd1ソースと電氣的に接続されるプラグP4および駆動用MISFETQd2のソースと電氣的に接続されるプラグP4上に、これらを接続するよう形成され、かかる第2層配線M2には、接地電圧(Vss)が印加される。また、第2層配線M2は、負荷用MISFETQp1ソースと電氣的に接続されるプラグP4および負荷用MISFETQp2のソースと電氣的に接続されるプラグP4上に、それぞれ第1層配線(ワード線WL)と直交する方向に形成され、かかる第2層配線M2には、電源電圧(Vcc)が印加される。さらに、第2層配線M2は、転送用MISFETQt1およびQt2の一端と電氣的に接続されるプラグP4上に、それぞれ第1層配線(ワード線WL)と直交する方向に形成され、かかる第2層配線M2は、データ線対DL、/DL(ビット線対)となる。

30

【0095】

以上の工程により、図1及び図2を用いて説明したSRAMメモリセル、論理回路およびアナログ容量を有する半導体集積回路装置が、ほぼ完成する。

40

【0096】

ここで、本実施の形態において説明したアナログ容量を有する回路についての一例を述べる。

【0097】

図40は、PLL回路の構成を示す図である。このようなPLL回路は、位相比較器401、低域フィルタ402およびVCO(VoltageControlledOscillator)403を有し、リファレンスクロックRCにตอบสนองして、出力信号を発振させる。この低域フィルタ402には、アナログ容量CANが用いられている。このようなPLL回路を構成するアナログ容量CANを、前述したように、ゲート絶縁膜を用いて形成した場合は、トンネル電流によるリーク電流が問題となる。このリーク電流が、その目標値である $1 \times 10^{-4} \text{ A/cm}^2$ を超

50

えるような場合は、時間誤差が生じ、PLL回路の正常動作を阻害してしまう。

【0098】

しかしながら、本実施の形態で説明したアナログ容量 C_{AN} を用いた場合は、前述したように容量絶縁膜の膜厚を確保することができ、PLL回路のリーク電流を低減でき、PLL回路の誤動作を防止することができる。

【0099】

なお、本実施の形態で説明したアナログ容量 C_{AN} は、前述のPLL回路に限られず、広く容量を有する回路に適用可能である。

【0100】

(実施の形態2)

次に、本実施の形態の半導体集積回路装置をその製造工程に従って説明する。図41～図44は、本実施の形態の半導体集積回路装置の製造方法を示す基板の要部断面図もしくは平面図である。なお、図2～図26を用いて説明した局所配線LI(M0)、LIc(M0c)の形成工程までは、実施の形態1の場合と同様であるためその説明を省略する。

【0101】

まず、実施の形態1で説明した図23～図26に示す半導体基板1を準備する。これらの図中の局所配線LI(M0)、LIc(M0c)は、実施の形態1で説明した通り、酸化シリコン膜22中に形成された配線溝HM0内部を含む酸化シリコン膜22の上部にスパッタ法により例えば、TiN膜よりなる薄いバリア層を堆積し、次いでCVD法により例えば、W膜よりなる導電性膜を堆積した後、酸化シリコン膜22の表面が露出するまでエッチバックもしくはCMPを施すことにより形成する。

【0102】

本実施の形態においては、図41～図44に示すように、この酸化シリコン膜22の表面をさらに100nm程度エッチングし、局所配線LI(M0)、LIc(M0c)の側壁上部を露出させる。ここで、図44は、メモリセル形成領域(SRAM)に形成されるメモリセル約1個分の領域を示す半導体基板の平面図であり、図41の左側の図は、図44のA-A断面図であり、図42は、図44のB-B断面図である。また、図41の右側の図は、アナログ容量形成領域(Analog Capacitor)の断面図であり、図43は、論理回路形成領域(Logic)の断面図である。

【0103】

次いで、酸化シリコン膜22および局所配線LI(M0)、LIc(M0c)上に例えば、窒化シリコン膜23を形成する。この窒化シリコン膜23は、局所配線LIc(M0c)と後述する上部電極24との間に形成され、容量絶縁膜となる。この窒化シリコン膜23(容量絶縁膜)の膜厚は、例えば、メモリセル約1個分の領域が $2.0\mu\text{m}^2$ の場合には、20nm程度とする。

【0104】

次に、メモリセル形成領域(SRAM)に形成された2つの局所配線LIc(M0c)のうち、いずれか一方の局所配線LIc(M0c)上の窒化シリコン膜23を除去し、開口部OP1を形成する(図34、図32)。また、アナログ容量形成領域(Analog Capacitor)に形成された局所配線LI(M0)上の窒化シリコン膜23を除去し、開口部OP2を形成する(図31)。

【0105】

次いで、実施の形態1の場合と同様に、開口部OP1、OP2内を含む窒化シリコン膜23上に、スパッタ法により例えば、TiN膜もしくはW膜を堆積し、パターンニングすることによって、前記局所配線LIc(M0c)上に、上部電極24を形成する。

【0106】

以上の工程により、メモリセル形成領域(SRAM)に、局所配線LIc(M0c)と、窒化シリコン膜23と上部電極24とで構成されるSRAM容量 C_{SR} を形成することができ、また、アナログ容量形成領域(Analog Capacitor)に、局所配線LIc(M0c)と、窒化シリコン膜23と上部電極24とで構成されるアナログ容量 C_{AN}

10

20

30

40

50

を形成することができる。

【0107】

以降の工程は、図31～図39を参照しながら説明した実施の形態1の場合と同様であるため、その説明を省略する。

【0108】

このように、本実施の形態によれば、実施の形態1で説明した効果に加え、局所配線LIC(MOC)を形成した後、酸化シリコン膜22の表面をさらに、エッチングしたので、局所配線LIC(MOC)の側壁上部が露出し、この側壁に沿って容量絶縁膜となる窒化シリコン膜23を形成することができるため、容量を増加させることができる。

【0109】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0110】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0111】

SRAMのメモリセルの蓄積ノード間に容量を形成することにより、ソフトエラーを低減させることができる。

【0112】

また、かかる容量と、アナログ容量を有する素子とを単一の基板上に形成することができ、これらの容量によるリーク電流の低減を図ることができる。また、これらの容量の電圧依存性を低減することができる。また、これらの容量のばらつきを低減することができる。

【0113】

その結果、これらの容量を有する半導体集積回路装置の性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置中のSRAMのメモリセルを示す等価回路図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図11】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図12】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部

10

20

30

40

50

断面図である。

【図 3 8】本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図 3 9】本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図 4 0】本発明の実施の形態 1 である半導体集積回路装置中に用いられる回路の一例を示す図である。

【図 4 1】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 4 2】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。 10

【図 4 3】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 4 4】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部平面図である。

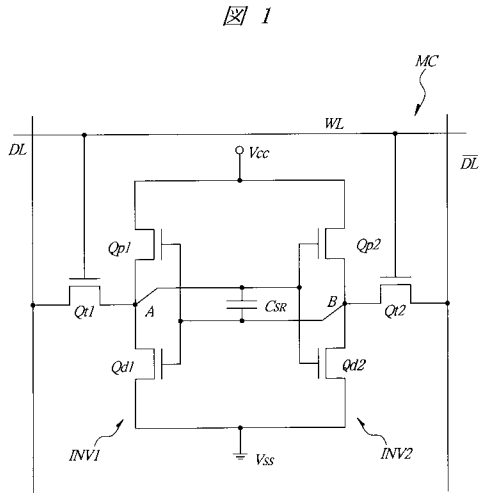
【図 4 5】本発明の実施の形態 1 の効果を説明するための図である。

【符号の説明】

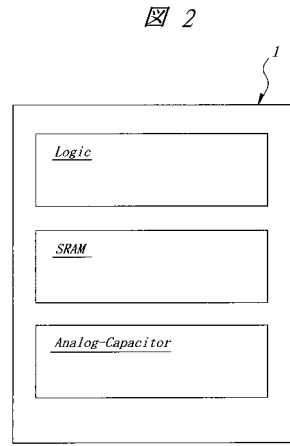
- | | | |
|-----------------|-----------------------|----|
| 1 | 半導体基板 | |
| 2 | 素子分離 | |
| 3 | p 型ウエル | 20 |
| 4 | n 型ウエル | |
| 5 | 酸化シリコン膜 | |
| 8 | ゲート酸化膜 | |
| 9 | 多結晶シリコン膜 | |
| 1 3 | n ⁻ 型半導体領域 | |
| 1 4 | p ⁻ 型半導体領域 | |
| 1 6 | 酸化シリコン膜 | |
| 1 6 s | サイドウォールスペーサ | |
| 1 7 | n ⁺ 型半導体領域 | |
| 1 8 | p ⁺ 型半導体領域 | 30 |
| 1 9 | 金属シリサイド層 | |
| 2 0 | 窒化シリコン膜 | |
| 2 1 | 酸化シリコン膜 | |
| 2 2 | 酸化シリコン膜 | |
| 2 3 | 窒化シリコン膜 (容量絶縁膜) | |
| 2 4 | 上部電極 | |
| 2 5 | 酸化シリコン膜 | |
| 2 7 | 酸化シリコン膜 | |
| A | 蓄積ノード | |
| B | 蓄積ノード | 40 |
| A n 1 | 活性領域 | |
| A n 2 | 活性領域 | |
| A p 1 | 活性領域 | |
| A p 2 | 活性領域 | |
| C _{SR} | S R A M 容量 | |
| C _{AN} | アナログ容量 | |
| C 1 | コンタクトホール | |
| C 2 | コンタクトホール | |
| C 3 | コンタクトホール | |
| C 4 | コンタクトホール | 50 |

D L、 / D L	データ線	
G	ゲート電極	
H M 0、 H M 1	配線溝	
I N V 1	C M O Sインバータ	
I N V 2	C M O Sインバータ	
L I (M 0)	局所配線	
L I c (M 0 c)	局所配線	
M 1	第1層配線	
M 2	第2層配線	
M C	メモリセル	10
O P 1	開口部	
O P 2	開口部	
P 1	プラグ	
P 2	プラグ	
P 3	プラグ	
P 4	プラグ	
Q d 1	駆動用M I S F E T	
Q d 2	駆動用M I S F E T	
Q p 1	負荷用M I S F E T	
Q p 2	負荷用M I S F E T	20
Q t 1	転送用M I S F E T	
Q t 2	転送用M I S F E T	
W L	ワード線	
V c c	電源電圧	
V s s	接地電圧	
4 0 1	位相比較器	
4 0 2	低域フィルタ	
4 0 3	V C O	
Q n	nチャンネル型M I S F E T	
Q p	pチャンネル型M I S F E T	30
S R A M	メモリセル形成領域	
L o g i c	論理回路形成領域	
A n a l o g	C a p a c i t o r	アナログ容量形成領域

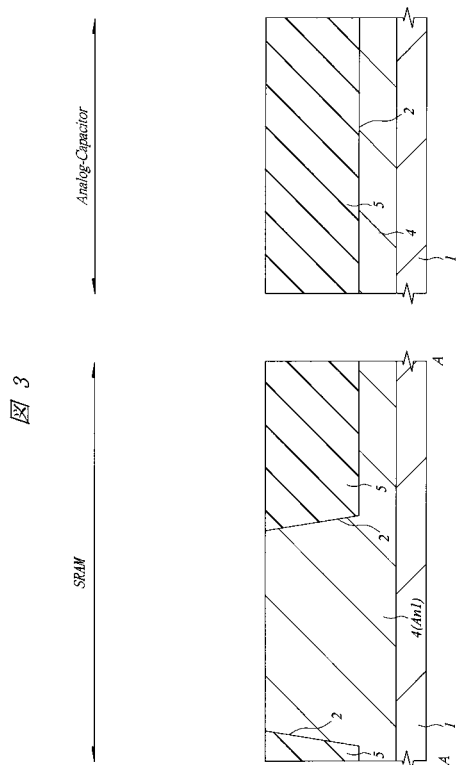
【 図 1 】



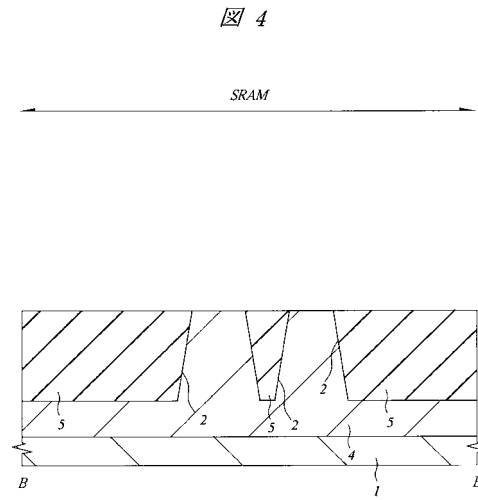
【 図 2 】



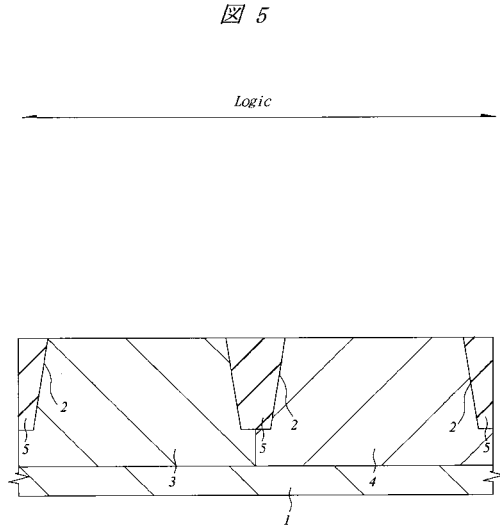
【 図 3 】



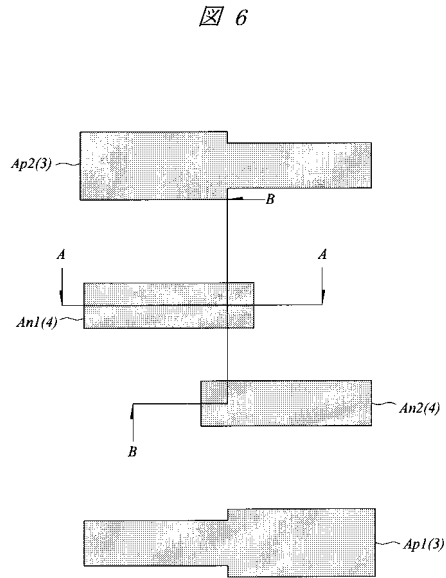
【 図 4 】



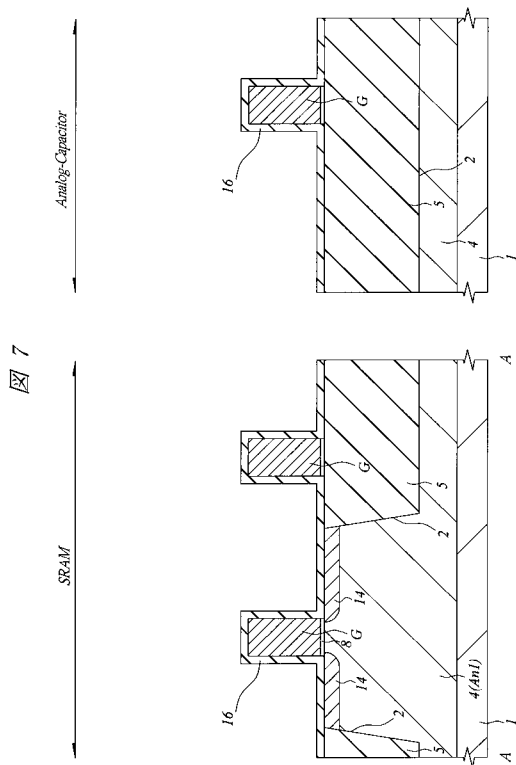
【 図 5 】



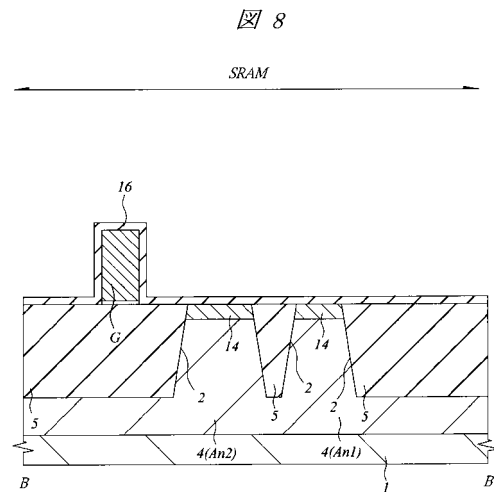
【 図 6 】



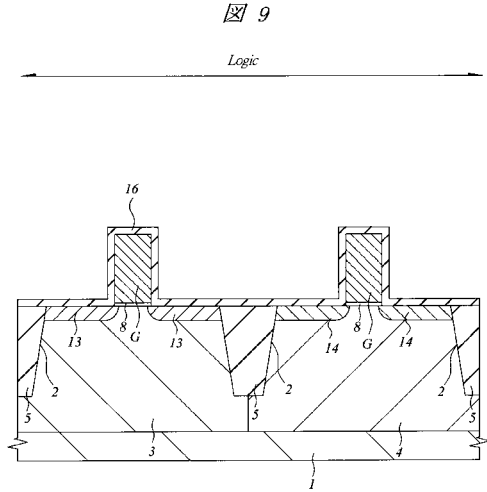
【 図 7 】



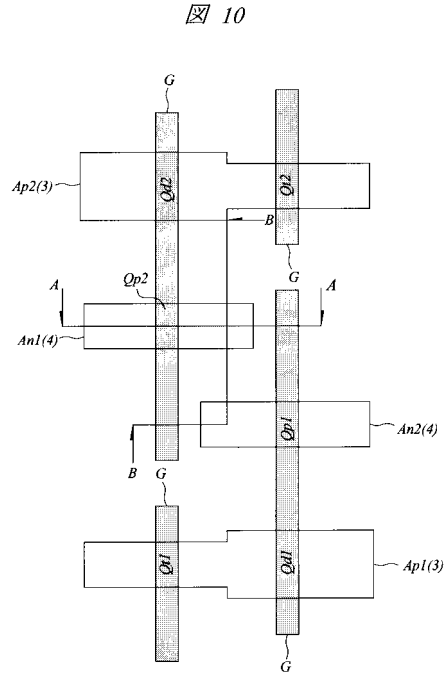
【 図 8 】



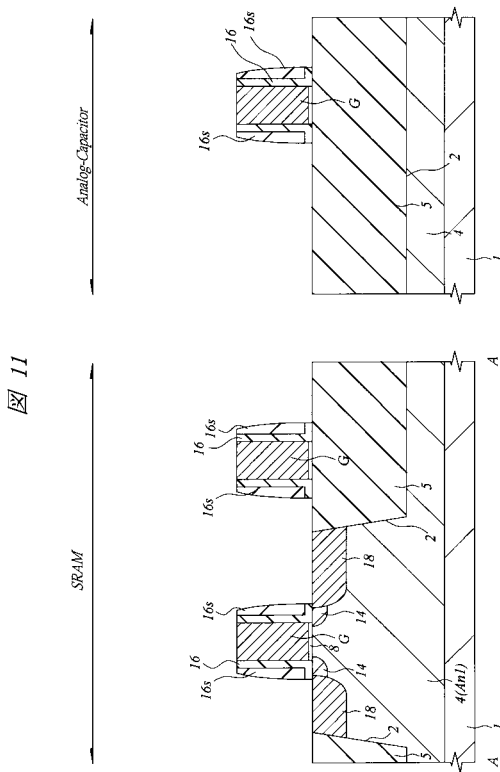
【 図 9 】



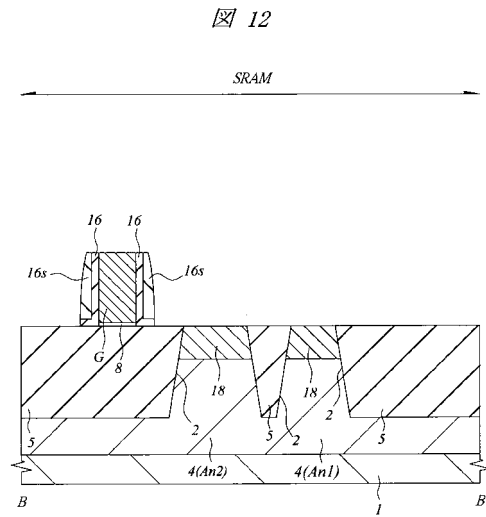
【 図 10 】



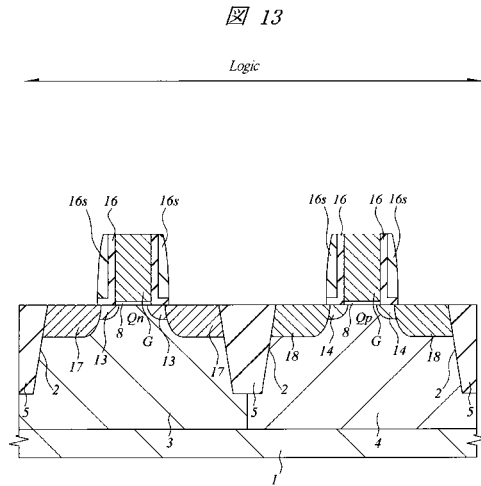
【 図 11 】



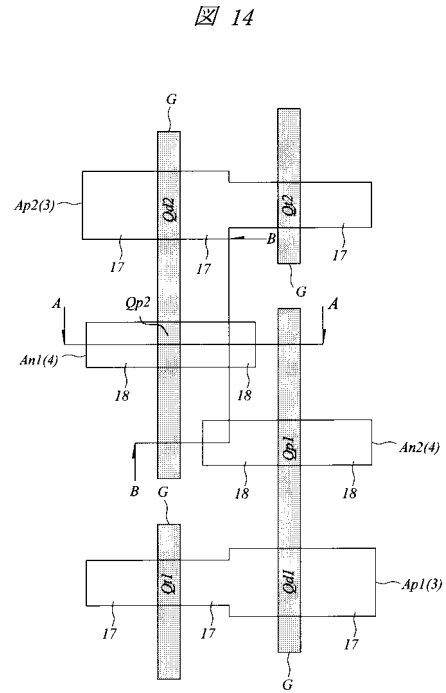
【 図 12 】



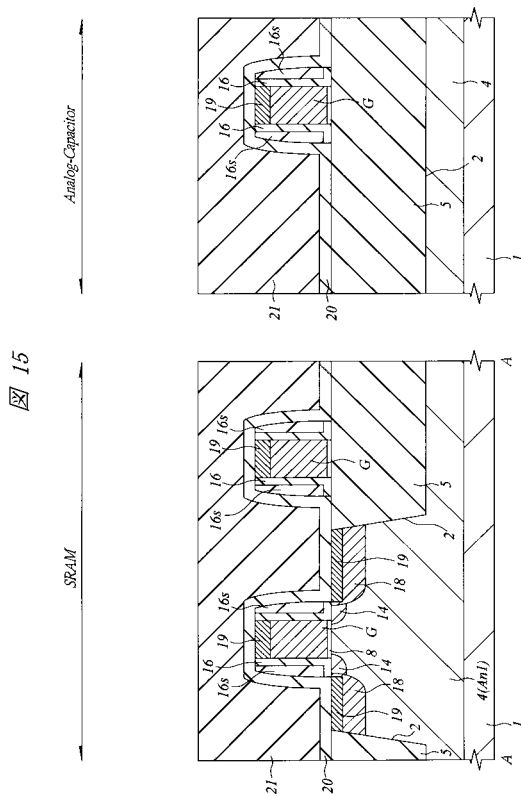
【図13】



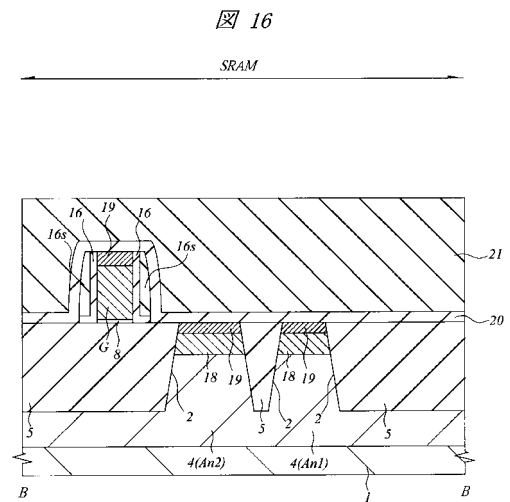
【図14】



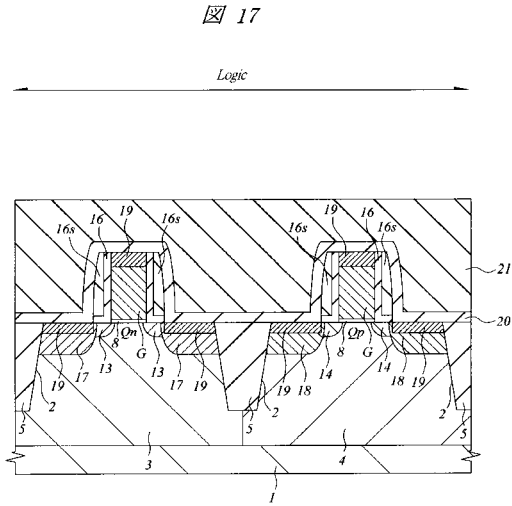
【図15】



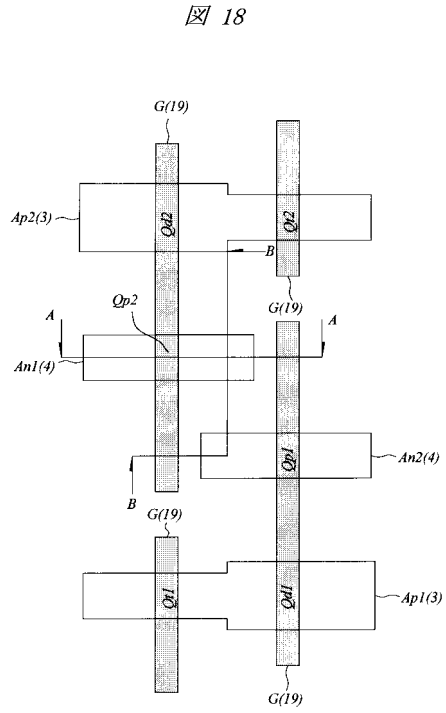
【図16】



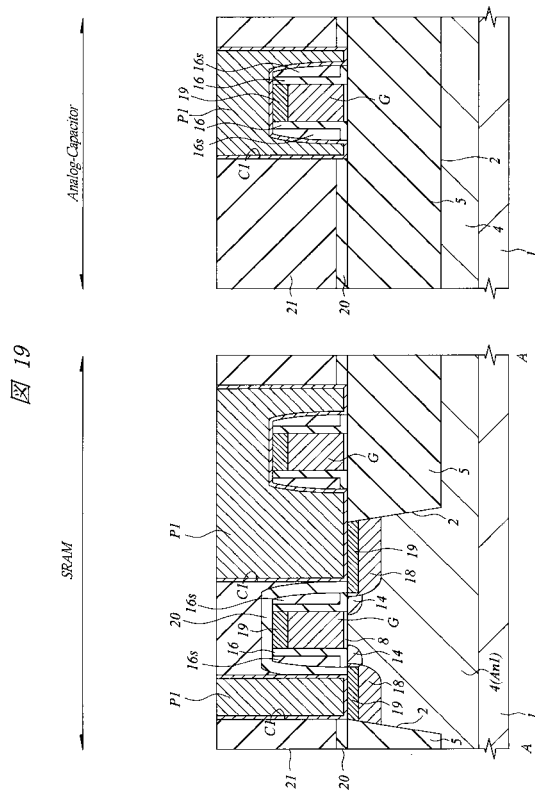
【 図 17 】



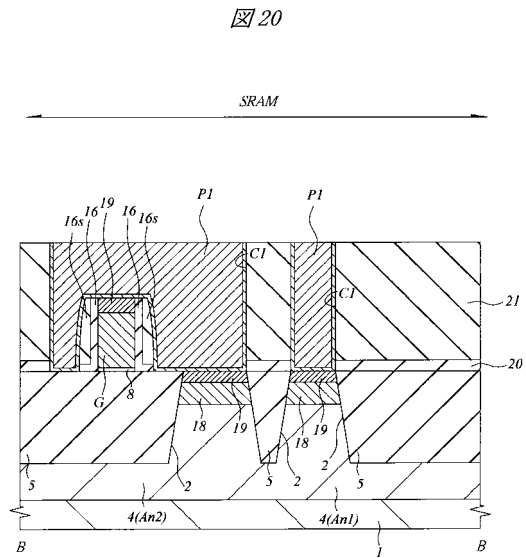
【 図 18 】



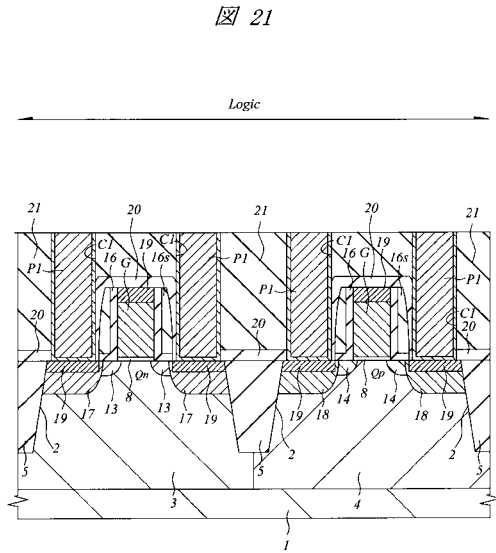
【 図 19 】



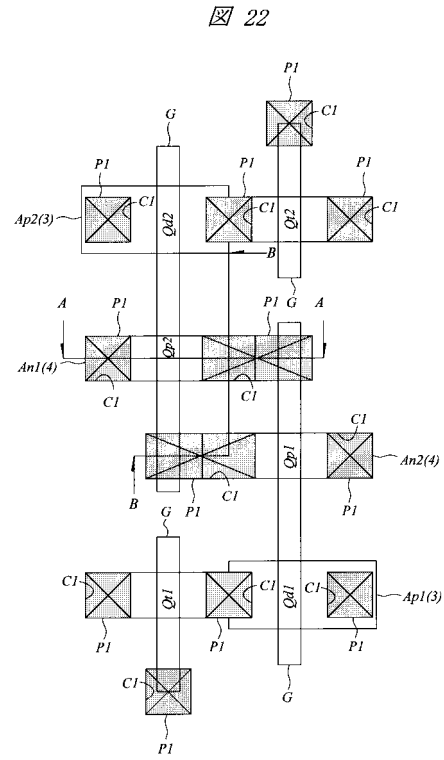
【 図 20 】



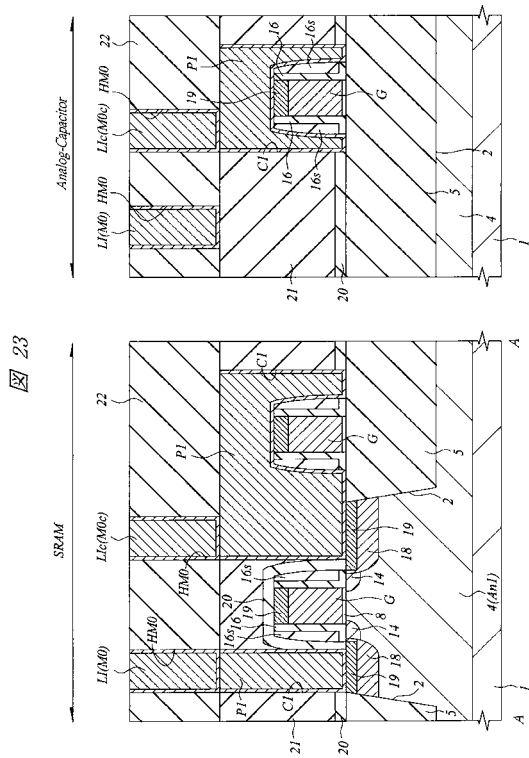
【図 2 1】



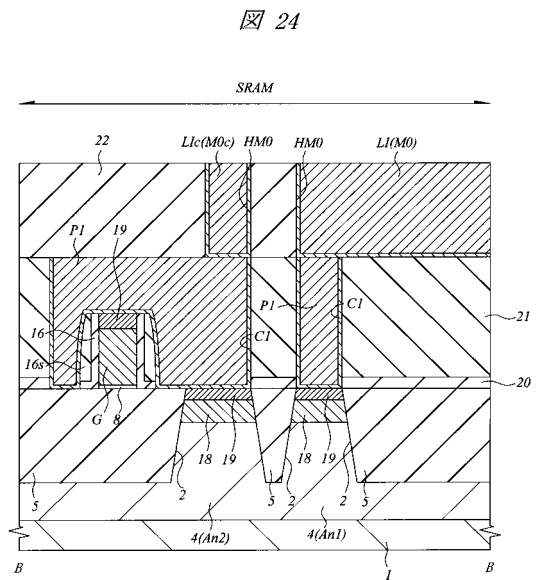
【図 2 2】



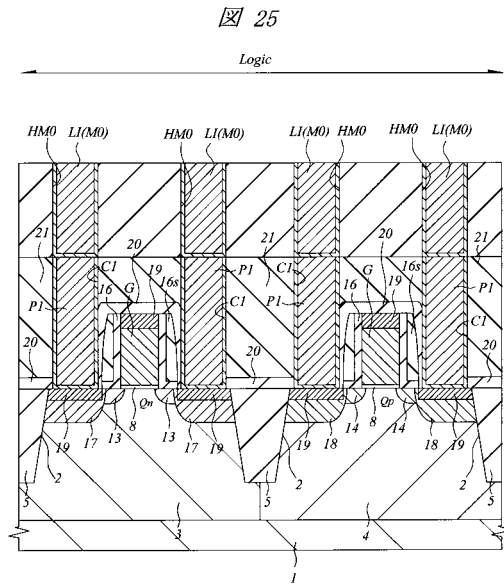
【図 2 3】



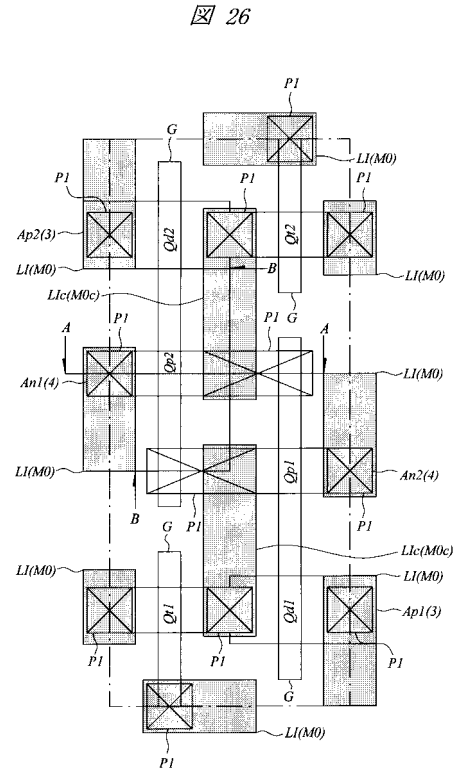
【図 2 4】



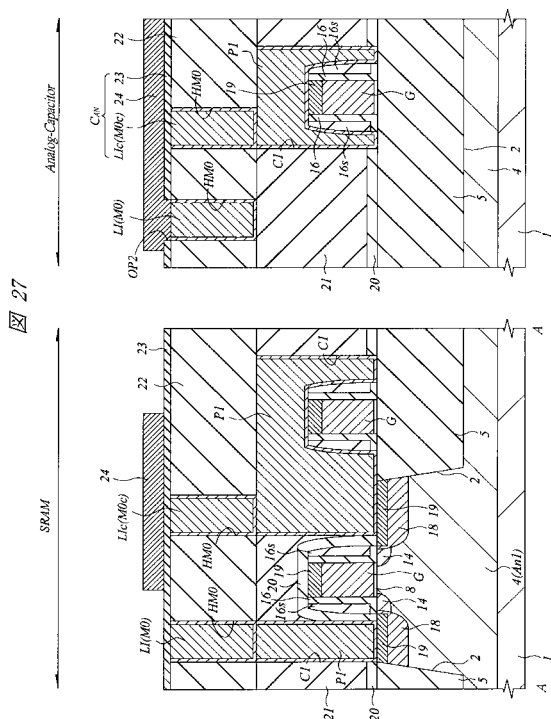
【 25 】



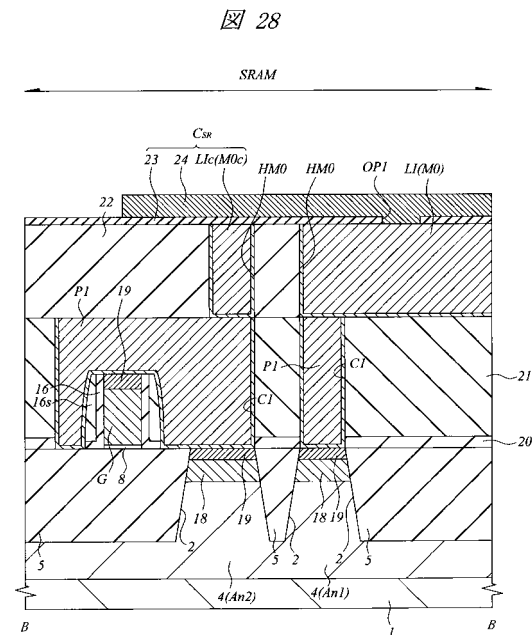
【 26 】



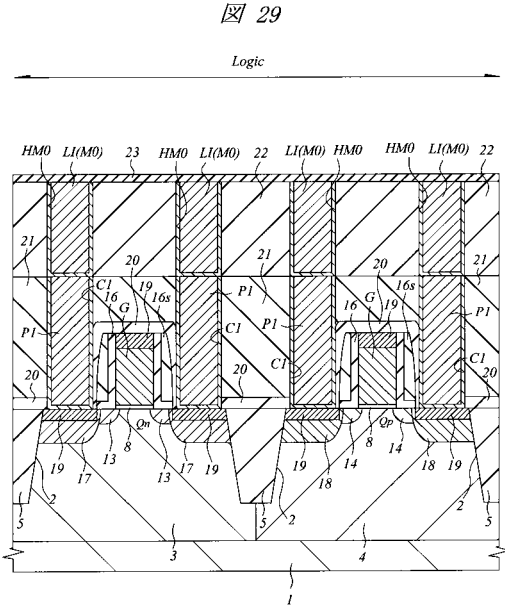
【 27 】



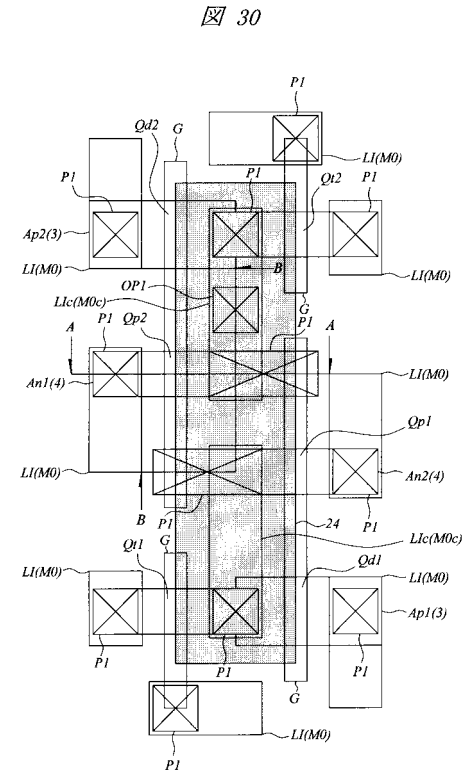
【 28 】



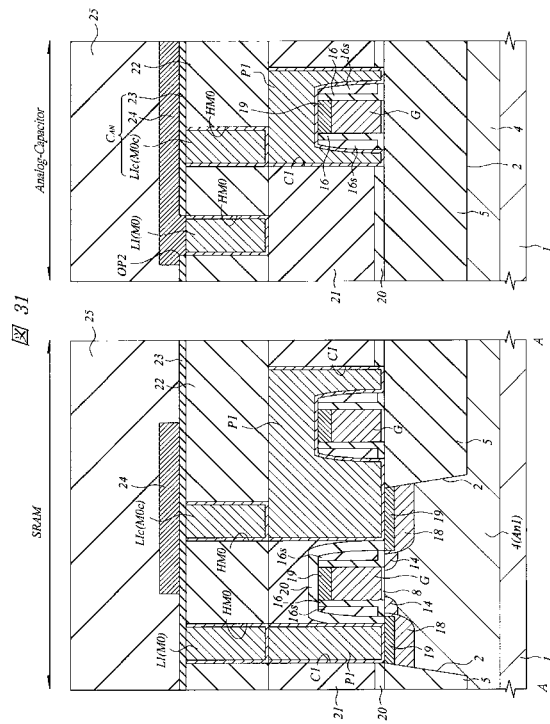
【 図 29 】



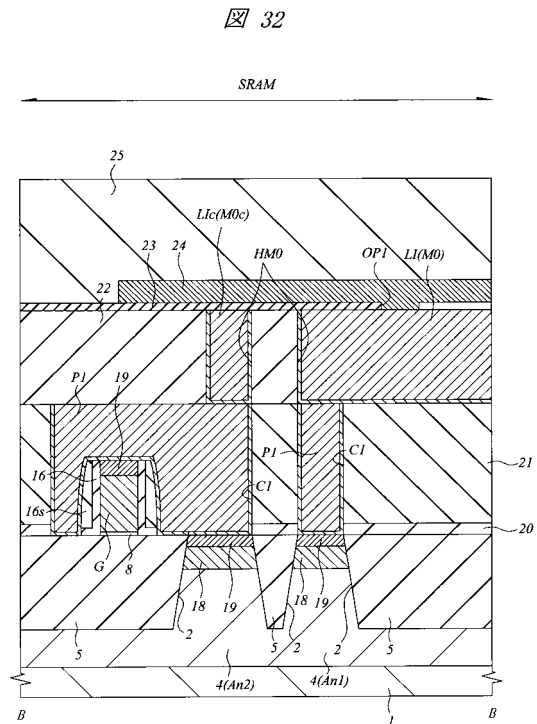
【 図 30 】



【 図 31 】

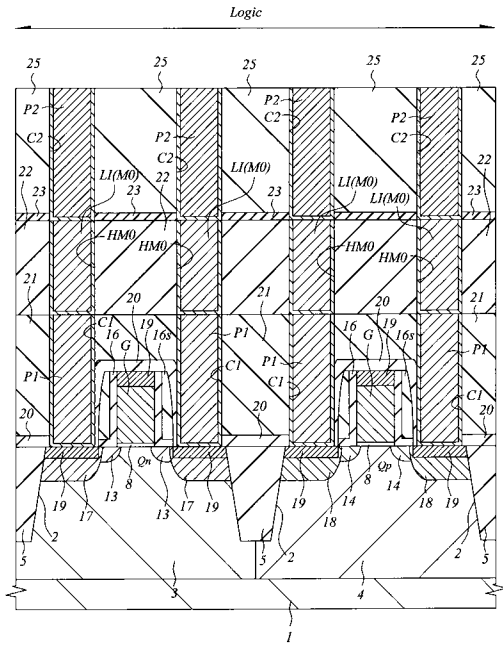


【 図 32 】



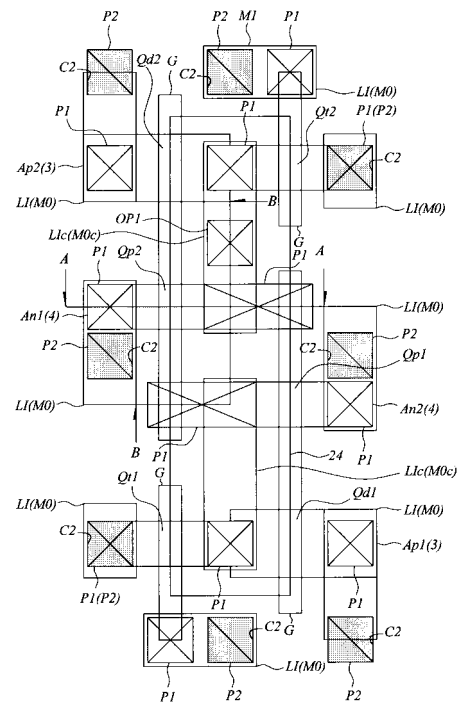
【図 33】

図 33



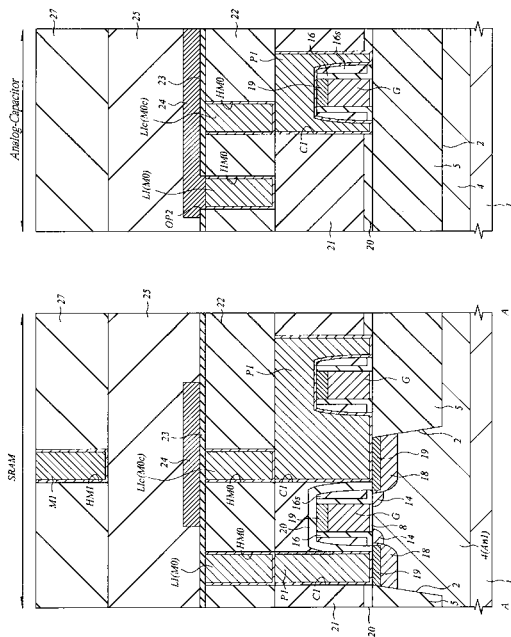
【図 34】

図 34



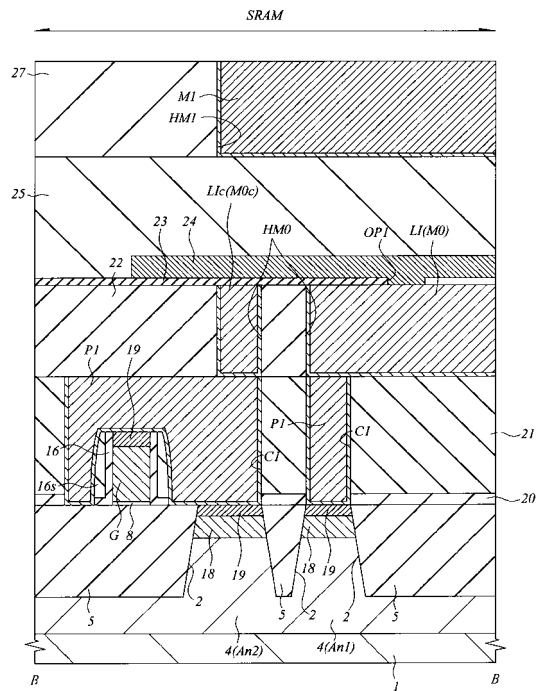
【図 35】

図 35



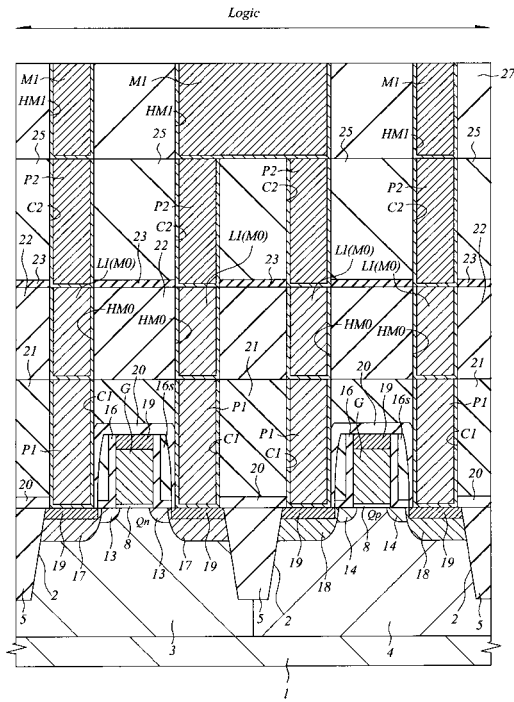
【図 36】

図 36



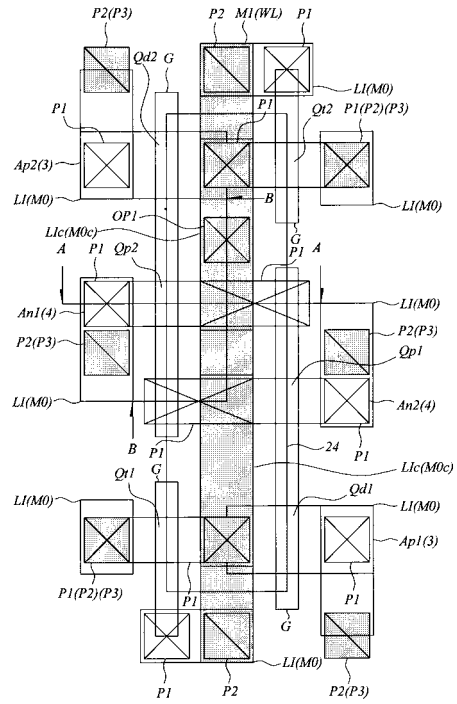
【図37】

図37



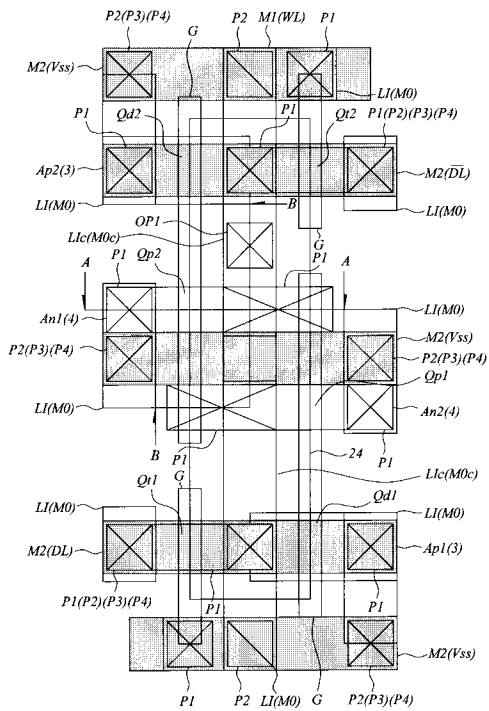
【図38】

図38



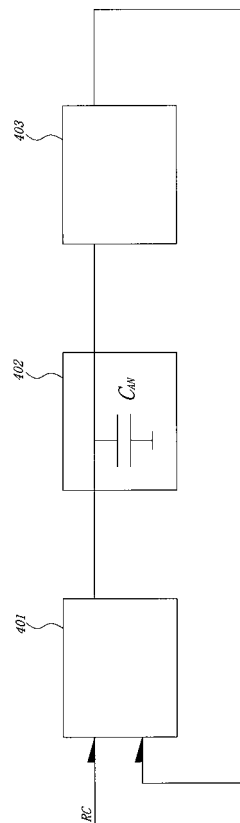
【図39】

図39

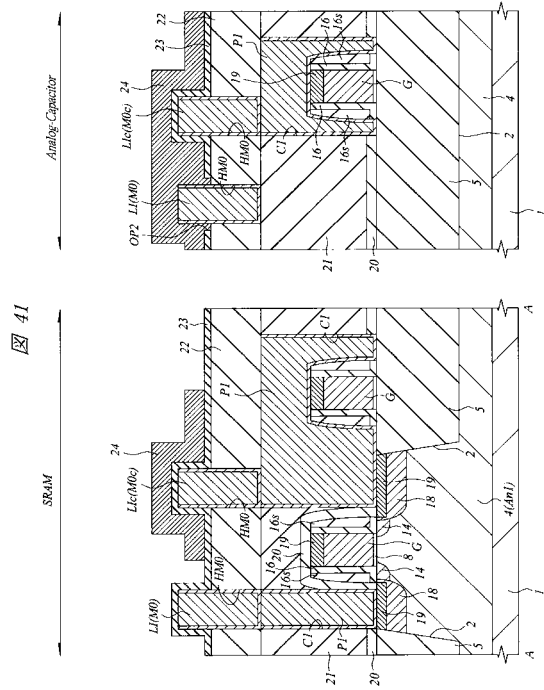


【図40】

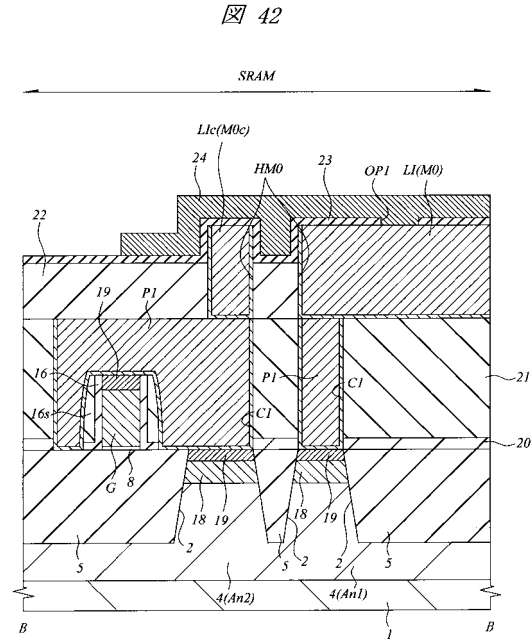
図40



【 4 1 】

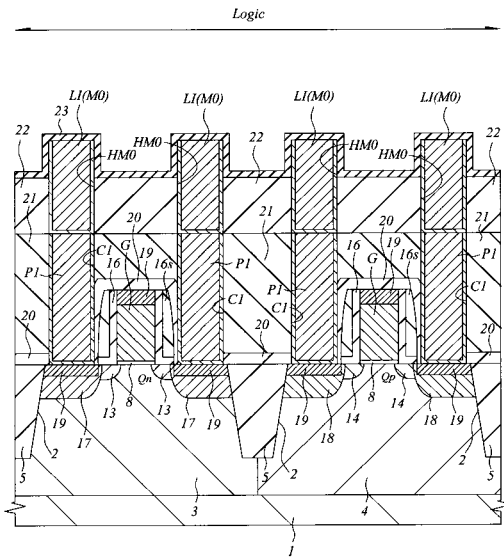


【 4 2 】



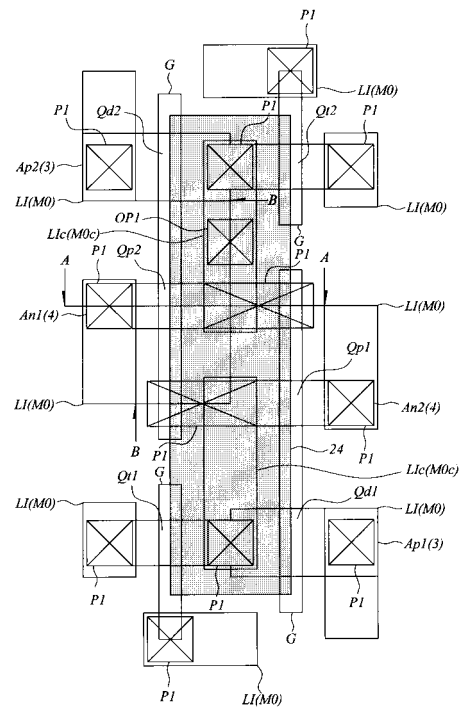
【 4 3 】

43



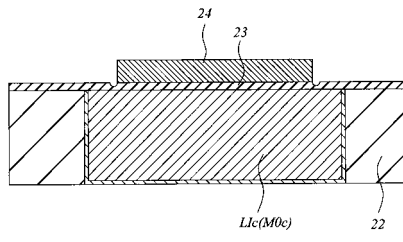
【 4 4 】

44



【 図 45 】

図 45



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/768 (2006.01)

(72)発明者 大森 莊平

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

(72)発明者 風間 秀士

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 河口 雅英

(58)調査した分野(Int.Cl., D B名)

H01L 27/10

H01L 27/11

H01L 27/04

H01L 21/768

H01L 21/822

H01L 21/8244