

申請日期	Po. 6. 12
案 號	P0114152
類 別	G11C 1/00

A4
C4

(以上各欄由本局填註)

<div style="border: 2px solid black; padding: 5px; display: inline-block;">公告本</div>		發 明 專 利 說 明 書 新 型
一、發明名稱	中 文	半導體儲存裝置
	英 文	SEMICONDUCTOR STORAGE DEVICE
二、發明人	姓 名	1.高田 榮和 HIDEKAZU TAKATA 2.福井 陽康 HARUYASU FUKUI 3.隅谷 憲 KEN SUMITANI
	國 籍	1-3均日本
	住、居所	1.日本國奈良縣奈良市南紀寺町3丁目292-3 2.日本國奈良縣吉野郡吉野町吉野山956-1 3.日本國奈良縣天理市櫛本町2613-1拉波露天理848
三、申請人	姓 名 (名稱)	日商夏普股份有限公司 SHARP KABUSHIKI KAISHA
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝彦 KATSUHIKO MACHIDA

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 日本 2000年06月12日 特願2000-176182 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明之範疇：

本發明係關於一種半導體儲存裝置。

2. 有關技藝之說明：

非可抹除記憶體具有特徵為，儲存於該記憶體內之資料不會被刪去，即使在關掉電力後亦然。此點，非可抹除記憶體不同於可抹除記憶體如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)等，當關掉電力時，資料自其刪去。非可抹除記憶體之例包括快閃記憶體(EEPROM)，其用於各種應用如手提式電話等，鐵電記憶體(FRAM)，其用於IC卡等，磁性記憶體(MRAM)，其已被現用開發等。

圖1概略顯示用於非可抹除半導體儲存裝置之快閃記憶電池之結構。圖1所示之快閃記憶電池10具有控制閘極2、漂浮閘極3、源極4及汲極5。資料、“1”或“0”根據注入漂浮閘極3之電子數量儲存於此快閃記憶電池10內。複數個該快閃記憶電池10排列成複數個矩陣區塊，各由 $m \times n$ 電池10所形成，矩陣區塊互相連接，藉以形成快閃記憶體陣列(非可抹除半導體儲存裝置)。

圖2顯示NOR型快閃記憶體之結構，特別顯示X解碼器與字元線間之關係。如圖2所示，NOR型快閃記憶體包含一對由複數個快閃記憶電池10所形成之矩陣區塊BLK1及BLK2。在各矩陣區塊中，列中之 n 快閃記憶電池10之控制閘極2連接至對應的 m 字元線WL1至WLn之一，行中之 m 快閃記憶電池10之汲極5則連接至對應的 n 位元線BL1至BLn之

五、發明說明(2)

一。在區塊BLK1及BLK2中，快閃記憶電池10之所有源極4均連接至單一共同源極線S。

如圖2所示，在快閃記憶體陣列之各區塊中，快閃記憶電池10之源極4共同連接至單一源極線S。在該結構中，一區塊中快閃記憶電池10內儲存之資料被全部一起刪去而無法自各快閃記憶電池10刪去，即，無法根據位元接位元刪去。

現在簡述圖2中所示之快閃記憶體陣列內資料之讀取、寫入及刪去。當讀出儲存於有些快閃記憶電池10內之資料時，包括控制信號、位址信號等之讀取信號係自外部連接至快閃記憶體陣列之中央處理單位(CPU：圖未示)等供應，使例如5V之高電壓施至快閃記憶電池10之控制閘極2，例如1V之低電壓施至快閃記憶電池10之汲極5，及例如0V之低電壓施至快閃記憶電池10之源極4。此時，流動於源極4與汲極5間之電流大小由感應放大器(圖未示)所感應，藉以決定是否資料為“1”或“0”。然後，自快閃記憶電池10讀取之資料被輸出快閃記憶體之外側，因而完成資料讀取操作。

快閃記憶體陣列內資料之寫入進行如下。當控制信號、位址信號及資料係自CPU等(外部連接至快閃記憶體陣列)供應至快閃記憶體陣列時，在由位址信號指定之有些快閃記憶電池10內，例如12V之高電壓施至控制閘極2，例如7V至高電壓施至汲極5及例如0V之低電壓施至源極4。藉施加該電壓，熱電子產生於汲極5接頭之附近，所產生之熱電子

五、發明說明(3)

由於施至控制閘極2之高電壓注入漂浮閘極3內。之後，終止該可寫入狀態，而進行驗證操作。在完成快閃記憶電池10內資料之寫入後，若驗證操作成功時，完成寫入操作。若驗證操作不成功時，再進行資料之寫入及驗證操作。若驗證操作又不成功時，進一步進行預定次數之資料之寫入及驗證操作。若驗證操作仍不成功時，CPU等辨識其為寫入錯誤。

最後，說明快閃記憶體陣列之抹除操作。快閃記憶體陣列內之資料係根據區塊接區塊抹除。控制信號、區塊位址及刪去指令係自CPU等供應至快閃記憶體陣列，使例如-10V之低電壓施至控制閘極2、漂浮汲極5及例如6V之高電壓施至源極4。隨著該電壓之施加，高電場產生於漂浮閘極3與源極4之間，控制閘極2內之電子可藉隧穿自其取出，因而刪去資料。

之後，終止該資料可抹除狀態，進行類似於對資料之寫入之驗證操作。若驗證操作對所有供應刪去指令之區塊內之快閃記憶電池10成功時，完成資料刪去操作。若驗證操作不成功時，再進行資料之刪去及驗證操作。若進行預定次數之資料刪去及驗證操作後，驗證操作仍不成功時，CPU等辨識其為抹除錯誤。

在典型快閃記憶體陣列中，包括驗證操作之抹除操作需要較包括驗證操作之程式操作更長時間，包括驗證操作之程式操作需要較讀取操作更長時間。明確而言，讀取操作需要約100 ns，包括驗證操作之程式操作需要約30 μ s，而

五、發明說明(4)

包括驗證操作之抹除操作需要約500 ms。因此，在快閃記憶體陣列中，對資料之寫入及抹除較對資料之讀取需要更長時間。須知在本說明書中，非可抹除記憶體(如快閃記憶體)內之“程式操作”意指非可抹除記憶體內之資料之寫入。

另一方面，當關掉對儲存裝置之電力時，可抹除半導體儲存裝置如DRAM、SRAM等會失去儲存於內之資料。然而，寫入儲存裝置內之資料所需之時間實質上與自其讀取資料所需之時間相同。例如，在SRAM中，對完成各寫入操作及讀取操作需要僅約100 ns。因此，在SRAM中，若比較於快閃記憶體陣列內資料之抹除及寫入所需之時間時，資料之取代可在較短時間內完成。

圖3顯示SRAM之典型記憶電池。圖3所示之SRAM記憶電池6係由一對轉換電晶體7及一對反向器8形成。現說明自SRAM記憶電池6之資料讀取。在SRAM記憶電池6內之讀取操作中，於第一步驟中，脈波電壓施至字元線WL，其係由位址信號選定，因而打開任何轉換電晶體7。此時，在BIT終端之電壓與在BIT#終端之電壓由感應放大器比較，藉以決定是否儲存於SRAM記憶電池6內之資料為“1”或“0”。然後，自SRAM記憶電池6讀取之資料輸出至外部CPU等，藉以完成讀取操作。

當寫入SRAM記憶電池6內之資料，如讀取操作時，脈波電壓施至字元線WL，其係由位址信號選定，因而打開任何轉換電晶體7。此時，高電壓施至BIT終端及BIT#終端之一，而低電壓施至另一終端，因而電壓分別施至節點N1及

五、發明說明(5)

N2，而二進制資料(“1”或“0”)係利用電壓之組合寫入。

在快閃記憶體中，當外部連接至快閃記憶體之CPU處理資料時，因為程式操作需要較長時間，所以在程式操作期間CPU之備用時間變成較長。在寫入大量資料之情況下，CPU無法在程式操作期間實施其他操作。

在半導體儲存裝置之有些應用中，資料暫時儲存於可抹除半導體儲存裝置內，對寫入操作其需要短時間，例如SRAM，其稱為“頁面緩衝器”，然後資料傳送至整個快閃記憶體。以該項排列，寫入資料所需之時間明顯減少。在該半導體儲存裝置中，CPU不需執行快閃記憶體內資料之寫入，因此可對其他操作保障時間。

日本公開公告案11-85609號揭示一種半導體儲存裝置，其使用頁面緩衝技術，其中當資料傳送至快閃記憶體時所造成之負擔會減少，因而資料傳送速率之降低受抑制。日本公開公告案10-283768號揭示一種半導體儲存裝置，其使用頁面緩衝技術，其中資料寫入存取之速率可增加。

因此，在對程式操作需要長時間之快閃記憶體內，當外部CPU處理資料時，在程式操作期間CPU之備用時間變成較長。尤其是在寫入大量資料之情況下，CPU無法在程式操作期間長時間執行其他操作。在使用頁面緩衝器寫入資料之傳統技術中，資料暫時儲存於頁面緩衝器內，然後資料自頁面緩衝器傳送至整個快閃記憶體。以該項排列，可除去資料於快閃記憶體內之寫入期間CPU之備用時間，寫入資料於快閃記憶體內所需之時間明顯會減少。

五、發明說明(6)

然而，在資料自頁面緩衝劑傳送至快閃記憶體期間，後續資料無法寫入頁面緩衝器內，或資料無法自頁面緩衝器讀取。因此，頁面緩衝器無法用於暫時儲存其他資料。

為了解決該問題，在有些應用中，外部設置SRAM供暫時儲存資料。然而，在該情況，當需要在高速率下寫入大量資料時，暫時儲存資料所需之外部設置之SRAM的容量會增加。

另外，當快閃記憶體內之資料用另一資料取代時，資料之刪去及資料之寫入無法同時執行。因此，在抹除區塊內之資料後，資料係根據記憶電池接記憶電池寫入清除的區塊內。該處理過程需要相當長處理時間。

此外，具有頁面緩衝器之上述儲存裝置不具將快閃記憶體內之資料傳送至頁面緩衝器之功能。

發明之概述

根據本發明之一態樣，一種半導體儲存裝置，包含：複數個第一記憶體陣列，各含複數個半導體儲存元件，其中自外部裝置之資料被寫入，且資料自其讀出至外部裝置；第二記憶體陣列，隔開複數個第一記憶體陣列操作，且包含至少一個含有複數個非可抹除半導體儲存元件之區塊；及資料傳送段，供傳送資料於複數個第一記憶體陣列與第二記憶體陣列之間。

在本發明之一具體例中，複數個第一記憶體陣列、第二記憶體陣列及資料傳送段形成於相同晶片上。

在本發明之另一具體例中，包含於第一記憶體陣列內之

五、發明說明(7)

複數個半導體儲存元件為非可抹除半導體儲存元件。

在本發明之另一具體例中，包含於第一記憶體陣列內之複數個半導體儲存元件為可抹除半導體儲存元件。

在本發明之另一具體例中，資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，外部接附至半導體儲存裝置之外部裝置自複數個第一記憶體陣列讀取第一資料或寫入第一資料。

在本發明之另一具體例中，資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，外部接附至半導體儲存裝置之外部裝置自複數個第二記憶體陣列讀取第一資料、寫入第一資料或抹除第一資料。

在本發明之另一具體例中，存取第二記憶體陣列之指令包括存取複數個第一記憶體陣列之指令。

在本發明之另一具體例中，資料傳送段將儲存於複數個第一記憶體陣列之第一位址內之資料傳送至第二記憶體陣列內之第二位址。

在本發明之另一具體例中，資料傳送段將儲存於第二記憶體陣列內之第二位址內之資料傳送至複數個第一記憶體陣列內之第一位址。

在本發明之另一具體例中，資料傳送段將儲存於複數個第一記憶體陣列之第一區內之資料傳送至第二記憶體陣列內之第二區。

在本發明之另一具體例中，資料傳送段將儲存於第二記憶體陣列內之第二區內之資料傳送至複數個第二記憶體陣

五、發明說明(8)

列內之第一區。

在本發明之另一具體例中，資料傳送段將所有儲存於複數個第一記憶體陣列之至少一個內之資料傳送至第二記憶體陣列內之特別區。

在本發明之另一具體例中，資料傳送段將等於複數個第一記憶體陣列之至少一個之電容的資料量傳送至自第二記憶體陣列之複數個第一記憶體陣列之至少一個。

在本發明之另一具體例中，在資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送以前，資料傳送段比較儲存於傳送最初位址之資料與儲存於傳送指定位址內之第一資料，當儲存於傳送最初位址內之資料相同於儲存於傳送指定位址內之第一資料時，資料傳送段不會傳送資料；否則，資料傳送段將資料自傳送最初位址傳送至傳送指定位址。

在本發明之另一具體例中，除了在資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，複數個第一記憶體陣列之至少一個以外，外部裝置存取複數個第一記憶體陣列。

在本發明之另一具體例中，資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，可禁止由外部裝置對複數個第一記憶體陣列之至少一個之存取。

在本發明之另一具體例中，資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送係由外部裝置之存取中斷；及資料於複數個第一記憶體陣列與第二記憶體

五、發明說明(9)

陣列之至少一個間之傳送係在完成由外部裝置之存取後恢復。

在本發明之另一具體例中，當資料自第二記憶體陣列內之特定區塊抹除時，複數個第一記憶體陣列係由外部裝置存取。

在本發明之另一具體例中，當資料被寫入第二記憶體陣列內之特定區塊內時，複數個第一記憶體陣列係由外部裝置存取。

在本發明之另一具體例中，複數個第一記憶體陣列之至少一個之電容相等於，倍數於或部份於可整個抹除之第二記憶體陣列內區塊之容量。

在本發明之另一具體例中，複數個第一記憶體陣列與第二記憶體陣列存在於不同記憶體空間內；及對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由單一控制終端達成。

在本發明之另一具體例中，複數個第一記憶體陣列與第二記憶體陣列存在於相同記憶體空間內；及對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由不同控制終端達成。

在本發明之另一具體例中，存取模式係在對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由單一控制終端達成之第一存取模式與對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由二個或多個控制終端達成之第二存取模式之間轉換。

五、發明說明(10)

在本發明之另一具體例中，第二記憶體陣列包含複數個庫，在各庫中，資料之抹除操作及程式操作與資料之讀取操作可隔開其他庫執行；資料透過資料傳送段於複數個庫與複數個第一記憶體陣列之間傳送。

在本發明之另一具體例中，資料於複數個庫與複數個第一記憶體陣列間之傳送期間，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未用於資料之傳送之複數個庫之至少一個的讀取之一。

在本發明之另一具體例中，當資料自複數個庫之一抹除時，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未執行資料抹除之複數個庫之至少一個之讀取之一。

在本發明之另一具體例中，當資料寫入複數個庫之一內時，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未執行資料寫入之複數個庫之至少一個之讀取之一。

在本發明之另一具體例中，所有寫入複數個第一記憶體陣列之至少一個內之資料均被再設定至預定狀態。

在本發明之另一具體例中，複數個第一記憶體陣列之至少一個被設定至第二記憶體陣列之再設定電池之值。

在本發明之另一具體例中，寫入複數個第一記憶體陣列之至少一個內之資料傳送至第二記憶體陣列後，再設定複數個第一記憶體陣列之至少一個。

五、發明說明(11)

在本發明之另一具體例中，防止於複數個第一記憶體陣列之至少一個內之資料重寫。

在本發明之另一具體例中，當打開對半導體儲存裝置之電力或半導體儲存裝置自電力下降狀態回至正常有源狀態時，資料傳送段將第二記憶體陣列內第一區內之資料傳送至複數個第一記憶體陣列內之第二區。

在本發明之另一具體例中，在資料自第二記憶體陣列傳送至複數個第一記憶體陣列後，防止複數個第一記憶體陣列內之傳送資料重寫。

在本發明之另一具體例中，由外部裝置對複數個第一記憶體陣列之存取及由外部裝置對第二記憶體陣列之存取係與時鐘信號同步進行。

在本發明之另一具體例中，資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送狀態被輸出至外部裝置。

在本發明之另一具體例中，半導體儲存裝置進一步包含輸入/輸出資料匯流排，其具有預定匯流排寬度，其中匯流排寬度對複數個第一記憶體陣列與第二記憶體陣列之分配係在複數個第一記憶體陣列之至少一個與第二記憶體陣列之一使用輸入/輸出資料匯流排之情況與複數個第一記憶體陣列之至少一個與第二記憶體陣列均使用輸入/輸出資料匯流排之情況之間轉換。

在本發明之另一具體例中，匯流排寬度對複數個第一記憶體陣列與第二記憶體陣列之分配係由連接至外部裝置之控制終端與預定指令之一所控制。

五、發明說明(12)

在本發明之另一具體例中，半導體儲存裝置進一步包含：輸入/輸出資料匯流排，其用於資料於外部裝置與複數個第一記憶體陣列及第二記憶體陣列間之傳送；及內部資料匯流排，其中用於資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送，其中內部資料匯流排之匯流排寬度大於輸入/輸出資料匯流排之匯流排寬度。

因此，本文所述之本發明可具有優點為，提供一種半導體儲存裝置，在資料之寫入期間，其可除去外部連接至儲存裝置之裝置如CPU等之備用時間，且其不需要外部設有SRAM，因而可減少晶片領域。

當參照附圖讀取並乃解以下詳細說明，熟悉此技藝者當可更加明白本發明之此等及其他優點。

附圖之簡單說明

圖1為概略電路圖，顯示快閃記憶體之記憶電池之結構，其為非可抹除半導體儲存裝置。

圖2為概略電路圖，顯示NOR型快閃記憶體之區塊結構，特別顯示X解碼器與字元線間之關係。

圖3顯示SRAM之記憶電池之結構，其為可抹除半導體儲存裝置。

圖4顯示根據本發明具體例1之半導體儲存裝置100之結構。

圖5顯示根據本發明具體例1之半導體儲存裝置100之典型記憶圖。

圖6顯示當資料寫入SRAM陣列時，資料於半導體儲存裝

五、發明說明(13)

置100內之流動。

圖7為計時圖，其例示寫入資料於SRAM陣列內之指令之例。

圖8為計時圖，其例示寫入資料於SRAM陣列內之指令之另一例。

圖9顯示當資料自SRAM陣列讀至外部CPU時，資料於半導體儲存裝置100內之流動。

圖10為計時圖，其例示自SRAM陣列讀取資料之指令之例。

圖11顯示當資料自SRAM陣列傳送至快閃記憶體陣列時，資料於半導體儲存裝置100內之流動。

圖12為計時圖，其例示自SRAM陣列傳送資料至快閃記憶體陣列之指令之例。

圖13為計時圖，其例示傳送所有SRAM陣列內之資料至整個快閃記憶體陣列之指令之例。

圖14顯示當資料自快閃記憶體陣列傳送至SRAM陣列時，資料於半導體儲存裝置100內之流動。

圖15為計時圖，其例示自快閃記憶體陣列傳送資料至SRAM陣列之指令之例。

圖16為計時圖，其例示自快閃記憶體陣列傳送資料至SRAM陣列之指令之另一例。

圖17顯示當資料自SRAM陣列傳送至快閃記憶體陣列期間資料寫入SRAM陣列時，資料於半導體儲存裝置100內之流動。

五、發明說明(14)

圖18為計時圖，供達成圖17所示之資料的流動。

圖19顯示當資料傳送未於SRAM陣列與快閃記憶體陣列間執行時，資料於半導體儲存裝置100內之流動。

圖20顯示當資料自SRAM陣列傳送至快閃記憶體陣列期間禁止資料寫入SRAM陣列時，資料於半導體儲存裝置100內之流動。

圖21顯示在輸出至外部CPU資訊，顯示傳送狀態資料，即，顯示資料自SRAM陣列傳送至快閃記憶體陣列之情況下，資料於半導體儲存裝置100內之流動。

圖22顯示當區塊抹除操作執行於快閃記憶體陣列11內期間外部CPU寫入資料或自SRAM陣列讀取資料時，資料之流動。

圖23為計時圖，供達成圖22所示之資料之流動。

圖24顯示資料傳送於半導體儲存裝置100內，其中SRAM陣列具有相等於快閃記憶體陣列內區塊之電容期間，資料之流動。

圖25A顯示根據本發明具體例1之半導體儲存裝置之記憶圖之另一例。圖25B顯示根據本發明具體例1之半導體儲存裝置100'之結構，其具有圖25A所示之記憶圖。

圖26顯示根據本發明具體例1之半導體儲存裝置100''之結構。

圖27顯示根據本發明具體例2之半導體儲存裝置200之結構。

圖28顯示當資料傳送於快閃記憶體陣列內之庫時，資料

五、發明說明(15)

於半導體儲存裝置200內之流動。

圖29顯示在快閃記憶體陣例之庫內之抹除操作期間，資料於半導體儲存裝置200內之流動。

圖30顯示根據本發明具體例3之半導體儲存裝置300之結構。

圖31顯示用於半導體儲存裝置300之SRAM0及SRAM1之SRAM記憶電池6a之結構。

圖32顯示資料於半導體儲存裝置300內之典型流動。

圖33顯示根據本發明具體例4之半導體儲存裝置400之結構。

圖34顯示根據本發明具體例5之半導體儲存裝置500之結構。

圖35顯示資料於半導體儲存裝置500內之典型流動。

圖36顯示根據本發明半導體儲存裝置600之結構。

圖37A顯示根據本發明之半導體儲存裝置610之結構。圖37B及37C顯示典型記憶圖之結構。

圖38顯示根據本發明之半導體儲存裝置620之結構。

圖39A顯示根據本發明之半導體儲存裝置630之結構。圖39B及39C顯示半導體儲存裝置630內資料傳送之例。

圖40顯示根據本發明之半導體儲存裝置640之結構。

較佳具體例之說明

以下，參照附圖說明本發明之具體例。透過附圖，相同參考號表示相同元件。

(具體例1)

五、發明說明(16)

圖4顯示根據本發明具體例1之半導體儲存裝置100之結構。

圖4所示之半導體儲存裝置100包含：SRAM0及SRAM1，其係由SRAM陣列所形成之分開可抹除半導體儲存裝置，其中可讀取並寫入資料；由快閃記憶體形成之快閃記憶體陣列11，其為非可抹除半導體儲存裝置；寫入狀態機器WSM，供傳送資料於快閃記憶體陣列11與SRAM0及SRAM1之間；及指令辨識段12，供辨識來自外部連接至半導體儲存裝置100之外部中心處理單元(外部CPU)50。SRAM0及SRAM1與快閃記憶體陣列11形成於相同晶片上。

在資料傳送於快閃記憶體陣列11與SRAM0及SRAM1之間期間，寫入狀態機器WSM控制：資料自SRAM0及SRAM1之讀取；資料於SRAM0及SRAM1內之寫入；資料自快閃記憶體陣列11之讀取；資料於快閃記憶體陣列11內之寫入；資料於快閃記憶體陣列11與SRAM0及SRAM1內根據外部CPU50等之操作指令之寫入及抹除。指令辨識段12辨識來自外部CPU50之指令，例如，對SRAM0及SRAM1之指令以分別輸出旗狀物F1及F2，其指示資料傳送之狀態。

於半導體儲存裝置100與外部CPU50間之資料傳送係透過連接至I/O(輸入/輸出)針34之輸入/輸出資料匯流排16達成。於寫入狀態機器WSM與各SRAM0及SRAM1間之資料傳送，於寫入狀態機器WSM與快閃記憶體陣列11間之資料傳送及指令之傳送係透過內部傳送資料匯流排17達成。

SRAM0內之讀取操作及寫入操作分開執行於SRAM1者執

五、發明說明(17)

行；當然，SRAM1內之讀取操作及寫入操作分開執行於SRAM0者執行。由外部CPU對SRAM0及SRAM1之存取係根據自CE#針31輸入之晶片賦能信號CE#與同晶片賦能信號CE#一致之位址輸入之組合邏輯作成。此外，當資料傳送至SRAM0或SRAM1時，資料之寫入及讀取係由內部控制電路(圖未示)控制。

在根據具體例1之半導體儲存裝置100中，設有互相分開使用之一對SRAM陣例(SRAM0及SRAM1)。然而，本發明之半導體儲存裝置可包含三個或以上SRAM陣列。在該情況下，資料可彈性儲存於各SRAM陣列內。此外，雖然快閃記憶體(EEPROM)陣列被用作由具體例1內非可抹除半導體儲存裝置形成之記憶陣例11，亦可使用由其他類型非可抹除半導體儲存裝置形成之記憶體陣例。此外，雖然SRAM陣列(SRAM0及SRAM1)被用作由具體例1內可抹除半導體儲存裝置形成之記憶體陣例，亦可使用由其他類型可抹除半導體儲存裝置如DRAM形成之記憶體陣例。

在根據具體例1之半導體儲存裝置100中，SRAM0，SRAM1及快閃記憶體陣例11存在於不同記憶空間內，如圖5之記憶圖所示。由外部CPU 50對SRAM0，SRAM1或快閃記憶體陣例11之存取係根據自CE#針31(其為共同控制終端)輸入之晶片賦能信號CE#與透過位址針35輸入之位址信號之組合邏輯作成。

例如，當外部CPU 50自SRAM0及SRAM1讀取資料時，SRAM0及SRAM1之所欲位址之一，“200000”至“20FFFF”(圖

五、發明說明(18)

5) 透過位址針35輸入，所欲位址係基於透過CE#針31輸入之晶片賦能信號CE#及透過OE#針33輸入之輸出賦能信號OE#存取。

以此方式，欲存取之記憶體陣列可根據輸入位址自動選定。因此，僅用單一針，即，CE#針31，外部CPU 50可存取SRAM0，SRAM1及快閃記憶體陣例11。

現說明具有以上結構之半導體儲存裝置100之操作。首先，說明自外部CPU 50輸入之資料儲存於SRAM陣列內之情況。明確而言，參照圖6及7說明資料寫入SRAM0內之情況。圖7為計時圖，其例示寫入資料於SRAM0內之指令之例。

如圖7所示，欲寫入之資料，“寫入資料”及位址，“SRAM0位址”係透過I/O針34及開始寫入操作之輸入/輸出資料匯流排16由外部CPU 50發出。然後，當晶片賦能信號CE#及透過WE#針32輸入之寫入賦能信號WE#均在低準位時，欲寫入之資料，“寫入資料”被寫入SRAM0內之位址內，其係由“SRAM0位址”標示。在連續系列之資料寫入SRAM0內之情況下，重複執行上述寫入操作。

通常，連接至I/O針34之輸入/輸出資料匯流排16具有匯流排寬度為16位元或8位元。在該情況下，16位元或8位元之資料可在寫入循環時間為約100 ns內寫入SRAM0內。

因此，因為SRAM0內之位址於位址信號內標示為欲儲存資料之位址，所以資料可靠地儲存於SRAM0內之標示位址內。

五、發明說明(19)

或者，取代參照圖7說明之寫入方法，資料可在較後傳送至快閃記憶體陣列11之條件下寫入SRAM0(或SRAM1)內。在此情況下，藉由SRAM0開始傳送之傳送指令與快閃記憶體陣列之位址一起自外部CPU 50發出。在次一指令循環中，欲寫入之資料量(即，欲傳送之資料量)與快閃記憶體陣列之位址一起發出。然後，根據晶片賦能信號CE#及寫入賦能信號WE#執行寫入操作，因而資料。“寫入資料”與傳送“寫入資料”之快閃記憶體陣列11內之位址一起寫入SRAM0內。

在此情況下，因為快閃記憶體陣列11內之位址於位址信號內標示為欲儲存資料之位址，所以指令辨識段12辨識第一指令為開始資料傳送至快閃記憶體陣列11內之位址之指令。根據參照圖8所述之資料寫入法，“寫入資料”之設定及標示於第二指令循環內可儲存“寫入資料”量之快閃記憶體陣列11之位址在第三指令循環內及之後被重複寫入SRAM0內。

寫入資料於SRAM陣列內所需之時間為約100 ns，短於寫入資料於快閃記憶體陣列11內所需之時間。因此，對短時間內寫入資料於SRAM陣列內後之其他操作，外部CPU 50有效。

如上所述，在資料直接寫入快閃記憶體陣列11內而不用暫時儲存資料於SRAM內之情況下，外部CPU 50經歷長備用時間，當外部CPU 50發出資料程式操作於快閃記憶體陣列11內之指令時開始，而當開始次一資料程式操作於快閃記

五、發明說明(20)

憶體陣例11內之指令時結束，因為寫入資料於快閃記憶體陣列11內需要長時間。此備用時間限制外部CPU 50之用途。因此，當寫入資料於快閃記憶體陣列11內所需之時間增加時，外部CPU 50專門用於資料於快閃記憶體陣列11內之寫入，而對其他操作無效。

然而，根據本發明具體例1之半導體儲存裝置100，資料在短時間內寫入SRAM陣列內，之後，儲存於SRAM陣列內之資料藉寫入狀態機器WSM傳送至快閃記憶體陣例11。結果，就在短時間內寫入資料於SRAM陣列後，外部CPU 50對其他操作有效。

其次，說明儲存於SRAM陣列內之資料由外部CPU 50讀取之情況。明確而言，參照圖9及10說明資料自SRAM0之讀取。圖10為計時圖，其例示自SRAM0讀取資料之指令之例。

自SRAM0讀取之資料透過輸入/輸出資料匯流排16及I/O針34輸出至外部CPU 50。在讀出儲存於SRAM0內之資料的情況下，標示欲讀取資料之SRAM0內之位址，且當晶片賦能信號CE#及輸出賦能信號OE#均在低準位時，讀出標示位址內之資料，“讀取資料”。在連續系列之資料自SRAM0讀取之情況下，重複執行上述讀取操作。

其次，說明自SRAM陣列至快閃記憶體陣列11之資料傳送。明確而言，參照圖11及圖12說明自SRAM0至快閃記憶體陣列11之資料傳送。圖12為計時圖，其例示傳送SRAM0內之特定資料至快閃記憶體陣列11之指令之例。

五、發明說明(21)

以上述方式完成資料於SRAM0內之寫入後，當使用者發出圖12所示之資料傳送指令時，半導體儲存裝置100內之寫入狀態機器WSM開始傳送由資料傳送指令標示儲存於SRAM0內之位址內之資料至快閃記憶體陣列11內之位址。

在圖12所示之指令序列中，傳送SF指令為一種指令，其指引寫入狀態機器WSM準備自SRAM陣列至快閃記憶體陣列11之資料傳送。傳送確認指令為一種指令，其指引寫入狀態機器WSM確認是否輸入資料正確及是否可開始傳送。此外，快閃記憶體陣列11內之傳送指定開始位址示出傳送資料之快閃記憶體陣列11內之第一位址。SRAM0內之傳送原點起始位址與傳送原點結束位址分別示出SRAM0內之第一位址及最後位址，欲傳送至快閃記憶體陣列11之資料自其讀出。

在發出圖12所示之指令序列後，寫入狀態器WSM設定旗幟F0於SRAM0內，其示出傳送之執行。以此旗幟F0，可知資料自SRAM0傳送至快閃記憶體陣列11。

之後，寫入狀態機器WSM開始自SRAM0內之標示傳送原點起始位址讀取資料以回應外部CPU 50之指令。然後，自SRAM0讀取之資料根據上述寫入方法寫入快閃記憶體陣列11內之傳送指定起始位址內。寫入狀態機器WSM重複該過程，直到所有欲傳送至快閃記憶體陣列11之資料被傳送為止，因而完成自SRAM0至快閃記憶體陣列11之資料傳送。

該資料傳送操作根據外部CPU 50所供應之指令由寫入狀態機器WSM於半導體儲存裝置100內自動地執行，因而，

五、發明說明(22)

SRAM0內之資料傳送至任何快閃記憶體陣列11內之位址而不會中斷。因此，因為半導體儲存裝置100內之寫入狀態機器WSM執行自SRAM0至快閃記憶體陣列11之資料傳送，所以外部CPU 50不需要處理快閃記憶體陣列11內之資料之寫入。因此，在自SRAM0至快閃記憶體陣列11之資料傳送期間，外部CPU 50對其他操作亦有效。

圖13顯示一指令之例，其指引欲整個傳送至快閃記憶體陣列11之所有SRAM0內之資料。在此情況下，首先，快閃記憶體陣列11內之傳送指定起始位址連同傳送SF指令供應。在次一指令循環中，SRAM0內之傳送原點位址連同傳送確認指令供應。

在圖13所示之指令序列自外部CPU 50供應後，寫入狀態機器WSM於SRAM0內設定旗幟F0，其示出傳送之執行。之後，寫入狀態機器WSM自SRAM0內之標示傳送原點起始位址讀取資料以回應自外部CPU 50供應之傳送SF指令。然後，寫入狀態機器WSM以如上述資料程式操作相同方式寫入自快閃記憶體陣列11內之傳送指定起始位址內之SRAM0讀取之資料。寫入狀態機器WSM重複該過程，直到傳送所有欲傳送至快閃記憶體陣列11之資料(即，SRAM0內之所有資料)為止，因而完成自SRAM0至快閃記憶體陣列11之資料傳送。

在圖12及13之計時圖中，指令循環之數目分別為3循環及2循環。然而，根據本發明，指令循環之數目可設定成任何循環數目。

五、發明說明(23)

現說明自快閃記憶體陣列11至SRAM陣列之資料傳送。明確而言，參照圖14及15說明自快閃記憶體陣列11至SRAM0之資料傳送。圖15為計時圖，其例示傳送快閃記憶體陣列11內之資料至SRAM0之指令之例。

在圖15所示之指令序列中，傳送FS指令為一種指令，其指引寫入狀態機器WSM準備自快閃記憶體陣列11至SRAM陣列之資料傳送。傳送確認指令為一種指令，其指引寫入狀態機器WSM確認是否包含於指令序列內已在傳送確認指令前輸入之資料正確及是否可開始傳送。此外，SRAM0內之傳送指定起始位址示出傳送資料之第一位址。快閃記憶體陣列11內之傳送原點起始位址及傳送原點結束位址分別示出快閃記憶體陣列11內之第一位址及最後位址，欲傳送至SRAM0之資料自其讀出。

寫入狀態機器WSM傳送儲存於快閃記憶體陣列11內之傳送原點起始位址至傳送原點結束位址內之資料至傳送指定指始位址及後續位址而不會中斷。

明確而言，當包含於圖15之指令序列內之資料傳送指令由外部CPU 50發出以後，本發明半導體儲存裝置內之寫入狀態機器WSM開始自快閃記憶體陣列11內之標示位址(傳送原點起始位址)至SRAM0內之標示位址(傳送指定起始位址)之資料傳送。

在發出圖15所示之指令序列後，寫入狀態機器WSM於SRAM0內設定旗幟F0，其示出傳送之執行。以此旗幟，可知資料係自快閃記憶體陣列11傳送至SRAM0。

五、發明說明(24)

之後，寫入狀態機器WSM開始自快閃記憶體陣列11內之標示傳送原點起始位址讀取資料以回應來自外部CPU 50之指令。然後，自快閃記憶體陣列11讀取之資料係根據上述寫入方法寫入SRAM0內之傳送指定起始位址內。寫入狀態機器WSM重複該過程，直到傳送所有欲傳送至SRAM0之資料為止，因而完成自快閃記憶體陣列11至SRAM0之資料傳送。

圖16顯示指令之例，其指引所有於快閃記憶體陣列11內欲整個傳送至SRAM0之資料。在此情況下，在圖16所示之指令序列自外部CPU 50供應後，寫入狀態機器WSM於SRAM0內設定一旗幟F0，其示出傳送之執行。之後，寫入狀態機器WSM自快閃記憶體陣列11內之標示傳送原點起始位址讀取資料以回應由外部CPU 50供應之傳送指令。然後，寫入狀態機器WSM以如上述資料寫入操作相同方式寫入自SRAM0內之傳送指定起始位址內之快閃記憶體陣列11讀取之資料。寫入狀態機器WSM重複該過程，直到傳送所有欲傳送至SRAM0之資料(即，所有於快閃記憶體陣列11內之資料)為止，因而完成自快閃記憶體陣列11至SRAM0之資料傳送。

在圖15及16之計時圖中，指令循環之數目分別為3循環及2循環。然而，根據本發明，指令循環之數目可設定成任何循環之數目。

其次，說明在自SRAM陣列至快閃記憶體陣列11之資料傳送期間可由外部CPU 50執行之操作。

五、發明說明(25)

圖17顯示當在自SRAM0至快閃記憶體陣列11之資料傳送期間資料自半導體儲存裝置100之外側寫入SRAM1內時，資料之流動。圖18為計時圖，供達成圖17所示之資料之流動。

首先，以如圖7所示之計時圖相同方式中，資料寫入SRAM0內之標示位址內。然後，以如圖13所示之計時圖相同方式中，寫入狀態機器WSM接收與傳送SF指令一起於快閃記憶體陣列11內之傳送指定起始位址。在次一指令循環中，寫入狀態機器WSM接收SRAM0內之傳送原點起始位址以及傳送確認指令。根據此等位址及包含於圖18所示之指令序列內之指令，寫入狀態機器WSM自SRAM0傳送資料至快閃記憶體陣列11。

然後，外部CPU 50以如圖7所示之計時圖相同方式寫入資料於SRAM1內之標示位址內。在資料藉外部CPU 50之寫入期間，半導體儲存裝置100內之寫入狀態機器WSM將資料自SRAM0傳送至快閃記憶體陣列11。

當然，即使在資料自快閃記憶體陣列11傳送至SRAM0之情況下，如參照圖14，15及16所述，外部CPU 50亦可存取SRAM1。

如上所述，本發明之半導體儲存裝置100包括SRAM0及SRAM1，其互相分開操作。因此，外部CPU 50可存取SRAM1，因而寫入資料或自SRAM1讀取資料，在資料自SRAM0傳送至快閃記憶體陣列11或自快閃記憶體陣列11傳送至SRAM0期間。

五、發明說明(26)

在本發明之半導體儲存裝置100中，在寫入狀態機器WSM執行資料傳送之情況下，寫入狀態機器WSM可比較在傳送原點之資料與在傳送指定點之資料。若在傳送原點之資料與在傳送指定點之資料相同時，可取消資料傳送。該情況之資料流動示於圖19。

參照圖19說明快閃記憶體陣列11內之資料傳送至SRAM0之情況。接收資料傳送指令，寫入狀態機器WSM自快閃記憶體陣列11(傳送原點)讀取資料，另一方面，自SRAM0(傳送指定點)讀取資料。然後，寫入狀態機器WSM比較此等資料。若此等資料相同時，自快閃記憶體陣列11讀取之資料不會傳送至SRAM0。若此等資料不同時，自快閃記憶體陣列11讀取之資料傳送並寫入SRAM0內。每次資料傳送時，執行該過程。

因此，因為當在傳送原點之資料與在傳送指定點之資料相同時，未執行資料傳送，所以可減少資料傳送所需之時間。

或者，根據本發明，在自SRAM0至快閃記憶體陣列11之資料傳送或自快閃記憶體陣列11至SRAM0之資料傳送期間，用於資料傳送之SRAM陣列之資料傳送狀態可利用狀態暫存器或輪詢輸出至外部CPU 50。例如，在圖19所示之儲存裝置100中，在自SRAM0至快閃記憶體陣列11之資料傳送期間，指示SRAM0內之該資料被傳送之旗幟F0被輸出至外部CPU 50。

例如，外部CPU 50供應半導體儲存裝置100預定指令以將

五、發明說明(27)

儲存裝置100轉成狀態暫存器讀取模式，因而示出SRAM0及SRAM1之資料傳送之旗幟資訊輸出至輸入/輸出針34。然後，藉操作CE#針31及OE#針33，在輸入/輸出針34之旗幟資訊係由外部CPU 50讀取。輸出何種資訊(即，SRAM0之資訊或SRAM1之資訊)係根據透過位址針35自外部CPU 50供應之位址決定。

另外，在自SRAM0或SRAM1至快閃記憶體陣列11之資料傳送期間，當對SRAM0或SRAM1之寫入存取或讀取存取由外部CPU 50作成時，可禁止存取。例如，當外部CPU 50將讀取資料或寫入資料於SRAM0內之存取信號輸入半導體儲存裝置100而寫入狀態機器WSM將SRAM0內之資料傳送至快閃記憶體陣列11時，此存取信號對由外部CPU 50禁止存取至SRAM0失能。該情況之資料流動示於圖20。

如圖20所示，在此情況下，示出SRAM0內之資料傳送至快閃記憶體陣列11之旗幟F0係藉寫入狀態機器WSM設定於SRAM0內。在外部CPU 50將讀取資料或寫入資料於SRAM0內之存取信號輸入至半導體儲存裝置100之情況下，禁止由外部CPU 50對SRAM0之存取以回應對旗幟F0之設定信號與自外部CPU 50之存取信號之組合邏輯。(此禁止機構裝入硬體之結構內，即，半導體儲存裝置100)。以該機構，寫入狀態機器WSM可執行自SRAM0至快閃記憶體陣列11之資料傳送而不會中斷。

在上述實例中，禁止機構裝入硬體之結構中。然而，根據本發明，由外部CPU 50對SRAM0之存取可由指令或外部

五、發明說明(28)

控制終端禁止。

反之，根據本發明，在自SRAM0或SRAM1至快閃記憶體陣列11之資料傳送期間，當對SRAM0或SRAM1之寫入存取或讀取存取由外部CPU 50作成時，由外部CPU 50之存取可在資料傳送前處理。例如，當外部CPU 50將讀取資料或寫入資料於SRAM0內之存取信號輸入半導體儲存裝置100而寫入狀態機器WSM將SRAM0內之資料傳送至快閃記憶體陣列11時，由外部CPU 50之存取可在資料傳送前藉中斷資料傳送來處理。該情況之資料流動示於圖21。

如圖21所示，在此情況下，指示SRAM0內之資料傳送至快閃記憶體陣列11之旗幟F0係藉寫入狀態機器WSM設定於SRAM0內。在外部CPU 50將讀取資料或寫入資料於SRAM0內之存取信號輸入半導體儲存裝置100以回應對旗幟F0之設定信號與自外部CPU 50之存取信號之組合邏輯之情況下，外部CPU 50供應寫入狀態機器WSM中斷信號供中斷自SRAM0至快閃記憶體陣列11之資料傳送。在回應中斷信號時，寫入狀態機器WSM停止自SRAM0至快閃記憶體陣列11之資料傳送並容許外部CPU 50存取SRAM0。

之後，外部CPU 50存取SRAM0以讀取資料或寫入資料於SRAM0內。在完成資料之讀取或寫入後，中斷信號會失能。然後，寫入狀態機器WSM恢復自SRAM0至快閃記憶體陣列11之資料傳送。

如上所述，自SRAM陣列至快閃記憶體陣列11之資料傳送係根據外部CPU 50供應之指令由半導體儲存裝置100內之

裝
訂
線

五、發明說明(29)

寫入狀態機器WSM執行。因此，即使當資料傳送於SRAM陣列之一(上述實例中，SRAM0)與快閃記憶體陣列11之間時，外部CPU 50可讀取資料或寫入資料於其他SRAM陣列(SRAM1)內，或外部CPU 50可自快閃記憶體陣列11讀取資料、寫入資料或抹除資料。因為減輕對外部CPU 50之操作的限制，所以外部CPU 50之處理能力改良。

在上述實例中，中斷自SRAM0至快閃記憶體陣列11之資料傳送之機構裝入硬體之結構內。然而，根據本發明，資料傳送可由指令或外部控制終端中斷。

另外，在本發明之半導體儲存裝置100中，在快閃記憶體陣列11區塊中之資料被整個抹除之區塊抹除操作期間或在資料於快閃記憶體陣列11內之寫入期間，外部CPU 50可通過I/O針34寫入資料或自SRAM陣列讀取資料。圖22顯示在區塊抹除操作於快閃記憶體陣列11內執行期間，當外部CPU 50透過I/O針34寫入資料或自SRAM讀取資料時，資料之流動。圖23為計時圖，顯示用於該情況之指令之例。

在此情況下，為了回應由外部CPU 50供應供抹除快閃記憶體陣列11內之特定區塊之抹除指令之半導體儲存裝置100之接收，欲自其抹除資料之區塊之位址儲存於寫入狀態機器WSM內，寫入狀態機器WSM對由抹除指令標示之快閃記憶體陣列11內之區塊開始區塊抹除操作。

在由寫入狀態機器WSM自快閃記憶體陣列11內之區塊之資料抹除期間，外部CPU 50透過位址針35及I/O針34執行資料自SRAM1之讀取或資料於SRAM1內之寫入。因此，寫

五、發明說明(30)

入狀態機器WSM之區塊抹除與外部CPU 50對SRAM陣列之存取操作可以平行方式執行。

在本發明之半導體儲存裝置100內，SRAM0與SRAM1之一可具有容量，相等於資料可自其整個抹除之快閃記憶體陣列11內之區塊的容量，或可具有容量，其為資料可自其整個抹除之快閃記憶體陣列11內區塊之容量之倍數或除數。在該情況下，寫入快閃記憶體陣列11區塊內之一部份資料可輕易傳送至SRAM0或SRAM1。

圖24顯示資料於半導體儲存裝置100內之流動，其中SRAM0具有相等於快閃記憶體陣列11之一區塊之容量。當替換寫入快閃記憶體陣列11區塊內之一部份資料時，所有儲存於快閃記憶體陣列11(其相等於SRAM0之容量)區塊內之資料係由寫入狀態機器WSM傳送至SRAM0，俾可暫時儲存於其內。然後，抹除快閃記憶體陣列11區塊內之資料。在自區塊之資料抹除期間，暫時儲存於SRAM0內之一部份資料被其他資料替換。在完成自快閃記憶體陣列11區塊之資料抹除後，暫時儲存於SRAM0內之所有資料係藉寫入狀態機器WSM傳送至先前資料自其抹除之區塊。

因此，在其中SRAM0具有相等於快閃記憶體陣列11之一區塊之容量之半導體儲存裝置100內，當資料傳送於快閃記憶體陣列11與SRAM0之間時，可容易標示傳送指定位址(欲傳送資料之位址)。

或者，在其中SRAM0及SRAM1各具有為快閃記憶體陣列11之一區塊一半容量之半導體儲存裝置100內，快閃記憶體

五、發明說明 (31)

陣列 11 區塊內之資料被分成一半，各半部傳送至整個 SRAM0 或 SRAM1。在資料傳送至 SRAM0 或 SRAM1 至後，抹除快閃記憶體陣列 11 區塊內之資料。在自區塊之資料抹除期間，暫時儲存於 SRAM0 及 SRAM1 內之一部份資料後用其他資料替換。在完成自快閃記憶體陣列 11 區塊之資料抹除後，暫時儲存於 SRAM0 及 SRAM1 內之所有資料係藉寫入狀態機器 WSM 整個傳送至先前資料自其抹除之區塊。

又在此情況下，當資料傳送於快閃記憶體陣列 11 與 SRAM0 及 SRAM1 之間時，可容易標示傳送指定位址(欲傳送資料之位址)。

在本發明之半導體儲存裝置 100 中，SRAM 陣列 (SRAM0 及 SRAM1) 及快閃記憶體陣列 11 可存在於相同記憶空間內，如圖 25A 所示。在該情況下，SRAM0 及 SRAM1 與快閃記憶體陣列 11 可由不同控制信號控制。例如，圖 25B 所示之半導體儲存裝置 100' 包含 CE0# 針 36 及 CE1# 針 37。透過 CE0# 針 36，輸入控制快閃記憶體陣列 11 之 CE0# 信號。透過 CE1# 針 37，輸入控制 SRAM0 及 SRAM1 之 CE1# 信號。由外部 CPU 50 對快閃記憶體陣列 11 與 SRAM0 及 SRAM1 之存取係藉 CE0# 針 36 與 CE1# 針 37 間之轉換達成。

例如，在其中 SRAM0 及 SRAM1 之記憶空間與快閃記憶體陣列 11 之記憶空間均包含位址“000000”之半導體儲存裝置 100' 內，當位址“000000”連同透過 OE# 針 33 輸入之輸出賦能信號 OE# 及透過 CEO# 針 36 輸入晶片賦能信號輸入時，資料可自快閃記憶體陣列 11 內之位址“000000”可靠地讀取。

五、發明說明(32)

在具有CE0#針36及CE1#針37之半導體儲存裝置100'中，因為SRAM陣列及快閃記憶體陣列11可互相分開操作，所以可使用SRAM陣列之功能如資料保持模式。此外，半導體儲存裝置100'可用堆疊包裝產物，包括用於例如手提式電話等之SRAM及快閃記憶體輕易取代，只要儲存裝置100'對與手提式電話之終端操作具有相容性即可。

圖26顯示包含晶片賦能開閉21之半導體儲存裝置100''，其可轉換在二種模式間之操作模式：在一模式中，使用CE0#針36，但未使用CE1#針37；在另一模式中，均使用CE0#針36及CE1#針37。明確而言，在第一模式中，對SRAM0及SRAM1與快閃記憶體陣列11之存取係根據透過CE0#針36及位址信號輸入之晶片賦能信號達成。在第二模式中，對快閃記憶體陣列11之存取係根據透過CE0#針36及位址信號輸入之晶片賦能信號達成，而對SRAM0及SRAM1之存取係根據透過CE1#針37及位址信號輸入之晶片賦能信號達成。用該轉換機構，半導體儲存裝置100''可容易確立與包括外部CPU 50之系統之互容性。

晶片賦能開關21不限於一種其中轉換係藉設於儲存裝置100''之控制終端達成之結構。根據本發明，轉換可藉預定指令達成。

(具體例2)

圖27顯示根據本發明明具體例2之半導體儲存裝置200之結構。在半導體儲存裝置200內，快閃記憶體陣列11包含Bank0及Bank1。在Bank0及Bank1之一中，資料之寫入、抹

五、發明說明(33)

除及讀取可自其他庫所執行者分開執行。須知快閃記憶體陣列11可包含二個或多個庫。

通常，如日本公開公告案10-144086號所示，在包含複數庫之快閃記憶體中，一庫內之讀取操作可與另一庫內之程式操作或抹除操作平行執行。因此，除了可在快閃記憶體內之庫與SRAM0及SRAM1間之資料傳送期間可執行之操作以外(如具體例1所述，例如，資料於SRAM0及SRAM1內之寫入及資料於SRAM0及SRAM1內之讀取)，資料可自一庫讀取，其不包含對外部CPU 50之資料傳送原點或資料傳送指定點。圖28顯示自快閃記憶體陣列11之SRAM0至Bank0之資料傳送期間，當資料自Bank1讀取至外部CPU 50時，資料之流動。

此外，在包含複數庫之快閃記憶體陣列11內，在藉寫入狀態機器WSM之區塊抹除操作或藉外部CPU 50於Bank1內之程式操作期間，外部CPU 50可存取SRAM0或SRAM1(為了執行，例如，讀取操作或寫入操作)及自快閃記憶體陣列11之Bank0讀取資料。該情況之資料流動示於圖29。

在此情況下，為了回應由寫入狀態機器WSM之區塊抹除指令之接收，資料自其抹除之快閃記憶體陣列11之Bank1內之區塊位址儲存於寫入狀態機器WSM內，寫入狀態機器WSM對快閃記憶體陣列11之Bank1內之區塊開始區塊抹除操作。

在此藉寫入狀態機器WSM之Bank1內之區塊抹除操作期間，外部CPU 50透過位址針35及I/O針34讀取資料或寫入

五、發明說明(34)

資料於SRAM1內。此外，外部CPU 50透過位址針35及I/O針34自未執行區塊抹除操作之快閃記憶體陣列11之Bank0讀取資料。

以此方式，藉寫入狀態機器WSM之Bank1內之區塊抹除操作、藉外部CPU 50對SRAM陣列之存取操作及自Bank0之讀取操作可以平行方式執行。

(具體例3)

圖30顯示根據本發明具體例3之半導體儲存裝置300之結構。在半導體儲存裝置300中，SRAM0及SRAM1各可藉透過RESET針38輸入半導體儲存裝置300之再設定賦能信號再設定至預定狀態。

圖31顯示用於半導體儲存裝置300之SRAM0及SRAM1之SRAM記憶電池6a之結構。SRAM記憶電池6a不同於圖3所示之SRAM記憶電池6之處為SRAM記憶電池6a在轉換電晶體7之一與一對逆向器8之間之節點包含再設定電晶體9。再設定電晶9之控制閘極作為輸入再設定賦能信號RESET之再設定賦能節點。當再設定賦能節點為高準位“H”時，SRAM記憶電池6a被再設定至預定狀態。

再於SRAM0及SRAM1之所有SRAM記憶電池6a之再設定終端一起連接至半導體儲存裝置300之再設定針38，如圖30所示。在正常狀態中，RESET針38在低準位“L”。高準位之再設定賦能信號可再設定SRAM0與SRAM1一起至預定狀態。當RESET針38進入低準位“L”時，SRAM0及SRAM1自再設定狀態(即，預定狀態)釋出。

五、發明說明(35)

在具有該結構之半導體儲存裝置300中，藉設定再設定賦能節點至高準位“H”，SRAM0及SRAM1之內含物可被再設定至預定狀態。因此，SRAM0及SRAM1之內含物可再設定一起。

半導體儲存裝置300不限於SRAM0及SRAM1由透過RESET針38輸入之再設定賦能信號再設定一起之結構。根據本發明，寫入狀態機器WSM可根據由外部CPU 50供應之預定再設定指令再設定SRAM0與SRAM1一起。

或者，各SRAM記憶電池可分開再設定。明確而言，為了回應由外部CPU 50供應之預定再設定指令，儲存於由再設定指令標示之特定SRAM記憶電池內之資料內含物被傳送至另一記憶電池，而再設定標示SRAM記憶電池。在此情況下，儲存於SRAM0及SRAM1之特定領域內之SRAM記憶電池6a內之所有資料皆可再設定至預定資料。

具有該再設定功能之半導體儲存裝置300中，可防止儲存於快閃記憶體陣列11內之資料上的重寫。在快閃記憶體陣列11中，可能有儲存於特定位址內之資料上的重寫。然而，在資料寫入快閃記憶體陣列11後，資料根據區塊接區塊抹除。因此，一旦資料錯誤地重寫於快閃記憶體陣列11之電池中時，很難校正該錯誤。

參照圖32，在具有上述再設定功能之半導體儲存裝置300內，在資料自SRAM0內之特定區(以斜線)傳送至快閃記憶體陣列11後，特定區可由寫入狀態機器WSM再設定。在此情況下，若快閃記憶體陣列11之再設定記憶電池(即，抹除

五、發明說明(36)

記憶電池)具有值為“0”時，特定區最好被再設定，使特定區內之各記憶電池具有值為“0”。以該項排列，在再設定SRAM0後，即使SRAM0內之特定區於資料傳送指令內標示為資料傳送原點，特定區內之資料亦無法寫入快閃記憶體陣列11內之資料上，因為特定區內之記憶電池之值為“0”。因此，絕無可能自SRAM0至快閃記憶體陣列11之資料傳送造成快閃記憶體陣列11內資料之重寫。

(具體例4)

圖33顯示根據本發明具體例4之半導體儲存裝置400之結構。半導體儲存裝置400包含RAMPROTECT針39供達成各SRAM0及SRAM1內之資料重寫保護操作。當RAMPROTECT針39在高準位“H”時，SRAM0或SRAM1內之資料防備重寫之存取。明確而言，當RAMPROTECT針39在高準位“H”時，半導體儲存裝置400對SRAM0或SRAM1提供鎖位元，俾可將SRAM0或SRAM1之資料寫入控制電路進入無源狀態，因而無法執行資料於SRAM0及SRAM1內之寫入。此外，當SRAM0及SRAM1呈寫入過多保護狀態時，鎖旗幟RF1及RF2分別設定於SRAM0及SRAM1上。以鎖旗幟RF1及RF2，外部CPU 50可辨認SRAM0及SRAM1呈重寫保護狀態。

鎖位元提供至各SRAM0及SRAM1，使SRAM0及SRAM1之資料寫入控制電路可分開地進入無源狀態。因此，對各SRAM0及SRAM1可防止資料之重寫。

(具體例5)

圖34顯示根據本發明具體例5之半導體儲存裝置500之結

五、發明說明 (37)

構。半導體儲存裝置500具有電力下降功能：當RP#信號拉入低準位時，開始控制電路之狀態而半導體儲存裝置500進入睡眠狀態，因而減少由半導體儲存裝置500之電力消耗。在半導體儲存裝置500中，當預定供應電壓施至半導體儲存裝置500(電力向上)或當半導體儲存裝置500係RP#信號於至高準位而自電力下降狀態回至有源狀態時，儲存於快閃記憶體陣列11內之預定領域內之資料會自動傳送至SRAM0或SRAM1。為了達成此功能，半導體儲存裝置500包含電壓檢測器電路14、接收電力下降操作之指令(RP#信號)之RP#針40及儲存關於自快閃記憶體陣列11至SRAM0及SRAM1之資料傳送的資料傳送資訊之資料傳送資訊電路15。

資料傳送資訊電路15儲存快閃記憶體陣列11內之傳送原點起始位址及傳送原點結束位址與SRAM0內之傳送指定點起始位址，其被標示供自快閃記憶體陣列11至SRAM0之資料傳送，其係在電力向上或當半導體儲存裝置500自電力下降狀態回至正常有源狀態時執行。

在半導體儲存裝置500中，當電壓檢測器電路14檢測對半導體儲存裝置500之電力被打開，或根據RP#信號之變易檢測半導體儲存裝置500係自電力下降狀態轉回時，寫入狀態機器WSM自資料傳送資訊電路15讀取快閃記憶體陣列11內之傳送原點起始位址及傳送原點結束位址與SRAM0內之傳送指定點起始位址，並根據讀取位址執行自快閃記憶體陣列11至SRAM0之資料傳送。以此方式，儲存於快閃記憶體陣列11內之資料可傳送至SRAM0。

五、發明說明 (38)

因此，當打開對半導體儲存裝置500之電力或當半導體儲存裝置500自電力下降狀態回至正常有源狀態時，因為儲存於快閃記憶體陣列11內之特定資料下載(傳送)至SRAM0，外部CPU 50可在電力向上或自電力下降狀態轉回後，即刻使用特定資料。在外部CPU 50讀取半導體儲存裝置500外面之程式前，當程式自快閃記憶體陣列11下載至SRAM陣列時，該結構特別可使用。

在半導體儲存裝置500中，在資料傳送至SRAM陣列後，傳送之資料可防備重寫存取。在此情況下，如圖35所示，鎖旗幟RF1及RF2分別提供於SRAM0及SRAM1，以防止SRAM0及SRAM1內之資料之重寫。

在半導體儲存裝置500中，例如，當資料自快閃記憶體陣列11傳送至SRAM0時，寫入狀態機器WSM設定鎖旗幟RF1俾可防止SRAM0重寫存取，因而傳送至SRAM0之資料無法用另一資料取代。因此，當程式在外部CPU 50讀取半導體儲存裝置500外面之程式以前自快閃記憶體陣列11下載至SRAM時，下載之程式不能用另一資料取代。

除了上述特性以外，半導體儲存裝置500具有與圖32所示之半導體儲存裝置300相同之結構。

根據本發明，資料可與時鐘信號同步自半導體儲存裝置輸入/輸出。圖36所示之半導體儲存裝置600包含CLK針41供接收時鐘信號CLK。在半導體儲存裝置600中，資料與時鐘信號CLK同步透過I/O針34輸入/輸出，因而達成同步界面。該結構在較正常資料讀取/寫入速率更高速率下以同步

五、發明說明 (39)

方式實現資料之讀取/寫入。

根據本發明，如圖37A之半導體儲存裝置610所示，具有16位元寬度之資料匯流排可用作輸入/輸出資料匯流排，其中14位元用於自快閃記憶體陣列11讀取資料而2位元用於自SRAM0及SRAM1讀取資料。或者，參照圖37B，16位元記憶圖，其中解碼器電路分配14位元供快閃記憶體陣列11及2位元供SRAM0及SRAM1，在本發明之範圍內。用此等圖37A及37B所示之結構，外部CPU 50可在單一讀取操作期間，讀取所有快閃記憶體陣列11內之14位元資料及SRAM0及SRAM1內之2位元資料。

此外，當共同寫入指令用於SRAM0及SRAM1與快閃記憶體陣列11時，資料可同時寫入SRAM0及SRAM1與快閃記憶體陣列11內。

因此，因為可同時執行資料自SRAM0及SRAM1與快閃記憶體陣列11之讀取/寫入，所以半導體儲存裝置610可容易與包含外部CPU 50之系統建立相容性。

須知在16位元記憶體內，上2位元可分配至SRAM0及SRAM1，而下14位元可分配至快閃記憶體陣列11，如圖37C所示。

根據本發明，半導體儲存裝置可如圖38所示般構成。在圖38之半導體儲存裝置620中，輸入/輸出資料匯流排16具有16位元寬度，匯流排寬度之開關18a及18b設於分別連接至SRAM0及SRAM1之內部傳送資料匯流排17，及匯流排寬度之開關18c設於連接至快閃記憶體陣列11之內部傳送資料

五、發明說明 (40)

匯流排17。用此等開關18a-18c，分配至SRAM0，SRAM1及快閃記憶體陣列11之匯流排寬度係在適當比率下，根據使用輸入/輸出資料匯流排16之SRAM0，SRAM1及快閃記憶體陣列11決定。例如，匯流排寬度對SRAM0，SRAM1及快閃記憶體陣列11之分配係轉換於至少一個SRAM0及SRAM1與快閃記憶陣列11之一使用輸入/輸出資料匯流排16之情況與至少一個SRAM0及SRAM1與快閃記憶體陣列11均使用輸入/輸出資料匯流排16之情況之間。開關18a-18c係由預定信號或預定指令轉換。

因此，具有該結構之半導體儲存裝置620中，可同時執行資料自SRAM0及SRAM1與快閃記憶體陣列11之讀取/寫入。因此，半導體儲存裝置620可容易與包含外部CPU 50之系統之相容性。

此外，內部傳送資料匯流排17可具有較輸入/輸出資料匯流排16更大之匯流排寬度。例如，在圖39A之半導體儲存裝置630中，輸入/輸出資料匯流排16具有16位元寬度，內部傳送資料匯流排17具有32位元寬度。在該結構中，例如，當4個16位元資料設定於SRAM陣列內，透過圖39B所示具有32位元寬度之內部傳送資料匯流排17傳送至快閃記憶體陣列11時，執行二次32位元於快閃記憶體陣列11內之資料程式操作。

或者，如圖39C所示，當內部傳送資料匯流排17具有16位元寬度，當SRAM陣列內設定之4個16位元資料傳送至快閃記憶體陣列11時，必須執行四次16位元於快閃記憶體陣

五、發明說明(41)

列11內之資料程式操作。

因此，當內部傳送資料匯流排17具有較輸入/輸出資料匯流排16更大匯流排寬度時，可在高速率下執行資料由寫入狀態機器WSM自SRAM陣列之讀取及資料由寫入狀態機器WSM於快閃記憶體陣列11內之寫入。

根據本發明之半導體儲存裝置不需要對其外部接附之SRAM。另外，在根據本發明之半導體儲存裝置中，可減少SRAM陣列之記憶容量。如上所述，通常，自SRAM讀取資料所需之時間約100 ns實質上與自快閃記憶體讀取資料所需者相同。然而，資料於快閃記憶體之寫入所需之時間則長於資料於SRAM陣列內之寫入。在根據本發明之半導體儲存裝置中，資料於快閃記憶體內之寫入所需之時間明顯減少。另外，根據本發明，快閃記憶體可儲存將儲存於傳統儲存裝置之SRAM內之資料，因而可減少SRAM之容量。因此，可減少半導體儲存裝置之整個晶片領域。

通常，快閃記憶體使用一個電晶體儲存1位元資料，而SRAM陣列使用6個電晶體儲存1位元資料。因此，當資料儲存於快閃記憶體取代SRAM陣列時，可減少半導體儲存裝置之整個晶片領域。

另外，在根據本發明之半導體儲存裝置中，在自SRAM陣列至快閃記憶體之資料傳送期間，外部CPU 50可將資料寫入另一SRAM陣列內。在該結構中，當資料在高速率下寫入SRAM陣列內時，可執行自另一SRAM陣列至快閃記憶體之資料傳送，因而可顯著增加寫入資料於快閃記憶體內之速

五、發明說明 (42)

率。

另外，根據本發明，可在高速率下執行資料之重寫之一對FRAM陣列可取代一對SRAM陣列使用，如圖40之半導體儲存裝置640所示。又在此情況下，如圖40所示，資料可在寫入狀態機器WSM與FRAM陣列之間，FRAM0與FRAM1之間傳送。須知可提供二個或以上FRAM陣列。

在半導體儲存裝置640中，資料之重寫可在高速率下如SRAM陣列般於FRAM陣列內執行。此外，包含於FRAM陣列內之FRAM電池之電池領域小於包含於SRAM陣列內之SRAM電池者。因此，可減少整個晶片領域。

因此，在根據本發明之半導體儲存裝置中，資料暫時儲存於由需要短時間寫入資料於其內之可抹除半導體儲存裝置如SRAM所形成，或由可高速操作之非可抹除半導體儲存裝置所形成之第一記憶體陣列內，然後暫時儲存之資料整個傳送至由非可抹除半導體儲存裝置如快閃記憶體等形成之第二記憶體陣列。用該項排列，外部裝置如CPU等在資料傳送至半導體記憶體陣列期間不會經歷備用時間，因此可處理其他操作。

此外，亦可提供複數個第一記憶體陣列。在該結構中，在自第一記憶體陣列至第二記憶體陣列之資料傳送期間，資料可寫入另一第一記憶體陣列內。因此，可在短時間內將大量資料寫入第一記憶體陣列內。另外，在自第二記憶體陣列之資料抹除期間，資料可寫入第一記憶體陣列內。此外，在自一個第一記憶體陣列之資料傳送期間，儲存於

裝
訂

五、發明說明(43)

另一記憶體陣列內之資料可讀出至外部裝置，即，在自一個第一記憶體陣列之資料傳送期間，另一記憶體陣列對外部裝置有效。

此外，外部裝置之資料暫時儲存於第一記憶體陣列內，暫時儲存之資料傳送至第二記憶體陣列且儲存於其內。因此，不需要提供外部SRAM供暫時儲存資料。結果，可減少整個晶片領域。

熟悉此技藝者在不脫離本發明之範圍及精神以外顯然可作各種改變。因此，希望是所附申請專利範圍限於本文所述，而非廣泛解釋。

四、中文發明摘要(發明之名稱：半導體儲存裝置)

一種半導體儲存裝置，包含：複數個第一記憶體陣列，各含複數個半導體儲存元件，其中資料自外部裝置被寫入且資料自其讀出至外部裝置；第二記憶體陣列與複數個第一記憶體陣列分離地操作，且包含至少一個含有複數個非可抹除半導體儲存元件之區塊；及一資料傳送段，供傳送資料於複數個第一記憶體陣列與第二記憶體陣列之間。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：SEMICONDUCTOR STORAGE DEVICE)

A semiconductor storage device includes: a plurality of first memory arrays each including a plurality of semiconductor storage elements, in which data from an external device is written, and from which the data is read out to the external device; a second memory array which operates separately from the plurality of first memory arrays and which includes at least one block including a plurality of non-volatile semiconductor storage elements; and a data transfer section for transferring the data between the plurality of first memory arrays and the second memory array.

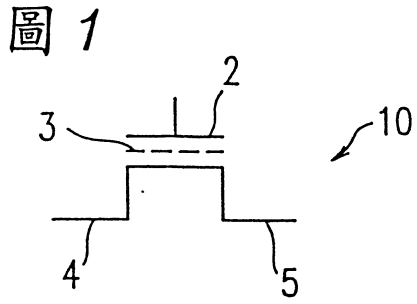


圖 2

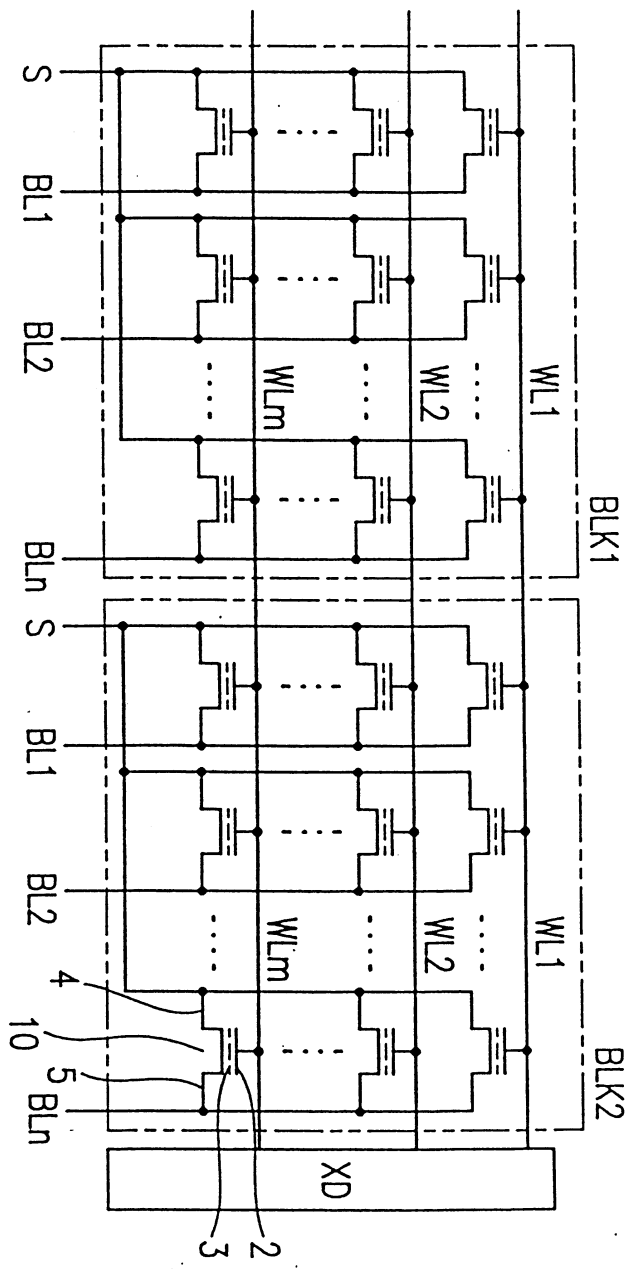


圖 3

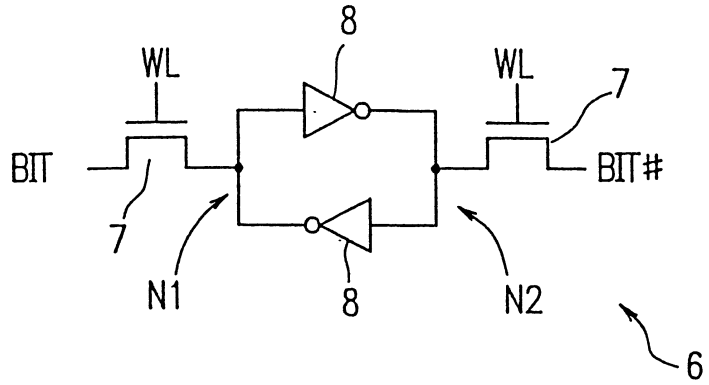


圖 4

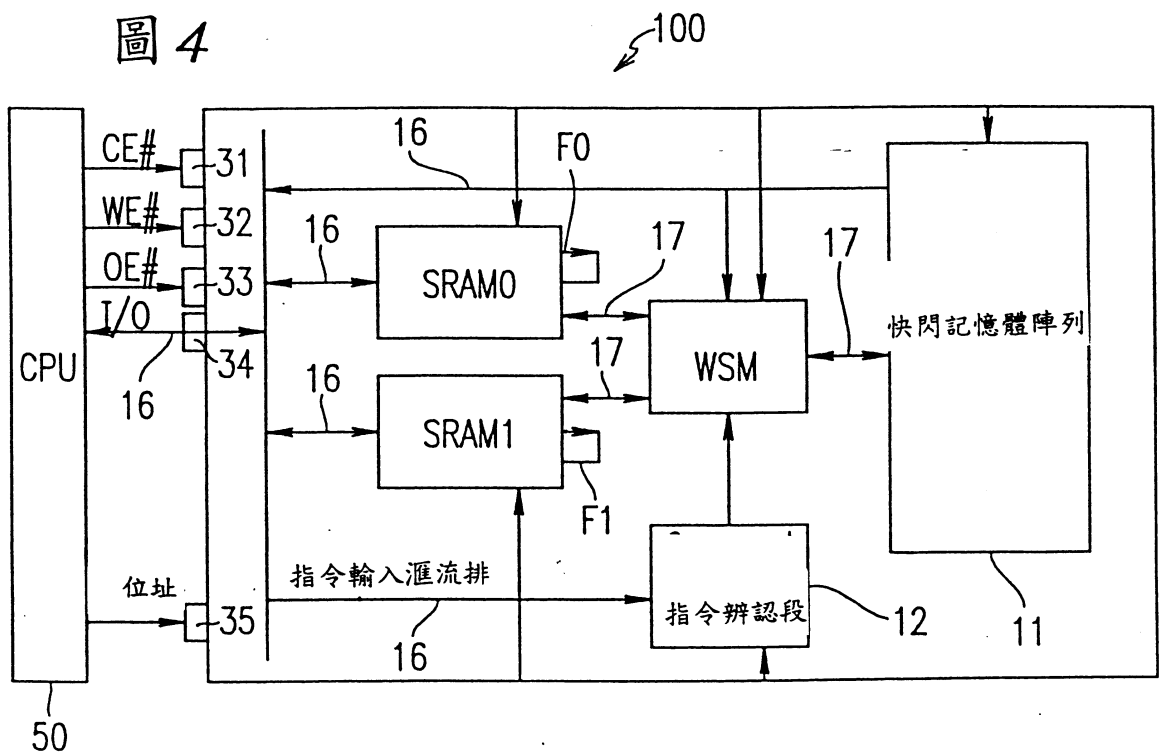
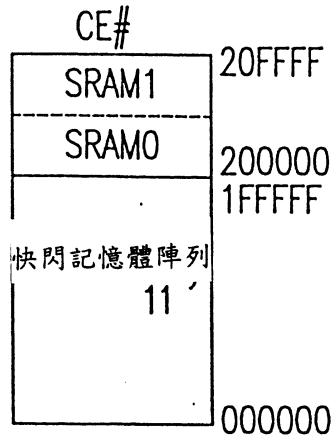


圖 5



欲存取之記憶體可藉CE#信號及位址區分

圖 6

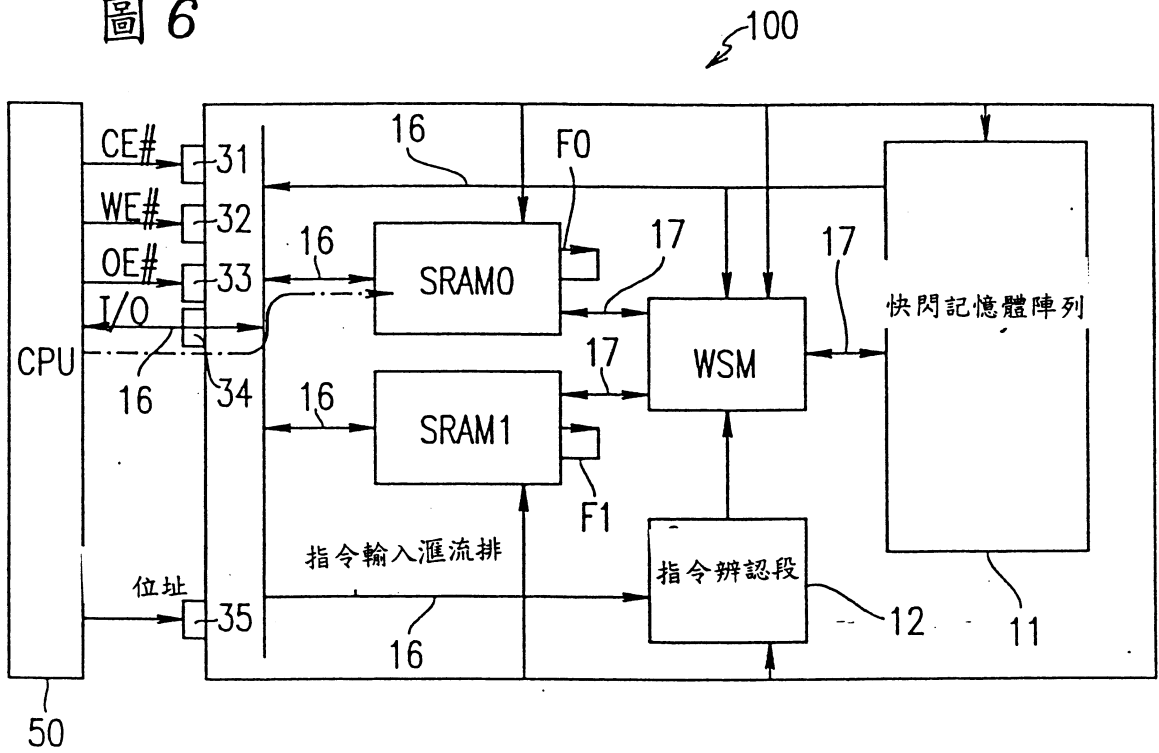
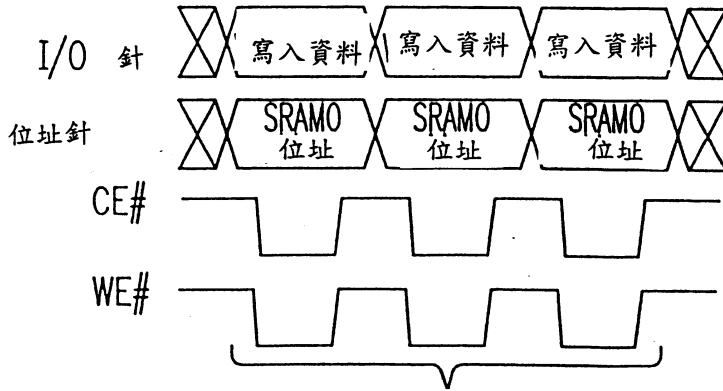
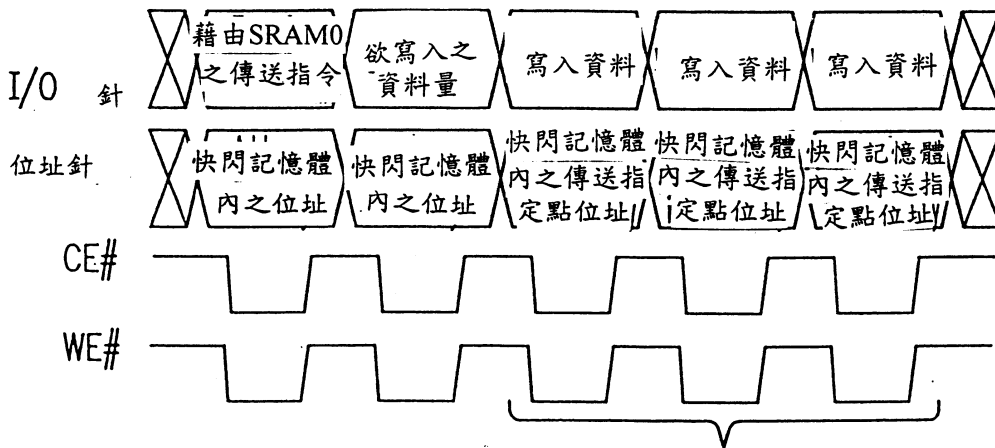


圖 7



資料自外部裝置寫入SRAM0內

圖 8



資料根據指令寫入SRAM0內

圖 9

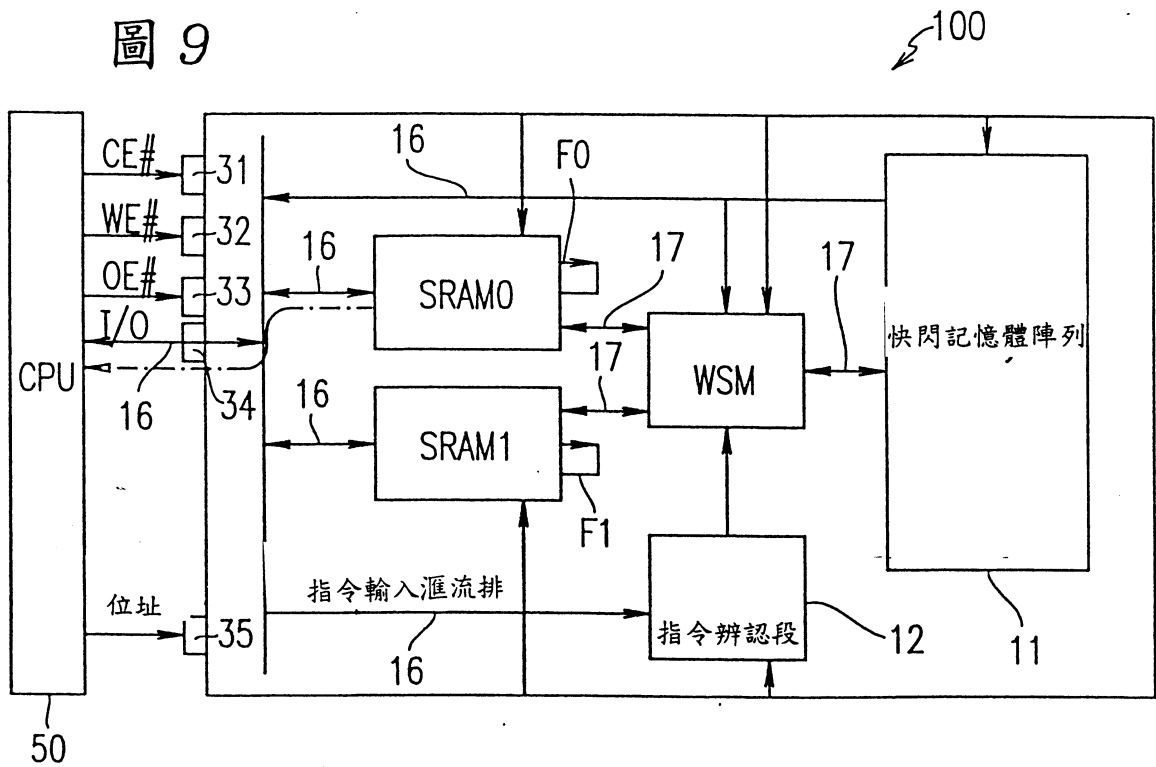


圖 10

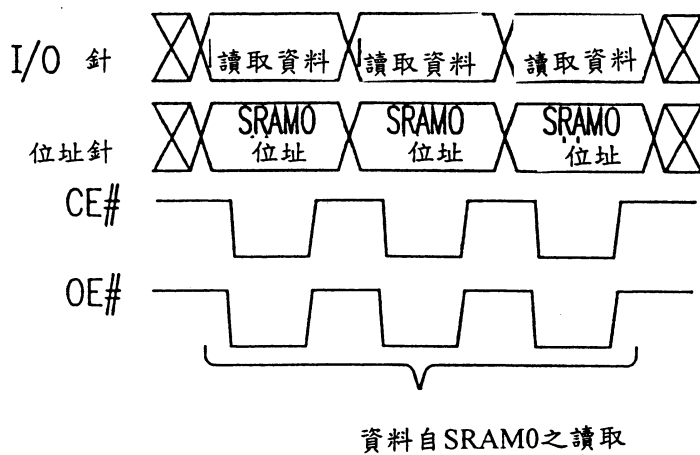


圖 11

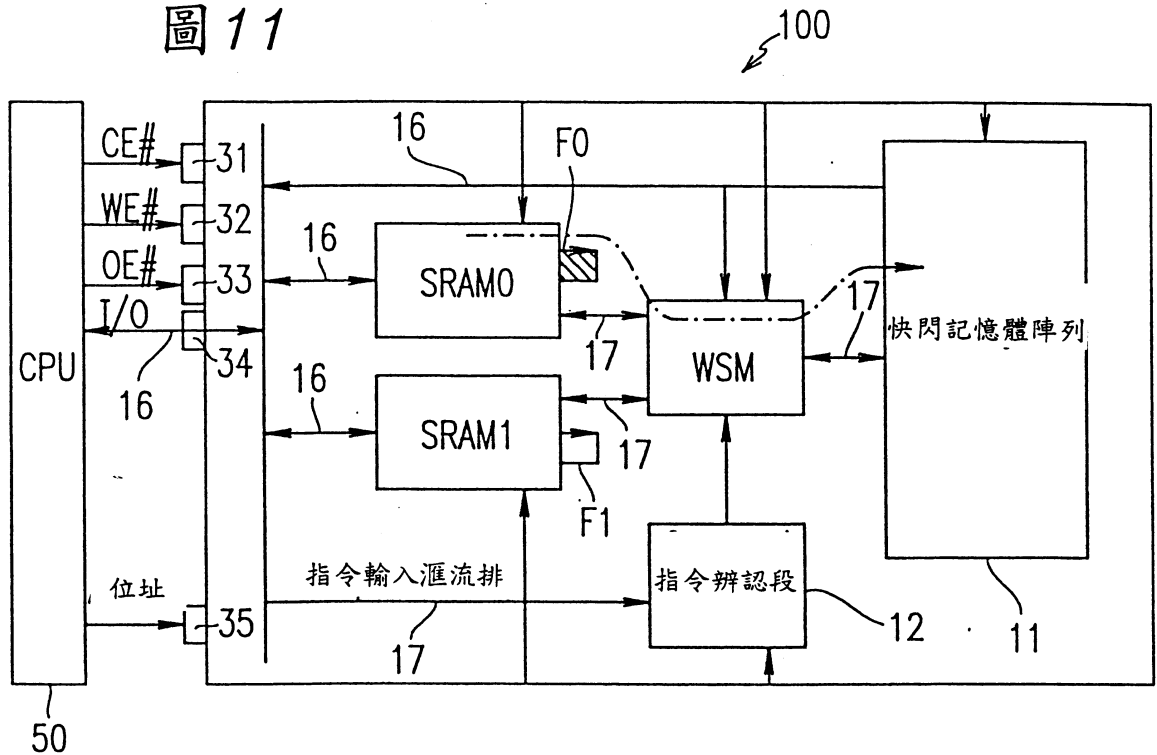
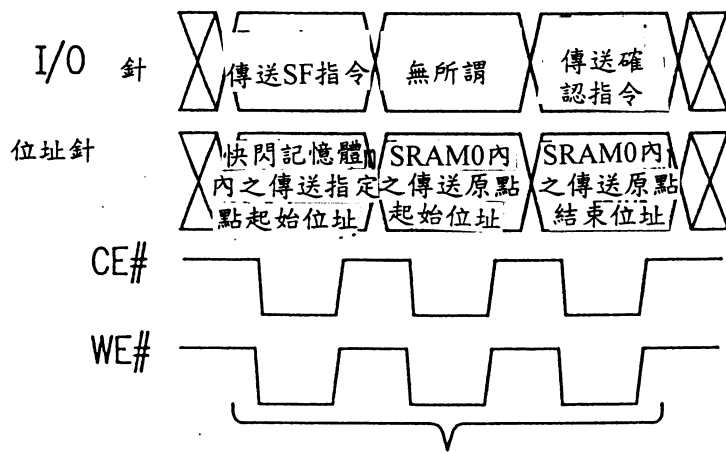
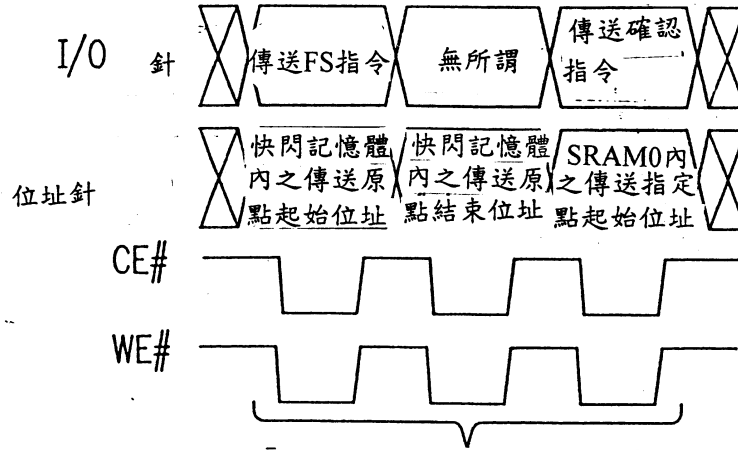


圖 12



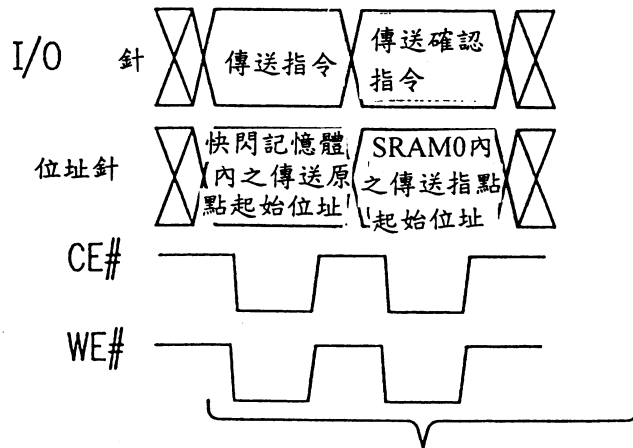
發出傳送指令供傳送特定資料自SRAM0至快閃記憶體

圖 15



發出傳送指令供傳送特定資料自快閃記憶體至SRAM0

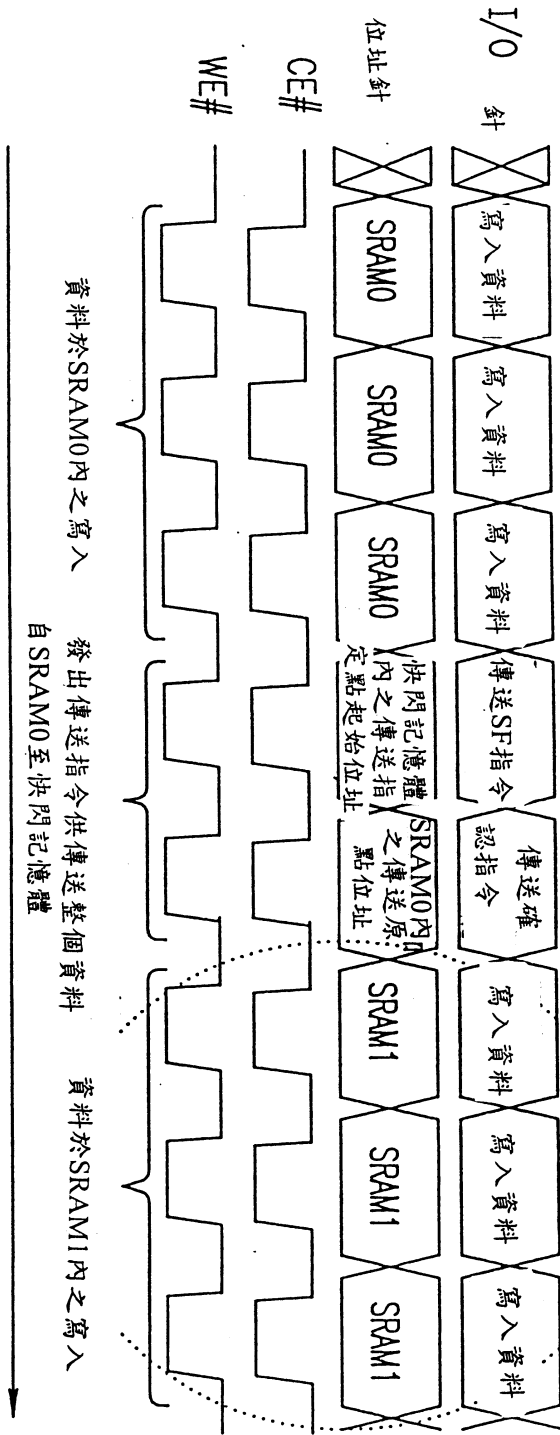
圖 16



發出傳送指令供傳送整個資料自快閃記憶體至SRAM0

圖 18

在自SRAM0至快閃記憶體之整個資料傳送期間，
資料可寫入SRAM1內
執行自SRAM0至快閃記憶體之資料傳送



資料於SRAM0內之寫入
發出傳送指令供傳送整個資料
自SRAM0至快閃記憶體
資料於SRAM1內之寫入

圖 19

100

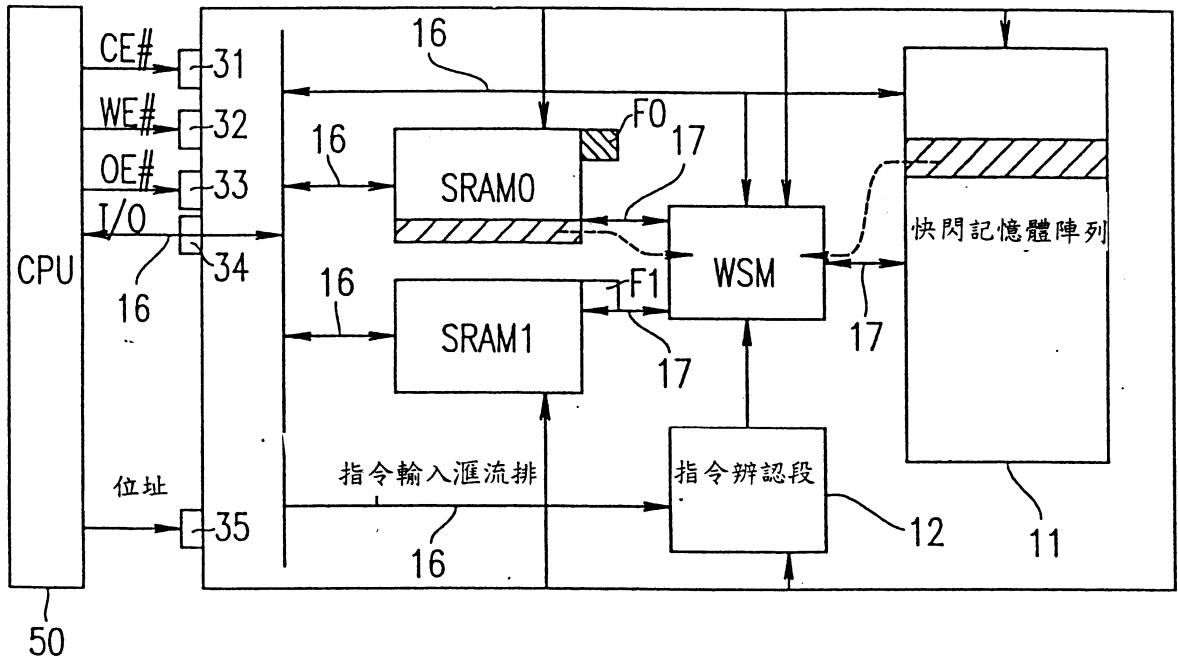


圖 20

100

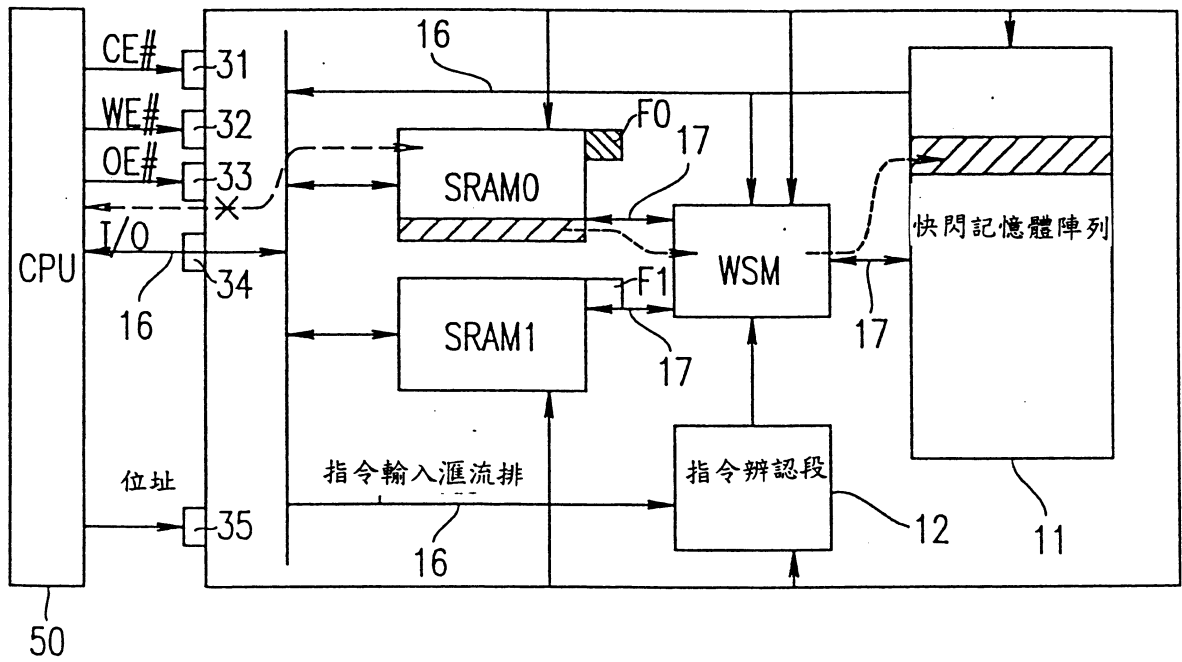


圖 21

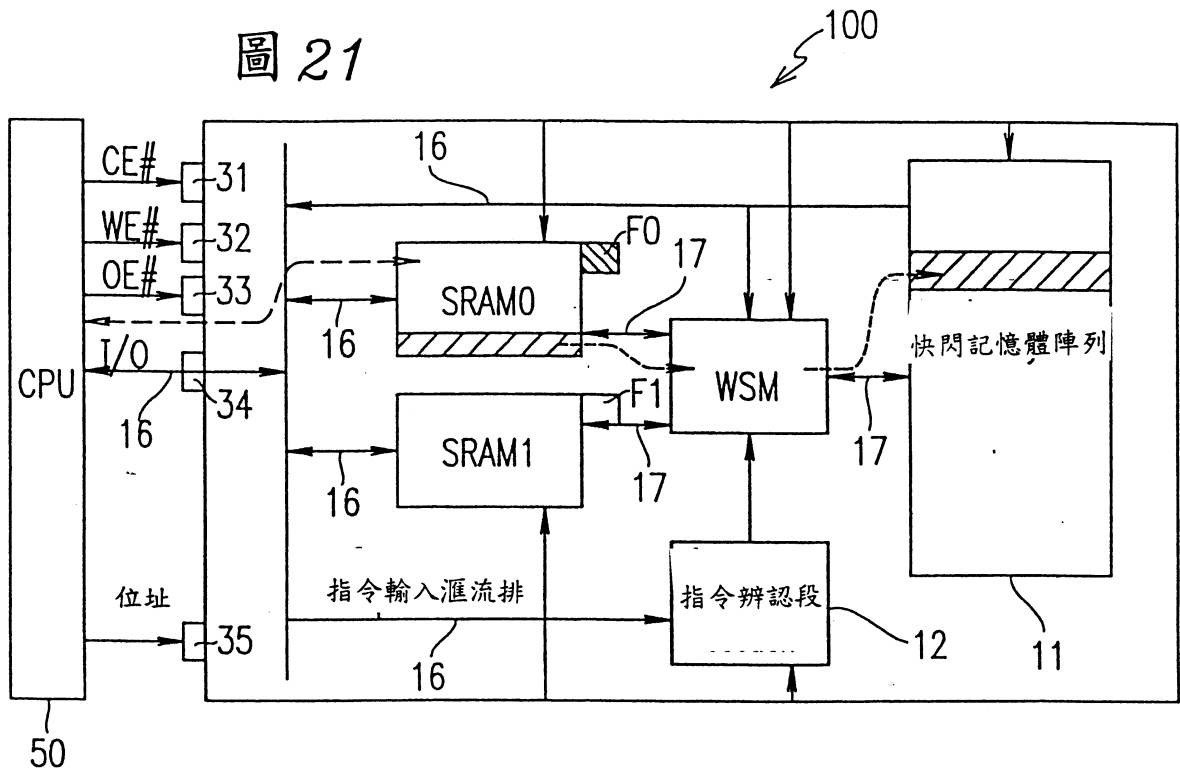


圖 22

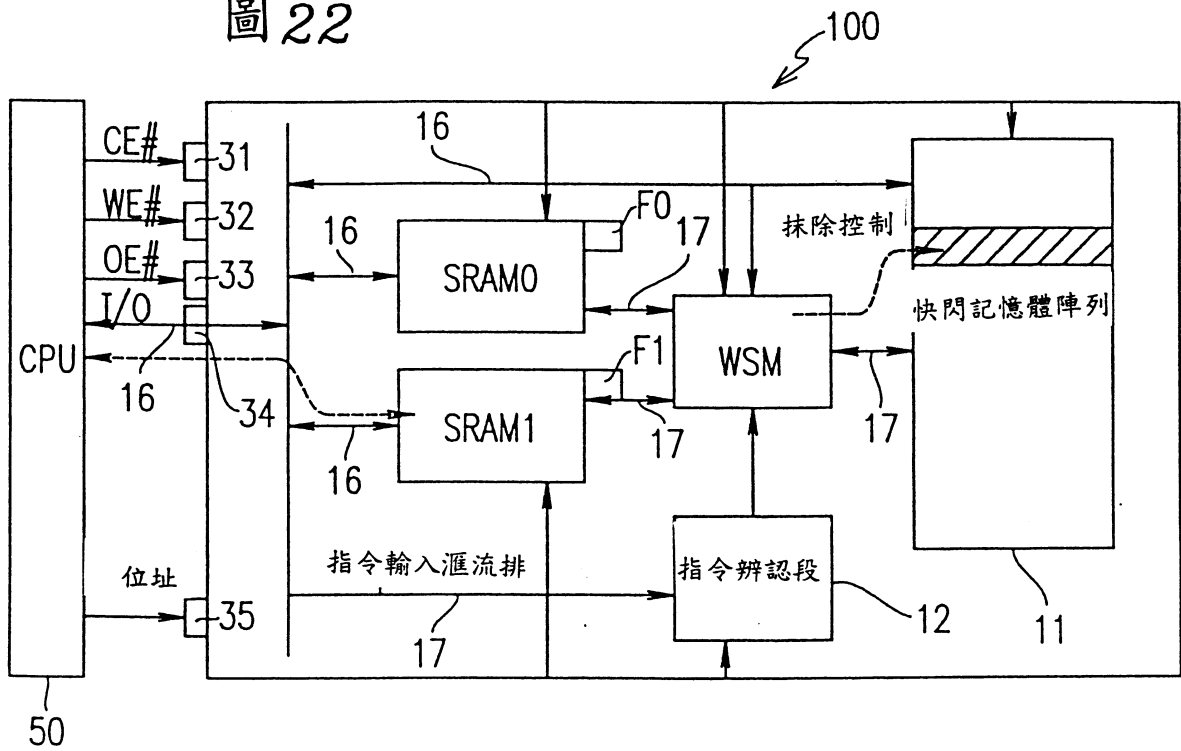


圖 25A

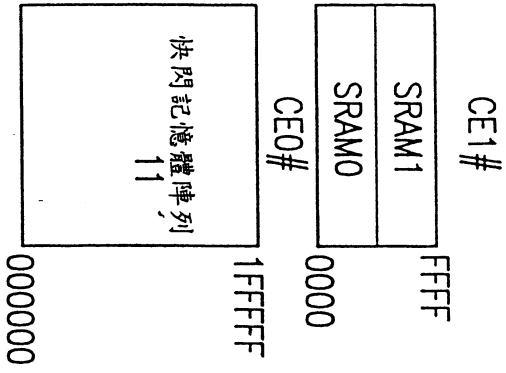


圖 25B

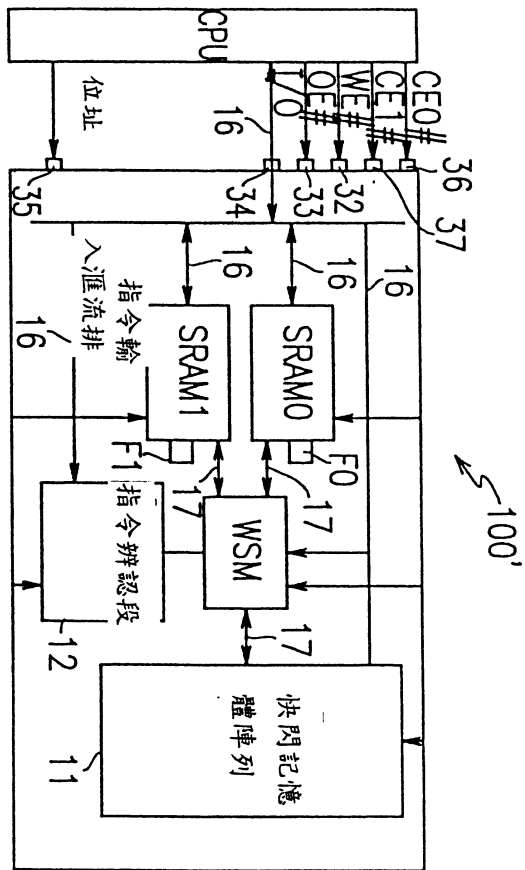


圖 26

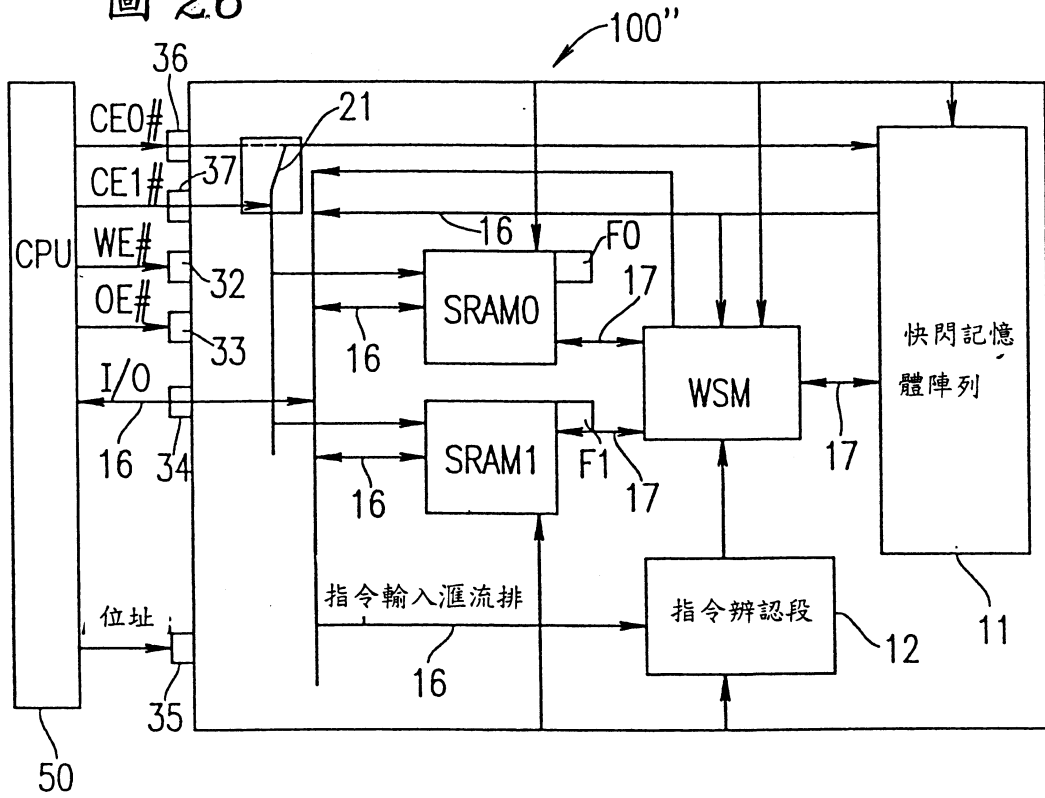


圖 27

200

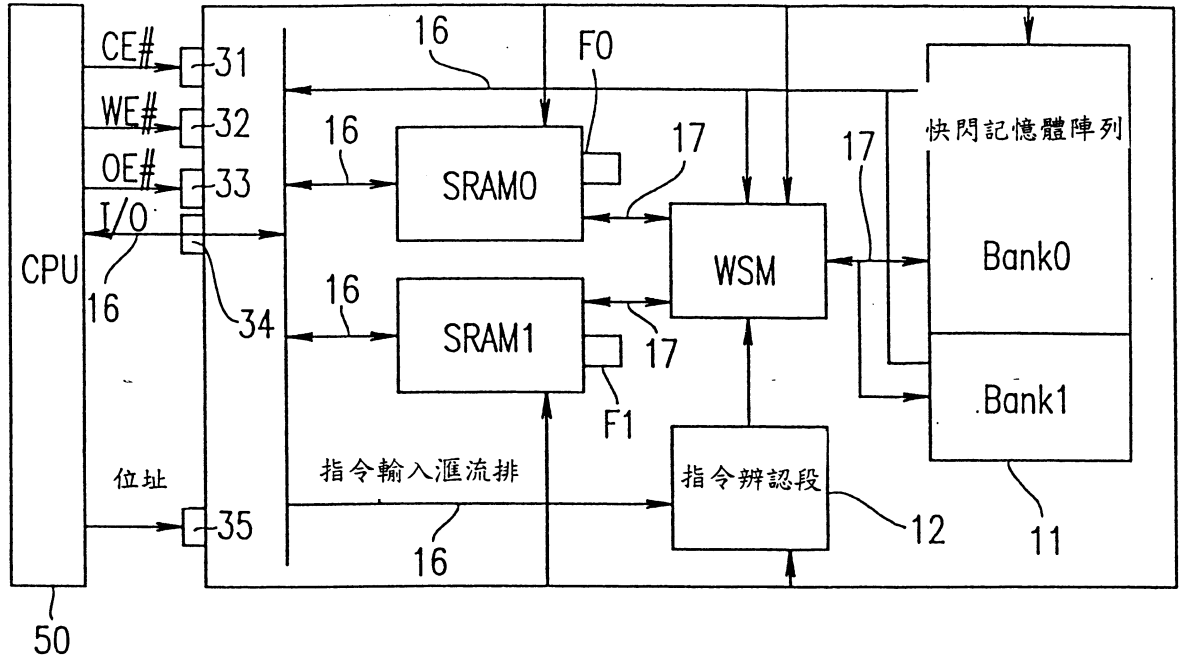


圖28

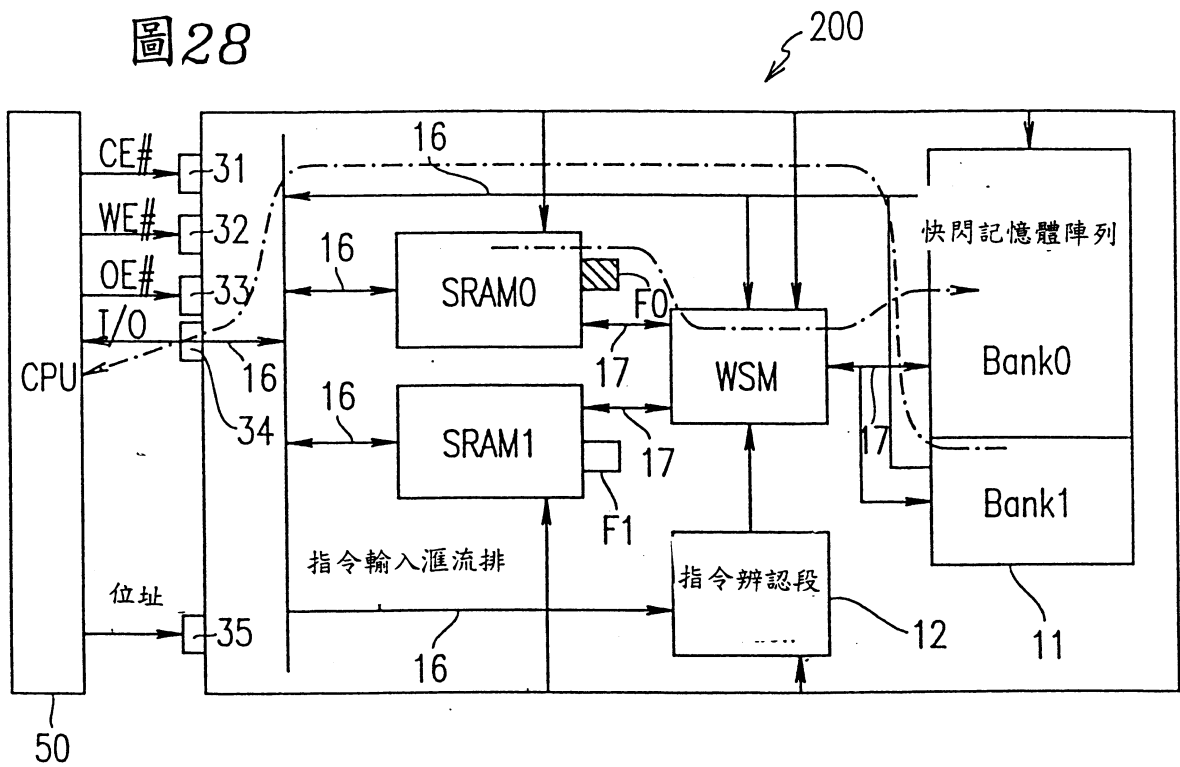


圖29

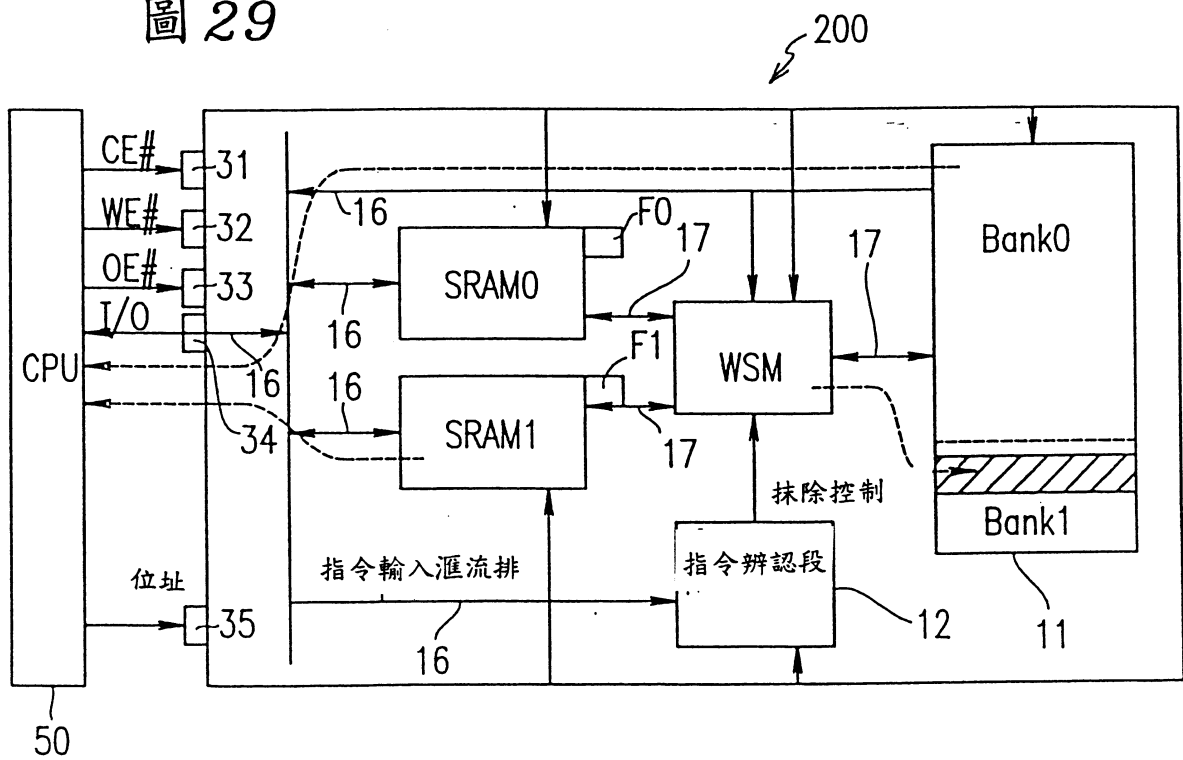


圖 30

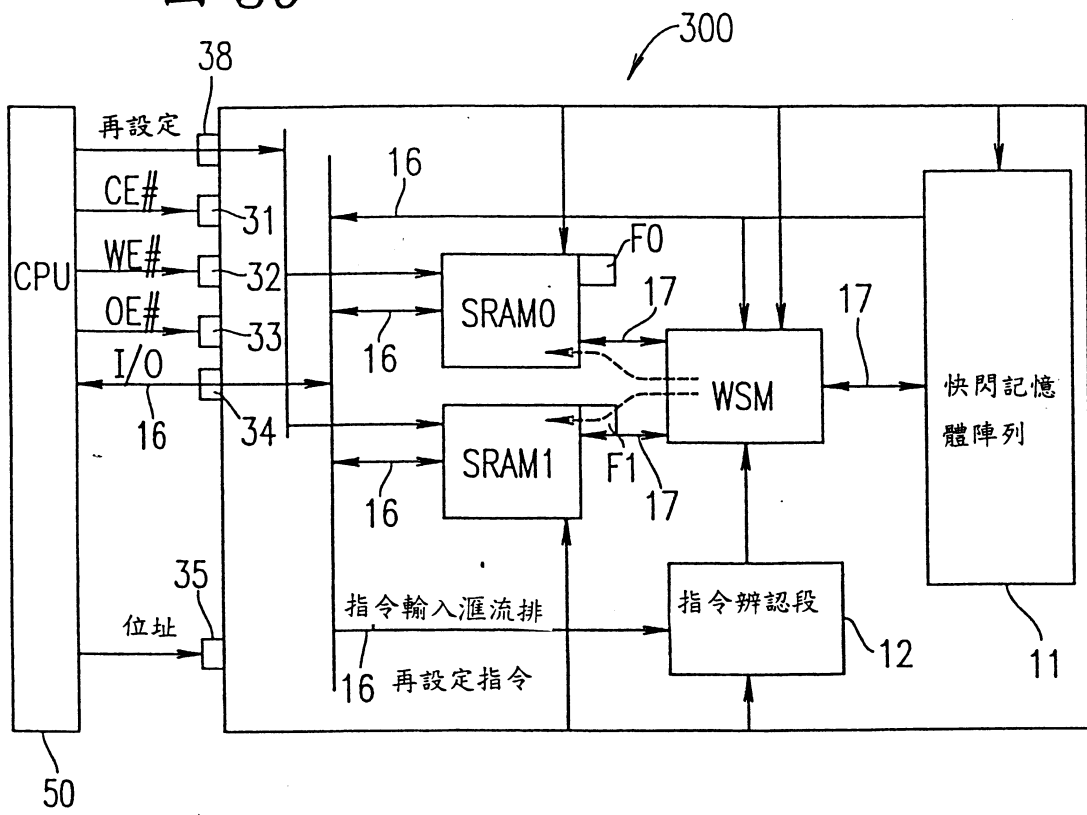


圖 31

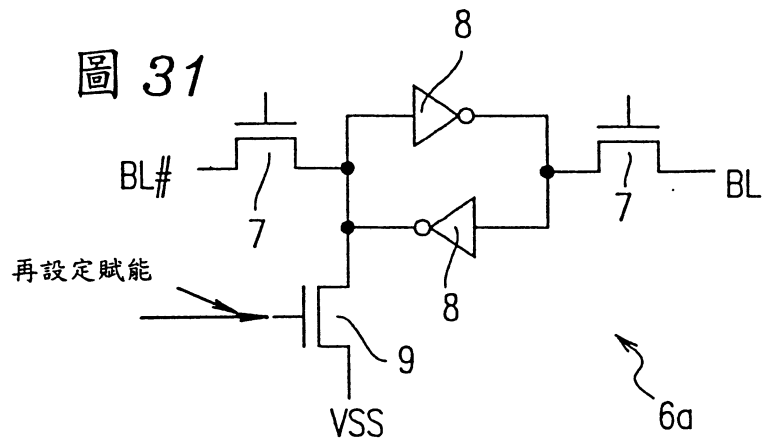


圖 32

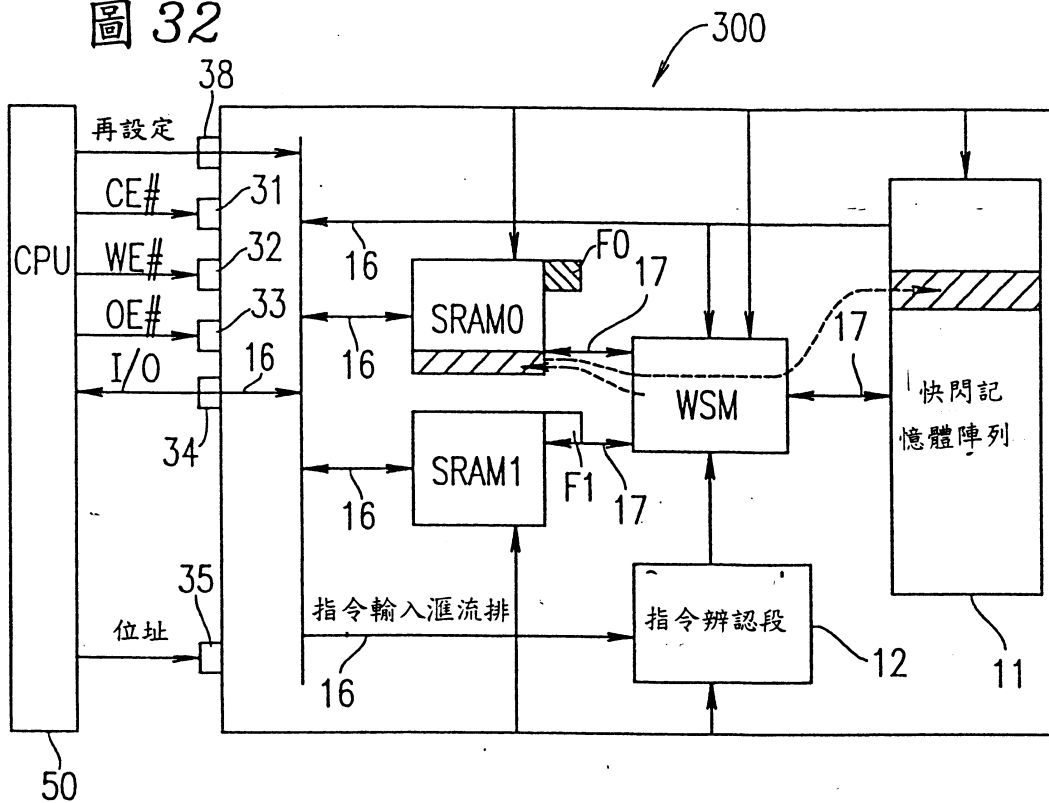


圖 33

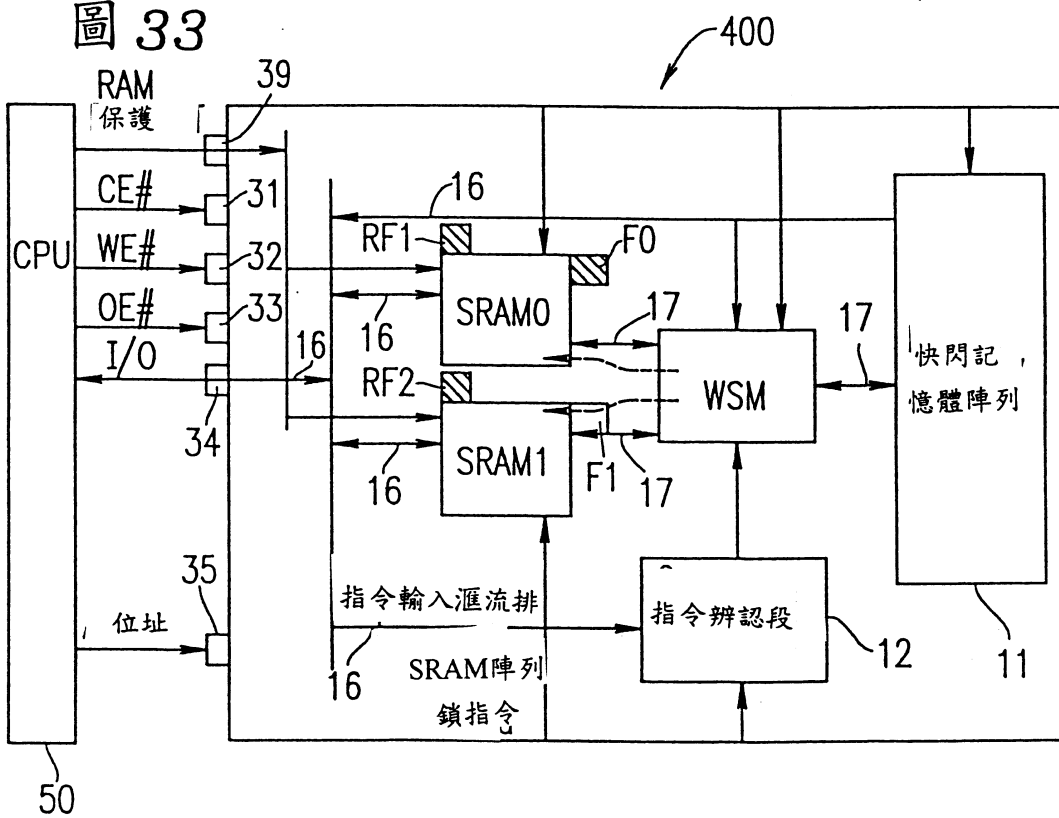


圖 34

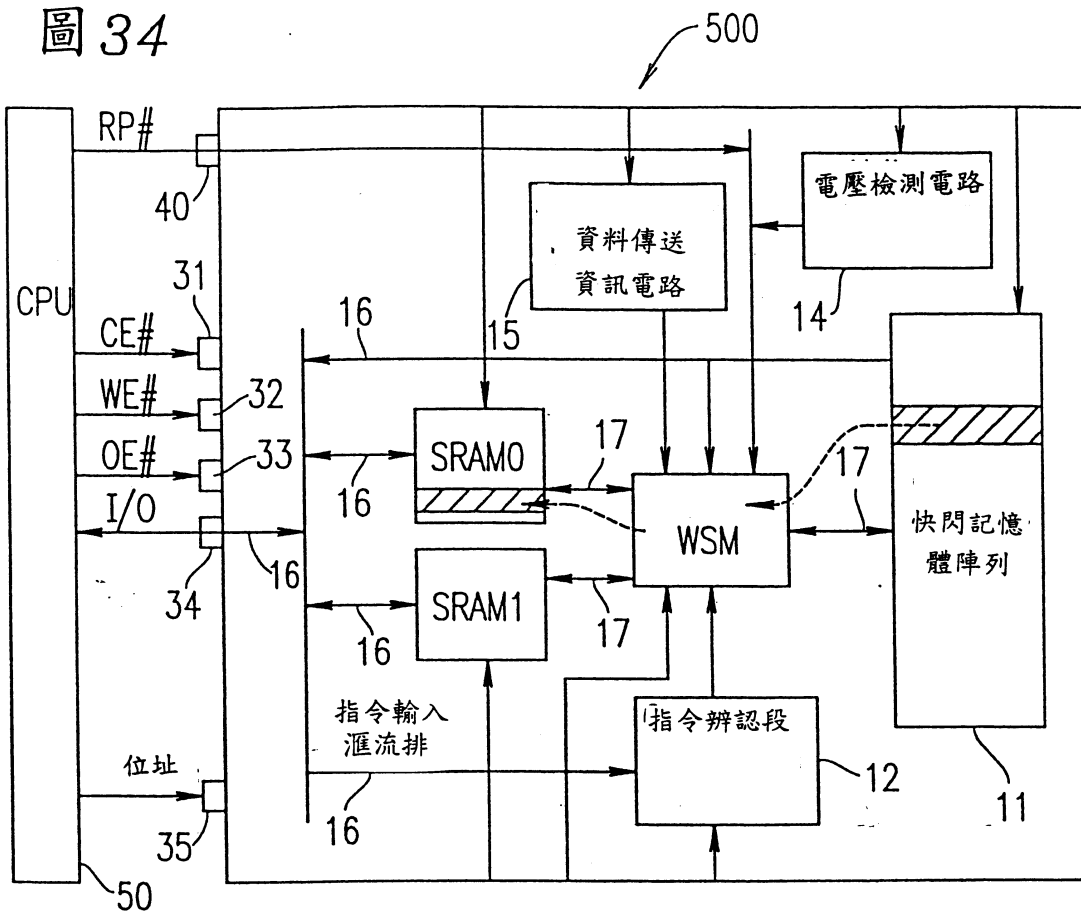


圖 35

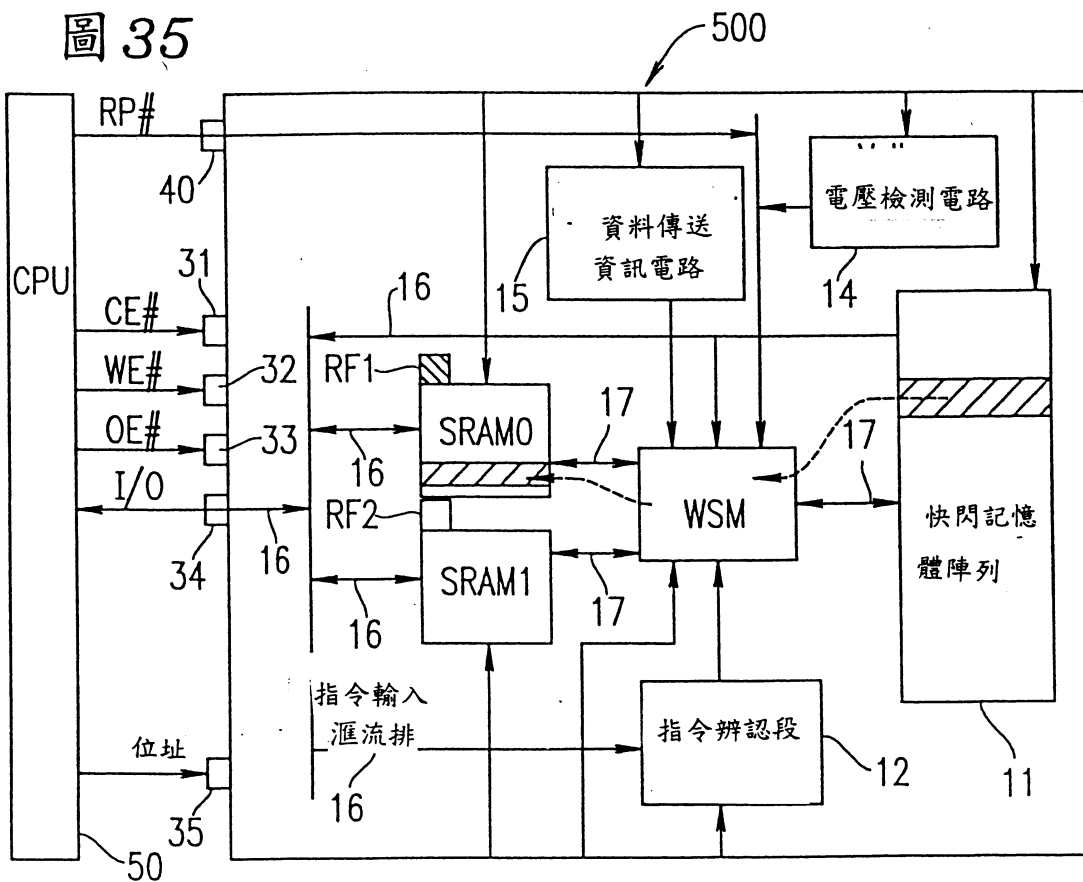


圖 36

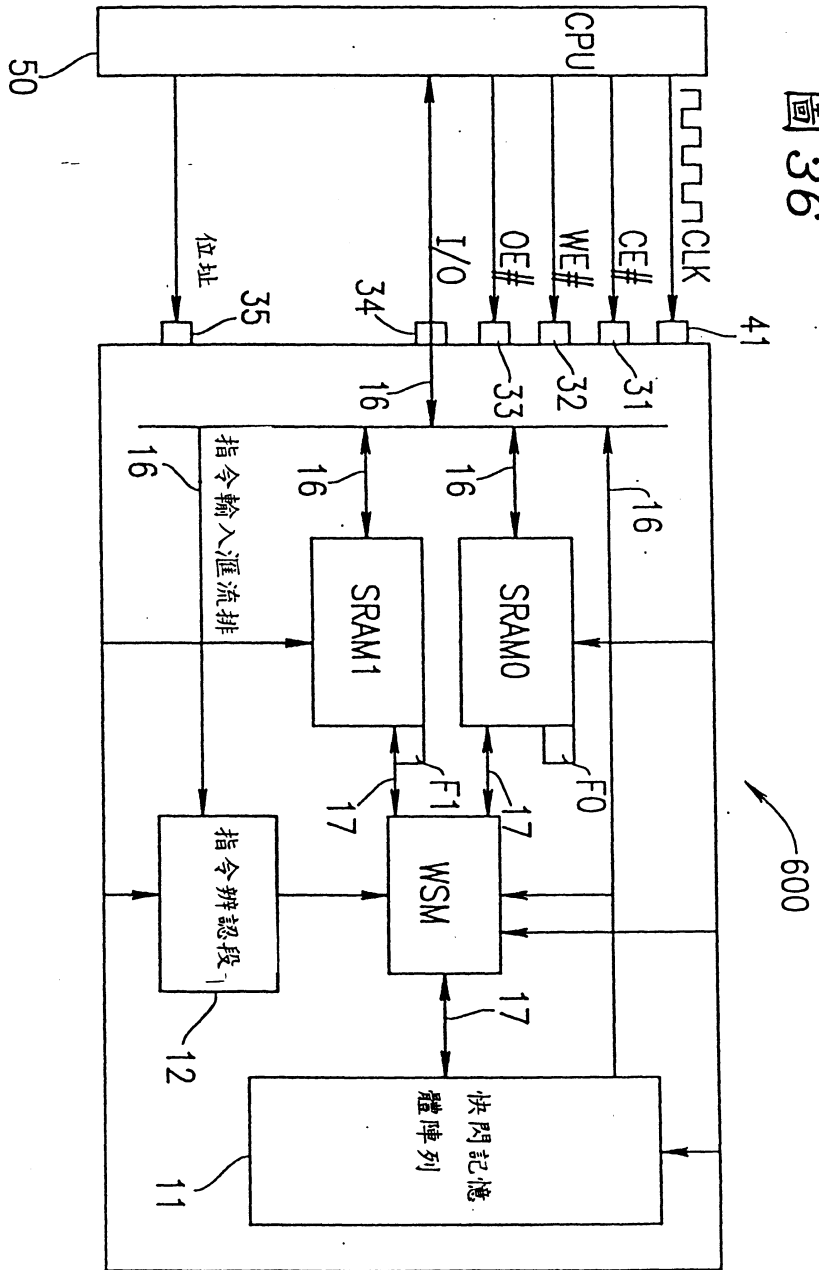


圖 37A

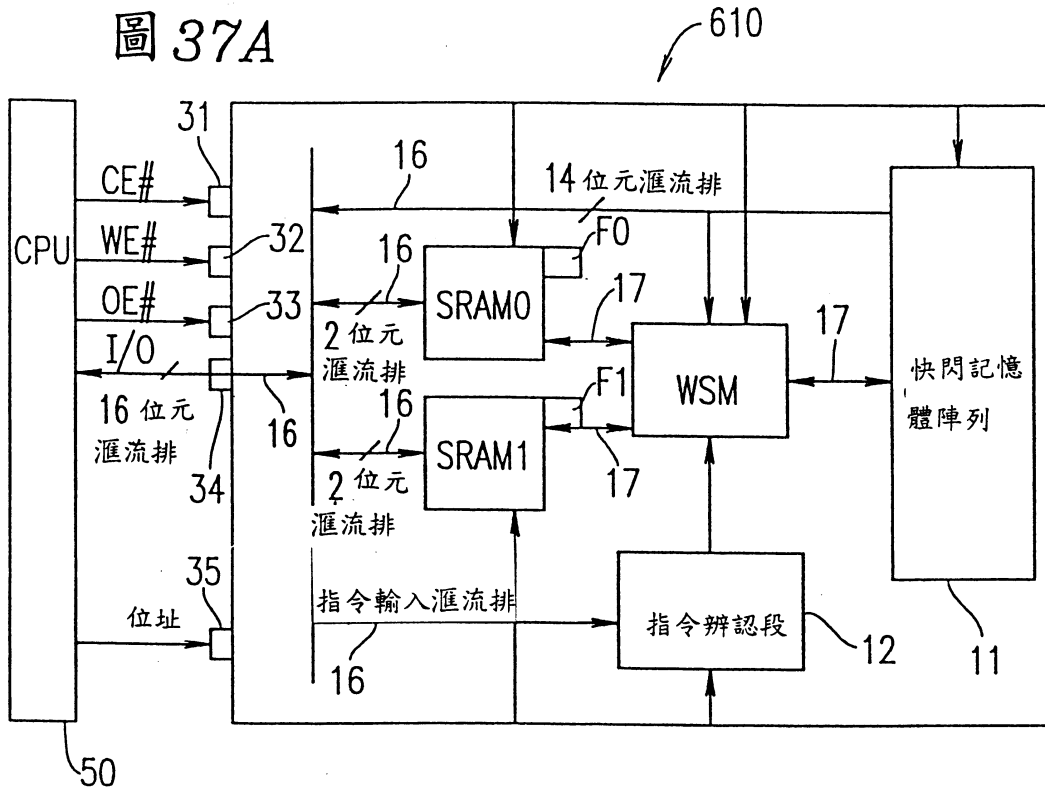


圖 37B

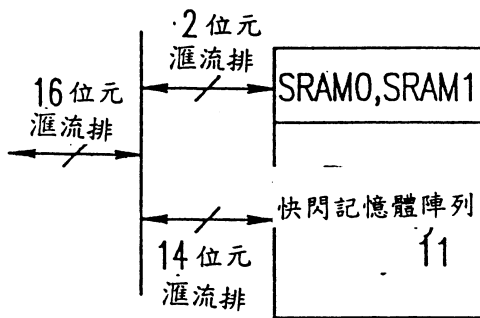
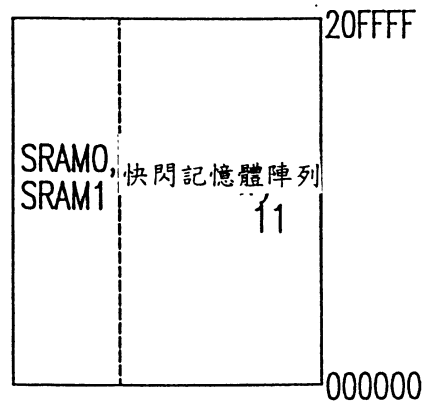


圖 37C



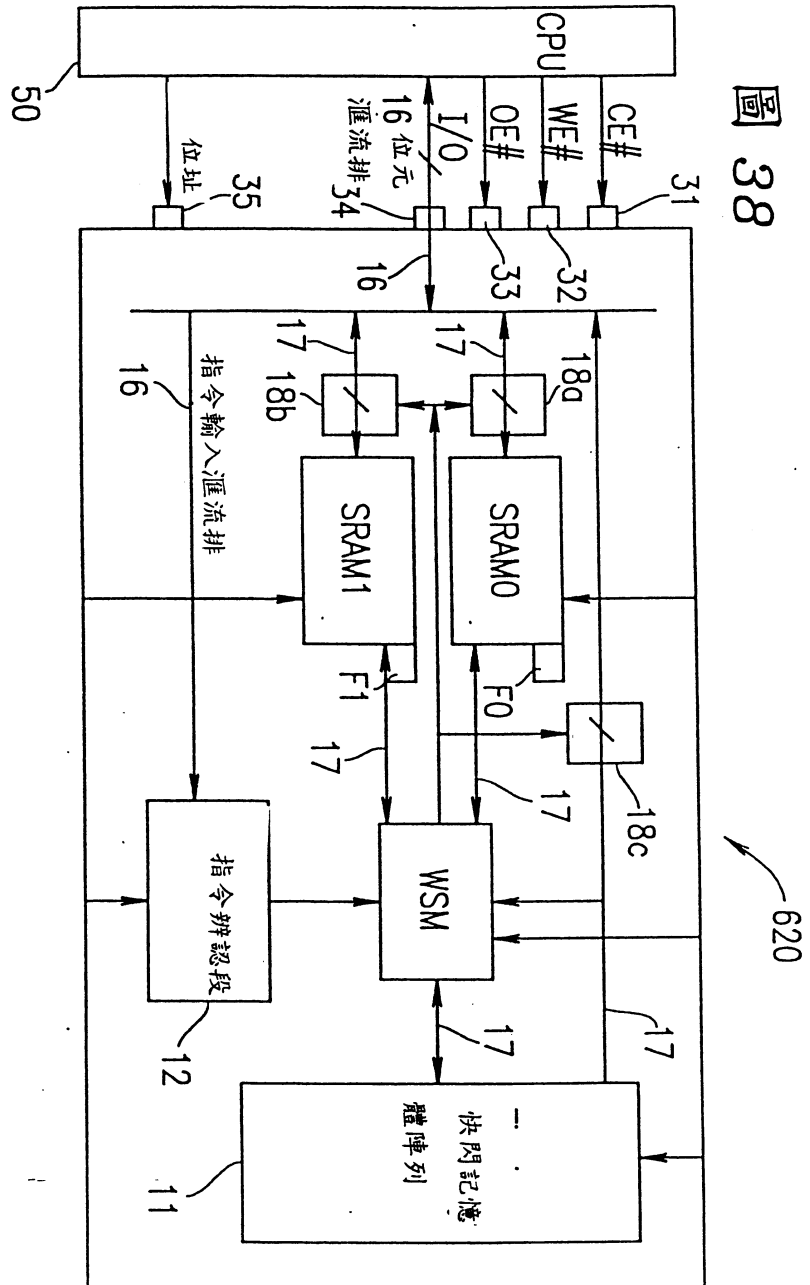


圖 38

圖 39A

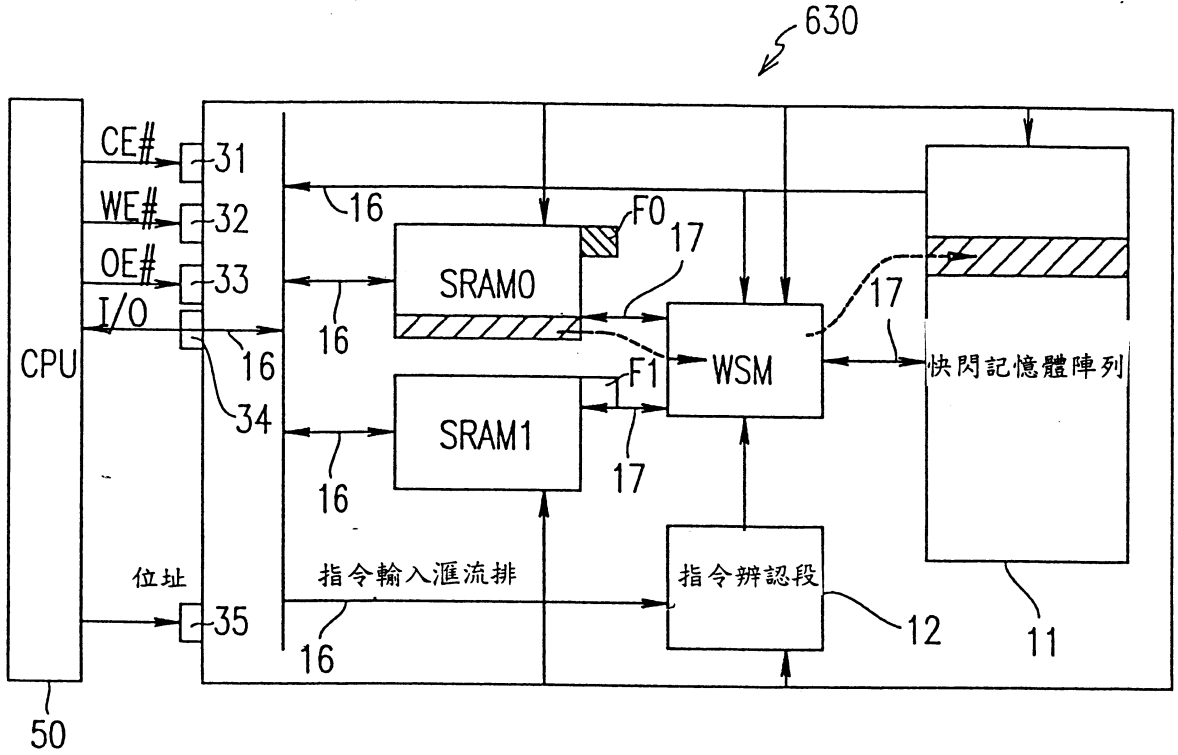


圖 39B

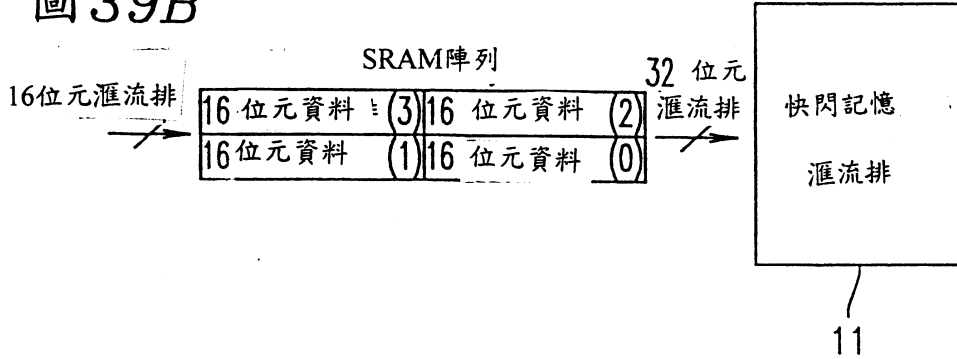


圖 39C

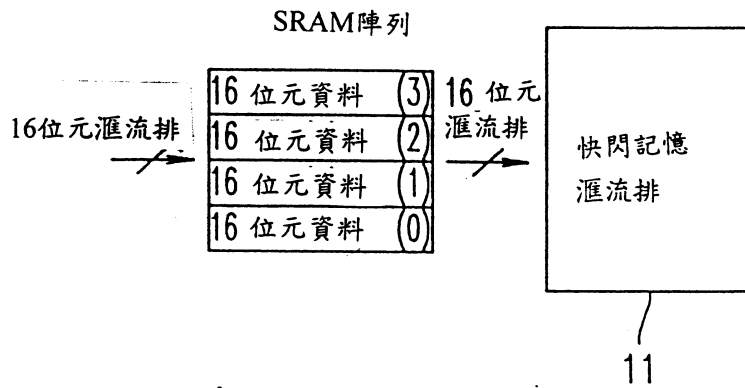
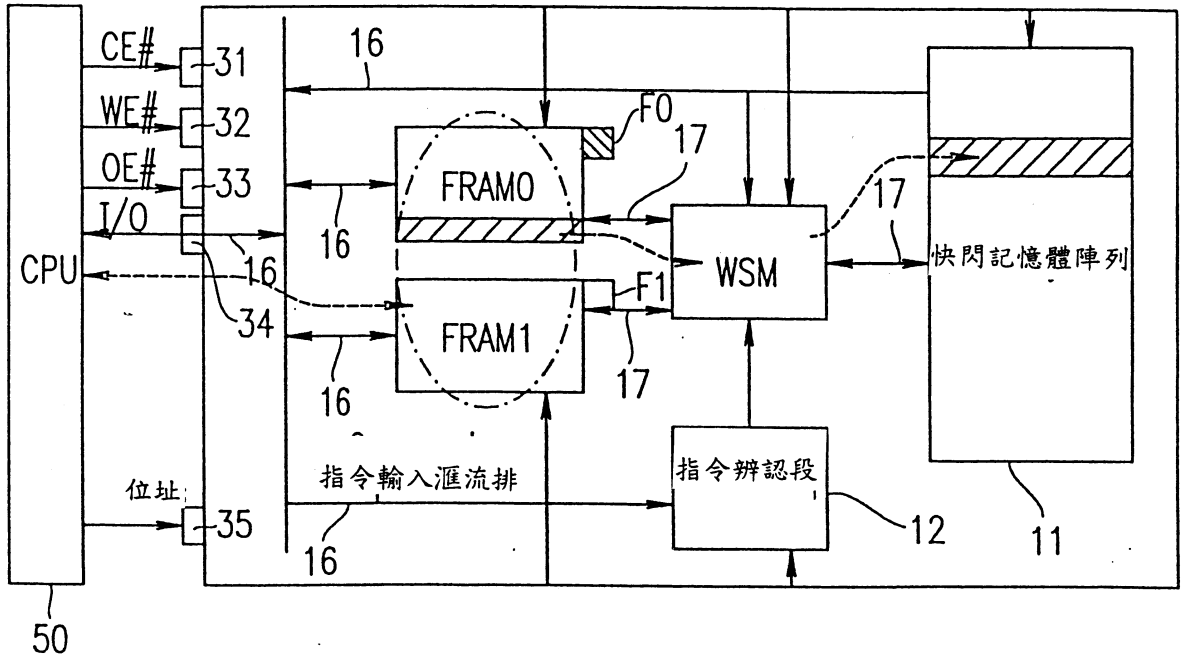


圖 40

640





六、申請專利範圍

1. 一種半導體儲存裝置，包含：

複數個第一記憶體陣列，各含複數個半導體儲存元件，其中資料自外部裝置被寫入，且資料自其讀出至外部裝置；

第二記憶體陣列，其與複數個第一記憶體陣列分離地操作，且包含至少一個含有複數個非可抹除半導體儲存元件之區塊；及

資料傳送段，傳送資料於複數個第一記憶體陣列與第二記憶體陣列之間。

2. 如申請專利範圍第1項之半導體儲存裝置，其中複數個第一記憶體陣列，第二記憶體陣列及資料傳送段形成於相同晶片上。

3. 如申請專利範圍第1項之半導體儲存裝置，其中包含於第一記憶體陣列內之複數個半導體儲存元件為非可抹除半導體儲存元件。

4. 如申請專利範圍第1項之半導體儲存裝置，其中包含於第一記憶體陣列內之複數個半導體儲存元件為可抹除半導體儲存元件。

5. 如申請專利範圍第1項之半導體儲存裝置，其中資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，外部接附至半導體儲存裝置之外部裝置自複數個第一記憶體陣列讀取第一資料或寫入第一資料。

6. 如申請專利範圍第1項之半導體儲存裝置，其中資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間

核議委員指示，本案修正後是否變更原實質內容

裝
訂

六、申請專利範圍

之傳送期間，外部接附至半導體儲存裝置之外部裝置自複數個第二記憶體陣列讀取第一資料、寫入第一資料或抹除第一資料。

7. 如申請專利範圍第1項之半導體儲存裝置，其中存取第二記憶體陣列之指令包括存取複數個第一記憶體陣列之指令。
8. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將儲存於複數個第一記憶體陣列內之第一位址內之資料傳送至第二記憶體陣列內之第二位址。
9. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將儲存於第二記憶體陣列內之第二位址內之資料傳送至複數個第一記憶體陣列內之第一位址。
10. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將儲存於複數個第一記憶體陣列內之第一區內之資料傳送至第二記憶體陣列內之第二區。
11. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將儲存於第二記憶體陣列內之第二區內之資料傳送至複數個第二記憶體陣列內之第一區。
12. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將所有儲存於複數個第一記憶體陣列之至少一個內之資料傳送至第二記憶體陣列內之特定區。
13. 如申請專利範圍第1項之半導體儲存裝置，其中資料傳送段將等於複數個第一記憶體陣列之至少一容量的資料量傳送至自第二記憶體陣列之複數個第一記憶體陣列之

六、申請專利範圍

至少一個。

14. 如申請專利範圍第1項之半導體儲存裝置，其中：

在資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送以前，資料傳送段比較儲存於傳送最初位址之資料與儲存於傳送指定位址內之第一資料；

當儲存於傳送最初位址內之資料相同於儲存於傳送指定位址內之第一資料時，資料傳送段不會傳送資料；及

否則，資料傳送段將資料自傳送最初位址傳送至傳送指定位址。

15. 如申請專利範圍第5項之半導體儲存裝置，其中除了在資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，複數個第一記憶體陣列之至少一個以外，外部裝置存取複數個第一記憶體陣列。

16. 如申請專利範圍第5項之半導體儲存裝置，其中資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送期間，可禁止由外部裝置對複數個第一記憶體陣列之至少一個之存取。

17. 如申請專利範圍第5項之半導體儲存裝置，其中：

資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送係由外部裝置之存取中斷；及

資料於複數個第一記憶體陣列與第二記憶體陣列之至少一個間之傳送係在完成由外部裝置之存取後恢復。

18. 如申請專利範圍第1項之半導體儲存裝置，其中當資料自第二記憶體陣列內之特定區塊抹除時，複數個第一記

六、申請專利範圍

記憶體陣列係由外部裝置存取。

19. 如申請專利範圍第1項之半導體儲存裝置，其中當資料被寫入第二記憶體陣列內之特定區塊內時，複數個第一記憶體陣列係由外部裝置存取。
20. 如申請專利範圍第1項之半導體儲存裝置，其中複數個第一記憶體陣列之至少一個之電容相等於，倍數於或部份於可整個抹除之第二記憶體陣列內區塊之容量。
21. 如申請專利範圍第1項之半導體儲存裝置，其中：
 複數個第一記憶體陣列與第二記憶體陣列存在於不同記憶體空間內；及
 對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由單一控制終端達成。
22. 如申請專利範圍第1項之半導體儲存裝置，其中：
 複數個第一記憶體陣列與第二記憶體陣列存在於相同記憶體空間內；及
 對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由不同控制終端達成。
23. 如申請專利範圍第1項之半導體儲存裝置，其中存取模式係在對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由單一控制終端達成之第一存取模式與對複數個第一記憶體陣列之存取與對第二記憶體陣列之存取係由二個或多個控制終端達成之第二存取模式之間轉換。
24. 如申請專利範圍第1項之半導體儲存裝置，其中：

六、申請專利範圍

第二記憶體陣列包含複數個庫，在各庫中，資料之抹除操作及程式操作與資料之讀取操作可隔開其他庫執行；及

資料透過資料傳送段於複數個庫與複數個第一記憶體陣列之間傳送。

25. 如申請專利範圍第24項之半導體儲存裝置，其中資料於複數個庫與複數個第一記憶體陣列間之傳送期間，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未用於資料之傳送之複數個庫之至少一個的讀取之一。
26. 如申請專利範圍第24項之半導體儲存裝置，其中當資料自複數個庫之一抹除時，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未執行資料抹除之複數個庫之至少一個之讀取之一。
27. 如申請專利範圍第24項之半導體儲存裝置，其中當資料被寫入複數個庫之一內時，外部裝置執行第一資料自複數個第一記憶體陣列之讀取、第二資料於複數個第一記憶體陣列之寫入及第三資料自未執行資料寫入之複數個庫之至少一個之讀取之一。
28. 如申請專利範圍第1項之半導體儲存裝置，其中所有寫入複數個第一記憶體陣列之至少一個內之資料均被再設定至預定狀態。
29. 如申請專利範圍第28項之半導體儲存裝置，其中複數個

六、申請專利範圍

第一記憶體陣列之至少一個被設定至第二記憶體陣列之再設定電池之值。

30. 如申請專利範圍第28項之半導體儲存裝置，其中在寫入複數個第一記憶體陣列之至少一個內之資料傳送至第二記憶體陣列後，再設定複數個第一記憶體陣列之至少一個。
31. 如申請專利範圍第1項之半導體儲存裝置，其中防止於複數個第一記憶體陣列之至少一個內之資料重寫。
32. 如申請專利範圍第1項之半導體儲存裝置，其中當打開對半導體儲存裝置之電力或半導體儲存裝置自電力下降狀態回至正常作用狀態時，資料傳送段將第二記憶體陣列內第一區內之資料傳送至複數個第一記憶陣列內之第二區。
33. 如申請專利範圍第32項之半導體儲存裝置，其中在資料自第二記憶體陣列傳送至複數個第一記憶體陣列後，防止複數個第一記憶體陣列內之傳送資料重寫。
34. 如申請專利範圍第1項之半導體儲存裝置，其中由外部裝置對複數個第一記憶體陣列之存取及由外部裝置對第二記憶體陣列之存取係與時鐘信號同步進行。
35. 如申請專利範圍第1項之半導體儲存裝置，其中資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送狀態被輸出至外部裝置。
36. 如申請專利範圍第1項之半導體儲存裝置，進一步包含輸入/輸出資料匯流排，其具有預定匯流排寬度，其中

六、申請專利範圍

匯流排寬度對複數個第一記憶體陣列與第二記憶體陣列之分配係在複數個第一記憶體陣列之至少一個與第二記憶體陣列之一使用輸入/輸出資料匯流排之情況與複數個第一記憶體陣列之至少一個與第二記憶體陣列均使用輸入/輸出資料匯流排之情況之間轉換。

37. 如申請專利範圍第36項之半導體儲存裝置，其中匯流排寬度對複數個第一記憶體陣列與第二記憶體陣列之分配係由連接至外部裝置之控制終端與預定指令之一所控制。

38. 如申請專利範圍第1項之半導體儲存裝置，進一步包含：

輸入/輸出資料匯流排，其用於資料於外部裝置與複數個第一記憶體陣列及第二記憶體陣列間之傳送；及

內部資料匯流排，其用於資料於複數個第一記憶體陣列與第二記憶體陣列間之傳送，

其中內部資料匯流排之匯流排寬度大於輸入/輸出資料匯流排之匯流排寬度。