

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
8. Mai 2003 (08.05.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 03/038893 A2

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/8249 (81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) Internationales Aktenzeichen: PCT/EP02/11853
- (22) Internationales Anmeldedatum:  
23. Oktober 2002 (23.10.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
101 52 915.5 26. Oktober 2001 (26.10.2001) DE
- (71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

**Veröffentlicht:**

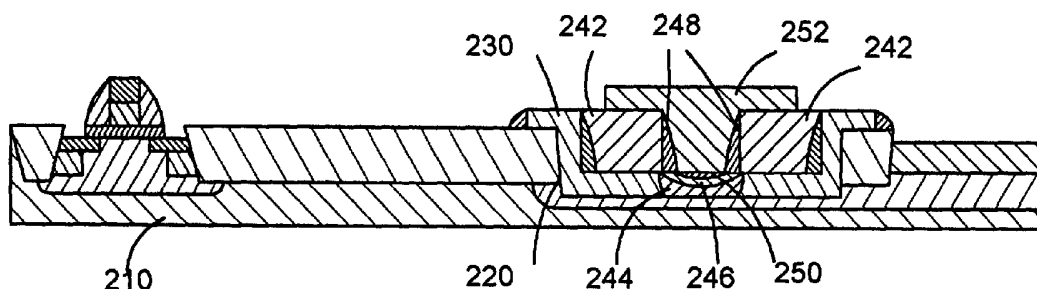
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

- (72) Erfinder; und
- (75) Erfinder/Anmelder (*nur für US*): GRATZ, Achim [DE/DE]; Am Brauhaus 10, 01099 Dresden (DE). KRIZ, Jakob [DE/DE]; Wasastrasse 10, 01689 Weinböhla (DE).
- (74) Anwälte: SCHOPPE, Fritz usw.; Schoppe, Zimmermann, Stöckeler & Zinkler, Postfach 71 08 67, 81458 München (DE).

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: HALBLEITERSTRUKTUR UND VERFAHREN ZUM HERSTELLEN DERSELBEN



(57) Abstract: The invention relates to a semiconductor structure and to a method for the production thereof, wherein a substrate (210) is provided with a first main surface and a recess (220) is made in the main surface of the substrate (210). An active area (244, 24, 250) of the conductor structure is created in the region of the bottom of the recess (220) and contact areas (252) of at least one part of the connections are made in the direction of the first surface of the substrate (210).

(57) Zusammenfassung: Die vorliegende Erfindung schafft eine Halbleiterstruktur und ein Verfahren zum Herstellen derselben, wobei auf einem Substrat (210) mit einer ersten Hauptoberfläche eine Ausnehmung (220) in der ersten Hauptoberfläche des Substrats (210) erzeugt wird. Ferner wird ein aktiver Bereich (244, 246, 250) der Halbleiterstruktur in einem Bereich eines Bodens der Ausnehmung (220) erzeugt und Anschlußbereiche (252) zumindest eines Teils von Anschlüssen in Richtung der ersten Oberfläche des Substrats (210) herausgeführt.



WO 03/038893 A2

## Beschreibung

Halbleiterstruktur und Verfahren zum Herstellen derselben

5 Die vorliegende Erfindung bezieht sich auf das Gebiet von Halbleiterstrukturen und spezieller auf integrierte aktive Halbleiterbauelemente.

10 Typischerweise ergeben sich bei Verfahren zum Herstellen integrierter Bauelemente, wie beispielsweise einem BiCMOS-Prozess, für die verschiedenen Bauelemente unterschiedliche Höhen für Anschlüsse, Isolationen usw.

15 Fig. 1 zeigt eine beispielhafte Struktur aus einem bekannten 0,25µm BiCMOS-Prozess (0,25 µm = minimale Strukturgröße). Die gezeigte BiCMOS Struktur umfaßt einen Bipolar-Transistor und eine CMOS-Transistor. Ein Substrat 100 hat einen Bipolarbereich (rechter Teil "Bi" der Struktur) für einen vertikalen Bipolar-Transistor und einen MOS-Bereich (linker Teil "CMOS"  
20 der Struktur) für einen MOS-Transistor. In Fig. 1 ist die Struktur in einem noch nicht ausdiffundiertem Zustand gezeigt. In einem nachfolgenden Tempersschritt werden die Schichten ausdiffundiert.

25 Der Bipolarbereich umfaßt einen Kollektorbereich 102, einen Basisbereich 104 über dem Kollektorbereich und einen Emitterbereich 106. Auf dem Emitterbereich 106 ist ein Emitteranschluß 108, typischerweise aus Polysilizium, aufgebracht. Um den Emitteranschluß 108 ist ein typischerweise kreisförmiger Basisanschluß 110, typischerweise aus Polysilizium, gebildet. Der Emitteranschluß 108 und der Basisanschluß sind  
30 durch einen Isolationsbereich 112 elektrisch voneinander isoliert. Auf den seitlichen Oberflächen des Basisanschlusses 110 sind ebenfalls Isolationsbereiche 114 gezeigt, die bei  
35 der Herstellung der Isolationsbereiche 120 zurückbleiben. Der Basisanschluß ist mit der Basis 104 über eine in Fig. 1 sche-

matisch gezeigte Basisverbindung 104a verbunden, die sich bei dem nachfolgenden Ausdiffundieren einstellt.

5 Ferner weist der Bipolarbereich einen Kollektoranschluß 114 auf. In dem erwähnten Temperschritt diffundiert das Material aus dem Kollektoranschluß 114, einer vergrabenen n-Schicht 116 (buried layer) und aus dem Kollektor 104 in das Gebiet 118 (Si-Substrat), um so die Verbindung zwischen Kollektor und Kollektoranschluß zu erzeugen.

10

Auf dem Substrat sind ferner Isolationsbereiche 120, 122 als flach vergrabene Schichten angeordnet, die beispielsweise durch ein STI-Verfahren (STI = Shallow Trench Isolation = Flach-Graben-Isolation) gebildet werden und vorbestimmte Bereiche in dem Substrat 100 elektrisch isolieren. Bei der in Fig. 1 gezeigten Struktur wird durch den Bereich 120 der Kollektoranschluß 114 von dem aktiven Bereich des Bipolar-Transistors getrennt, und durch den Bereich 122 wird der Bipolarbereich von dem CMOS-Bereich getrennt.

20

In dem MOS-Bereich ist in einer leitfähigen p-Wanne 124 zwischen einem Source-Anschluß 126 und einem Drain-Anschluß 128, die jeweils einen HDD-Bereich (HDD = highly doped Drain = hoch dotierte Drain) und einen LDD-Bereich (LDD = lightly doped Drain = leicht dotierte Drain) umfassen, ein leitender Kanal 130 gebildet. Über dem Kanal 130 ist eine Gateoxidschicht 132 gebildet, auf der ein Gate-Anschluß 134 und ein Gate-Anschlußbereich 136 gebildet sind. An dem Gate-Anschluß 134 und an dem Gate-Anschlußbereich 136 sind seitlich jeweils ein Abstandhalter 138 gebildet.

30

Die Fig. 1 zeigt einen Abschnitt eines Wafers, auf dem eine Mehrzahl von Bauelementen gebildet sind. Nachfolgend werden die bei solchen Strukturen auftretenden Probleme näher erläutert.

35

Wie in Fig. 1 zu erkennen ist, existieren vier verschiedene CT-Höhen in dem gebildeten Profil (CT-Höhe = die Höhe von einem Kontakt zu einer Metallisierungsebene 140). Eine erste Höhe  $h_1$ , die sich von einer Substratkante erstreckt, eine  
5 zweite Höhe  $h_2$ , die sich von einer Oberfläche des Gate-Anschlußbereichs 136 erstreckt, eine dritte Höhe  $h_3$ , die sich von einer Oberfläche des Basisanschlusses 110 erstreckt, und eine vierte Höhe  $h_4$ , die sich von einem oberen Bereich des Emitteranschlusses 108 erstreckt.

10

Bei dem bekannten  $0,25\mu\text{m}$  BiCMOS-Prozess beträgt die Höhendifferenz  $h_1$ - $h_4$  etwa 500-600 nm, wobei eine Dicke einer BPSG-Schicht (BPSG = Bor Phosphorous Silicat Glas), die nachträglich zum Einebenen der Struktur aufgebracht wird, nach einem  
15 chemisch-mechanischen Polieren im Vergleich zu einer bekannten Halbleiterstruktur ( $0,25\mu\text{m}$  CMOS-Logikstruktur) bei  $750\text{ nm} \pm 100\text{ nm}$  liegt. Bei dieser bekannten Halbleiterstruktur ist das Aspektverhältnis für den längsten Kontakt, d.h. der Substratanschluß (126,  $h_1$ ), kleiner als 1:3.

20

Bei einem weiteren bekannten Verfahren ( $0,13\mu\text{m}$  BiCMOS-Verfahren) werden die Strukturgrößen noch kleiner (minimale Strukturgröße =  $0,13\mu\text{m}$ ), jedoch kann der Emitteranschluß 108 nicht erniedrigt werden. Ein Durchmesser des Emitterkontaktes  
25 (ist in der Figur nicht dargestellt) wird sehr klein (etwa 160 nm). Aufgrund der Emitterhöhe kann die Dicke der BPSG-Schicht nicht verringert werden, so daß sich ein ungünstiges Aspektverhältnis für den Substratkontakt ergibt, was einen Wert von etwa 1:6,5 aufweist.

30

Insbesondere kann eine solche Halbleiterstruktur mit weit überstehenden Anschlüssen nicht mit Verfahrensschritten, die auf niedrig abstehende Anschlüsse ausgerichtet sind, wie beispielsweise einem Aufbringen der BPSG-Schicht mit einer vor-  
35 bestimmten geringen Schichtdicke, weiterverarbeitet werden.

Es wäre folglich wünschenswert, ein Konzept zu besitzen, um unter Verwendung bekannter Verfahrensschritte eine niedrige Höhe für Anschlüsse von aktiven Bereichen zu erhalten.

5 Ferner wäre es wünschenswert, daß ein solches Konzept leicht in bekannte Halbleiterprozesse integrierbar ist, ohne daß bei Kontakten auftretende hohe oder verschiedene Aspektverhältnisse zu Problemen führen. Dies könnte man zwar durch getrennte Prozesse bei der Herstellung der Kontakte erreichen,  
10 jedoch wären hier im Fall der in Fig. 1 gezeigten beispielhaften Struktur vier Masken anstelle eine Maske erforderlich, was zu einem erhöhten, nicht zumutbaren Aufwand bei der Herstellung führen würde. Ferner würden weitere Probleme, z.B. Justagetoleranzen, im Zusammenhang mit der Verwendung von  
15 mehreren Masken auftreten.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Konzept zu schaffen, das eine verbesserte Anordnung von Halbleiterbauelementen und Anschlüssen für dieselben ermöglicht.

20

Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 und eine Halbleiterstruktur nach Anspruch 8 gelöst.

Die Erfindung schafft ein Verfahren zum Herstellen einer  
25 Halbleiterstruktur mit folgenden Schritten:

Bereitstellen eines Substrats mit einer ersten Hauptoberfläche;

30 Erzeugen einer Ausnehmung in der ersten Hauptoberfläche des Substrats;

Erzeugen zumindest eines aktiven Bereichs der Halbleiterstruktur im Bereich eines Bodens der Ausnehmung; und

35

Herausführen der Anschlußbereiche zumindest eines Teils der Anschlüsse in Richtung der ersten Hauptoberfläche des Substrats.

5 Die vorliegende Erfindung basiert auf der Erkenntnis, daß ein übermäßiger Überstand über eine Hauptoberfläche eines Substrats von Anschlußbereichen und/oder aktiven Bereichen für Halbleiterstrukturen dadurch vermieden werden kann, daß in dem Substrat eine Ausnehmung gebildet wird, wobei die Halbleiterstruktur in einem Bereich eines Bodens der Ausnehmung  
10 angeordnet wird.

Ein Vorteil der vorliegenden Erfindung besteht darin, daß die Herstellung einer erfindungsgemäßen Halbleiterstruktur in einen BiCMOS-Prozess eingebunden werden kann.  
15

Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung wird ein vertikaler Bipolar-Transistor in einem BiCMOS-Prozess hergestellt, wobei derselbe in einer Ausnehmung in dem Substrat angeordnet wird.  
20

Dazu wird bei einem STI-Ätzen, das zur Isolation von Teilbereichen des Substrats durchgeführt wird, ein breiter Graben in einem Bipolarbereich eines Substrats geöffnet. Der breite geöffnete Graben wird mit einem Füll-Prozess des STI-Prozesses wieder aufgefüllt, wobei eine Ausnehmung in dem aufgefüllten breiten Graben vor dem Beginn eines Bipolar-Moduls in dem BiCMOS-Prozess wieder geöffnet wird. Daraufhin werden in dem Bipolarbereich die aktiven Bereiche in einem Bereich des Bodens der Ausnehmung gemäß bekannter Verfahren gebildet und die Anschlüsse für dieselben herausgeführt. Aufgrund der Bildung der aktiven Bereiche in der tiefergelegten Ausnehmung weist die gebildete Struktur einen reduzierten Überstand auf gegenüber einer gleichartigen Struktur, die nach  
30 einem bekannten Verfahren gebildet wird.  
35

Das Verfahren der Integration in einen BiCMOS-Prozess weist den Vorteil auf, daß Prozessschritte, die zur Isolation von Bereichen des Substrats in dem BiCMOS-Prozess durchgeführt werden, zum Erzeugen des erfindungsgemäßen Grabens verwendet  
5 werden können. Dadurch werden zusätzliche Prozessschritte, die zur Isolation des Grabenbereichs notwendig wären, eingespart.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung  
10 werden nachfolgend unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Querschnittansicht eines MOS-Transistors und eines Bipolar-Transistor, die durch ein bekanntes BiCMOS-  
15 Verfahren hergestellt wurden;

Fig. 2A - 2G Querschnittsdarstellungen, die ein Ausführungsbeispiels einer Herstellung einer erfindungsgemäßen Halbleiterstruktur zeigen.  
20

Im folgenden wird anhand der Fig. 2A - 2G ein Ausführungsbeispiel der vorliegenden Erfindung erläutert. Das Ausführungsbeispiel stellt einen BiCMOS-Prozess dar, bei dem das erfindungsgemäße Konzept eines Tieferlegens in den BiCMOS-Prozess  
25 integriert ist.

Bei dem BiCMOS-Prozess wird eine STI-Isolation (STI = Shallow Trench Isolation = Flach-Graben-Isolation) verwendet, um eine elektrische Isolation von Bereichen in einem Substrat zu erreichen,  
30 wie es nachfolgend erklärt wird.

Unter Bezugnahme auf Fig. 2A wird in einem ersten Schritt bei einer Rohstruktur ein STI-Ätzen durchgeführt. Die Rohstruktur weist ein Substrat 210 mit einer Hauptoberfläche 210a auf,  
35 das vorzugsweise aus Silizium gebildet ist. In dem Substrat 210 ist in einem Bipolarbereich eine erste leitfähige Wanne 212, die als Kollektoranschlußbereich vorgesehen ist, und in

einem MOS-Bereich eine zweite leitfähige Wanne 214, die zur Bildung des leitenden Kanals und der Source- und Drain-Anschlüsse vorgesehen ist, angeordnet. Das Ausbilden der leitfähigen Wannen 212 und 214 erfolgt unter Verwendung be-  
5 kannter Dotiertechniken, wie beispielsweise einer Ionenimplantationstechnik.

Bei dem STI-Ätzen wird unter Verwendung bekannter Ätztechniken auf der Hauptoberfläche 210a des Substrats 210 ein erster  
10 flacher Graben 216, der zur Isolation des MOS-Bereichs vorgesehen ist, und ferner erfindungsgemäß ein breiter Graben 218 geöffnet, in dem in einem späteren Schritt die erfindungsgemäße Ausnehmung zum Aufnehmen des Bipolar-Transistors gebildet wird. Der breite Graben 218 stößt dabei an die Wanne 212  
15 an, die zum Herausführen des Kollektoranschlusses vorgesehen ist.

In einem darauffolgenden Schritt, der unter Bezugnahme auf Fig. 2B erklärt wird, wird ein STI-Auffüllvorgang durchgeführt. Dabei wird der Graben 216 und der breite Graben 218  
20 mit einem elektrisch isolierenden Material, wie beispielsweise TEOS (Tetra-Ethyl-Ortho-Silikat), aufgefüllt, was durch bekannte Aufbringungstechniken erfolgen kann. Die leitfähige Wanne 214 ist somit durch den breiten aufgefüllten Graben 218  
25 von einem Bipolarbereich elektrisch isoliert.

Gemäß Fig. Fig. 2C wird in dem Bipolarbereich in dem breiten Graben 218 eine Ausnehmung 220 erzeugt. Die Ausnehmung 220 definiert dabei den Bereich, in dem die aktiven Bereiche des  
30 zu bildenden Bipolar-Transistors erzeugt werden sollen. Die Bildung der Ausnehmung 220 erfolgt gemäß bekannter Ätzverfahren, wobei sich die Tiefe der Ausnehmung 220 in Richtung des Substrats bis auf die Kollektorwanne 212 erstreckt. Ferner ist die Ausnehmung 220 in dem aufgefüllten breiten Graben 218  
35 derart gebildet, daß durch Isolationsbereiche 222 und 224 eine seitliche elektrische Isolation erreicht wird.

In einem nächsten Schritt, der unter Bezugnahme auf Fig. 2D erklärt wird, werden auf den freiliegenden Oberflächen der Ausnehmung 220, der Kollektorwanne 212 und der Wanne 214 im MOS-Bereich dünne Oxidschichten 226a, 226b, 226c gebildet, wobei die in dem MOS-Bereich auf der Wanne 214 gebildete Oxidschicht 226a als Gateoxid vorgesehen ist. Daraufhin wird gemäß bekannter Abscheidungsverfahren eine erste Schicht 228 aus Polysilizium ganzflächig auf dem Substrat und in der Ausnehmung 220 aufgebracht.

10

Gemäß Fig. 2E wird in einem nächsten Schritt in einem Bereich des Bipolarbereichs die erste Polysiliziumschicht 228 und die Oxidschichten 226b und 226c entfernt und eine zweite Polysiliziumschicht 230 ganzflächig in dem MOS-Bereich und dem Bipolarbereich abgeschieden.

15

Daraufhin werden gemäß Fig. 2F die Prozessschritte zum Bilden des MOS-Transistors durchgeführt. Dabei wird zuerst durch einen Ätzzvorgang eine Strukturierung der Gateelektrode und des Gateanschlusses durchgeführt. Dazu werden außer in einem Bereich, der für die Gateelektrode vorgesehen ist, in dem MOS-Bereich die zweite Polysiliziumschicht 230 und die erste Polysiliziumschicht 228 entfernt und die Gateoxidschicht 226a strukturiert, so daß eine Gate-Struktur aus der strukturierten Gateoxidschicht 226a und der verbleibenden ersten strukturierten Polysiliziumschicht 228a und zweiten strukturierten Polysiliziumschicht 230a gebildet ist.

20

25

Ferner wird in dem Bipolarbereich in Bereichen außerhalb der Ausnehmung 220 sowie eines direkt an dieselbe angrenzenden Bereichs ebenfalls die erste 228 und zweite 230 Polysiliziumschicht entfernt.

30

Daraufhin werden die Source-/Drain-Bereiche 232a und 232b gebildet. Dazu werden in einem ersten Dotierschritt LDD-Bereiche 234a und 234b (LDD = Lightly doped drain = Leicht dotierte Drain) in der Gate-Wanne beispielsweise durch Ione-

35

nimplantation dotiert. Die nach der Dotierung gebildeten LDD-Bereiche 234a und 234b erstrecken sich in der Gate-Wanne als flache Bereiche teilweise unterhalb der Gateoxidschicht und über dieselbe hinaus. Darauffolgend werden in dem MOS-Bereich  
5 auf dem freiliegenden Bereich der Gateoxidschicht 226a Abstandhalter 236a und 236b und in dem Bipolarbereich an seitlichen Oberflächen der zweiten Polysiliziumschicht Abstandhalter 238a und 238b durch ein Abscheiden und darauffolgendes Ätzen gebildet. Die Abstandhalter 236a und 236b sind seitlich  
10 an der gebildeten Gate-Struktur angeordnet.

Dadurch bewirken dieselben bei dem folgenden Dotierschritt, daß in dem MOS-Bereich die vorgesehenen HDD-Bereiche 240a und 240b (HDD = highly doped drain = hoch dotierte Drain) eine  
15 hohe Dotierung erhalten, während die LDD-Bereiche 234a und 234b im wesentlichen die zuvor implantierte Dotierung mit geringerer Dotierkonzentration beibehalten. Gleichzeitig mit der Dotierung der HDD-Bereiche 240a und 240b wird dabei die Dotierung des Kollektoranschlusses durchgeführt, wodurch sich  
20 eine hochleitfähige Kollektoranschlussschicht 242 in der Kollektorwanne 212 ergibt. Der Bereich der Ausnehmung in dem Bipolarbereich bleibt dabei durch das Aufbringen einer Photo-lackschutzschicht im wesentlichen unbeeinflusst von den obigen Dotierschritten.

25  
Nach dem Erzeugen der aktiven Bereiche des MOS-Transistors wird in dem Bereich der Ausnehmung 220 der vertikale Bipolar-Transistor gebildet. Dabei wird zunächst eine Emitterisolationsschicht 242 ganzflächig aufgebracht. Die Isolationsschicht  
30 242 wird daraufhin zum Bilden eines Emitterfensters geätzt. Nach dem Bilden des Emitterfensters werden die Dotierungen zur Bildung eines Kollektorbereichs 244 und eines Basisbereichs 246 durchgeführt. Daraufhin werden Emitter-Abstandhalter 248 an den seitlichen Oberflächen des Emitterfensters  
35 eingebracht und die Dotierung des Emitterbereichs 250 durchgeführt. Anschließend wird das Emitterfenster durch eine Emitteranschlussschicht 252 aus Polysilizium aufgefüllt,

wobei dieselbe so strukturiert ist, daß sie sich teilweise auf der oberen Oberfläche der Emitterisolationsschicht 242 erstreckt. In einem nachfolgenden Schritt wird das aufgebrachte Polysilizium und die bei der Aufbringung der Abstandhalter verwendeten Materialien, d.h. ein TEOS-Material und ein Nitrid-Material, zurückgeätzt.

Wie es aus Fig. 2F zu erkennen ist, wurde durch das erfindungsgemäße Vorsehen der Ausnehmung 220 und das damit verbundene Verlagern des vertikalen Bipolar-Transistors erreicht, daß die Höhe des Emitteranschlusses 252 im wesentlichen gleich der Höhe des Gate-Anschlußbereichs ist, d.h. typischerweise etwa 150 nm bis 250 nm über die Kante des Substrats hinaus ragt. Folglich paßt der gebildete Bipolar-Transistor ohne weiteres in ein bekanntes Integrationsschema eines Basisprozesses, wie beispielsweise eines 0,13µm CMOS-Logik-Prozesses, bei dem eine zur Planarisierung aufgebrachte BPSG-Schicht eine Schichtdicke von kleiner 600nm aufweist, wobei keine wesentlichen Änderungen in den Prozessabschnitten CT-Ätzen/-Füllen im Vergleich zu dem Grundprozess durchgeführt werden müssen.

Insbesondere wirkt sich bei dem beschriebenen Ausführungsbeispiel vorteilhaft aus, daß die für die elektrische Isolation nötige Grabenisolation zur Erreichung eines abgesenkten Niveaus im Bipolarbereich genutzt werden kann. Diese funktionelle doppelte Nutzung des bekannten STI-Verfahrenschritts stellt ein weiterer Vorteil des beschriebenen Ausführungsbeispiels dar. Die Möglichkeit einer einfachen Integration spart dabei einen Entwicklungsaufwand, d.h. Zeit und Kosten, die für eine Entwicklung oder einen Zukauf neuer Prozesse notwendig sind. Ebenso ist eine Integration in zukünftige Logik-Technologien wesentlich erleichtert, was sich wiederum auf eine schnelle Marktreife, d.h. auf den sogenannten Zeit-zu-Markt-Parameter (Time-to-Market-Parameter), günstig auswirkt. Darüberhinaus wird das Entwerfen von Bipolarschaltungen durch das erfindungsgemäße Konzept im wesentlichen einfach gehalten.

ten, da die Entwurfsregeln des Basisprozesses unverändert bleiben.

Obwohl die vorliegende Erfindung lediglich durch ein Ausführungsbeispiel eines BiCMOS-Prozesses beschrieben wurde, bei dem das erfindungsgemäße Absenken bei einem Vertikal-Bipolartransistor durchgeführt wurde, kann die vorliegende Erfindung auch bei anderen Prozessverfahren und zur Herstellung anderer Halbleiterbauelemente mit reduziertem Überstand verwendet werden.

Beispielsweise können bei alternativen Ausführungsbeispiele mehrere Halbleiterbauelemente durch das erfindungsgemäße Anordnen in Ausnehmungen tiefergelegt werden, wobei die Ausnehmungen nicht notwendigerweise die gleiche Tiefe aufweisen müssen.

Ferner kann das erfindungsgemäße Absenken beispielsweise bei einem reinen Bipolar-Prozess zur Herstellung eines tieferliegenden Bipolar-Transistors oder bei einem reinen MOS-Prozess zur Herstellung eines tieferliegenden MOS-Transistors verwendet werden.

Obwohl oben beschrieben wurde, dass die Isolation nach der Erzeugung der leitfähigen Wannens eingebracht wurde, kann dies alternativ auch vor dem Erzeugen der Wannens erfolgen.

## Bezugszeichenliste

	100	Substrat
	102	Kollektorbereich
5	104	Basisbereich
	106	Emitterbereich
	108	Emitteranschluss
	110	Basisanschluss
	112	Isolationsbereich
10	114	Kollektoranschluss
	116	vergrabene Schicht
	118	Si-Substrat
	120	Isolationsbereich
	122	Isolationsbereich
15	124	Wanne
	126	Source-Anschluss
	128	Drain-Anschluss
	130	leitender Kanal
	132	Gate-Oxid-Schicht
20	134	Gate-Anschluss
	136	Gate-Anschlussbereich
	138	Abstandhalter
	140	Metallisierungsebene
	210	Substrat
25	210a	Hauptoberfläche
	212	Wanne
	214	Wanne
	216	Graben
	218	breiter Graben
30	220	Ausnehmung
	222	Isolationsbereich
	224	Isolationsbereich
	226a	Oxidschicht
	226b	Oxidschicht
35	226c	Oxidschicht
	228	erste Polysiliziumschicht
	228a	erste strukturierte Polysiliziumschicht

- 230 zweite Polysiliziumschicht
- 230a zweite strukturierte Polysiliziumschicht
- 232a Source-/Drain-Bereich
- 232b Source-/Drain-Bereich
- 5 234a LDD-Bereich
- 234b LDD-Bereich
- 236a Abstandhalter
- 236b Abstandhalter
- 238a Abstandhalter
- 10 238b Abstandhalter
- 240a HDD-Bereich
- 240b HDD-Bereich
- 242 Kollektoranschlussschicht
- 244 Kollektorbereich
- 15 246 Basisbereich
- 248 Emitter-Abstandhalter
- 250 Emitterbereich
- 252 Emitteranschlussschicht

## Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterstruktur, mit folgenden Schritten:

5

(a) Bereitstellen eines Substrats (210) mit einer ersten Hauptoberfläche (210a);

10 (b) Erzeugen einer Ausnehmung (220) in der ersten Hauptoberfläche (210a) des Substrats (210);

(c) Erzeugen zumindest eines aktiven Bereichs (244, 246, 250) der Halbleiterstruktur in einem Bereich eines Bodens der Ausnehmung (220); und

15

(d) Herausführen von Anschlußbereichen (252) zumindest eines Teils von Anschlüssen für die aktiven Bereiche (244, 246, 250) in Richtung der ersten Hauptoberfläche (210a) des Substrats (210).

20

2. Verfahren nach Anspruch 1, bei dem Schritt (c) ein Erzeugen der aktiven Bereiche (244, 246, 250) eines Bipolar-Transistors umfaßt.

25 3. Verfahren nach Anspruch 1, bei dem Schritt (c) ein Erzeugen der aktiven Bereiche eines MOS-Transistors umfaßt.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem Schritt (c) ferner einen Schritt eines Erzeugens von zumindest einem zweiten aktiven Bereich (232a, 232b, 226a) und/oder zumindest einem zweiten Anschlußbereich (230a) aufweist, wobei der zumindest eine zweite aktive Bereich und der zumindest eine zweite Anschlußbereich auf der Hauptoberfläche (210a) in einem Bereich außerhalb der Ausnehmung (220) auf dem Substrat (210) angeordnet ist.

30  
35

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem Schritt (b) ferner ein Erzeugen eines an die Ausnehmung (220) angrenzenden Isolationsbereichs (222, 224) zur elektrischen Isolierung der Ausnehmung (220) aufweist.

5

6. Verfahren nach Anspruch 5, bei dem der Schritt (b) folgende Schritte aufweist:

Erzeugen eines Grabens (218) in dem Substrat (210);

10

Auffüllen des Grabens (218) mit einem isolierenden Material; und

Erzeugen der Ausnehmung (220) in einem Bereich des aufgefüllten Grabens (218).

15

7. Verfahren nach Anspruch 6, bei dem der Schritt eines Erzeugens eines Grabens (218) parallel zu dem Erzeugen von zumindest einem Graben (216) zur elektrischen Isolierung von Teilbereichen des Substrats (210) erfolgt und ferner der Schritt des Auffüllens des Grabens (218) mit einem isolierenden Material gleichzeitig mit dem Auffüllen des zumindest einen Grabens (216) zur elektrischen Isolierung von Teilbereichen des Substrats (210) erfolgt.

20

25

8. Halbleiterstruktur mit folgenden Merkmalen:

einem Substrat (210);

einer Ausnehmung (220), die in einer ersten Hauptoberfläche (210a) des Substrats (210) gebildet ist;

30

zumindest einem aktiven Bereich (244, 246, 250), der in einem Bereich eines Bodens der Ausnehmung (220) gebildet ist;

35

einem oder mehreren Anschlußbereichen (252) zum Anschließen der aktiven Bereiche (244, 246, 250), wobei zumindest ein

Teil der Anschlußbereiche (252) in Richtung der ersten Hauptoberfläche (210a) des Substrats (210) herausgeführt sind.

- 5 9. Halbleiterstruktur nach Anspruch 8, bei der zusätzlich zu dem zumindest einen aktiven Bereich (244, 246, 250) zumindest ein zweiter aktiver Bereich (232a, 232b, 226a) und/oder zumindest ein zweiter Anschlußbereich (230a) auf der Hauptoberfläche des Substrats (210) in einem Bereich außerhalb der Ausnehmung (220) gebildet ist.
- 10 10. Halbleiterstruktur nach Anspruch 8 oder 9, bei der der zumindest eine aktive Bereich die aktiven Bereiche (244, 246, 250) eines Bipolar-Transistors umfaßt.
- 15 11. Halbleiterstruktur nach Anspruch 8 oder 9, bei der der zumindest eine aktive Bereich die aktiven Bereiche eines MOS-Transistors umfaßt.

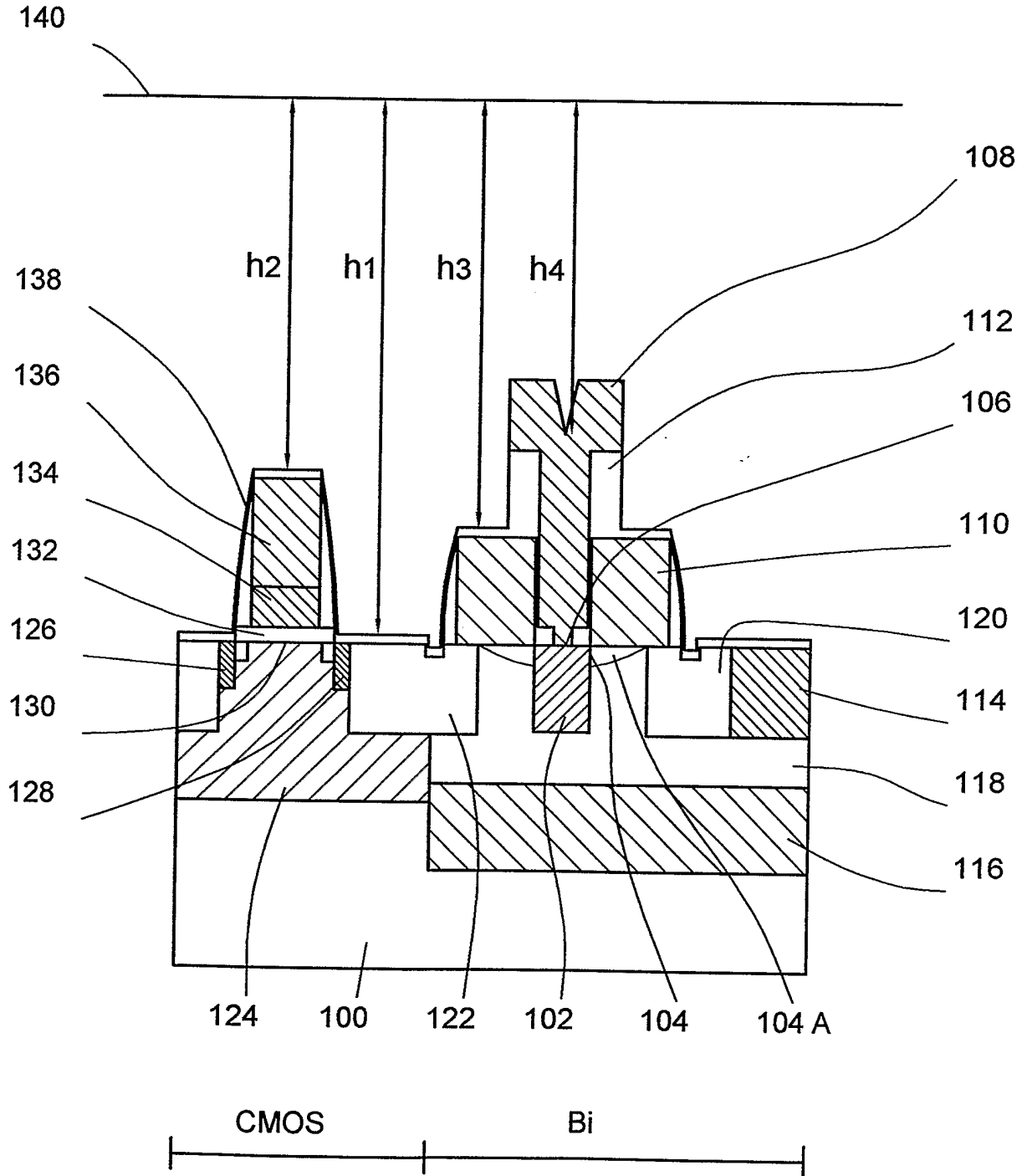


FIG. 1

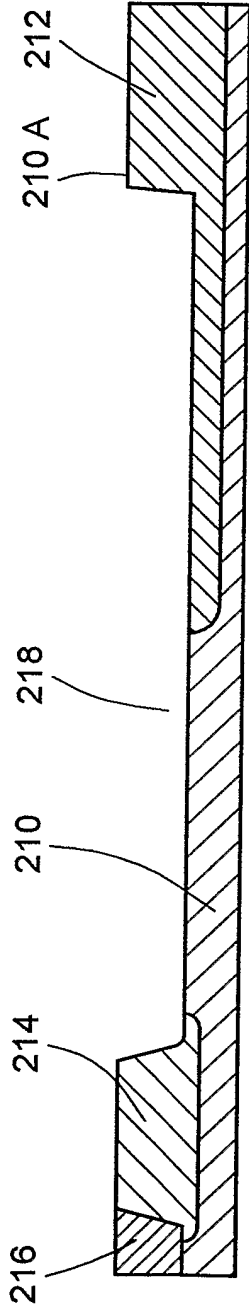


FIG 2A

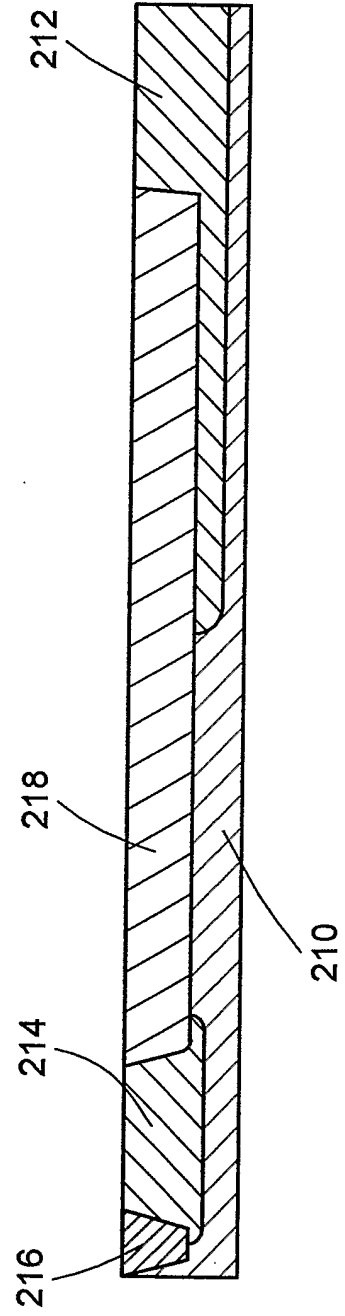


FIG 2B

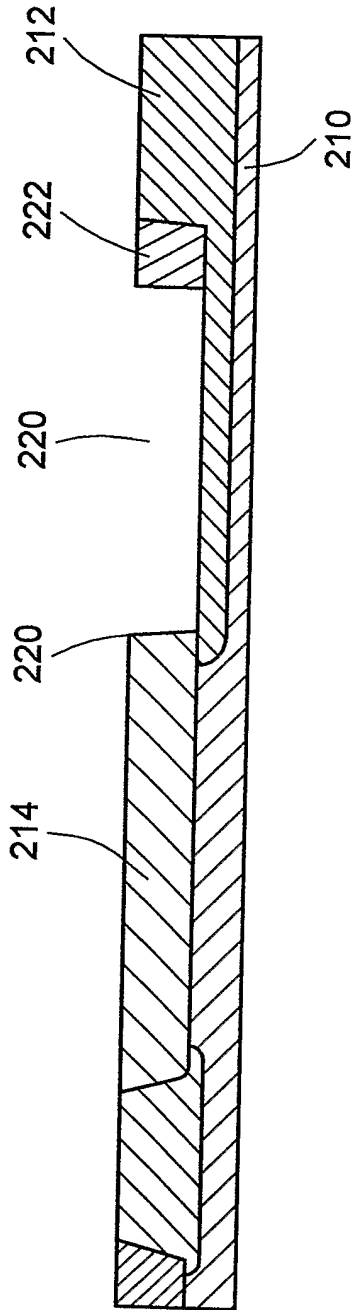


FIG 2C

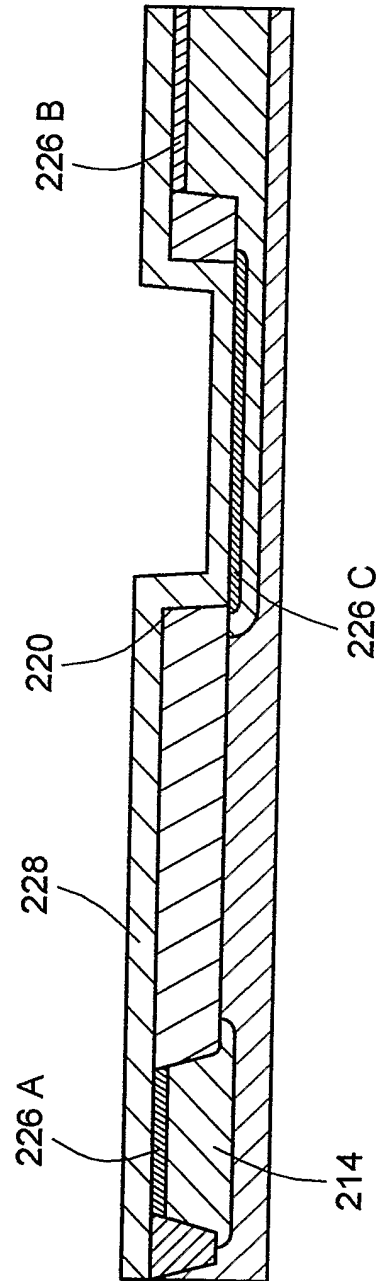


FIG 2D

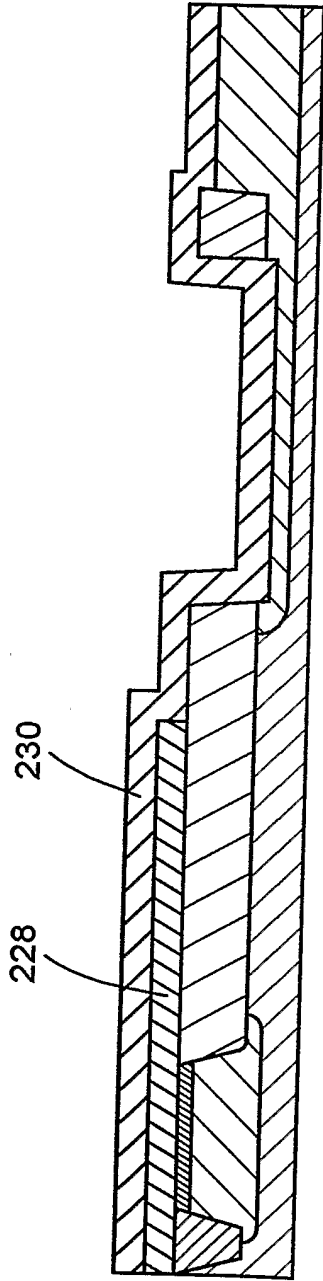


FIG 2E

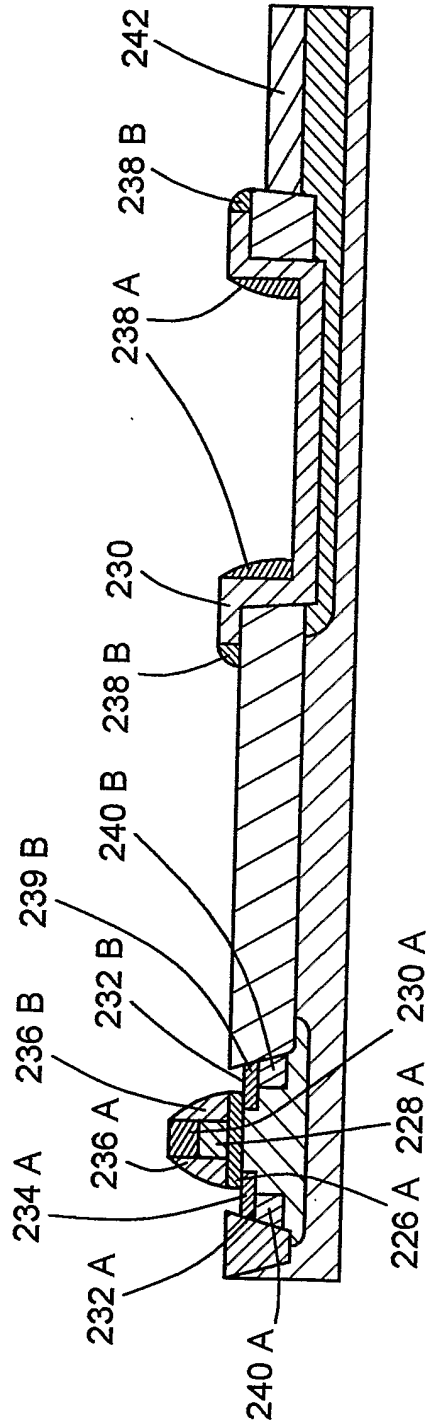


FIG 2F

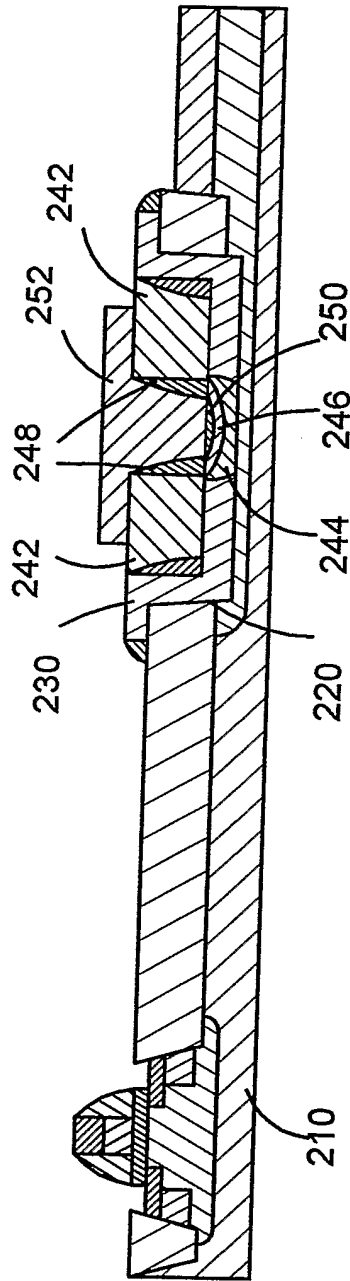


FIG 2G