



(12) 发明专利

(10) 授权公告号 CN 101867357 B

(45) 授权公告日 2014. 07. 23

(21) 申请号 200910159246. 2

KR 20050066167 A, 2005. 06. 30, 全文.

(22) 申请日 2009. 08. 10

审查员 汤明达

(30) 优先权数据

10-2009-0032898 2009. 04. 15 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 郑椿锡

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

H03K 5/00 (2006. 01)

H03L 7/00 (2006. 01)

H03K 19/00 (2006. 01)

(56) 对比文件

US 2001043102 A1, 2001. 11. 22, 全文.

CN 1503362 A, 2004. 06. 09, 全文.

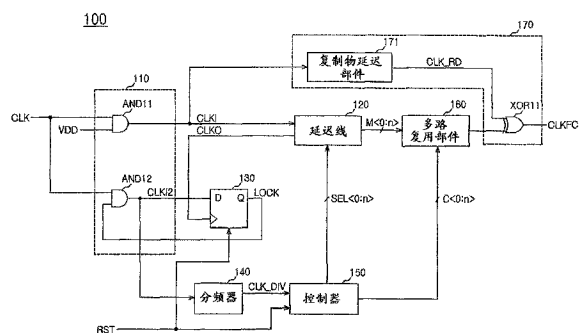
权利要求书3页 说明书6页 附图6页

(54) 发明名称

信号频率改变电路及其频率改变方法

(57) 摘要

给出了一种信号频率改变电路及其频率改变方法。所述信号频率改变电路包括延迟线、检测器、控制器、多路复用部件和输出部件。延迟线对应于延迟控制信号把时钟信号延迟第一延迟时间以便生成延迟信号,并且把所述时钟信号延迟短于第一延迟时间的第二延迟时间以便生成预频率改变时钟信号。检测器生成锁相完成信号。控制器顺序地移位延迟控制信号和多路复用控制信号。多路复用部件选择并输出预频率改变时钟信号之一。输出部件生成频率改变时钟信号。



1. 一种信号频率改变电路,包括:

延迟线,配置为响应于延迟控制信号把时钟信号延迟第一延迟时间以便生成延迟信号,并且把时钟信号延迟小于第一延迟时间的第二延迟时间以便生成预频率改变时钟信号;

检测器,配置为使用延迟信号来检测时钟信号的具体相位以便生成锁相完成信号;

控制器,配置为使用在锁相完成信号的激活时间点之前所提供的时钟信号来顺序地移位所述延迟控制信号和多路复用控制信号;

多路复用部件,配置为响应于多路复用控制信号来选择并输出预频率改变时钟信号之一;和

输出部件,配置为通过使用时钟信号和多路复用部件的输出信号来生成其频率被改变为不同于时钟信号的频率的频率改变时钟信号。

2. 如权利要求 1 所述的信号频率改变电路,其中所述第二延迟时间对应于所述第一延迟时间的一半。

3. 如权利要求 1 所述的信号频率改变电路,其中所述延迟线包括多个延迟单元,所述多个延迟单元中的每个具有多个逻辑器件的链结构,并且输出与所述第二延迟时间相对应的信号的多个逻辑器件之一的输出信号被生成作为呈链结构的预频率改变时钟信号的信号位。

4. 如权利要求 1 所述的信号频率改变电路,其中所述检测器被配置为使用延迟信号的上升沿来检测时钟信号的下降沿,以便激活锁相完成信号。

5. 如权利要求 4 所述的信号频率改变电路,其中所述检测器包括触发电路,所述触发电路被配置来使得时钟信号被输入到输入端子、延迟信号被输入到时钟信号端子以及锁相完成信号被输出到输出端子。

6. 如权利要求 1 所述的信号频率改变电路,其中所述控制器被配置为响应于多路复用控制信号的最高有效位的激活来停止移位多路复用控制信号。

7. 如权利要求 1 所述的信号频率改变电路,其中所述控制器包括:

移位寄存器,配置为通过响应于时钟信号而变换电源电压的电平来生成多路复用控制信号;和

延迟控制信号生成器,配置为通过按照位的序列以两位组合多路复用控制信号来生成延迟控制信号。

8. 如权利要求 7 所述的信号频率改变电路,其中所述移位寄存器被配置为当多路复用控制信号的最高有效位未被激活时接收时钟信号。

9. 如权利要求 7 所述的信号频率改变电路,其中所述延迟控制信号生成器被配置为通过按照位的序列以两位组合多路复用控制信号的除了最低有效位之外的其余位来生成延迟控制信号。

10. 如权利要求 1 所述的信号频率改变电路,其中所述输出部件被配置为通过组合所述多路复用部件的输出信号和把时钟信号延迟从输入时钟信号到生成所述多路复用部件的输出信号的延迟时间的信号来生成频率改变时钟信号。

11. 如权利要求 1 所述的信号频率改变电路,其中所述输出部件包括:

复制物延迟部件,配置为接收时钟信号;和

逻辑器件,配置为通过对所述复制物延迟部件的输出和所述多路复用部件的输出进行异或来生成频率改变时钟信号。

12. 如权利要求 1 所述的信号频率改变电路,进一步包括用于在锁相完成信号的去激活周期期间向所述检测器和所述控制器提供时钟信号的输入部件。

13. 如权利要求 1 所述的信号频率改变电路,进一步包括用于划分时钟信号并且把划分的时钟信号提供给所述控制器的分频器。

14. 一种信号频率改变电路,包括:

延迟线,包括多个延迟单元,每个延迟单元具有逻辑器件的链结构,其中所述延迟线被配置为通过响应于延迟控制信号而被激活的延迟单元来延迟时钟信号以便生成延迟信号,并且所述延迟线输出多个延迟单元的链结构中单位延迟时间的一半相对应的逻辑器件的输出信号来作为预频率改变时钟信号,所述单位延迟时间指所述多个延迟单元中的各延迟单元的延迟时间;

检测器,配置为使用延迟信号来检测时钟信号的具体相位并且生成锁相完成信号;

控制器,配置为使用在锁相完成信号的激活时间点之前所提供的时钟信号来顺序地移位延迟控制信号并且移位多路复用控制信号;

多路复用部件,配置为响应于多路复用控制信号来选择并输出预频率改变时钟信号之一;和

输出部件,配置为通过使用时钟信号和所述多路复用部件的输出信号来生成其频率被改变为不同于时钟信号的频率的频率改变时钟信号。

15. 如权利要求 14 所述的信号频率改变电路,其中所述检测器被配置为通过使用延迟信号的上升沿来检测时钟信号的下降沿,以便激活锁相完成信号。

16. 如权利要求 15 所述的信号频率改变电路,其中所述检测器包括触发电路,所述触发电路被配置来使得时钟信号被输入到输入端子、延迟信号被输入到时钟信号端子以及锁相完成信号被输出到输出端子。

17. 如权利要求 14 所述的信号频率改变电路,其中所述控制器被配置为响应于多路复用控制信号的最高有效位的激活而停止移位多路复用控制信号。

18. 如权利要求 14 所述的信号频率改变电路,其中所述控制器包括:

移位寄存器,配置为通过响应于时钟信号而变换电源电压的电平来生成多路复用控制信号;和

延迟控制信号生成器,配置为通过按照位的序列以两位组合多路复用控制信号来生成延迟控制信号。

19. 如权利要求 18 所述的信号频率改变电路,其中所述移位寄存器被配置为当多路复用控制信号的最高有效位被去激活时接收时钟信号。

20. 如权利要求 18 所述的信号频率改变电路,其中所述延迟控制信号生成器被配置为通过按照位的序列组合多路复用控制信号的除最低有效位之外的其余位来生成延迟控制信号。

21. 如权利要求 14 所述的信号频率改变电路,其中所述输出部件被配置为通过组合所述多路复用部件的输出信号和把时钟信号延迟从输入时钟信号到生成所述多路复用部件的输出信号的延迟时间的信号来生成频率改变时钟信号。

22. 如权利要求 14 所述的信号频率改变电路,其中所述输出部件包括:

复制物延迟部件,配置为接收时钟信号;和

逻辑器件,配置为通过对所述复制物延迟部件的输出和所述多路复用部件的输出进行异或来生成频率改变时钟信号。

23. 如权利要求 14 所述的信号频率改变电路,进一步包括用于在锁相完成信号的去激活周期期间向所述检测器和所述控制器提供时钟信号的输入部件。

24. 如权利要求 14 所述的信号频率改变电路,进一步包括用于划分时钟信号并且把划分的时钟信号提供给所述控制器的分频器。

25. 一种具有多个延迟单元的信号频率改变电路的频率改变方法,所述多个延迟单元把输入信号延迟单位延迟时间并输出,所述单位延迟时间指所述多个延迟单元中的各延迟单元的延迟时间,该方法包括:

通过经由所述多个延迟单元延迟外部时钟信号来生成第一延迟信号,并且通过经由所述多个延迟单元中的每个把外部时钟信号延迟与所述单位延迟时间相比减少预定比率的延迟时间来生成第二延迟信号;以及

在第二延迟信号当中选择与预定相位差在外部时钟信号和第一延迟信号之间生成的时间点相对应的第二延迟信号,并且通过组合所选的第二延迟信号和外部时钟信号来改变外部时钟信号的频率。

26. 如权利要求 25 所述的信号频率改变电路的频率改变方法,其中所述预定相位差是时钟信号的周期的一半的相位差。

27. 如权利要求 25 所述的信号频率改变电路的频率改变方法,其中按照所述预定比率减少的延迟时间是对应于所述单位延迟时间的一半的延迟时间。

28. 如权利要求 25 所述的信号频率改变电路的频率改变方法,其中通过使外部时钟信号的频率增为两倍来改变外部时钟信号的频率。

29. 如权利要求 25 所述的信号频率改变电路的频率改变方法,其中通过组合把外部时钟信号延迟建模延迟时间的信号和所选的第二延迟信号来进行所选的第二延迟信号和外部时钟信号的组合,以及

所述建模延迟时间是从输入外部时钟信号到选择第二延迟信号的延迟时间。

信号频率改变电路及其频率改变方法

[0001] 相关申请的交叉引用

[0002] 本申请按照 35U. S. C119(a) 要求了于 2009 年 4 月 15 日在韩国知识产权局提交的韩国申请序列号 10-2009-0032898 的优先权益,在此如完全阐明一般将其全部内容通过引用加以结合。

技术领域

[0003] 本发明涉及一种半导体集成电路,尤其涉及一种信号频率改变电路及其频率改变方法。

背景技术

[0004] 半导体集成电路需要其频率高于从外部控制器所提供的时钟信号的频率的时钟信号,以便测试其工作。

[0005] 半导体测试设备没有提供具有高频率以便测试半导体集成电路的适当时钟信号。

[0006] 因此,在半导体集成电路内部提供了信号频率改变电路,用于把从外部提供的时钟信号的频率例如改变为两倍频率那么高。

[0007] 图 1 是依照在现有技术中公知的一个例子的信号频率改变电路 1 的电路图,并且图 2 是依照在现有技术中公知的另一例子的信号频率改变电路 10 的框图。

[0008] 如图 1 所示,依照现有技术的信号频率改变电路 1 包括延迟器件 ‘DLY’ 和异或门 ‘XOR1’。

[0009] 在图 1 中所示出的信号频率改变电路 1 对时钟信号 ‘CLK’ 和延迟器件 ‘DLY’ 的输出信号 ‘A’ 执行 XOR 操作,以便生成其频率为时钟信号 ‘CLK’ 频率两倍的输出信号 ‘OUT’。

[0010] 如图 2 所示,依照现有技术的另一实施例的信号频率改变电路 10 包括计数器 11、振荡器 12 和逻辑电路 13。

[0011] 在图 2 所示出的信号频率改变电路 10 中,振荡器 12 生成与时钟信号 ‘CLK’ 相比具有更高频率的振荡信号 (OSC),以及计数器 11 进行计数并且输出振荡信号 ‘OSC’。而且,逻辑电路 13 使用计数器 11 的输出来生成其周期与时钟信号 ‘CLK’ 的一个周期的一半相对应的输出信号 ‘OUT’,即其频率为时钟信号 ‘CLK’ 频率的两倍。

[0012] 尽管依照现有技术的信号频率改变电路 1 的结构简单,不过由于输出信号 ‘OUT’ 的占空度依照延迟器件 ‘DLY’ 而显著地波动,这增加了出现占空度错误的概率,所以可能出现的问题。例如,时钟信号 ‘CLK’ 的占空度错误可能由于在输出信号 ‘OUT’ 的上升沿中的抖动而出现。

[0013] 此外,由于依照振荡器 12 的工作而增加了电流消耗,并且依照计数器 11 的输出信号的位数的增加而增加了电路面积,所以依照现有技术的信号频率改变电路 10 可能会有问题。

发明内容

[0014] 这里描述了能够使占空度错误最小化并且减少电流消耗的信号频率改变电路及其频率改变方法。

[0015] 在一个实施例中,依照实施例的信号频率改变电路包括:延迟线,配置为对应于延迟控制信号把时钟信号延迟第一延迟时间以便生成延迟信号,并且把时钟信号延迟小于第一延迟时间的第二延迟时间以便生成预频率改变时钟信号;检测器,配置为使用延迟信号来检测时钟信号的具体相位以便生成锁相完成信号;控制器,配置为使用在锁相完成信号的激活时间点之前所提供的时钟信号来顺序地移位延迟控制信号和多路复用控制信号;多路复用部件,配置为响应于多路复用控制信号来选择并输出预频率改变时钟信号之一;和输出部件,配置为使用时钟信号和多路复用部件的输出信号来生成其频率被改变为不同于时钟信号的频率的频率改变时钟信号。

[0016] 在另一实施例中,依照实施例的信号频率改变电路包括:延迟线,包括均具有逻辑器件的链结构的多个延迟单元,通过响应于延迟控制信号而被激活的延迟单元来延迟时钟信号以便生成延迟信号,并且输出在多个延迟单元的逻辑器件的链结构中单位延迟时间的一半对应的逻辑器件的输出信号来作为预频率改变时钟信号,所述单位延迟时间指所述多个延迟单元中的各延迟单元的延迟时间;检测器,使用延迟信号来检测时钟信号的具体相位并且生成锁相完成信号;控制器,使用在锁相完成信号的激活时间点之前所提供的时钟信号来顺序地移位延迟控制信号和多路复用控制信号;多路复用部件,响应于多路复用控制信号来选择并输出预频率改变时钟信号之一;和输出部件,使用时钟信号和多路复用部件的输出信号来生成其频率被改变为不同于时钟信号的频率的频率改变时钟信号。

[0017] 在又一实施例中,信号频率改变电路的频率改变方法是具有多个延迟单元的信号频率改变电路的频率改变方法,所述延迟单元把输入信号延迟单位延迟时间并输出,所述单位延迟时间指所述多个延迟单元中的各延迟单元的延迟时间。信号频率改变电路的频率改变方法包括:通过经由多个延迟单元延迟外部时钟信号来生成第一延迟信号,并且通过经由多个延迟单元中的每个把外部时钟信号延迟与单位延迟时间相比减少预定比率的延迟时间来生成第二延迟信号;以及在第二延迟信号当中选择与预定相位差在外部时钟信号和第一延迟信号之间生成的时间点相对应的第二延迟信号,并且通过组合所选的第二延迟信号和外部时钟信号来改变外部时钟信号的频率。

[0018] 下面在“具体实施方式”中描述这些及其它特征、方面和实施例。

附图说明

[0019] 结合附图来描述特征、方面和实施例,其中:

[0020] 图 1 是依照现有技术一个例子的信号频率改变电路 1 的电路图;

[0021] 图 2 是依照现有技术另一例子的信号频率改变电路 10 的框图;

[0022] 图 3 是依照实施例的信号频率改变电路 100 的框图;

[0023] 图 4 是图 3 的延迟线 120 的电路图;

[0024] 图 5 是图 3 的控制器 150 的电路图;

[0025] 图 6 是图 3 的控制器 150 的输出波形图;和

[0026] 图 7 是依照实施例的信号频率改变电路 100 的输出波形图。

具体实施方式

[0027] 以下,将参考附图详细描述优选实施例。

[0028] 图 3 是依照实施例的信号频率改变电路 100 的框图。

[0029] 如图 3 所示,依照实施例的信号频率改变电路 100 包括输入部件 110、延迟线 120、检测器 130、分频器 140、控制器 150、多路复用部件 160 和输出部件 170。

[0030] 输入部件 110 包括第一与门 ‘AND11’ 和第二与门 ‘AND12’。

[0031] 由于电源电压 ‘VDD’ 被施加到第一输入端子,所以向第一与门 ‘AND11’ 提供通过第二输入端子输入到延迟线 120 的时钟信号 ‘CLK’ 作为第一输入信号 ‘CLKI’。

[0032] 第二与门 ‘AND12’ 可以响应于锁相完成信号 ‘LOCK’ 来向检测器 130 传送或中断时钟信号 ‘CLK’。换句话说,当将锁相完成信号 ‘LOCK’ 去激活到高电平时,第二与门 ‘AND12’ 把第二输入信号 ‘CLKI2’ 传送到检测器 130 作为时钟信号 ‘CLK’。当将锁相完成信号 ‘LOCK’ 激活到低电平时,第二与门 ‘AND12’ 通过把第二输入信号 ‘CLKI2’ 锁定到低电平来中断向检测器 130 输入时钟信号 ‘CLK’。

[0033] 依照电路设计方案可以有选择地使用第一与门 ‘AND11’ (其是虚设器件)。换句话说,优选地是,时钟信号 ‘CLK’ 输入到延迟线 120 时的时间点与时钟信号 ‘CLK’ 输入到检测器 130 时的时间点相匹配。因此,为了匹配时钟信号 ‘CLK’ 的输入时间点,第一与门 ‘AND11’ 被配置为具有与第二与门 ‘AND12’ 的延迟时间相同的信号延迟时间。因而,就时间点而言,第一输入信号 ‘CLKI’ 和第二输入信号 ‘CLKI2’ 可以被认为是相同的信号。

[0034] 延迟线 120 接收第一输入信号 ‘CLKI’ 和延迟控制信号 ‘SEL<0:n>’, 并且输出延迟信号 ‘CLK0’ 和预频率改变时钟信号 ‘M<0:n>’。

[0035] 延迟信号 ‘CLK0’ 是通过延迟线 120 把第一输入信号 ‘CLKI’ 延迟对应于延迟控制信号 ‘SEL<0:n>’ 的时间的信号。

[0036] 检测器 130 优选可以被配置为触发电路,并且响应于复位信号 ‘RST’ 被初始化。

[0037] 检测器 130 按照延迟信号 ‘CLK0’ 的上升沿来检测第二输入信号 ‘CLKI2’ 的下降沿,以便在低电平激活锁相完成信号 ‘LOCK’。

[0038] 分频器 140 划分第二输入信号 ‘CLKI2’ 以便生成划分的时钟信号 ‘CLK_DIV’。

[0039] 控制器 150 使用划分的时钟信号 ‘CLK_DIV’ 来生成延迟控制信号 ‘SEL<0:n>’ 和多路复用控制信号 ‘C<0:n>’。

[0040] 多路复用部件 160 响应于多路复用控制信号 ‘C<0:n>’ 来选择并输出预频率改变时钟信号 ‘M<0:n>’ 之一。例如,当多路复用控制信号 ‘C<n>’ 被激活时,多路复用部件 160 选择并输出预频率改变时钟信号 ‘M<n>’。

[0041] 输出部件 170 包括复制物延迟部件 171 和异或门 ‘XOR11’。

[0042] 复制物延迟部件 171 是延迟器件,其被配置为具有按照建模延迟时间的延迟时间,所述建模延迟时间用于建模实施例的信号频率改变电路的内部延迟时间。即,从输入第一输入信号 ‘CLKI’ 到生成多路复用部件 160 的输出信号的延迟时间。复制物延迟部件 171 把第一输入信号 ‘CLKI’ 延迟建模延迟时间,以便生成输出信号 ‘CLK_RD’。

[0043] 异或门 ‘XOR11’ 对复制物延迟部件 171 的输出信号 ‘CLK_RD’ 和多路复用部件 160 的输出信号执行异或操作,以便输出频率改变时钟信号 ‘CLKFC’。

[0044] 图 4 是图 3 的延迟线 120 的电路图。

[0045] 如图 4 所示,延迟线 120 包括与非门 ‘ND10’ 和多个延迟单元 ‘DC0 到 DCn’。

[0046] 由于经由延迟线 120 的延迟信号 ‘CLK0’ 相对于第一输入信号 ‘CLKI’ 具有反向的相位,于是与非门 ‘ND10’ 被配置为把延迟信号 ‘CLK0’ 的相位再次反向,以便恢复原始相位。

[0047] 延迟控制信号 ‘SEL<0:n>’ 被逐位输入到多个延迟单元 ‘DC0 到 DCn’,并且预频率改变时钟信号 ‘M<0:n>’ 分别从多个延迟单元 ‘DC0 到 DCn’ 中的每个被逐位输出。延迟控制信号 ‘SEL<0:n>’ 是用于确定多个延迟单元 ‘DC0 到 DCn’ 中的每个是否被激活的信号。

[0048] 多个延迟单元 ‘DC0 到 DCn’ 优选可以被配置为相同的。除别的以外,回顾一个延迟单元 ‘DC0’ 的配置,它基本上具有与非门链结构。换句话说,延迟单元被配置为链结构的多个与非门 ‘ND11 到 ND13’ 和反相器 ‘IV11’。第一输入信号 ‘CLKI’ 被施加到与非门 ‘ND11’ 的两个输入端子之一并且延迟控制信号 ‘SEL<0>’ 被施加到其另一个。由于延迟单元 ‘DC0’ 被设置为默认工作状态,所以施加电源电压 ‘VDD’ 作为延迟控制信号 ‘SEL<0>’。与非门 ‘ND11’ 的输出信号作为预频率改变时钟信号 M<0> 被输出。

[0049] 实施例是用于改变并输出时钟信号 ‘CLK’ 的频率的电路。特别地是,所述实施例被配置为输出频率改变时钟信号 ‘CLKFC’,其频率为时钟信号 ‘CLK’ 的频率的两倍。

[0050] 为了使频率改变时钟信号 ‘CLKFC’ 具有为时钟信号 ‘CLK’ 频率两倍的频率,预频率改变时钟信号 ‘M<0>’ 的延迟时间应当被设置为单位延迟时间的一半,即延迟单元 ‘DC0’ 的延迟时间的一半。因此,在用于配置延迟单元 ‘DC0’ 的多个与非门 ‘ND11 到 ND13’ 当中具有对应于单位延迟时间一半的延迟时间的任何一个与非门中,输出预频率改变时钟信号 ‘M<0>’。在图 4 的实施例中,描述了与非门 ‘ND11’ 的输出信号被输出作为预频率改变时钟信号 ‘M<0>’ 的例子。

[0051] 如上所述,所述实施例可以在预频率改变时钟信号 ‘M<0>’ 的延迟时间对应于单位延迟时间一半时,通过改变延迟单元 ‘DC0’ 的电路即控制多个与非门 ‘ND11 至 ND13’ 的大小,来输出其它与非门 ‘ND12 和 ND13’ 的输出作为预频率改变时钟信号 ‘M<0>’。当然,延迟单元被配置为除与非门之外的其它逻辑器件的情况被预想为遵循上述原理。

[0052] 从而,预频率改变时钟信号 ‘M<0:n>’ 具有与在多个延迟单元 ‘DC0 到 DCn’ 当中被激活的延迟单元的总延迟时间的一半相对应的延迟时间。例如,预频率改变时钟信号 ‘M<n>’ 具有对应于多个延迟单元 ‘DC0 到 DCn’ 全部的延迟时间一半的延迟时间。

[0053] 图 5 是图 3 的控制器 150 的电路图。

[0054] 如图 5 所示,控制器 150 包括移位寄存器 151 和延迟控制信号生成器 152。

[0055] 移位寄存器 151 可以包括多个反相器 ‘IV21 和 IV22’、与非门 ‘ND21’ 和多个触发电路 ‘FF0 到 FFn’。

[0056] 延迟控制信号生成器 152 可以由多个 NOR 门 ‘NR30_0 到 NR30_n-1’ 和多个反相器 ‘IV30_0 到 IV30_n-2’ 来配置。

[0057] 图 6 是图 3 的控制器 150 的输出波形图。

[0058] 如图 6 所示,移位寄存器 151 响应于划分的时钟信号 ‘CLK_DIV’ 来变换电源电压 ‘VDD’ 的电平,以便生成多路复用控制信号 ‘C<0:n>’。当在高电平激活多路复用控制信号 ‘C<0:n>’ 的最高有效位 ‘C<n>’ 时,移位寄存器 151 中断划分的时钟信号 ‘CLK_DIV’ 的输入,以便停止电源电压 ‘VDD’ 变换操作。

[0059] 延迟控制信号生成器 152 使用多路复用控制信号 ‘C<0:n-1>’ 生成延迟控制信号 ‘SEL<1:n>’。例如,地电压 ‘VSS’ 和多路复用控制信号 ‘C<0>’ 被或非以便生成延迟控制信号 ‘SEL<1>’, 并且延迟控制信号 ‘SEL<1>’ 经过非运算后和后续序列的多路复用控制信号 ‘C<1>’ 被或非以便生成延迟控制信号 ‘SEL<2>’。

[0060] 下面将描述如上配置的依照实施例的信号频率改变电路 100 的工作。

[0061] 锁相完成信号 ‘LOCK’ 是在初始工作状态中在高电平未被激活的状态。因此,从第二与门 ‘AND12’ 输出的第二输入信号 ‘CLKI2’ 被输入到检测器 130 和分频器 140。

[0062] 图 4 的延迟线 120 把第一输入信号 ‘CLKI’ 延迟按照延迟控制信号 ‘SEL<0:n>’ 的初始值被激活的延迟单元 (例如, ‘DC0’) 的延迟时间并且输出延迟信号 ‘CLK0’。此时,延迟控制信号 ‘SEL<0:n>’ 的初始值只激活在所有信号位中的 ‘SEL<0>’。

[0063] 如图 6 所示,图 5 的控制器 150 按照从分频器 140 所生成的划分的时钟信号 ‘CLK-DIV’ 来顺序地移位多路复用控制信号 ‘C<0:n>’ 和延迟控制信号 ‘SEL<0:n>’。

[0064] 同时,检测器 130 按照从延迟线 120 所输出的延迟信号 ‘CLK0’ 的上升沿来检测第二输入信号 ‘CLKI2’ 的下降沿。

[0065] 增加按照顺序激活的延迟控制信号 ‘SEL<0:n>’ 被激活的延迟单元的数目,从而增加延迟线 120 的延迟时间。

[0066] 图 7 是依照实施例的信号频率改变电路 100 的输出波形图。

[0067] 如图 7 所示,逐渐地增加延迟信号 ‘CLK0’ 的延迟时间,并且检测器 130 在预定的时间点检测第二输入信号 ‘CLKI2’ 的下降沿以便在低电平激活锁相完成信号 ‘LOCK’。

[0068] 由于在低电平激活锁相完成信号 ‘LOCK’, 所以第二与门 ‘AND12’ 把第二输入信号 ‘CLKI2’ 锁定在低电平,由此中断时钟信号 ‘CLK’ 向检测器 130 和分频器 140 的输入。

[0069] 由于在低电平锁定第二输入信号 ‘CLKI2’, 所以检测器 130 把锁相完成信号 ‘LOCK’ 维持在低电平,并且控制器 150 停止多路复用控制信号 ‘C<0:n>’ 和延迟控制信号 ‘SEL<0:n>’ 的移位操作。

[0070] 例如,假定控制器 150 处于激活多路复用控制信号 ‘C<4>’ 的状态,并且假定延迟控制信号 ‘SEL<4>’ 处于在低电平激活锁相完成信号 ‘LOCK’ 的时间点,于是多路复用控制信号 ‘C<5:n>’ 和延迟控制信号 ‘SEL<5:n>’ 不被激活。

[0071] 多路复用部件 160 响应于激活的多路复用控制信号 ‘C<4>’ 而在预频率改变时钟信号 ‘M<0:n>’ 当中选择并输出预频率改变时钟信号 ‘M<4>’。

[0072] 此时,通过在激活的延迟单元 ‘DC0 到 DC4’ 当中的延迟单元 ‘DC4’ 所输出的预频率改变时钟信号 ‘M<4>’ 的延迟时间与响应于延迟控制信号 ‘SEL<4>’ 的激活而经由延迟单元 ‘DC0 到 DC4’ 的第一输入信号 ‘CLKI’ 的延迟时间的一半相对应。

[0073] 输出部件 170 的异或门 ‘XOR11’ 对预频率改变时钟信号 ‘M<4>’ 和通过复制物延迟部件 171 被延迟建模延迟时间的第一输入信号执行异或操作,以便输出频率改变时钟信号 ‘CLKFC’, 如图 7 所示。此时,预频率改变时钟信号 ‘M<4>’ 和复制物延迟部件 171 的输出信号 ‘CLK_RD’ 的相位差对应于输出信号 ‘CLK_RD’ 周期的 1/4。因此,当预频率改变时钟信号 ‘M<4>’ 和输出信号 ‘CLK_RD’ 被异或时,那么可以生成其频率为时钟信号 ‘CLK’ 的频率两倍的频率改变时钟信号 ‘CLKFC’。

[0074] 如图 7 所示,可以理解,在于低电平去激活锁相完成信号 ‘LOCK’ 之后,可以生成频

率改变时钟信号‘CLKFC’,其具有为第一输入信号‘CLKI’两倍的频率以及恒定的占空度。

[0075] 本发明使用了通过延迟线 120 和检测器 130 来检测第一输入信号‘CLKI’和延迟信号‘CLK0’具有刚好彼此相反的相位时的时间点的方案。因此,可以生成频率改变时钟信号‘CLKFC’,其具有为时钟信号频率两倍的频率并且具有统一的占空度,而不考虑时钟信号‘CLK’的频率。

[0076] 尽管以上实施例描述了用于把输入信号的频率改变为两倍那么高的频率的实施例,不过实施例并不局限于此。上述实施例的工作原理为:预频率改变时钟信号‘M<0>’的延迟时间应当被设置为单位延迟时间的一半,即延迟单元‘DC0’的延迟时间的一半,以便频率改变时钟信号‘CLKFC’具有为时钟信号频率两倍的频率。根据上述实施例可以理解,可以通过改变延迟线 120 的设计而使用不同的倍数(例如,三倍,四倍等)来改变输入信号的频率。

[0077] 虽然上面已经描述了特定的实施例,不过应当理解所描述的实施例仅仅是为了举例。据此,不应当根据所描述的实施例来限制这里所描述的设备和方法。相反,这里所描述的设备和方法应当仅仅鉴于当结合以上描述和附图时的所附权利要求来加以限定。

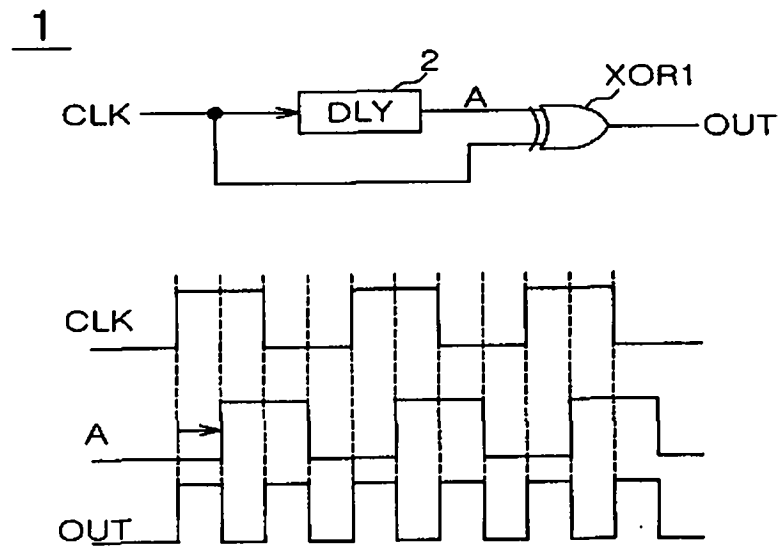


图 1

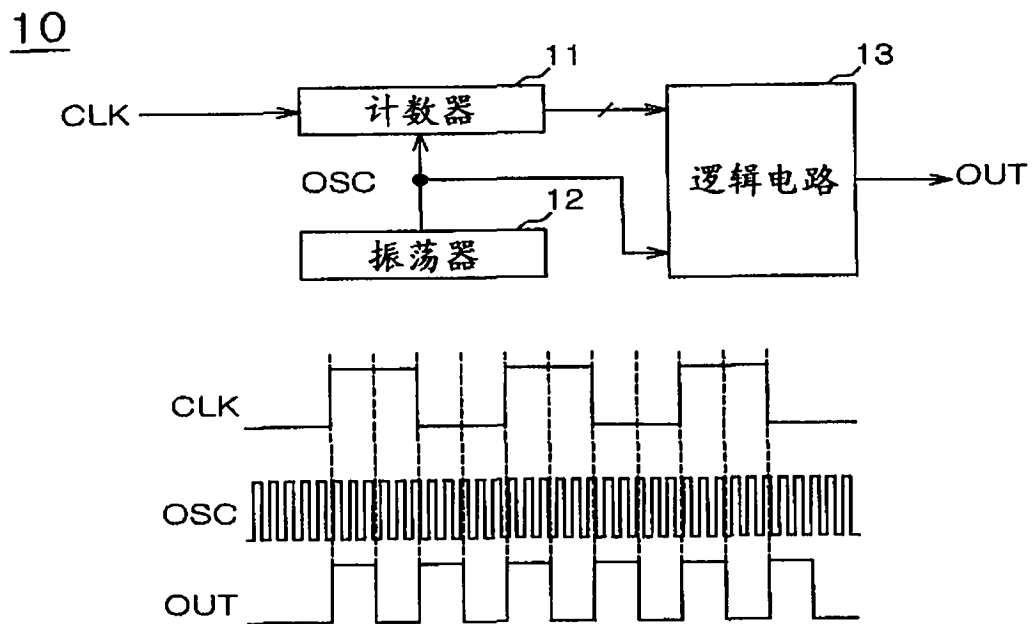


图 2

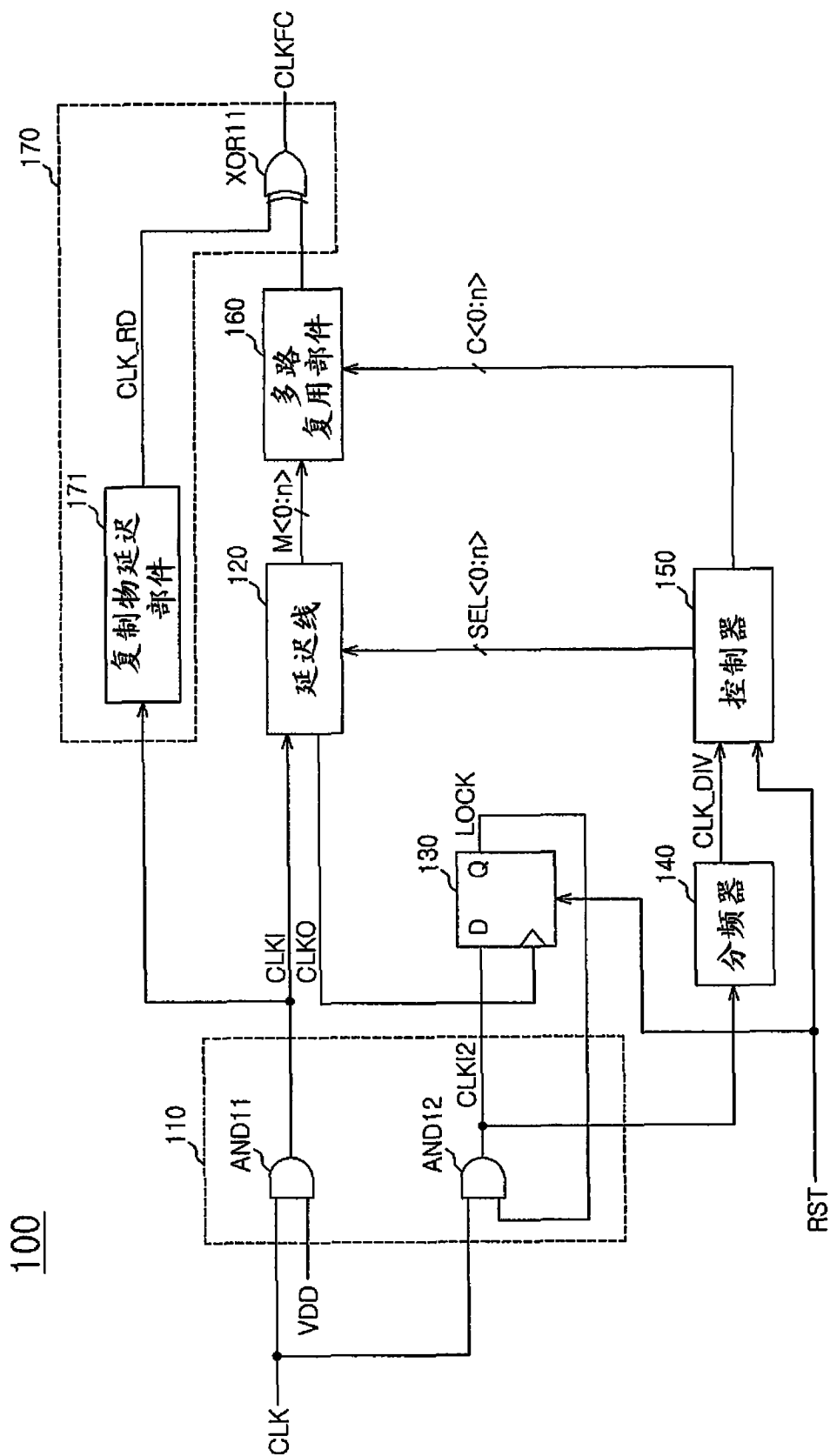


图 3

120

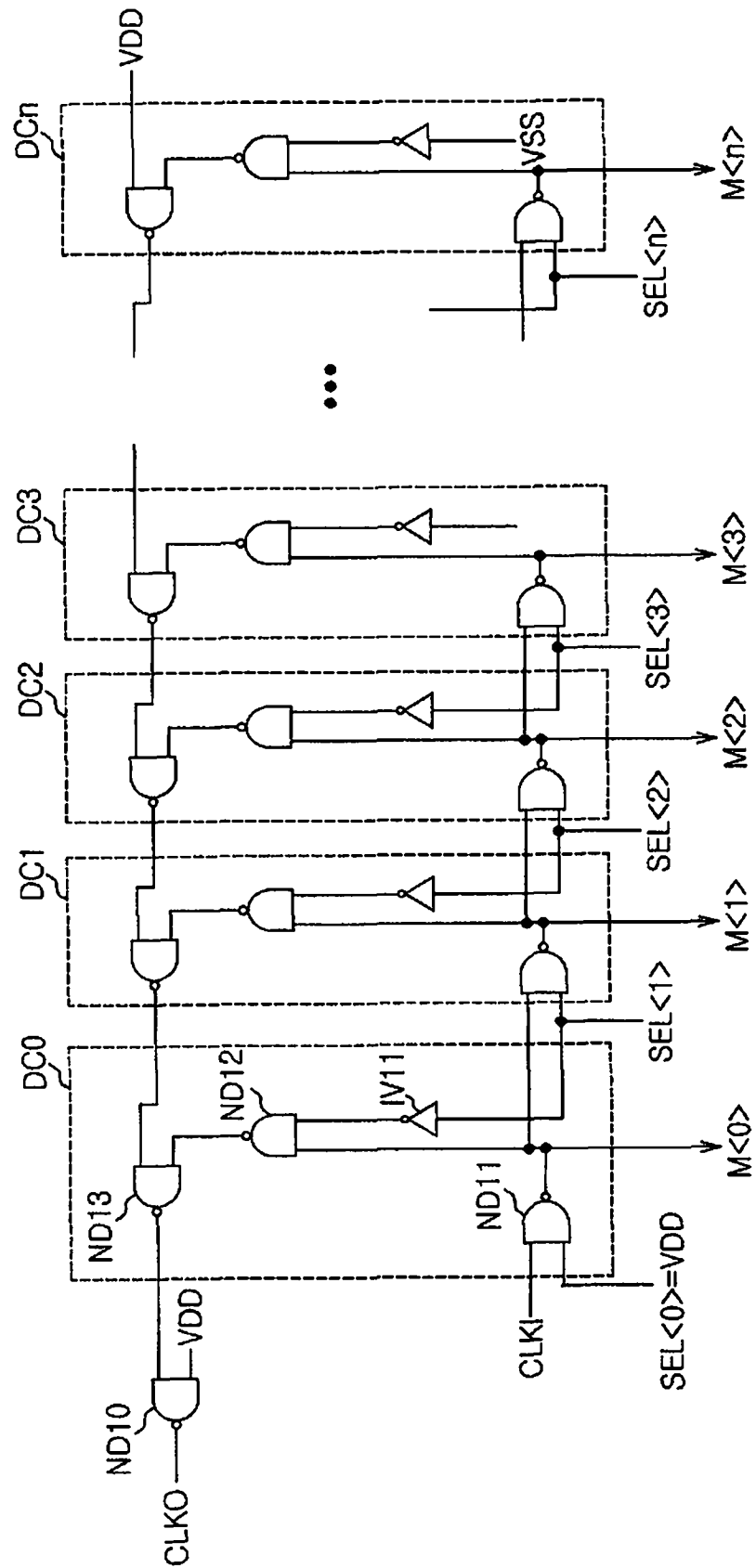


图 4

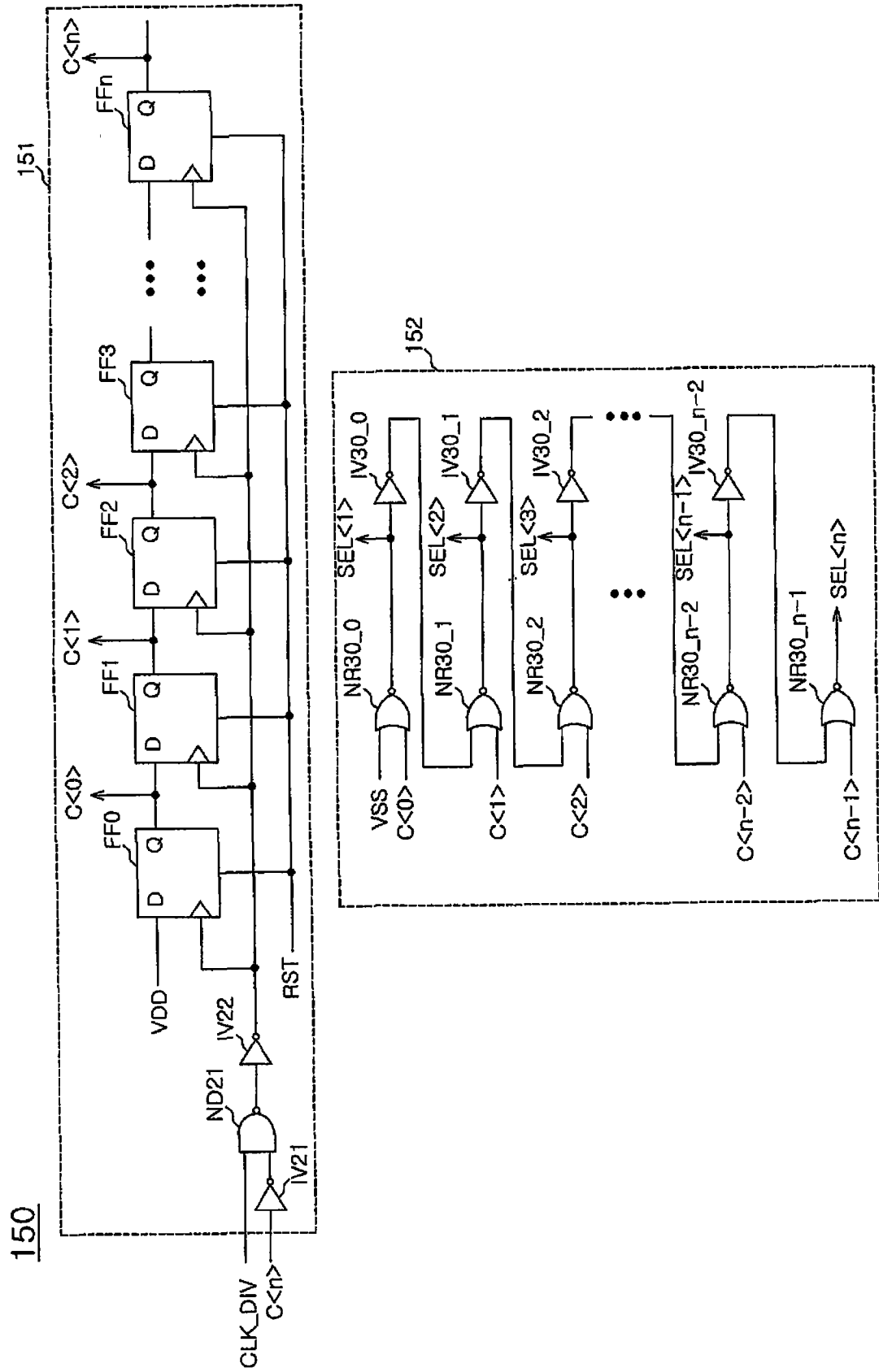


图 5

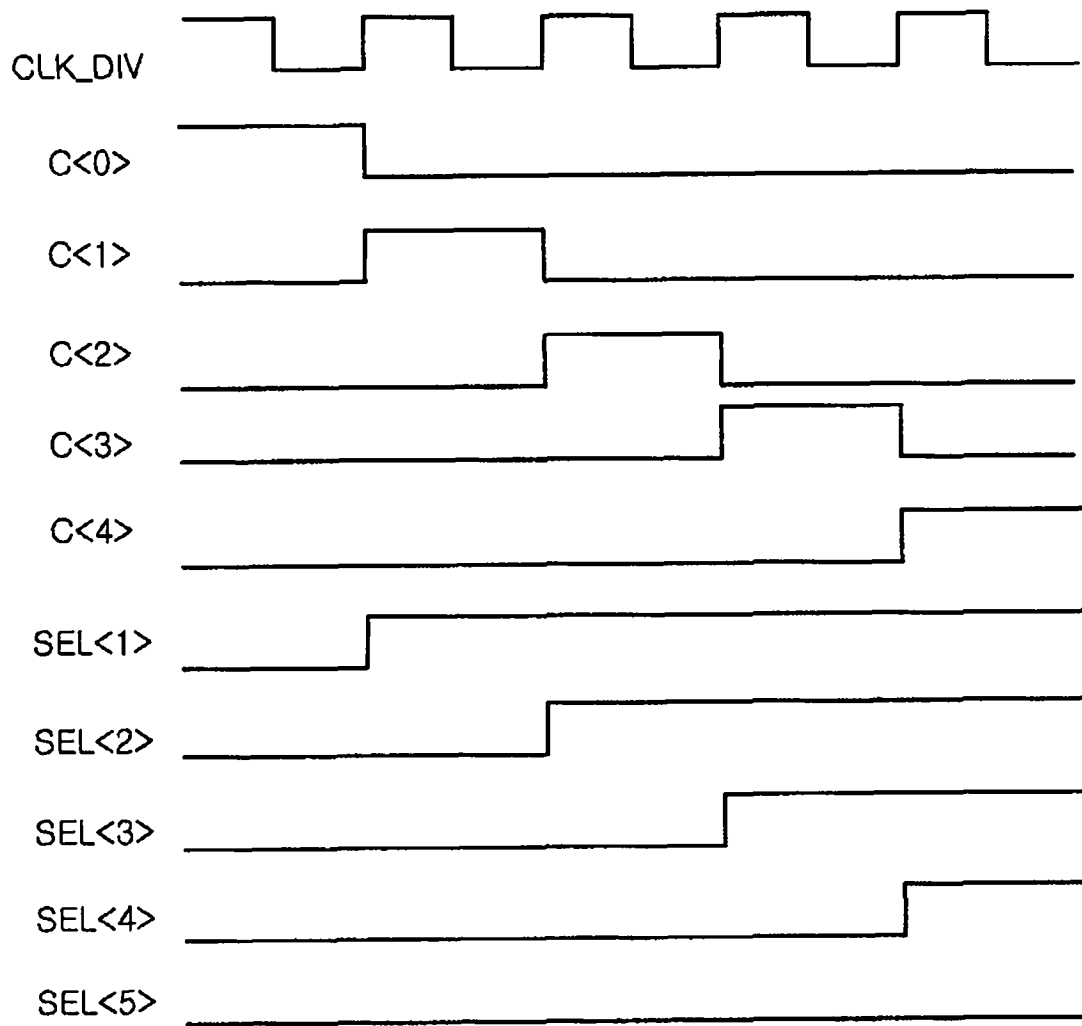


图 6

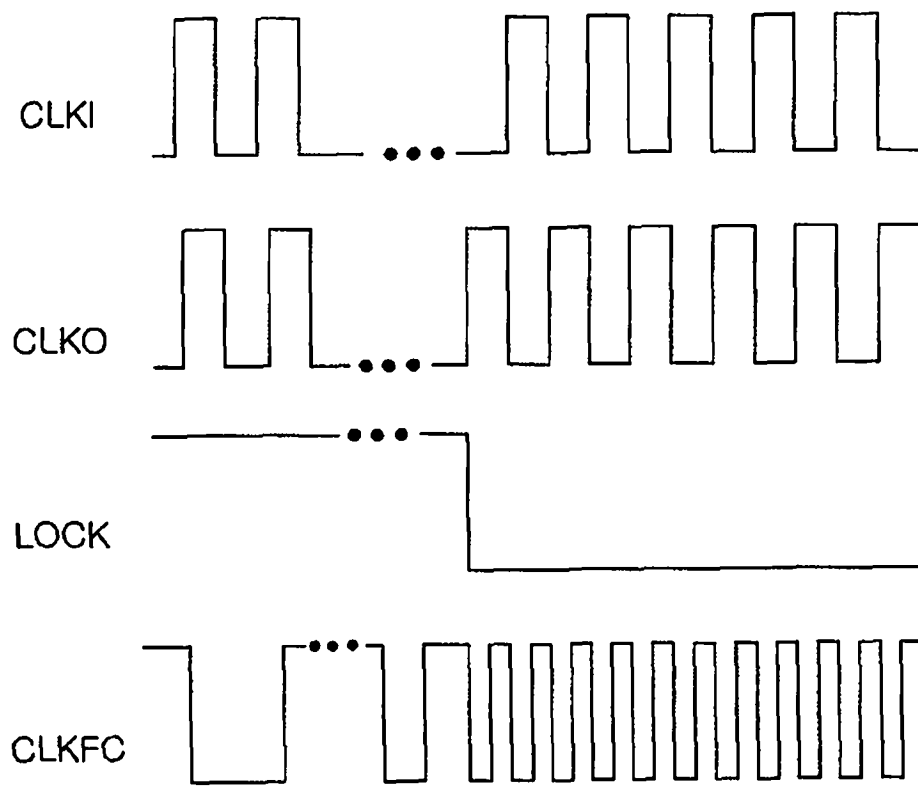


图 7