



(12)发明专利申请

(10)申请公布号 CN 107452734 A

(43)申请公布日 2017. 12. 08

(21)申请号 201710330480.1

(22)申请日 2017.05.11

(30)优先权数据

2016-108367 2016.05.31 JP

(71)申请人 瑞萨电子株式会社

地址 日本东京都

(72)发明人 田中正德

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 李辉 董典红

(51)Int.Cl.

H01L 27/02(2006.01)

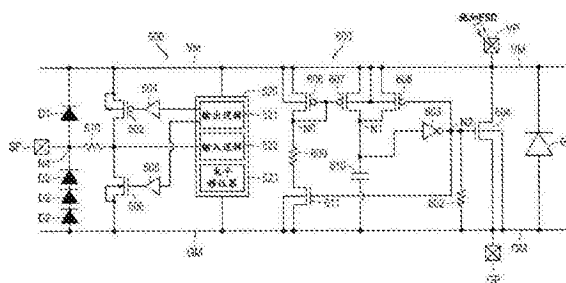
权利要求书1页 说明书5页 附图4页

(54)发明名称

半导体器件

(57)摘要

本申请涉及半导体器件。提供了能够以简单配置保持ESD抗扰性的半导体器件。半导体器件包括电源布线、接地布线、耦合在电源布线和接地布线之间的输入电路、输入焊盘、设置在接地布线和输入焊盘之间的多个第一二极管以及设置在输入焊盘和电源布线之间的第二二极管,所述输入焊盘与输入电路耦合并且可以对其输入比提供给接地布线的电压低的负电压。第二二极管的反向偏压击穿电压大于第一二极管中的每一个的反向偏压击穿电压。



1. 一种半导体器件,包括:
电源布线;
接地布线;
输入电路,耦合在所述电源布线和所述接地布线之间;
输入焊盘,其与所述输入电路耦合,并且可以向其输入负电压,所述负电压低于提供给所述接地布线的电压;
多个第一二极管,设置在所述接地布线和所述输入焊盘之间;以及
第二二极管,设置在所述输入焊盘和所述电源布线之间,
其中所述第二二极管的反向偏置击穿电压大于所述第一二极管中的每一个的反向偏置击穿电压。
2. 一种半导体器件,包括:
电源布线;
接地布线;
输入电路,耦合在所述电源布线和所述接地布线之间;
输入焊盘,其与所述输入电路耦合,并且可以向其输入比提供给所述电源布线的电压高的电压;
多个第一二极管,设置在所述电源布线和所述输入焊盘之间;以及
第二二极管,设置在所述输入焊盘和所述接地布线之间,
其中所述第二二极管的反向偏置击穿电压大于所述第一二极管中的每一个的反向偏置击穿电压。
3. 根据权利要求1所述的半导体器件,还包括:
防静电放电的保护电路,设置在所述电源布线和所述接地布线之间。
4. 根据权利要求1所述的半导体器件,
其中所述第一二极管的阱密度不同于所述第二二极管的阱密度。
5. 根据权利要求1所述的半导体器件,
其中所述第一二极管和所述第二二极管分别由MOS晶体管形成。

半导体器件

[0001] 相关申请的交叉引用

[0002] 于2016年5月31日提交的日本专利申请公开No.2016-108367的公开内容通过引用合并于本文中,包括说明书、附图和摘要。

技术领域

[0003] 本公开内容涉及半导体器件,具体涉及ESD(静电放电)保护。

背景技术

[0004] 在半导体器件中,设置静电保护元件以防止内部电路被静电破坏。例如,由二极管、晶闸管(SCR:硅控整流器)等形成的静电保护元件被耦合在提供电源电位的布线(电源电位线)和提供接地电位(接地电位线)的布线之间。当在电源电位线和接地电位线之间施加静电时,静电通过静电保护元件被放电,并且不会对内部电路施加过大的电压,从而可以防止内部电路被破坏。

[0005] 在这方面,日本未审查专利申请公开No.2003-23084公开了可以输入负电位的配置。

发明内容

[0006] 另一方面,在电压范围大使得输入负电压的配置的情况下,需要增加接地电位线侧和电源电位线侧上的二极管的级数并且二极管的数量增加,从而存在布局区域增加的问题。

[0007] 本公开内容旨在解决上述问题,并且本公开内容的目的是提供一种能够以简单配置保持ESD抗扰性的半导体器件。

[0008] 从本说明书和附图的描述中,其他目的和新颖特征将变得显而易见。

[0009] 根据一个实施例,一种半导体器件包括:电源布线;接地布线;耦合在所述电源布线和所述接地布线之间的输入电路;输入焊盘,其与所述输入电路耦合,并且可以向其输入低于提供给所述接地布线的电压的负电压;设置在所述接地布线和所述输入焊盘之间的多个第一二极管;以及设置在所述输入焊盘和所述电源布线之间的第二二极管。所述第二二极管的反向偏置击穿电压大于所述第一二极管中的每一个的反向偏置击穿电压。

[0010] 根据实施例,可以以简单配置保持ESD抗扰性。

附图说明

[0011] 图1是用于说明基于第一实施例的整个半导体器件1的图。

[0012] 图2是用于说明基于第一实施例的I/O单元500和电源单元600的电路配置的图。

[0013] 图3是用于说明流经焊盘SP的电流的路径的图。

[0014] 图4是用于说明保护二极管D1和D2的二极管特性的图。

[0015] 图5是保护二极管D1和D2的电路配置图。

[0016] 图6是用于说明基于第二实施例的保护二极管的配置的图。

具体实施方式

[0017] 将参考附图详细描述实施例。在附图中对相同或对应的部分赋予相同的附图标记,并且不再重复其描述。在实施例中,半导体器件表示以下中的任何一个:形成为使得集成电子电路的半导体晶片、通过将半导体晶片分割成单独的片而形成的每个半导体芯片、以及其中通过树脂等封装有单个或多个半导体芯片的器件。

[0018] 第一实施例

[0019] 图1是用于说明基于第一实施例的整个半导体器件1的图。

[0020] 如图1所示,半导体器件1包括设置在外周区域中的周边I/O区域4和布置在内部区域中并形成具有预定功能的ASIC(专用集成电路)的核心逻辑区域2。

[0021] 周边I/O区域4设置有作为信号的输入/输出接口的I/O单元500和接收外部电源的输入的电源单元600。这里示出了电源线VM和接地线GM被布置在外周区域中的情况。焊盘VP和焊盘GP是电源焊盘和接地焊盘,并且耦合到电源单元600。焊盘SP是信号焊盘并耦合到I/O单元500。焊盘VP、GP和SP设置在图1的半导体器件1的外围上。

[0022] 图2是用于说明基于第一实施例的I/O单元500和电源单元600的电路配置的图。

[0023] 如图2所示,I/O单元500包括保护二极管D1和D2、P沟道MOS晶体管502、N沟道MOS晶体管506、驱动器504和508、电阻器510和输入/输出电路520。

[0024] 焊盘SP与节点N4耦合。保护二极管D1设置在节点N4和电源线VM之间。保护二极管D1的阳极与节点N4耦合,并且保护二极管D1的阴极与电源线VM耦合。这里,焊盘SP是输入/输出焊盘。焊盘SP可以接收输入信号并输出输出信号。

[0025] 在节点N4和接地线GM之间设置多(三)级保护二极管D2。保护二极管D2的阳极侧与接地线GM耦合,并且保护二极管D2的阴极侧与节点N4耦合。电阻器510设置在节点N4和输入电路522之间。

[0026] P沟道MOS晶体管502与保护二极管D1并联设置,并且通过电阻器510串联耦合在节点N4和电源线VM之间。P沟道MOS晶体管502接收驱动器的信号的输入。驱动器504和508包括偶数个反相器。从电源线VM和接地线GM向驱动器504和508供电。

[0027] N沟道MOS晶体管506与保护二极管D2并联设置,并且通过电阻器510串联耦合在节点N4和接地线GM之间。N沟道MOS晶体管506接收驱动器508的信号的输入。

[0028] 输入/输出电路520设置在电源线VM和接地线GM之间。

[0029] 输入/输出电路520包括对驱动器504和508进行驱动的输出逻辑521、通过电阻器510处理来自焊盘SP的输入信号的输入电路522以及增加或减小信号电平的电平移位器523。

[0030] 根据来自输出逻辑521的信号来驱动驱动器504和508中的任何一个。然后,P沟道MOS晶体管502或N沟道MOS晶体管506导通,并从焊盘SP输出信号。

[0031] 电源单元600包括形成功率钳位电路(保护电路)的N沟道MOS晶体管604、反相器603、电阻元件602和609、电容元件610、P沟道MOS晶体管606、607和608以及N沟道MOS晶体管611。二极管601是N沟道MOS晶体管604的寄生二极管。

[0032] 二极管601的阳极与接地线GM耦合,并且二极管601的阴极与电源线VM耦合。

[0033] N沟道MOS晶体管604耦合在电源线VM和接地线GM之间,并且N沟道MOS晶体管604的栅极与反相器603的节点N2耦合。

[0034] P沟道MOS晶体管606与电源线VM和接地线GM之间的电阻元件609和N沟道MOS晶体管611串联耦合。

[0035] P沟道MOS晶体管606设置在电源线VM和节点N0之间,P沟道MOS晶体管606的栅极与节点N0耦合。电阻元件609与P沟道MOS晶体管606串联耦合,电阻元件609的一端与节点N0耦合。另一端与N沟道MOS晶体管611耦合。N沟道MOS晶体管611耦合在电阻元件609和接地线GM之间,并且N沟道MOS晶体管611的栅极与节点N2耦合。

[0036] P沟道MOS晶体管607设置在电源线VM和节点N1之间,以与P沟道MOS晶体管606形成电流镜电路。P沟道MOS晶体管607的栅极与节点N0耦合。电容元件610通过电源线VM和接地线GM之间的节点N1而与P沟道MOS晶体管607串联耦合。

[0037] 反相器603接收来自节点N1的输入,并将节点N1的反相信号输出到节点N2。虽然没有示出反相器603的电源,但是从电源线VM和接地线GM供给反相器603的电源,对于其它实施例也是如此。

[0038] 电阻元件602耦合在节点N2和接地线GM之间。反相器603的输出通过电阻元件602被下拉到接地线GM,从而当反相器603的输出以不期望的方式变化时,可以抑制N沟道MOS晶体管604的栅极输入的变化。

[0039] N沟道MOS晶体管611用作激活由P沟道MOS晶体管606和607以及电阻元件609形成的电流镜电路的元件。当N沟道MOS晶体管611导通时,电流镜电路被激活。另一方面,当N沟道MOS晶体管611截止时,电流镜电路被去激活。这里,电流镜电路的激活是通过使电流流过包括在电流镜电路中的晶体管来使电流镜电路工作,对于其它实施例也是如此。

[0040] P沟道MOS晶体管608与P沟道MOS晶体管607并联耦合在电源线VM和节点N1之间,并且P沟道MOS晶体管608的栅极与节点N2耦合。P沟道MOS晶体管608与N沟道MOS晶体管611互补操作。换句话说,当N沟道MOS晶体管611导通时,P沟道MOS晶体管608截止。另一方面,在N沟道MOS晶体管611截止的稳定状态下,P沟道MOS晶体管608导通,并且将电源线VM与节点N1耦合,使得可以抑制节点N1的不期望的变化。

[0041] 这里,功率钳位电路的配置被描述为电源单元600的示例。然而,并不特别地限于此,而是可以形成另一电路。

[0042] 这里,将描述ESD电流流(施加)到焊盘VP的情况。

[0043] 在稳定状态下,将反相器603的节点N2设定为低电平。因此,N沟道MOS晶体管604截止。P沟道MOS晶体管608导通。节点N2为低电平,使得N沟道MOS晶体管611导通,并且电流镜电路被去激活。

[0044] 另一方面,当由于ESD电流引起的高电压被施加到焊盘VP时,电源线VM的电平直接随之改变。因此,包括在反相器603中的P沟道MOS晶体管的栅极和源极之间暂时出现电位差(V_{gs}),并且P沟道MOS晶体管导通。因此,节点N2的电平暂时从低电平变为高电平。

[0045] 当节点N2的栅极电位改变时,N沟道MOS晶体管604导通,电源线VM的高电压被释放到接地线GM。

[0046] 此外,当节点N2的电平变为高电平时,P沟道MOS晶体管608截止。此外,N沟道MOS晶体管611导通,并且电流镜电路工作。

[0047] 当电流镜电路被激活时,电流通过P沟道MOS晶体管607从电源线VM流入与节点N1耦合的电容元件610。此时,节点N1的电平变化上升,同时根据时间常数延迟。当节点N1的电位超过反相器603的阈值时,反相器603的N沟道MOS晶体管导通。因此,节点N2的电平再次转换到低电平。

[0048] 当节点N2的栅极电位改变时,N沟道MOS晶体管604截止,并且从电源线VM外流到接地线GM的电流停止。此外,N沟道MOS晶体管611截止,并且电流镜电路被去激活。此外,P沟道MOS晶体管608导通,并且节点N1和电源线VM电耦合。从而恢复稳定状态。

[0049] 这里,将考虑到其中输入到焊盘SP的电压电平低于接地线GM的电压电平的情况。

[0050] 图3是用于说明流经焊盘SP的电流的路径的图。

[0051] 如图3所示,当输入到焊盘SP的电压电平低于接地线GM的电压电平时,ESD电流通过二极管D2流入焊盘SP。

[0052] 因此,在本配置中,设置有多个二极管D2,以抑制输入到焊盘SP的电流。

[0053] 然而,在ESD电流流动的本配置中,可以向设置在节点N4和电源线VM之间的保护二极管D1施加高反向偏置电压。

[0054] 因此,当多级保护二极管D1设置在电源线侧时,电路元件的数量增加,导致电路面积的增加。

[0055] 因此,根据第一实施例的配置改变了保护二极管D1和保护二极管D2的二极管特性。

[0056] 图4是用于说明保护二极管D1和D2的二极管特性的图。

[0057] 如图4所示,示出了保护二极管D1的特性线LA和保护二极管D2的特性线LB。

[0058] 保护二极管D1的特性线LA和保护二极管D2的特性线LB的反向偏置击穿电压(结耐受电压)彼此不同。

[0059] 具体而言,示出了保护二极管D1的特性线LA的反向偏置击穿电压(结耐受电压)高于保护二极管D2的特性线LB的反向偏置击穿电压(结耐受电压)的情况。

[0060] 提供具有特性线LA的保护二极管D1,使得可以在不增加保护二极管D1的数量的情况下保护保护二极管D1。

[0061] 因此,可以在不增加保护二极管D1的数量和面积的情况下实现能够以简单配置保持EDS抗扰性的半导体器件。

[0062] 图5是保护二极管D1和D2的电路配置图。

[0063] 如图5所示,可以将保护二极管D1和D2形成为MOS晶体管。通过将保护二极管D1和D2形成为MOS晶体管,可以通过使用简单的配置来减小保护二极管D1和D2的面积。

[0064] 具体地,保护二极管D1由P沟道MOS晶体管PT形成,其中源极与栅极耦合。保护二极管D2由N沟道MOS晶体管NT形成,其中源极与栅极耦合。通过上述配置,可以通过MOS晶体管的骤回(snapback)操作来保持高的ESD抗扰性。

[0065] 此外,作为提高保护二极管D1的反向偏置击穿电压的方法,可以调整晶体管的阱密度。

[0066] 具体地说,在进行工艺调整时,保护二极管D1的阱密度可以设定为低于保护二极管D2的阱密度。

[0067] 第二实施例

[0068] 在上述第一实施例中,描述了当输入到焊盘SP的电压电平低于接地线GM的电压电平时保持ESD抗扰性的配置。

[0069] 另一方面,考虑其中输入到焊盘SP的电压电平高于电源线VM的电压电平的情况。

[0070] 图6是用于说明基于第二实施例的保护二极管的配置的图。

[0071] 参考图6,当输入到焊盘SP的电压电平高于电源线VM的电压电平时,保护二极管D1被替换为保护二极管D1#,并且保护二极管D1#设置在节点N4和接地线GM之间。此外,保护二极管D2被保护二极管D2#替代,并且在节点N4和电源线VM之间提供多(三)级保护二极管D2#。上述各点与第一实施例不同。其他组件与第一实施例中的组件相同,因此将不重复其描述。

[0072] 在本配置的情况下,当输入到焊盘SP的电压电平高于电源线VM的电压电平时,ESD电流通过二极管D2#流入电源线VM。

[0073] 因此,在本配置中,设置多个二极管D2#,以抑制流入电源线VM的电流。

[0074] 可以向提供在节点N4和接地线VM之间的保护二极管D1#施加高反向偏置电压。

[0075] 因此,当在接地线侧设置多级保护二极管D1#时,电路元件的数量增加,导致电路面积的增大。

[0076] 因此,根据第二实施例的配置改变了保护二极管D1#和保护二极管D2#的二极管特性。

[0077] 具体地,如第一实施例所述,保护二极管D1#的反向偏置击穿电压(结耐受电压)设定为高于保护二极管D2#的反向偏置击穿电压(结合耐受电压)。通过提供保护二极管D1#,可以在不增加保护二极管D1#的数量的情况下保护保护二极管D1#。

[0078] 因此,可以在不增加保护二极管D1#的数量和面积的情况下实现能够以简单的配置保持ESD抗扰性的半导体器件。

[0079] 尽管已经基于实施例具体描述了本公开内容,但是不用说,本公开内容不限于实施例,而是可以在不脱离本发明的范围的情况下进行各种修改。

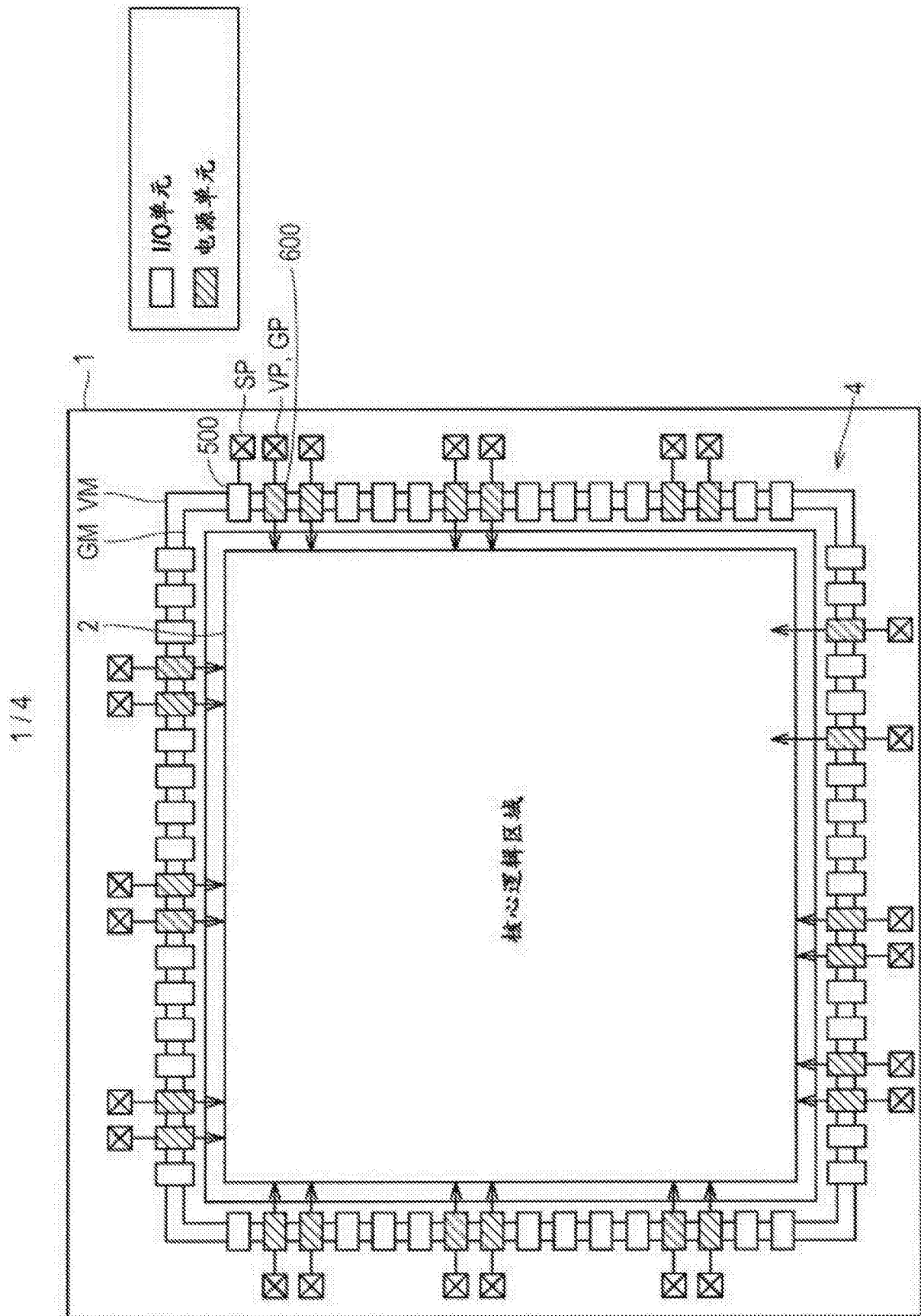


图1

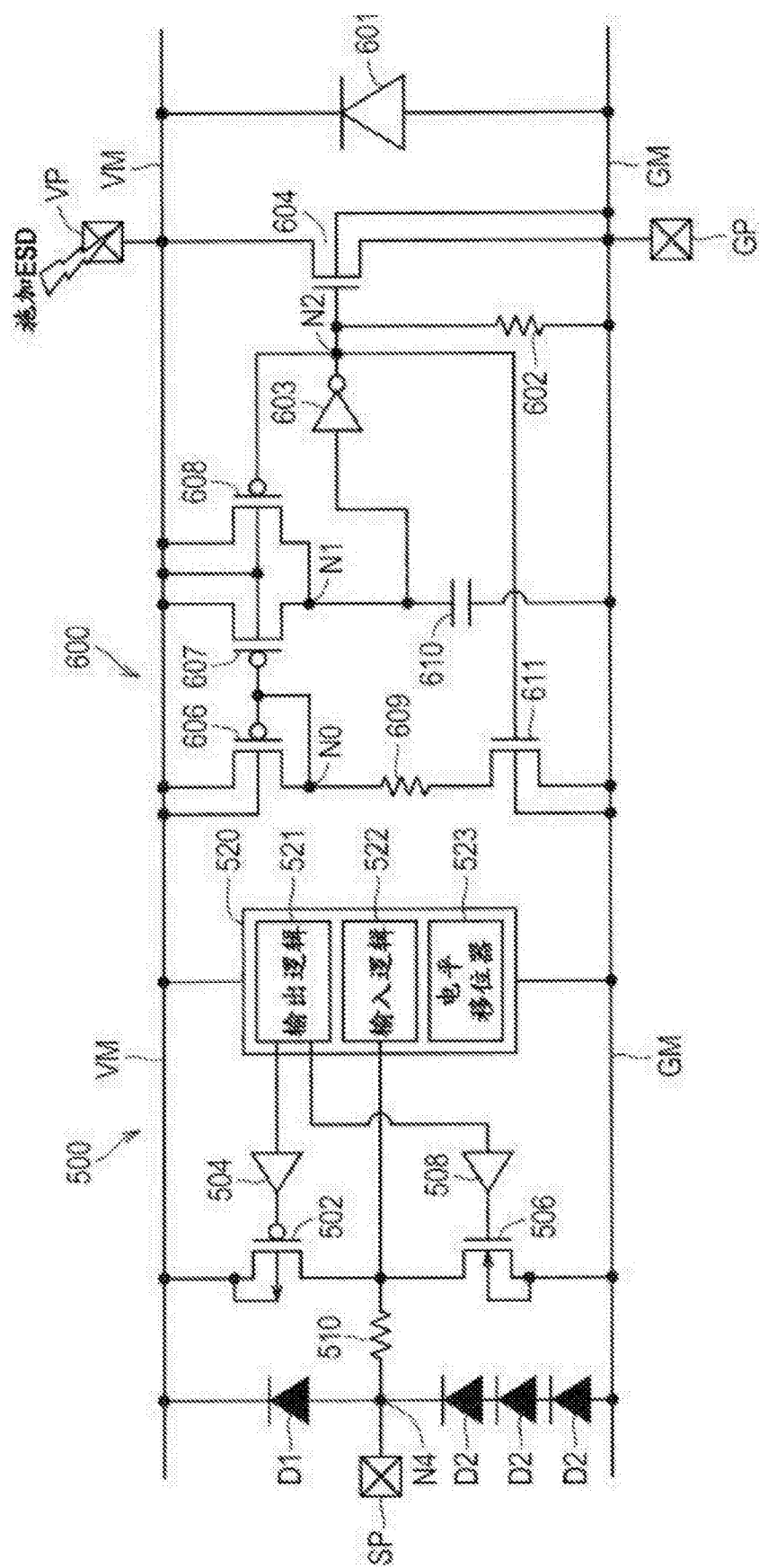


图 2

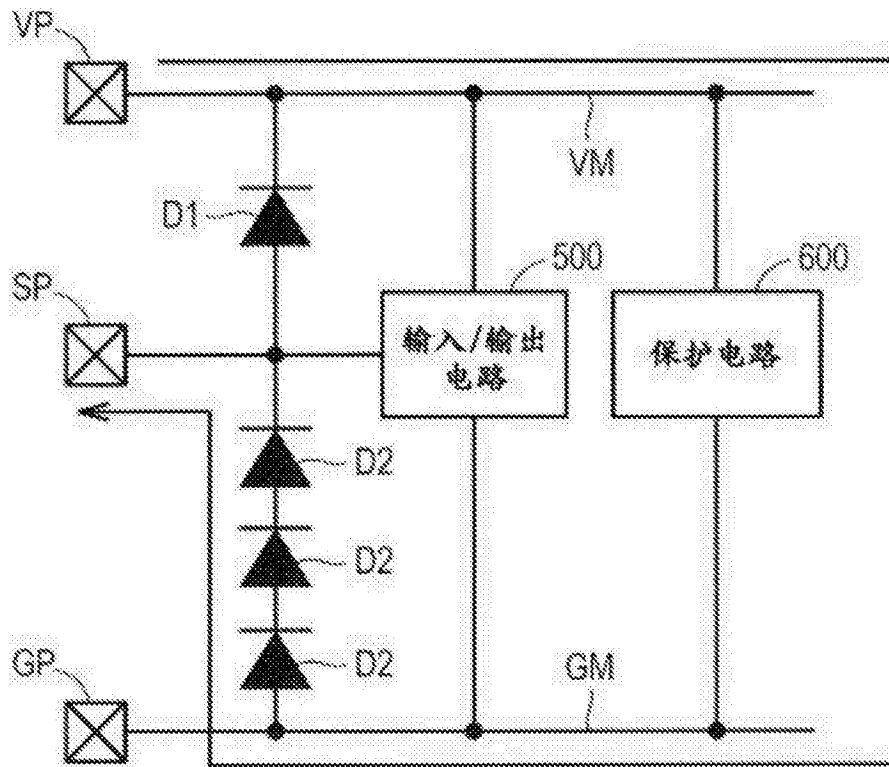


图3

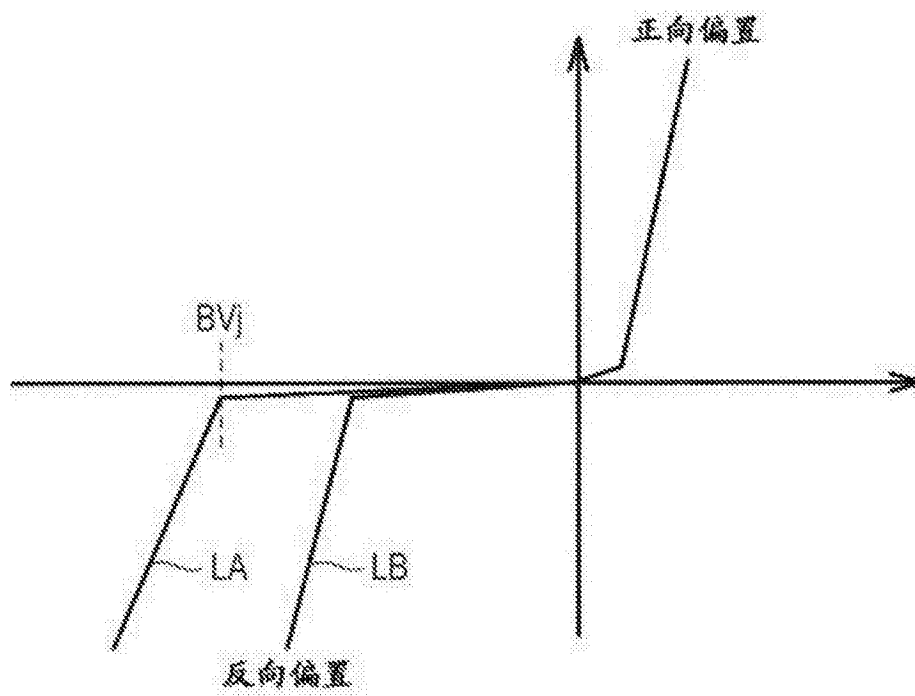


图4

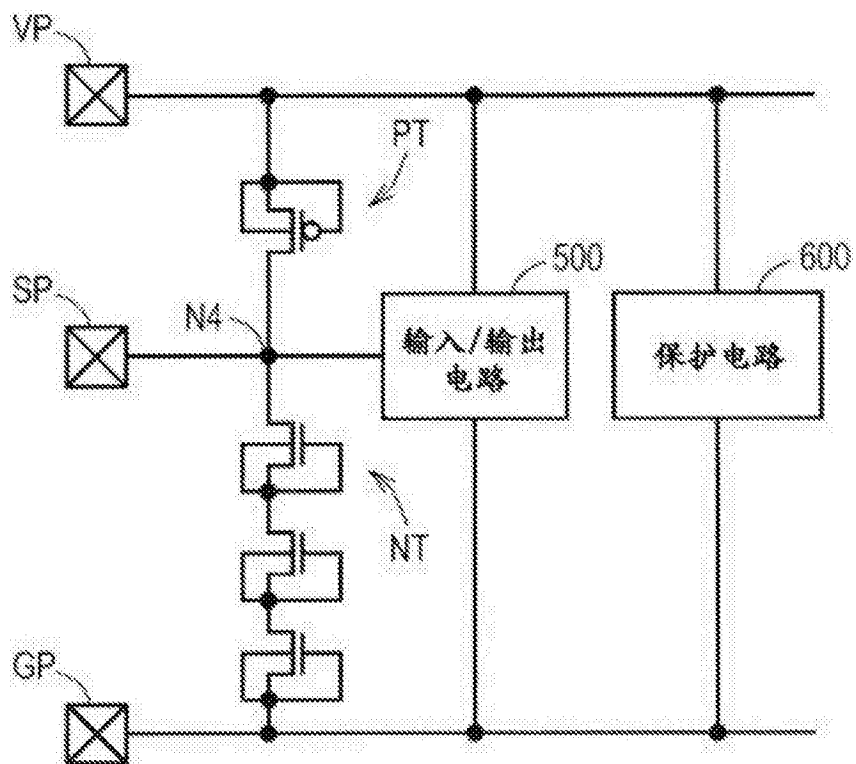


图5

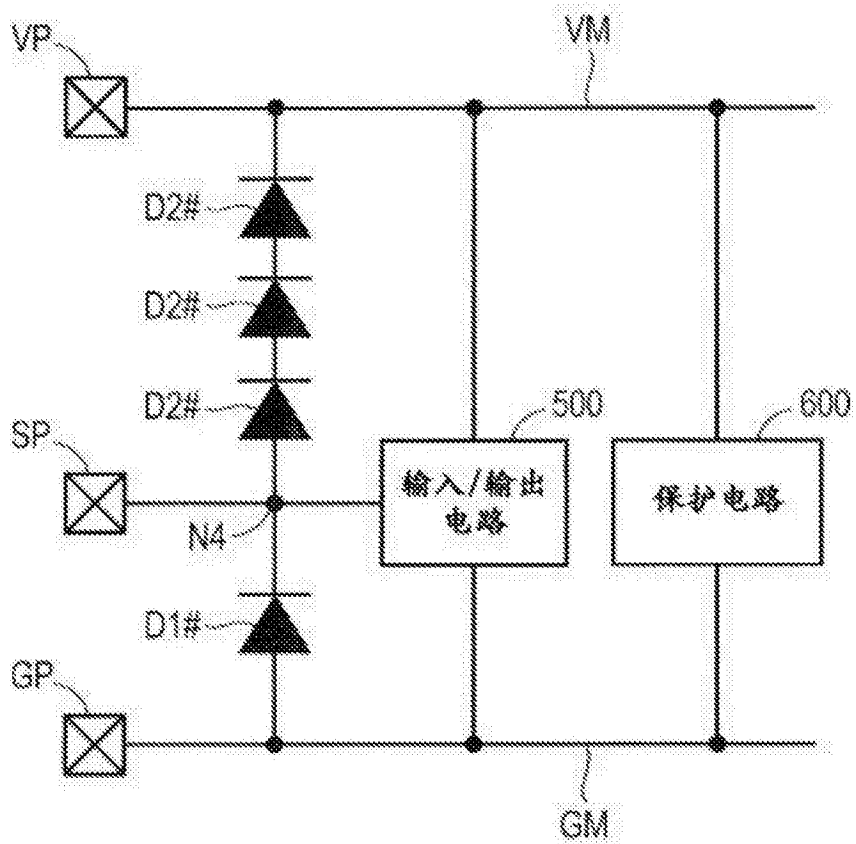


图6