

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成22年4月2日(2010.4.2)

【公開番号】特開2007-258689(P2007-258689A)  
 【公開日】平成19年10月4日(2007.10.4)  
 【年通号数】公開・登録公報2007-038  
 【出願番号】特願2007-34432(P2007-34432)  
 【国際特許分類】

H 0 1 L 27/28 (2006.01)  
 H 0 1 L 51/05 (2006.01)  
 H 0 1 L 45/00 (2006.01)  
 H 0 1 L 49/00 (2006.01)  
 H 0 1 L 27/10 (2006.01)  
 H 0 1 L 29/786 (2006.01)  
 G 1 1 C 13/00 (2006.01)

【F I】

H 0 1 L 27/10 4 4 9  
 H 0 1 L 45/00 Z  
 H 0 1 L 49/00 Z  
 H 0 1 L 29/28 1 0 0 B  
 H 0 1 L 27/10 4 8 1  
 H 0 1 L 29/28 5 0 0  
 H 0 1 L 29/78 6 1 3 B  
 G 1 1 C 13/00 A

【手続補正書】  
 【提出日】平成22年2月11日(2010.2.11)

【手続補正1】  
 【補正対象書類名】明細書  
 【補正対象項目名】発明の名称  
 【補正方法】変更  
 【補正の内容】  
 【発明の名称】半導体装置

【手続補正2】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】

【請求項1】

第1のメモリ素子と第2のメモリ素子を有するメモリセルを複数有し、  
前記第1のメモリ素子と前記第2のメモリ素子は、共通の第1の電極、共通の第2の電  
極、及び前記第1の電極と前記第2の電極との間に共通の材料層を有し、  
前記第1のメモリ素子と前記第2のメモリ素子の間には隔壁が設けられ、  
前記第1のメモリ素子では、前記第1の電極の端部と、前記材料層と、前記第2の電極  
とが重なり、  
前記第2のメモリ素子では、前記第1の電極の前記端部でない平坦な部分と、前記材料  
層と、前記第2の電極とが重なることを特徴とする半導体装置。

【請求項2】

第 1 のメモリ素子と第 2 のメモリ素子を有するメモリセルを複数有し、  
前記第 1 のメモリ素子と前記第 2 のメモリ素子は、第 1 の段差と第 2 の段差を有する共  
通の第 1 の電極、共通の第 2 の電極、及び前記第 1 の電極と前記第 2 の電極との間に共通  
の材料層を有し、

前記第 1 のメモリ素子と前記第 2 のメモリ素子の間には隔壁が設けられ、  
前記メモリセルは多値情報を記憶することを特徴とする半導体装置。

【請求項 3】

第 1 のメモリ素子と第 2 のメモリ素子を有するメモリセルを複数有し、  
前記第 1 のメモリ素子と前記第 2 のメモリ素子は、第 1 の段差と第 2 の段差を有する共  
通の第 1 の電極、共通の第 2 の電極、及び前記第 1 の電極と前記第 2 の電極との間に共通  
の材料層を有し、

前記第 1 のメモリ素子と前記第 2 のメモリ素子の間には隔壁が設けられ、  
前記第 1 のメモリ素子では、前記第 1 の電極の前記第 1 の段差と、前記材料層と、前記  
第 2 の電極とが重なり、

前記第 2 のメモリ素子では、前記第 1 の電極の前記第 2 の段差と、前記材料層と、前記  
第 2 の電極とが重なり、

前記メモリセルは多値情報を記憶することを特徴とする半導体装置。

【請求項 4】

第 1 のメモリ素子と第 2 のメモリ素子を有するメモリセルを複数有し、  
前記第 1 のメモリ素子と前記第 2 のメモリ素子は、第 1 の層と第 2 の層を含む積層構造  
を有する共通の第 1 の電極、共通の第 2 の電極、及び前記第 1 の電極と前記第 2 の電極と  
の間に共通の材料層を有し、

前記第 1 のメモリ素子と前記第 2 のメモリ素子の間には隔壁が設けられ、

前記第 1 の層の端部と前記第 2 の層の端部は一致しない部分を有し、

前記メモリセルは多値情報を記憶することを特徴とする半導体装置。

【請求項 5】

第 1 のメモリ素子と第 2 のメモリ素子を有するメモリセルを複数有し、  
前記第 1 のメモリ素子と前記第 2 のメモリ素子は、第 1 の層と第 2 の層を含む積層構造  
を有する共通の第 1 の電極、共通の第 2 の電極、及び前記第 1 の電極と前記第 2 の電極と  
の間に共通の材料層を有し、

前記第 1 のメモリ素子と前記第 2 のメモリ素子の間には隔壁が設けられ、

前記第 1 の層の端部と前記第 2 の層の端部は一致しない部分を有し、

前記第 1 のメモリ素子では、前記第 1 の電極の前記第 1 の層の端部と、前記材料層と、  
前記第 2 の電極とが重なり、

前記第 2 のメモリ素子では、前記第 1 の電極の前記第 2 の層の端部と、前記材料層と、  
前記第 2 の電極とが重なることを特徴とする半導体装置。

【請求項 6】

請求項 2 または請求項 3 において、前記第 1 の段差のテーパ角と前記第 2 の段差のテ  
ーパ角は異なることを特徴とする半導体装置。

【請求項 7】

請求項 2、請求項 3 または請求項 6 において、前記第 1 の電極の平坦な部分と、前記材  
料層と、前記第 2 の電極とが重なる第 3 のメモリ素子を前記メモリセルが有することを特  
徴とする半導体装置。

【請求項 8】

請求項 4 または請求項 5 において、前記第 1 の層の端部のテーパ角と前記第 2 の層の  
テーパ角は異なることを特徴とする半導体装置。

【請求項 9】

請求項 4、請求項 5 または請求項 8 において、前記第 1 の電極の前記第 1 の層または前  
記第 2 の層の平坦な部分と、前記材料層と、前記第 2 の電極とが重なる第 3 のメモリ素子  
を前記メモリセルが有することを特徴とする半導体装置。

## 【請求項 10】

請求項 1 乃至請求項 9 のいずれかーにおいて、前記第 1 の電極は、薄膜トランジスタと電氣的に接続していることを特徴とする半導体装置。

## 【請求項 11】

請求項 10 において、アンテナを有し、無線通信を行うことを特徴とする半導体装置。