



(12)发明专利

(10)授权公告号 CN 106558552 B

(45)授权公告日 2019.06.11

(21)申请号 201510629245.5

(56)对比文件

(22)申请日 2015.09.28

CN 103839816 A, 2014.06.04,

(65)同一申请的已公布的文献号

US 2012/0267685 A1, 2012.10.25,

申请公布号 CN 106558552 A

US 2009/0065853 A1, 2009.03.12,

(43)申请公布日 2017.04.05

US 8614127 B1, 2013.12.24,

(73)专利权人 中国科学院微电子研究所

审查员 卢瑞

地址 100029 北京市朝阳区北土城西路3#

(72)发明人 殷华湘 秦长亮 王桂磊 邓震

朱慧玲

(74)专利代理机构 北京蓝智辉煌知识产权代理

事务所(普通合伙) 11345

代理人 陈红

(51)Int.Cl.

H01L 21/8238(2006.01)

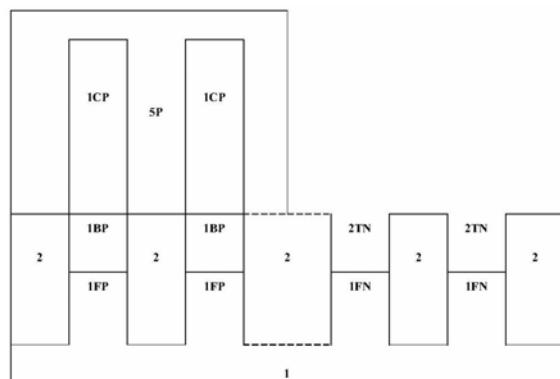
权利要求书1页 说明书6页 附图7页

(54)发明名称

CMOS制作方法

(57)摘要

一种CMOS制造方法,包括:刻蚀衬底形成沿第一方向延伸的第一鳍片和第二鳍片;在第一鳍片和第二鳍片上形成沿第二方向延伸的伪栅极堆叠;在第一和第二鳍片中伪栅极堆叠沿第一方向两侧形成源漏区;去除伪栅极堆叠,在第一区域和第二区域中留下分别暴露第一鳍片和第二鳍片的第一栅极开口和第二栅极开口;去除第一区域中第一鳍片的一部分,留下第一开口;在第一开口中外延生长第一沟道层;去除第二区域中第二鳍片的一部分,留下第二开口;在第二开口中外延生长第二沟道层;在第一和第二沟道层上形成沿第二方向延伸的栅极堆叠。依照本发明CMOS制作方法,分步选择性外延不同材料高迁移率沟道层,低成本高效率提高器件载流子迁移率和驱动能力。



1. 一种CMOS制造方法,包括步骤:

刻蚀衬底形成沿第一方向延伸的第一鳍片和第二鳍片;

在第一鳍片和第二鳍片上形成沿第二方向延伸的伪栅极堆叠;

在第一和第二鳍片中伪栅极堆叠沿第一方向两侧形成源漏区;

去除伪栅极堆叠,在第一区域和第二区域中留下分别暴露第一鳍片和第二鳍片的第一栅极开口和第二栅极开口;

去除第一区域中第一鳍片的一部分,留下与第一鳍片沿第二方向等宽的第一开口;

在第一开口中外延生长第一沟道层;

去除第二区域中第二鳍片的一部分,留下与第二鳍片沿第二方向等宽的第二开口;

在第二开口中外延生长第二沟道层;

在第一和第二沟道层上形成沿第二方向延伸的栅极堆叠。

2. 如权利要求1的方法,其中,外延生长第一或第二沟道层之前进一步包括,分别外延生长第一或第二缓冲层;优选地,第一或第二缓冲层的晶格常数分别介于衬底与第一或第二沟道层之间。

3. 如权利要求1的方法,其中,第一沟道层和/或第二沟道层的载流子迁移率高于衬底;任选地,第一沟道层与第二沟道层材质不同;优选地,第一沟道层和/或第二沟道层的材质为Ge、SiGe、SiC、SiGeC、III-V族化合物半导体、II-VI族化合物半导体的任一种及其组合。

4. 如权利要求1的方法,其中,源漏区包括源漏延伸区、源漏重掺杂区、抬升源漏区的至少一个。

5. 如权利要求1的方法,其中,形成源漏区之后进一步包括,在衬底上形成层间介质层;任选地,去除伪栅极堆叠在层间介质层中留下栅极开口。

6. 如权利要求1的方法,其中,外延生长第一或第二沟道层之前进一步包括,在第二或第一区域中形成外延阻挡层。

7. 如权利要求6的方法,其中,外延阻挡层的材料为氧化硅、氮化硅、氮氧化硅、多晶硅、非晶硅、DLC、ta-C、光刻胶的任一种及其组合。

8. 如权利要求6的方法,其中,外延生长第一或第二沟道层之后进一步包括,选择性刻蚀去除外延阻挡层。

9. 如权利要求2的方法,其中,外延生长第二沟道层之后进一步包括,将第一和/或第二缓冲层完全或部分地转变为绝缘层。

10. 如权利要求2的方法,其中,第一、第二缓冲层的导电类型与源漏区相反。

CMOS制作方法

技术领域

[0001] 本发明涉及一种半导体器件制造方法,特别是涉及一种具有高迁移率沟道的FinFET型CMOS制作方法。

背景技术

[0002] 在当前的亚20nm技术中,三维多栅器件(FinFET或Tri-gate)是主要的器件结构,这种结构增强了栅极控制能力、抑制了漏电与短沟道效应。

[0003] 例如,双栅SOI结构的MOSFET与传统的单栅体Si或者SOI MOSFET相比,能够抑制短沟道效应(SCE)以及漏致感应势垒降低(DIBL)效应,具有更低的结电容,能够实现沟道轻掺杂,可以通过设置金属栅极的功函数来调节阈值电压,能够得到约2倍的驱动电流,降低了对于有效栅氧厚度(EOT)的要求。而三栅器件与双栅器件相比,栅极包围了沟道区顶面以及两个侧面,栅极控制能力更强。进一步地,全环绕纳米线多栅器件更具有优势。

[0004] 相比单栅器件,双栅器件有优势;相比双栅,三栅器件有优势;相比三栅,全环绕纳米线多栅器件有优势;但是纳米线多栅器件的制造工艺一般比较复杂,与主流FinFETa1工艺不兼容。

[0005] 另一方面,环栅器件虽然有更好的栅控作用,能更有效的控制短沟道效应,在亚14纳米技术的缩减过程中更具优势,但是一个关键问题是由于微小的导电沟道,在等效硅平面面积内不能提供更多的驱动电流。为此,现有技术通常在三维FinFET中集成异质高迁移率沟道以有利于更小尺寸下提高器件与电路性能。常规方法是在衬底上外延或者选择外延Ge、SiGe、III-V族、II-VI族化合物等高迁移率材料。一种通常的工艺是在衬底上外延生长高迁移率材料之后刻蚀形成鳍片结构,然后在鳍片结构上形成栅极、鳍片结构中形成源漏区完成器件制造,这种工艺往往只能一次性在晶片衬底上沉积相同的高迁移率材料、也即生长为全局性的,不利于局部器件与电路中CMOS混合集成。此外,不同高迁移率材料的混合生长容易产生交叉干扰,影响沟道表面质量,降低了器件可靠性。

发明内容

[0006] 由上所述,本发明的目的在于克服上述技术困难,提出一种高迁移率FET型CMOS制作方法,低成本高效率选择性地形成不同沟道材料的CMOS。

[0007] 为此,本发明提供了一种CMOS制造方法,包括步骤:刻蚀衬底形成沿第一方向延伸的第一鳍片和第二鳍片;在第一鳍片和第二鳍片上形成沿第二方向延伸的伪栅极堆叠;在第一和第二鳍片中伪栅极堆叠沿第一方向两侧形成源漏区;去除伪栅极堆叠,在第一区域和第二区域中留下分别暴露第一鳍片和第二鳍片的第一栅极开口和第二栅极开口;去除第一区域中第一鳍片的一部分,留下第一开口;在第一开口中外延生长第一沟道层;去除第二区域中第二鳍片的一部分,留下第二开口;在第二开口中外延生长第二沟道层;在第一和第二沟道层上形成沿第二方向延伸的栅极堆叠。

[0008] 其中,外延生长第一或第二沟道层之前进一步包括,分别外延生长第一或第二缓

冲层；优选地，第一或第二缓冲层的晶格常数分别介于衬底与第一或第二沟道层之间。

[0009] 其中，第一沟道层和/或第二沟道层的载流子迁移率高于衬底；任选地，第一沟道层与第二沟道层材质不同；优选地，第一沟道层和/或第二沟道层的材质为Ge、SiGe、SiC、SiGeC、III—V族化合物半导体、II—VII族化合物半导体的任一种及其组合。

[0010] 其中，源漏区包括源漏延伸区、源漏重掺杂区、抬升源漏区的至少一个。

[0011] 其中，形成源漏区之后进一步包括，在衬底上形成层间介质层；任选地，去除伪栅极堆叠在层间介质层中留下栅极开口。

[0012] 其中，外延生长第一或第二沟道层之前进一步包括，在第二或第一区域中形成外延阻挡层。

[0013] 其中，外延阻挡层的材料为氧化硅、氮化硅、氮氧化硅、多晶硅、非晶硅、DLC、ta—C、光刻胶的任一种及其组合。

[0014] 其中，外延生长第一或第二沟道层之后进一步包括，选择性刻蚀去除外延阻挡层。

[0015] 其中，外延生长第二沟道层之后进一步包括，将第一和/或第二缓冲层完全或部分地转变为绝缘层。

[0016] 其中，第一、第二缓冲层的导电类型与源漏区相反。

[0017] 依照本发明的CMOS制作方法，分步选择性外延生长不同材料的高迁移率沟道层，低成本高效率地提高了CMOS载流子迁移率和驱动能力。

附图说明

[0018] 以下参照附图来详细说明本发明的技术方案，其中：

[0019] 图1(图1A以及图1B)至图10(图10A以及图10B)为依照本发明的堆叠纳米线MOS晶体管制造方法各步骤的剖面示意图，

[0020] 其中某图A是沿垂直于沟道方向的剖视图，某图B是沿平行于沟道方向的剖视图。

具体实施方式

[0021] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了低成本高效率地提高了器件驱动能力以及可靠的高迁移率FET型CMOS制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0022] 特别地，以下某图A是沿垂直于沟道方向(沿第二方向)的剖视图，某图B是沿平行于沟道方向(沿第一方向)的剖视图。

[0023] 参照图1A以及图1B，图1B为图1A第一区域或第二区域沿第一方向延伸的剖视图，刻蚀衬底1形成多个沿第一方向延伸的鳍片1F，其中第一方向为未来器件沟道区延伸方向。提供衬底1，衬底1依照器件用途需要而合理选择，可包括单晶体硅(Si)、单晶体锗(Ge)、应变硅(Strained Si)、锗硅(SiGe)，或是化合物半导体材料，例如氮化镓(GaN)、砷化镓(GaAs)、磷化铟(InP)、锑化铟(InSb)，以及碳基半导体例如石墨烯、SiC、碳纳米管等等。出于与CMOS工艺兼容的考虑，衬底1优选地为体Si。例如在衬底1上形成沿第一方向延伸的光刻胶图形(未示出)，据此为掩模刻蚀衬底，在衬底1中形成多个沿第一方向平行分布的沟槽

(未示出)以及沟槽之间剩余的衬底1材料所构成的鳍片底部1F,沟槽的深宽比优选地大于5:1。其中在图1A中,左侧显示为第一器件(例如PMOS,也可以为NMOS)形成区域因此包括多个第一鳍片1FP(原始高度大于图1A中所示),右侧显示为第二器件(例如NMOS,也可以对应的为PMOS)形成区域因此包括多个第二鳍片1FN(原始高度大于图1A中所示),两个区域虽然示出为相邻,但是实际上依照CMOS布置需要而可以物理并且电隔离(如图1A中虚线所示)。

[0024] 随后,在第一、第二鳍片结构之间的沟槽中通过PECVD、HDPCVD、RTO(快速热氧化)等工艺沉积填充材质例如为氧化硅、氮氧化硅、碳氧化硅、低k(low-k)等的绝缘隔离介质层,从而构成了浅沟槽隔离(STI)2。低k材料包括但不限于有机低k材料(例如含芳基或者多元环的有机聚合物)、无机低k材料(例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低k材料(例如二硅三氧烷(SSQ)基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔无定形碳、多孔金刚石、多孔有机聚合物)。任选的,STI隔离氧化物为负热膨胀介质材料,例如钙钛矿型氧化物,诸如包括Bi_{0.95}La_{0.05}NiO₃、BiNiO₃、ZrW₂O₈;或者STI隔离氧化物为正热膨胀介质材料,例如为框架材料,诸如包括Ag₃[Co(CN)₆],由此STI隔离氧化物通过后续加工过程中的正性或负性膨胀而进一步增大了沟道区应力,进一步提高了载流子迁移率。优选地,CMP平坦化直至暴露多个鳍片。

[0025] 参照图2A和图2B,图2B为图2A第一区域或第二区域沿第一方向延伸的剖视图,形成伪栅极堆叠。例如通过LPCVD、PECVD、蒸发、溅射(磁控溅射)等工艺,形成垫层3A和伪栅极层3B,并光刻/刻蚀形成沿第二方向延伸的伪栅极堆叠线条。垫层3A用于鳍片1FP/1FN表面、避免在后续刻蚀氧化过程中表面缺陷密度增大,材质例如为氧化硅、氮化硅、非晶硅、非晶锗、非晶碳、SiOC、低k材料等及其组合,优选地为以与STI 2材质相区别,从而避免后续刻蚀过程中被意外地去除。伪栅极层3B材质例如为多晶硅、非晶硅、微晶硅、非晶碳、多晶锗、非晶锗等等及其组合。任选地,以伪栅极堆叠为掩模,执行轻掺杂离子注入形成低浓度浅结深(也即LDD结构)的源漏延伸区1LS和1LD。随后在伪栅极堆叠(沿第一方向的)两侧形成氮化硅、类金刚石无定形碳(DLC)等材质的栅极侧墙3C。

[0026] 参照图3A和图3B,图3B为图3A第一或第二区域中沿第一方向延伸的剖视图,形成重掺杂源漏区。以栅极侧墙3C为掩模执行重掺杂离子注入形成高浓度大结深的源漏重掺杂区1HS和1HD,任选地在重掺杂源漏区上外延形成抬升源漏区1ES和1ED以减小源漏串联电阻。在本发明另一优选实施例中,注入掺杂形成源漏区之前,先以伪栅极堆叠为掩模选择性刻蚀沟道层1CP,去除伪栅极堆叠沿第一方向两侧的沟道层1CP形成暴露缓冲层1BP的源漏沟槽(未示出),而仅保留伪栅极堆叠下方的沟道层1CP用作器件的第一区域PMOS的最终沟道区,随后在源漏沟槽中外延生长其他高迁移率材料(优选地同步掺杂)形成源漏区1S、1D,随后再形成其他源漏区部分。注入掺杂的离子类型依照MOSFET类型而选取,例如对于PMOS为As、P、Sb、Sn等,对于NMOS为B、BF₂、Be、In、Ga等。优选地,形成源漏区之后,在源漏区之上形成金属硅化物(未示出)以降低界面势垒、减小源漏接触电阻。

[0027] 参照图4A和图4B,图4B为图4A第一或第二区域中沿第一方向延伸的剖视图,选择性刻蚀去除第一、第二区域中的伪栅极堆叠。在整个器件上通过旋涂、喷涂、丝网印刷、CVD等工艺形成低k材料的层间介质层(ILD)4。CMP平坦化ILD 4直至暴露伪栅极层3B。选择性刻蚀去除第二区域中的伪栅极层3B和垫层3A(例如采用光刻胶软掩模或介质材料的硬掩模覆盖左侧第一区域而暴露右侧第二区域,利用掩模刻蚀第二区域中暴露的的伪栅极堆叠),直

至形成暴露第一鳍片1FP的第一栅极开口4GP、暴露第二鳍片1FN的第二栅极开口4GN。伪栅极层3B为Si(非晶、微晶、多晶)时,选用KOH、TMAH湿法腐蚀,层3B为非晶碳时,选用氧等离子干法刻蚀。垫层3A为氧化硅时选用HF基刻蚀剂湿法腐蚀,层3A为氮化硅时选用热磷酸。

[0028] 参照图5A和图5B,图5B为图5A第一区域中沿第一方向延伸的剖视图,通过选择性刻蚀,至少部分地去除第一区域中的第一鳍片1FP的一部分。优选地,在第二区域上形成外延阻挡层5N,例如通过LPCVD、PECVD、MOCVD、蒸发、溅射等工艺形成氧化硅、氮化硅、氮氧化硅、非晶硅、多晶硅、DLC、ta-C材质的硬掩模,或者旋涂、喷涂、丝网印刷形成光刻胶材质的软掩模。随后优选采用各向异性刻蚀工艺,对由衬底1材料(例如Si)构成的鳍片选择性刻蚀,至少去除了第一鳍片1FP的一部分,在STI 2之间留下开口2TP。刻蚀例如采用KOH、TMAH的湿法腐蚀,或者采用碳氟基刻蚀气体(氟代烃 $C_xH_yF_z$)的等离子体干法刻蚀或反应离子刻蚀。如图5A所示,刻蚀工艺优选地在衬底1上留下部分第一鳍片1FP以增强后续外延鳍片与衬底之间的机械支撑强度,例如第一鳍片1FP剩余高度为原始高度的1/5~1/10,例如留下5~10nm。

[0029] 参照图6A和图6B,图6B为图6A第一区域中沿第一方向延伸的剖视图,在第一区域的开口2TP中外延生长第一沟道层1CP,并且任选或优选地在外延1CP之前进一步包括外延生长第一缓冲层1BP(也即缓冲层1BP也可以不存在)。例如通过PECVD、HDPCVD、UHVCVD、MOCVD、MBE、ALD等工艺,在衬底1剩余鳍片1FP上依次外延生长缓冲层1BP和沟道层1CP,其中沟道层1CP的载流子迁移率大于衬底1/留下的鳍片1FP,而缓冲层1BP的晶格常数介于沟道层1CP与衬底1之间。在本发明的优选实施例中,沟道层1CP材料为Ge、SiGe、SiC、SiGeC、III-V族化合物半导体、II-VII族化合物半导体的任一种及其组合,例如选自Ge、SiGe、SiC、SiGeC、SiGeSn、SiGaN、SiGaP、SiGaAs、InSiN、InSiP、InSiAs、InSiSb、GaN、InSb、InP、InAs、GaAs、SiInGaAs的任一种及其组合。在本发明一个实施例中,沟道层1CP用于PMOS,其材料为Ge;在本发明另一个实施例中,沟道层1CP用于NMOS,其材料为上述III-V族化合物半导体、II-VII族化合物半导体。缓冲层1BP材料也可以选自上述材料范围也即为Ge、SiGe、SiC、SiGeC、III-V族化合物半导体、II-VII族化合物半导体的任一种及其组合,并且晶格常数介于沟道层1CP与衬底1之间。在本发明一个优选实施例中,衬底1为Si,缓冲层为 $Si_{1-x}Ge_x$ 或 $Si_{1-y}C_y$,沟道层1CP为 Ge 、 $Si_{1-z}Ge_z$ 、 $Si_{1-m-n}Ge_mC_n$,其中x、y、z、m、n均大于等于0小于等于1,m和n之和大于0小于1,z优选地大于x和/或y。由于选择了恰当的晶格常数,缓冲层1BP将减小高迁移率材料沟道层1CP与衬底1之间的晶格失配,从而降低了错位、界面缺陷密度,提高了沟道层薄膜生长质量,有益于提高器件的可靠性。如图6A所示,缓冲层1BP的厚度优选地大于等于开口2TP的深度,也即使得缓冲层1BP的顶部与STI 2的顶部齐平或者略高,如此最佳地提高外延沟道层1CP的薄膜生长质量、减小沟道表面缺陷。优选地,缓冲层1BP原位掺杂具有与源漏区1S/1D相反的导电类型,以构成PN结而防止衬底穿通。由于STI 2、ILD 4以及外延阻挡层5N均为绝缘介质或者非单晶Si基材料,因此外延生长将仅限于开口2TP中以及缓冲层1BP上方而不会扩展至STI 2上。优选地,外延生长之后,选择性刻蚀去除外延阻挡层5N,例如采用HF基腐蚀剂湿法刻蚀去除氧化硅材质,热磷酸去除氮化硅材质,TMAH、KOH去除多晶硅或非晶硅,氧等离子干法刻蚀(灰化)去除光刻胶。

[0030] 参照图7A和图7B所示,图7B为图7A第二区域中沿第一方向延伸的剖视图,通过选择性刻蚀,至少部分地去除第二区域中的第二鳍片1FN的一部分。在第一区域形成外延阻挡

层5P,例如通过LPCVD、PECVD、MOCVD、蒸发、溅射等工艺形成氧化硅、氮化硅、氮氧化硅、非晶硅、多晶硅、DLC、ta--C材质的硬掩模,或者旋涂、喷涂、丝网印刷形成光刻胶材质的软掩模。随后优选采用各向异性刻蚀工艺,对由衬底1材料(例如Si)构成的鳍片选择性刻蚀,至少去除了第二鳍片1FN的一部分,在STI 2之间留下开口2TN。刻蚀例如采用KOH、TMAH的湿法腐蚀,或者采用碳氟基刻蚀气体(氟代烃C_xH_yF_z)的等离子体干法刻蚀或反应离子刻蚀。

[0031] 参照图8A和图8B所示,图8B为图8A第二区域中沿第一方向延伸的剖视图,在第二区域的开口2TN中外延生长第二沟道层1CN,并且任选或优选地在外延1CN之前进一步包括外延生长第二缓冲层1BN(也即缓冲层1BN也可以不存在)。第二沟道层1CN材质与第一沟道层1CP不同,但是也同样可以选自Ge、SiGe、SiC、SiGeC、III--V族化合物半导体、II--VII族化合物半导体的任一种及其组合,例如选自Ge、SiGe、SiC、SiGeC、SiGeSn、SiGaN、SiGaP、SiGaAs、InSiN、InSiP、InSiAs、InSiSb、GaN、InSb、InP、InAs、GaAs、SiInGaAs的任一种及其组合。例如,在本发明一个实施例中,沟道层1CN用于NMOS,其材料为上述III--V族化合物半导体、II--VII族化合物半导体;在本发明另一个实施例中,沟道层1CN用于PMOS,其材料为Ge。缓冲层1BN也类似于缓冲层1BP而选自上述那些材料,但是晶格常数介于沟道层1CN与衬底1/鳍片1FN之间。

[0032] 参照图9A和图9B所示,图9B为图9A第一或第二区域中沿第一方向延伸的剖视图,选择性刻蚀去除外延阻挡层5P,例如采用HF基腐蚀剂湿法刻蚀去除氧化硅材质,热磷酸去除氮化硅材质,TMAH、KOH去除多晶硅或非晶硅,氧等离子干法刻蚀(灰化)去除光刻胶,完全暴露了第一外延层1CP和第二外延层1CN。此时,如图9B所示,外延层顶部暴露在栅极开口4GN/4GP中。

[0033] 任选地(未示出),回刻(etch--back)STI 2以至少暴露第一沟道层1CP、第二沟道层1CN的底部。例如采用dHF(稀释HF酸水溶液)、dBOE(稀释NH₄F和HF混合水溶液)刻蚀氧化硅的STI2,或者选用碳氟基气体各向异性干法刻蚀STI 2。STI 2刻蚀停止点在沟道层1CP与缓冲层1BP的界面处下方,并且优选地在缓冲层1BP与鳍片1FP界面的上方,随后侧向腐蚀缓冲层1BP/1BN形成凹陷随后通过氧化和/或氮化工艺将缓冲层部分或完全转变为介质材料,从而减少或消除衬底泄漏电流,提高器件的可靠性。

[0034] 参照图10A和图10B,图10B为图10A第一或第二区域中沿第一方向延伸的剖视图,在第一和第二区域中ILD 4中的栅极开口中形成栅极堆叠。通过PECVD、MOCVD、MBE、ALD、蒸发、溅射等工艺,在栅极开口中依次沉积高k材料的栅极绝缘层6A以及金属材料的栅极导电层6BP/6BN,构成栅极堆叠结构。高k材料包括但不限于包括选自HfO₂、HfSiO_x、HfSiON、HfAlO_x、HfTaO_x、HfLaO_x、HfAlSiO_x、HfLaSiO_x的铪基材料(其中,各材料依照多元金属组分配比以及化学价不同,氧原子含量x可合理调整,例如可为1~6且不限于整数),或是包括选自ZrO₂、La₂O₃、LaAlO₃、TiO₂、Y₂O₃的稀土基高K介质材料,或是包括Al₂O₃,以其上述材料的复合层。栅极导电层则可为多晶硅、多晶锗硅、或金属,其中金属可包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La等金属单质、或这些金属的合金以及这些金属的氮化物,栅极导电层中还可掺杂有C、F、N、O、B、P、As等元素以调节功函数。栅极导电层与栅极绝缘层之间还优选通过VDV、CVD、ALD等常规方法形成氮化物的阻挡层(未示出),阻挡层材质为M_xN_y、M_xSi_yN_z、M_xAl_yN_z、M_aAl_xSi_yN_z,其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素。更优选地,栅极栅极导电层与阻挡层不仅采用上下叠置的复合层结构,还可以采用混杂的注入掺杂层结

构,也即构成栅极导电层与阻挡层的材料同时沉积在栅极绝缘层上,因此栅极导电层包括上述阻挡层的材料。优选地,第一区域的金属栅极导电层6BP与第二区域的金属栅极导电层6BN材质不同以具有不同的功函数,例如先在第一和第二栅极开口中均沉积相同材质的第一金属导电层6BP,然后形成掩模图形覆盖第一区域暴露第二区域,刻蚀去除第二区域中的6BP直至暴露层6A,然后沉积第二金属导电层6BN。CMP平坦化栅极堆叠结构直至暴露ILD4。此后,依照标准工艺,在ILD 4中刻蚀源漏接触孔(未示出)直达源漏区,在源漏接触孔中沉积金属氮化物的阻挡层以及金属材料的导电层,形成源漏接触塞(未示出)。

[0035] 依照本发明的CMOS制作方法,分步选择性外延生长不同材料的高迁移率沟道层,低成本高效率地提高了CMOS载流子迁移率和驱动能力。

[0036] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

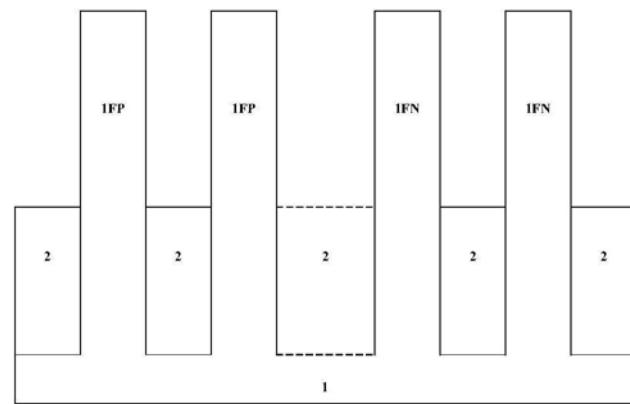


图1A

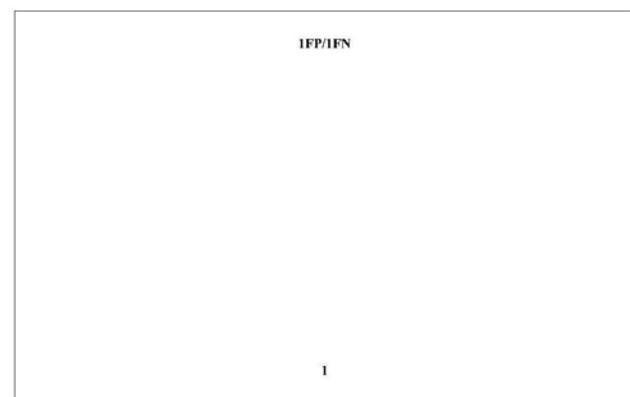


图1B

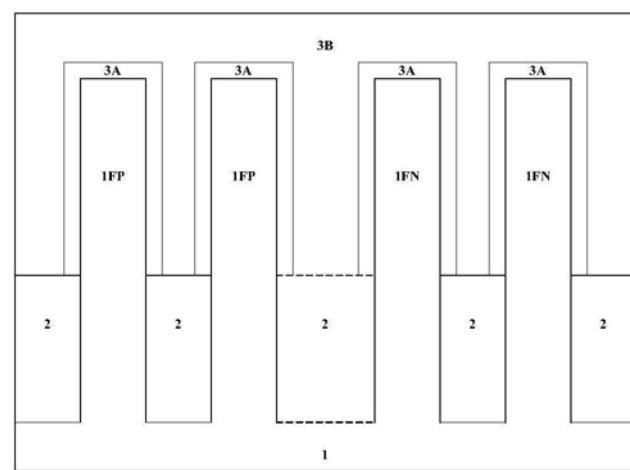


图2A

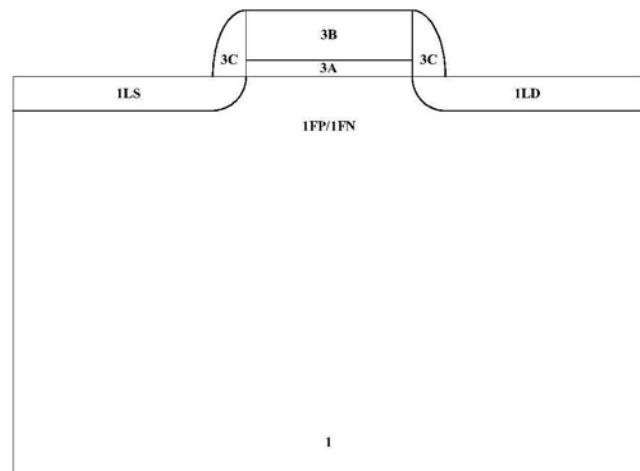


图2B

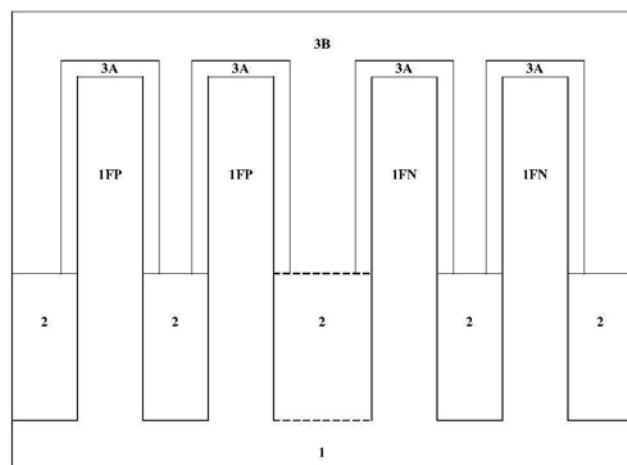


图3A

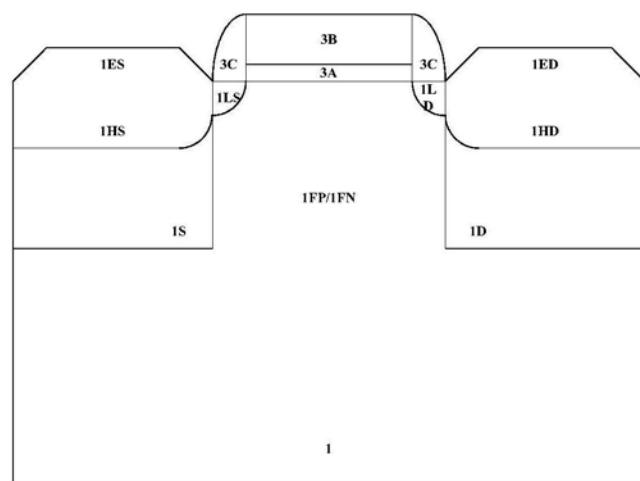


图3B

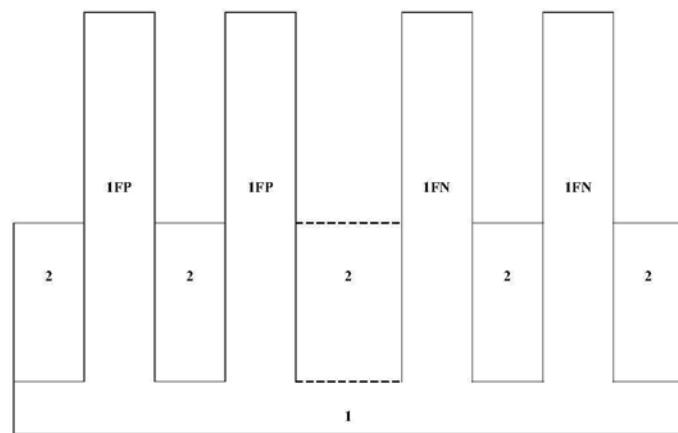


图4A

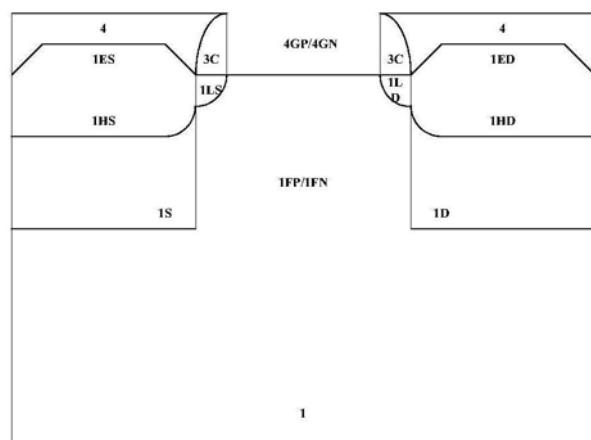


图4B

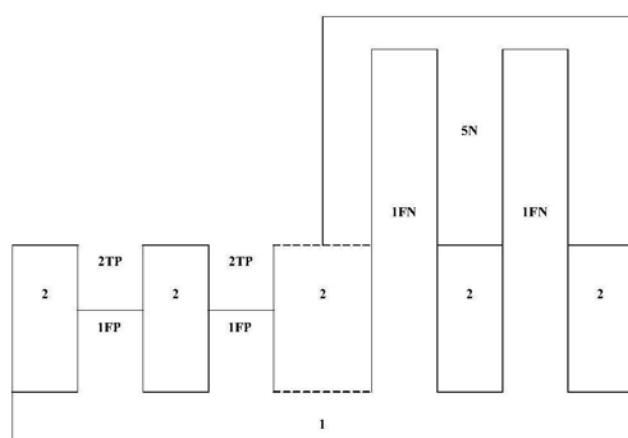


图5A

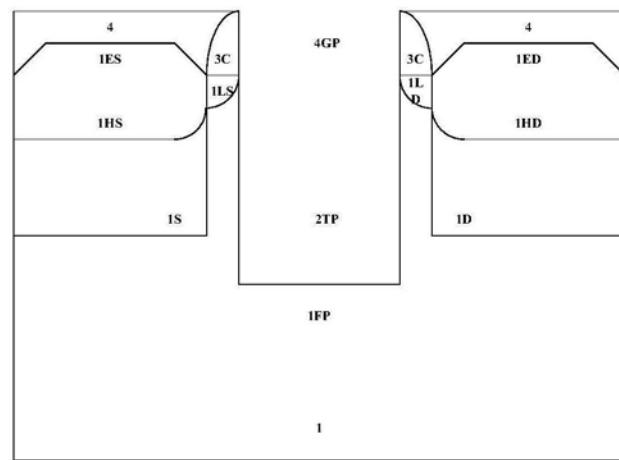


图5B

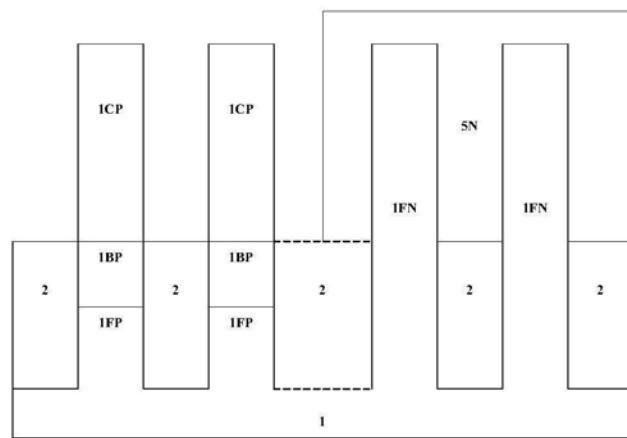


图6A

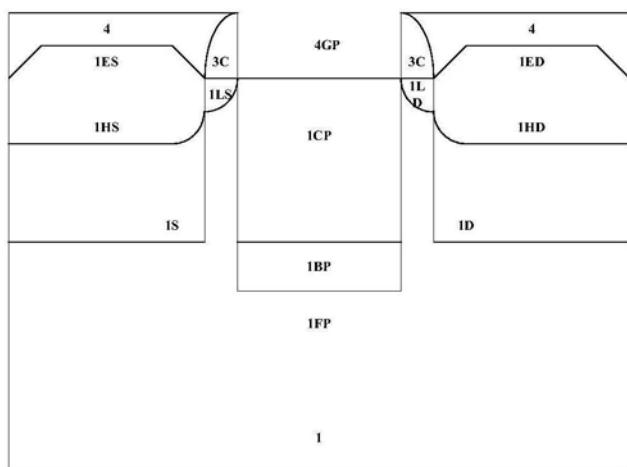


图6B

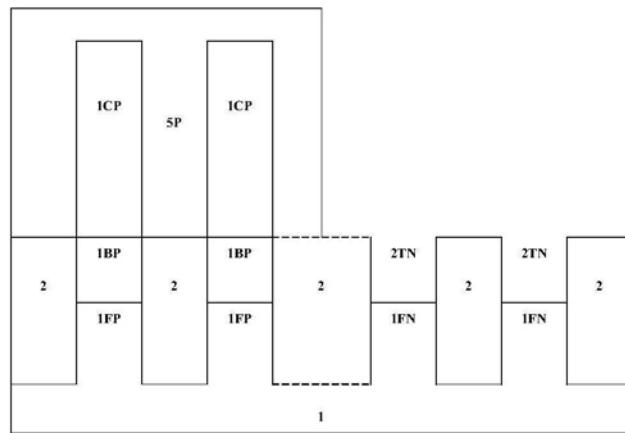


图7A

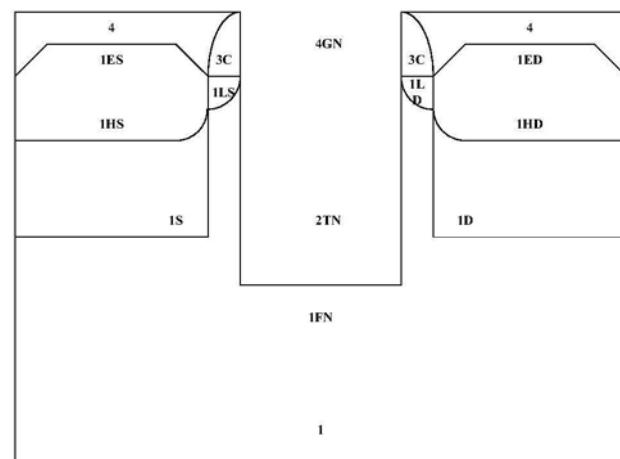


图7B

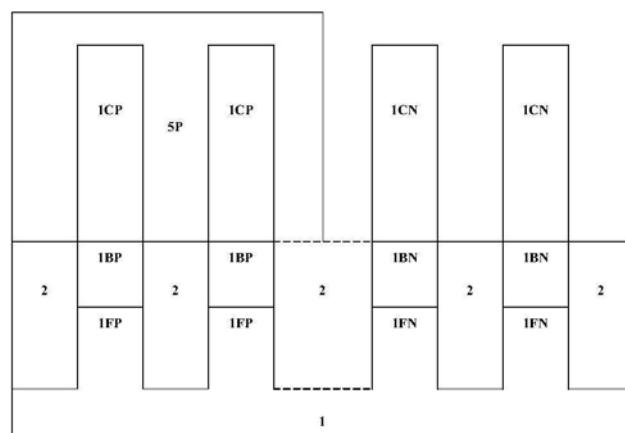


图8A

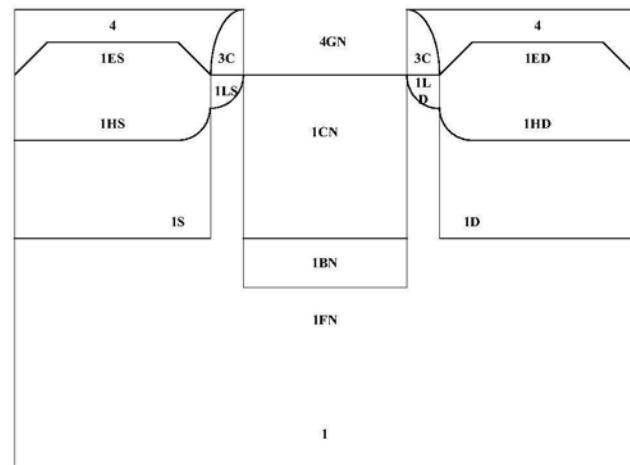


图8B

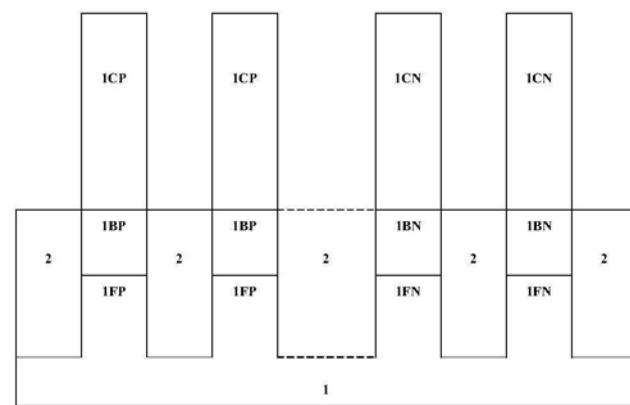


图9A

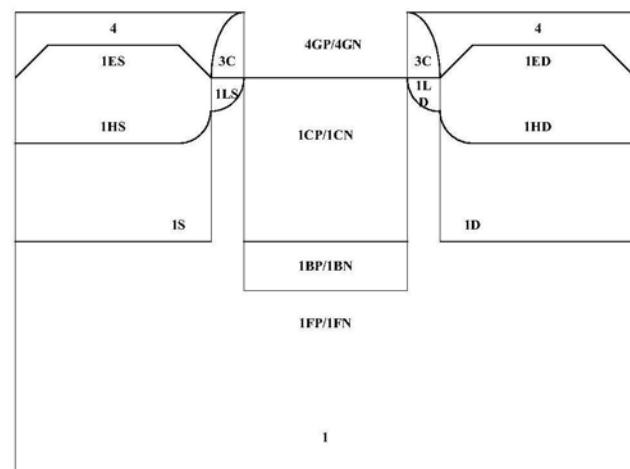


图9B

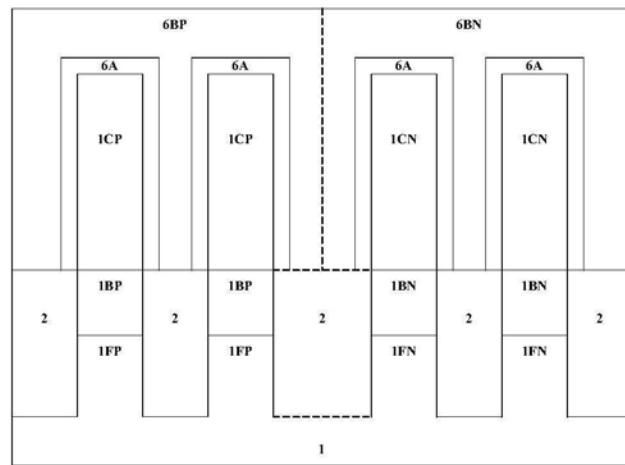


图10A

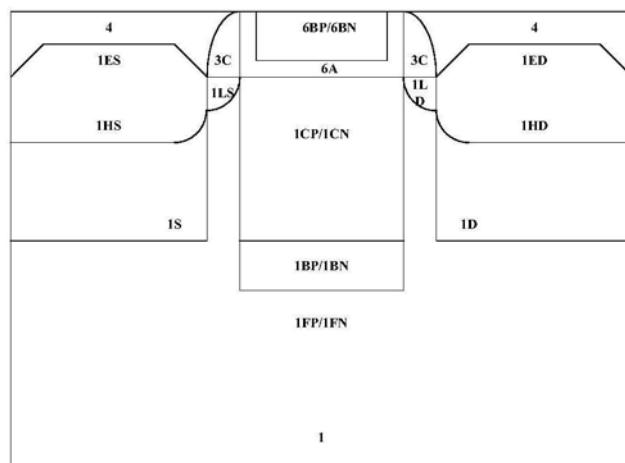


图10B